

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/06 (2006.01)

G11C 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510064128.5

[45] 授权公告日 2008 年 8 月 20 日

[11] 授权公告号 CN 100412990C

[22] 申请日 2005.4.11

[21] 申请号 200510064128.5

[30] 优先权

[32] 2004.4.9 [33] JP [31] 115884/2004

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 諏访仁史 小宫学 富田泰弘

[56] 参考文献

US6052303A 2000.4.18

JP2003141888A 2003.5.16

US6442076B1 2002.8.27

US2002021600A1 2002.2.21

审查员 贾勇

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王英

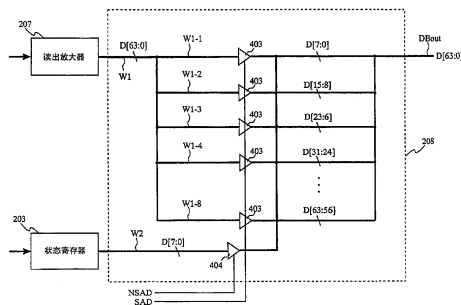
权利要求书 2 页 说明书 10 页 附图 7 页

[54] 发明名称

非易失性半导体存储器件

[57] 摘要

从状态寄存器输出表示写指令的执行状态的 n 位状态信号。在写数据时，输出切换电路输出 $(n \times m)$ 位数据，在该 $(n \times m)$ 位数据中，状态信号图形重复 m 次。在数据读取时，输出切换电路将存储在存储单元阵列中的数据输出。



1、一种非易失性半导体存储器件，用于输出状态信号，该状态信号具有比输入数据宽度更宽的输出数据宽度并表示写指令的执行状态，所述非易失性半导体器件包括：

存储单元阵列，该存储单元阵列具有设置在其上的多个非易失性存储单元；和

控制电路，用于控制对该存储单元阵列的访问，

其中该控制电路包括：

状态信号输出部件，用于输出具有数据宽度为 n 的状态信号，其中 n 是自然数；和

输出切换部件，用于在具有数据宽度为 $(n \times m)$ 的信号和存储在该存储单元阵列中的数据之间切换输出，其中在具有数据宽度为 $(n \times m)$ 的信号中，从所述状态信号输出部件输出的相同的状态信号图形重复 m 次，其中 m 是自然数。

2、根据权利要求 1 的非易失性半导体存储器件，
其中 m 的值是基于从外部源输入的信号确定的。

3、根据权利要求 1 的非易失性半导体存储器件，
其中 m 的值是基于经由施加固定电压的布线输入的第一控制信号确定的。

4、根据权利要求 3 的非易失性半导体存储器件，
其中所述非易失性半导体存储器件可用于基于从外部装置输出的第二控制信号来改变基于所述第一控制信号确定的 m 的值。

5、根据权利要求 4 的非易失性半导体存储器件，
其中所述非易失性半导体存储器件可用于基于从与该器件结合使用的主机系统输出的第三控制信号改变基于所述第二控制信号而

确定的 m 的值。

6、根据权利要求 1 的非易失性半导体存储器件，
其中 $(n \times m)$ 的值是 2 的幂。

7、根据权利要求 1 的非易失性半导体存储器件，
其中所述输出切换部件的输出数据宽度是 $n \times k$ ，其中 k 是等于
或大于 m 的自然数，且 $n \times (k-m)$ 位被设置为 1 或 0。

非易失性半导体存储器件

技术领域

本发明涉及一种非易失性半导体存储器件，用于输出具有比输入数据宽度更宽的输出数据宽度和表示写指令的执行状态的状态信号。

背景技术

图6是说明常规非易失性半导体存储器件101（以下称为存储器101）及其主机系统102的结构方框图。存储器101包括：存储单元阵列，在该存储单元阵列中，将诸如快闪存储单元之类的非易失性存储单元设置成矩阵形式；和其控制电路（两者在附图中都未示出）。所述控制电路包括用于根据从主机系统102输出的指令来执行写操作和读操作的电路（例如，解码器、读出放大器或状态寄存器）。

当执行写操作时，将控制信号（芯片使能信号NCE、输出使能信号NOE、和写使能信号NWE）、地址信号AIN和数据信号DI输入到存储器101中。这些信号是从主机系统10输出的。基于所述输入信号，存储器101执行一序列处理，包括擦除、写入和状态信号输出。

图7是示出数据被写入符合JEDEC（电子设备工程联合委员会）标准的常规非易失性半导体存储器件时的时序的时序图（更具体地说，是执行写指令和执行状态检验的时序）。应该注意到，基于JEDEC标准的非易失性半导体存储器件在JEDEC标准No21-C，第3.5.3-2页中有介绍。如图7所示，根据JEDEC标准，对于在向地址PA写入数据PD时使用的每个地址指令和数据指令，存在第一到第四周期。就是说，将四个地址指令（555，AAA，555，和PA）和四个数据指令（AA，55，A0和PD）依次输入到存储器101。第一和第二周期（地址指令555和AAA，以及数据指令AA和55）对应于故障防止

周期，这被称为开锁周期。而且，第三周期（地址指令 555 和数据指令 A0）是写设置周期。

在图 7 中，DATA [7] 和 DATA [6] 是包含在表示写指令的执行状态的 8 位状态信号中的 2 位数据。DATA [7] 和 DATA [6] 由主机系统 102 经由高速缓冲存储器 103、复用器 104 和 8 位输入-输出数据总线 DB（更具体地说，是 DB7 和 DB6）读取。

存储器 101 具有数据轮询和触发位的功能。这些功能允许主机系统 102 读取写期间的状态或写完成时的状态。DATA [7] 是用于数据轮询的信号。如图 7 所示，DATA [7] 表示与数据/DI7 相同的值，该数据/DI7 是写数据 DI7 的反相数据，同时执行写操作。在完成写操作时，DATA [7] 表示与写数据 DI7 相同的值。另一方面，DATA [6] 是在写期间利用芯片使能信号 NCE 进行触发（toggle）和在完成写操作时停止触发的信号。主机系统 102 使用从存储器 101 输出的 DATA [7] 和 DATA [6]，用于进行状态检验。

常规地，使用其输出数据宽度比输入数据宽度宽的存储器需要用于状态检验的地址控制。例如，如图 6 所示的存储器 101 执行地址控制，使得从 64 位输出的低 8 位输出状态信号，并且经由 8 位输入-输出数据总线 DB 将如此输出的状态信号输入给主机系统 102。因此，当对其低 3 位不是零的地址进行写操作时，必须执行地址控制，以将该地址的低 3 位改变为 0h。为了执行这种地址控制，必须设计安装在主机系统中的适当软件，或者另外提供硬件，如地址解码电路。

然而，常规地址控制的复杂性使软件开发的程序量增加或软件膨胀。而且，由于需要上述地址控制，因此常规存储器件必须与特定主机系统组合，由此削弱了该器件的可用性。

发明内容

因此，本发明的一个目的是提供一种易使用的非易失性半导体存储器件，它能够防止由主机系统执行的软件开发的程序量增加和防止软件膨胀。

根据本发明的非易失性半导体存储器件是用于输出表示写指令的执行状态的状态信号的非易失性半导体存储器件。该非易失性半导体存储器件包括：具有设置在其上的多个非易失性存储单元的存储单元阵列；和用于控制对该存储单元阵列的访问的控制电路。所述控制电路包括：用于输出具有数据宽度为 n (n 是自然数) 的状态信号的状态信号输出部件；和用于在具有数据宽度为 $(n \times m)$ 的信号和存储在所述存储单元阵列中的数据之间切换输出的输出切换部件，在具有数据宽度为 $(n \times m)$ 的信号中，相同的状态信号图形重复 m 次 (m 是自然数)。

根据本发明的非易失性存储器件可以构成为根据从外部源输入的信号确定 m 的值。

而且，可以根据经由给其施加固定电压的布线输入的第一控制信号确定 m 的值。

非易失性半导体存储器件可用来根据从外部装置输出的第二控制信号来改变根据第一控制信号确定的 m 的值。

而且，非易失性半导体存储器件可用来根据从与该器件结合使用的主机系统输出的第三控制信号来改变根据第二控制信号确定的 m 的值。

$(n \times m)$ 的值可以是 2 的幂。

当输出切换部件的输出数据宽度是 $n \times k$ 时 (k 是等于或大于 m 的自然数)，无效的 $n \times (k-m)$ 位可以被设置为 1 或 0。

从下面结合附图对本发明的详细说明，可以使本发明的这些和其它目的、特征、方面和优点更加明显。

附图说明

图 1 是说明根据本发明第一实施例的非易失性半导体存储器件和主机系统的结构的方框图；

图 2 是说明图 1 所示的输出切换电路的典型结构的示意图；

图 3 是说明将数据写入本发明的非易失性半导体存储器件中的

时序的时序图；

图 4 是说明根据本发明的第二实施例的非易失性半导体存储器件和主机系统的结构的方框图；

图 5 是说明图 4 所示的输出切换电路的典型结构的示意图；

图 6 是表示常规非易失性半导体存储器件和主机系统的结构的方框图；和

图 7 是说明将数据写入常规非易失性半导体存储器件中的时序的时序图。

发明详述

（第一实施例）

图 1 是说明根据本发明第一实施例的非易失性半导体存储器件 20（以下称为存储器 20）和比如 CPU 的主机系统 10 的方框图。存储器 20 包括存储单元阵列 206 和其控制电路（指令接口部件 201、控制部件 202、状态寄存器 203、电压产生电路 204、解码器 205、读出放大器 207 和输出切换电路 208）。存储单元阵列 206 具有在其上设置成矩阵形式的非易失性存储单元，如快闪存储单元。存储器 20 的输入数据宽度为 8 位，而其输出数据宽度为 64 位，是输入数据宽度的八倍。

在执行写操作时，将控制信号（芯片使能信号 NCE、输出使能信号 NOE、和写使能信号 NWE）、地址信号 AIN、和数据信号 DI 输入到存储器 20 中。这些信号从主机系统 10 输出。基于从主机系统 10 接收的信号，指令接口部件 201 产生信号，并输出所产生的信号。基于从指令接口部件 201 输出的信号，执行一系列处理，包括存储单元的存储擦除、向存储单元中写入、状态信号输出（状态检验）。

更具体地说，控制部件 202 将基于从指令接口部件 201 接收的信号产生的信号输出到电压产生电路 204、读出放大器 207、状态寄存器 203 以及输出切换电路 208 的每个中。基于所述输入的信号，电压产生电路 204 依次给解码器 205 的适当布线施加适当的电压。状态寄

寄存器 203 存储表示写指令的执行状态的状态信号（即，数据轮询信号和触发位信号），并输出所述存储的状态信号。

输出切换电路 208 有选择地输出一信号和从存储单元阵列读取的数据，在该信号中，从状态寄存器 203 输出的多个状态信号以并行方式设置。关于输出数据还是输出信号的决定取决于将要从控制部件 202 输出的输出切换信号 NSAD 和 SAD。从输出切换电路 208 输出的输出信号 DO 经由输出数据总线 DBout 输入到主机系统 10 中。

图 2 是示出输出切换电路 208 的典型结构的示意图。输出切换电路 208 包括：多个三态门 403，它由 SAD 信号、64 位布线 W1、8 位布线 W2 控制；和三态门 404，它受 NSAD 信号控制。64 位布线 W1 由八个 8 位布线 W1-j（j 是 1 和 8 之间的整数）构成。应该注意的是，三态门 403 和三态门 404 各由八个共用三态门构成。

在数据读取时，将经由读出放大器 207 从存储单元阵列 206 读取的 64 位数据从输出切换电路 208 读入主机系统 10 中。具体地说，在数据读取时，控制 SAD 信号和 NSAD 信号，使其分别变为“H”和“L”。此时，每个三态门 403 直接输出经由 8 位布线 W1-j 输入的值，而三态门 404 不输出经由第二布线 W2 输入的状态信号。结果是，将从存储单元阵列 206 读取的数据从输出切换电路 208 输出。

另一方面，在写数据时，控制 SAD 信号和 NSAD 信号，使其分别变为“L”和“H”。此时，三态门 404 直接输出经由第二布线 W2 输入的状态信号。结果是，经由 8 位布线 W2 和所有 8 位布线 W1-j 从输出切换电路 208 输出的 64 位信号是其中相同的状态信号图形重复八次的信号。

图 3 是示出将数据写入基于 JEDEC 标准的存储器 20 中的时序的时序图。如图 3 所示，根据 JEDEC 标准，对于在将数据 PD 写入地址 PA 时使用的每个地址指令和数据指令，有四个指令周期。即，将四个地址指令（555、AAA、555 和 PA）和四个数据指令（AA、55、A0 和 PD）依次输入到存储器中。第一和第二周期（地址指令 555 和 AAA 以及数据指令 AA 和 55）对应于故障防止周期，这被称为开锁周期。而且，第三周期（地址指令 555 和数据指令 A0）是写设置周

期。

由于 8 位状态信号含有 SR7 信号和 SR6 信号，因此从输出切换电路 208 输出的 64 位信号含有八个 SR7 信号和八个 SR6 信号。在执行写操作时，作为为数据轮询而产生的信号的 SR7 表示与数据/DI7 相同的值，该数据/DI7 是写数据 DI7 的反相数据。当完成写操作时，SR7 表示与写数据 DI7 相同的值。另一方面，SR6 是在写期间利用芯片使能信号 NCE 进行触发和在完成写操作时停止触发的信号。在图 3 中，在 64 位布线 W1 上发送的第 j (j 是 1 和 8 之间的整数) 个 SR7 和 SR6 分别被称为 DATA [8j-1] 和 DATA [8j-2]。基于 DATA [8j-1] 或 DATA [8j-2]，主机系统 10 执行状态检验。

常规地，当对存储器执行写操作时，其中该存储器的输出数据宽度比输入数据宽，必须执行地址控制，用于从输出数据宽度中的预定位置读取状态信号。因此，在由写指令（写目标地址）表示的地址不同于状态检验时的读取地址的情况下，在执行状态检验时需要改变地址。

另一方面，存储器 20 输出信号，在该信号中，从状态寄存器 203 输出的状态信号的相同图形依照输出数据宽度重复，由此主机系统 10 可以在不改变由写指令表示的地址的情况下读取状态信号。这样，与存储器 20 结合使用的主机系统 10 不必具有为执行用于状态检验目的的地址控制而安装的软件。结果是，可以减少软件设计时间和系统上的处理负载。

为了说明简要，本实施例以具有 8 位输入数据宽度和 64 位输出数据宽度的非易失性半导体存储器件为例进行说明，但不限于此。本发明有效地应用于其输出数据宽度比输入数据宽度更宽的非易失性半导体存储器件。

（第二实施例）

图 4 是表示根据本发明第二实施例的非易失性半导体存储器件 30（以下称为存储器 30）和其主机系统 10 的方框图。代替根据第一实施例的输出切换电路 208，存储器 30 包括用于主机系统 10 的输出切换电路 308，该主机系统 10 利用比输出数据宽度（在这种情况下，

64 位输出数据宽度) 窄的位宽度执行读取。输出切换电路 308 是通过向输出切换电路 208 添加新的功能而获得的。在本实施例中, 具有与第一实施例相同的类似物的存储器 30 的任何组成元件将用与第一实施例中使用的参考标记相同的参考标记来表示, 并且省略其说明。

图 5 是说明输出切换电路 308 的典型具体结构的示意图。输出切换电路 308 包括 64 位布线 W1、8 位布线 W2、三态门 403、三态门 404、总线宽度确定部件 505、输出模式解码器 506 和 NAND 门 507。每个 NAND 门 507 由八个共用 NAND 门 (未示出) 构成。

总线宽度确定部件 505 包括第一和第二复用器 M1 和 M2。第一复用器 M1 根据从存储器 30 的外部输入的 DBWORD 信号 (以下称为 DBWORD) 输出固定值 (1h) 或 DBSIZE 信号 (以下称为 DBSIZE)。第二复用器 M2 根据控制信号 CS 输出从复用器 M1 输出的值或 SIZER 信号 (以下称为 SIZER)。应该注意的是, 下面, 从第二复用器 M2 输出的信号被称为读出放大器模式信号 (以下称为 SAMD)。控制信号 CS 是其上输入 SIZER[0] 和 SIZER[1] 的 OR 门的输出。DBSIZE、DBWORD 和 SIZER 是外部输入的信号, 并且其具体例子将在下面说明。将 SAMD 输入到读出放大器 307 和输出模式解码器 506。输出模式解码器 506 根据 SAMD 表示的值将 EN8 信号、EN16 信号、EN32 信号和 EN64 信号转换为 “H” 或 “L”。

在数据读取时, 在从存储单元阵列 206 读出的 64 位数据当中, 直接通过第一布线 (即, 其值在三态门 403 和 NAND 门 507 不改变) 的数据 $D[8m-1:0]$ ($m=8, 4, 2, 1$) 由主机系统 10 读取。在写数据时, 由主机系统 10 读取数据 $D[8m-1:0]$ ($m=8, 4, 2, 1$), 在该数据 $D[8m-1:0]$ 中, 从状态寄存器 203 输出的状态信号的相同图形重复 m 次。

更具体地说, 在使用主机系统 10 读取 64 位数据的情况下, 输入用于将 SAMD 的值改变为 3h 的信号。在 SAMD 的值为 3h 的情况下, 输出模式解码器 506 将信号 EN8、EN16、EN32 和 EN64 转换为 “H”。在这种情况下, 在写数据时 ($SAMD=3h$, $SAD=“L”$ 和 $NSAD=“H”$), 由主机系统 10 读取从输出切换电路 308 输出的 64 位数据 $D[63:0]$,

在该数据 D [63:0] 中相同状态信号图形重复八次。而且，在数据读取时 (SAMD=3h, SAD=“H”和 NSAD=“L”), 由主机系统 10 读取从存储单元阵列 206 读取的 64 位数据 D [63:0]。

在使用用于读取 32 位数据的主机系统 10 的情况下, 将用于将 SAMD 的值变为 2h 的信号输入到总线宽度确定部件 505。在 SAMD 的值为 2h 的情况下, 输出模式解码器 506 将信号 EN8、EN16 和 EN32 转换为“H”, 并将信号 EN64 转换为“L”。在这种情况下, 在写数据时 (SAMD=2h, SAD=“L”和 NSAD=“H”), 由主机系统 10 读取从输出切换电路 308 输出的 32 位数据 D [31:0], 在该数据 D [31:0] 中, 相同状态信号图形重复四次。而且, 在数据读取时 (SAMD=2h, SAD=“H”和 NSAD=“L”), 由主机系统 10 读取从存储单元阵列 206 读取的 64 位数据的低 32 位数据 DB [31:0]。

在使用主机系统 10 读取 16 位数据的情况下, 向总线宽度确定部件 505 中输入用于将 SAMD 的值改变为 1h 的信号。在 SAMD 的值为 1h 的情况下, 输出模式解码器 506 将信号 EN8 和 EN16 转换为“H”, 并将信号 EN32 和 EN64 转换为“L”。在这种情况下, 在写数据时 (SAMD=1h, SAD=“L”和 NSAD=“H”), 由主机系统 10 读取从输出切换电路 308 输出的 16 位数据 D [15:0], 在该数据 D [15:0] 中, 相同状态信号图形重复两次。而且, 在数据读取时 (SAMD=1h, SAD=“H”和 NSAD=“L”), 由主机系统 10 读取从存储单元阵列 206 读取的 64 位数据的低 16 位数据 D [15:0]。

在使用主机系统 10 读取 8 位数据的情况下, 向总线宽度确定部件 505 中输入用于将 SAMD 的值改变为 0h 的信号。在 SAMD 的值为 0h 的情况下, 输出模式解码器 506 将信号 EN8 转换为“H”, 并将信号 EN16、EN32 和 EN64 转换为“L”。在这种情况下, 在写数据时 (SAMD=0h, SAD=“L”和 NSAD=“H”), 由主机系统 10 读取从输出切换电路 308 输出的 8 位状态信号 D [7:0]。而且, 在数据读取时 (SAMD=0h, SAD=“H”和 NSAD=“L”), 由主机系统 10 读取从存储单元阵列 206 读取的 64 位数据的低 8 位数据 D [7:0]。

应该注意的是, 如图 5 所示的总线宽度确定部件 505 被构成为使

得如下设置总线宽度（更具体地说，是 m 的值）：在输入两种类型的信号 DBSIZE 和 DBWORD 的情况下，基于 DBWORD 设置总线宽度；而在输入三种类型的信号 DBSIZE、DBWORD 和 SIZER 的情况下，基于 SIZER 设置总线宽度。DBSIZE 可以是经由形成在衬底上的布线输入且被供应固定电压的信号，其中在该衬底上安装了存储器 30。在存储器 30 的制造阶段不设置输出数据宽度；只在将存储器 30 安装在衬底上时设置存储器 30 的输出数据宽度，由此可以提供容易使用和通用的存储器。

DBWORD 可以例如是从连接到存储器 30 的外部装置输出的信号。如果基于 DBSIZE 信号确定的总线宽度可以通过外部输入的信号进行改变，则对存储器可以再设置用于写操作测试或由写入器进行写操作的总线宽度。这样，可以提供更容易使用的存储器。

如果 SIZER 是例如从主机系统 10 的内部寄存器获得的信号，则可以根据主机系统 10 的读取数据宽度来改变输出数据宽度。这样，可以提供更容易使用的和通用的存储器 30。而且，这种存储器 30 具有能便于故障分析和调试的优点。

在本实施例中，介绍了相对于具有设置值（DBSIZE）的信号而优先使用其值是有选择性地确定的信号（DBWORD 和 SIZER）来设置总线宽度的情况。在根据器件使用情况来设置输出数据宽度时，按照这种方式设置总线宽度是有用的，但是不限于此。而且，用于设置总线宽度的信号的类型和数量不限于本实施例中所述的那些。

存储器 30 通过将信号 EN16、EN32 和 EN64 当中的预定信号转换为“L”而将输出数据总线 Dbout 上的不用布线的电压固定为特定值“H”。换言之，存储器 20 的物理输出数据宽度是 $n \times k$ ($=64$) 位；当 $n(=8)$ 位状态信号的相同图形重复 m ($=1, 2, 4, 8$) 次的信号被输出时，将无效的 $n \times (k-m)$ 位设置为特定值。通过按照上述方式固定不是有效值的输出值，可以减少功耗和防止主机系统出现故障。

根据本实施例的非易失性半导体存储器件 30 不需要用于状态检验的地址控制器。这样，根据本发明的非易失性半导体存储器件简化了安装在主机系统中的用于地址控制的软件，由此可以减少软件设计

时间和系统上的处理负载。

此外，根据本实施例的非易失性半导体存储器件 30 可以根据使用器件的环境来改变输出数据宽度。这样，根据本实施例的非易失性半导体存储器件 30 是容易使用的和通用的。

尽管已经详细地介绍了本发明，但前面的说明都是示意性的，而不是限制性的。应该理解的是，在不脱离本发明的范围的情况下可以设计各种其它修改和变形。

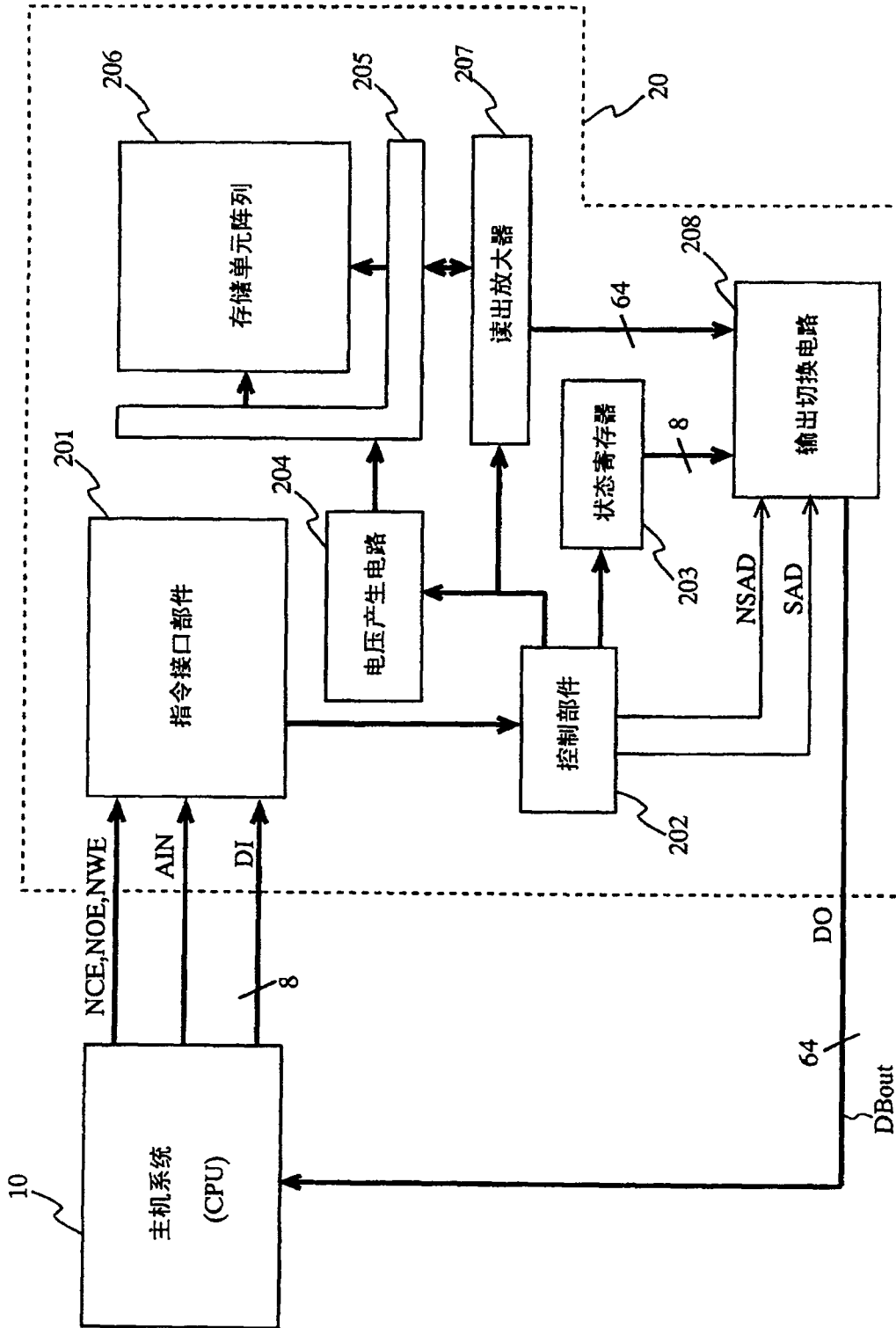


图1

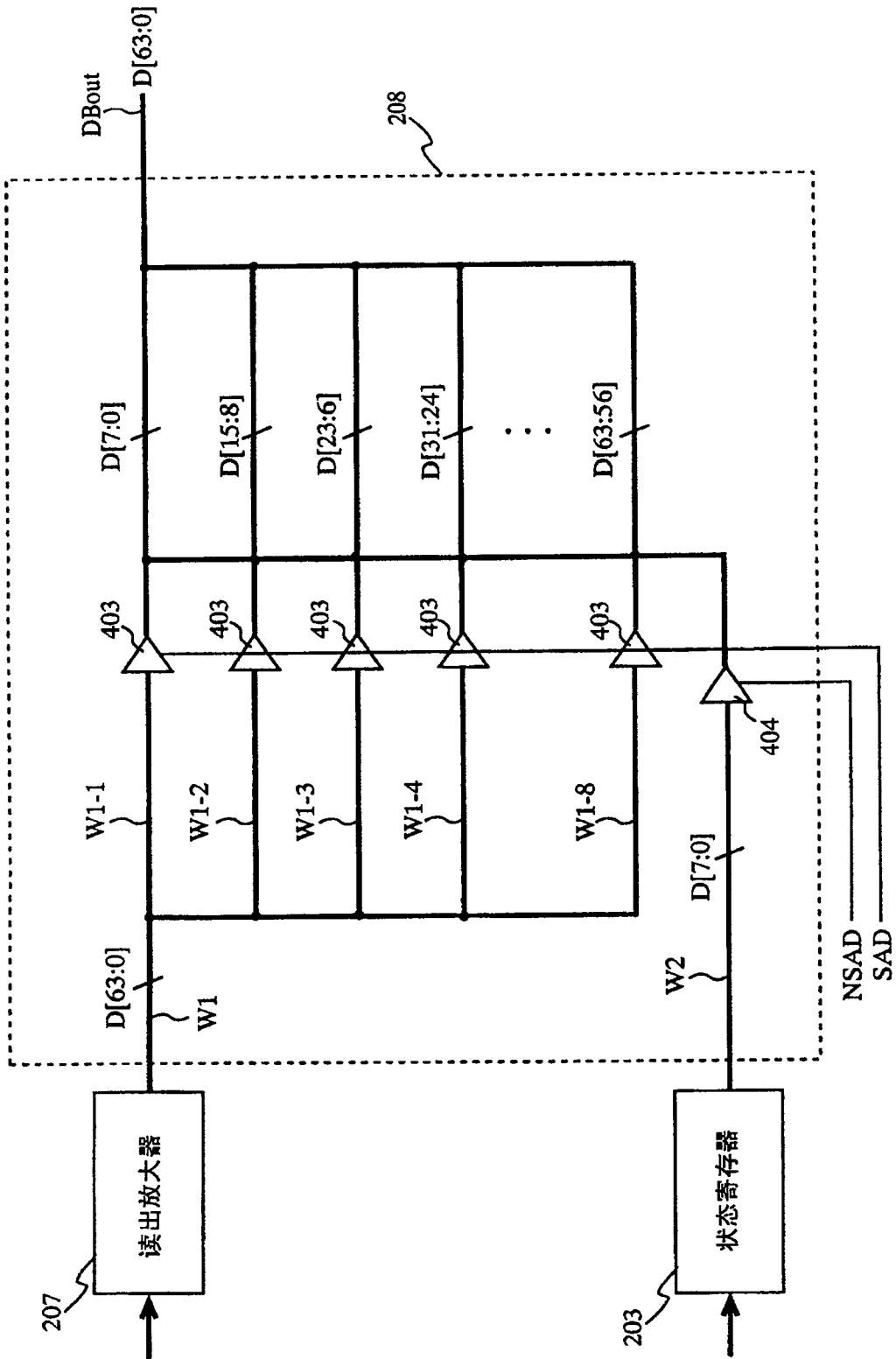


图2

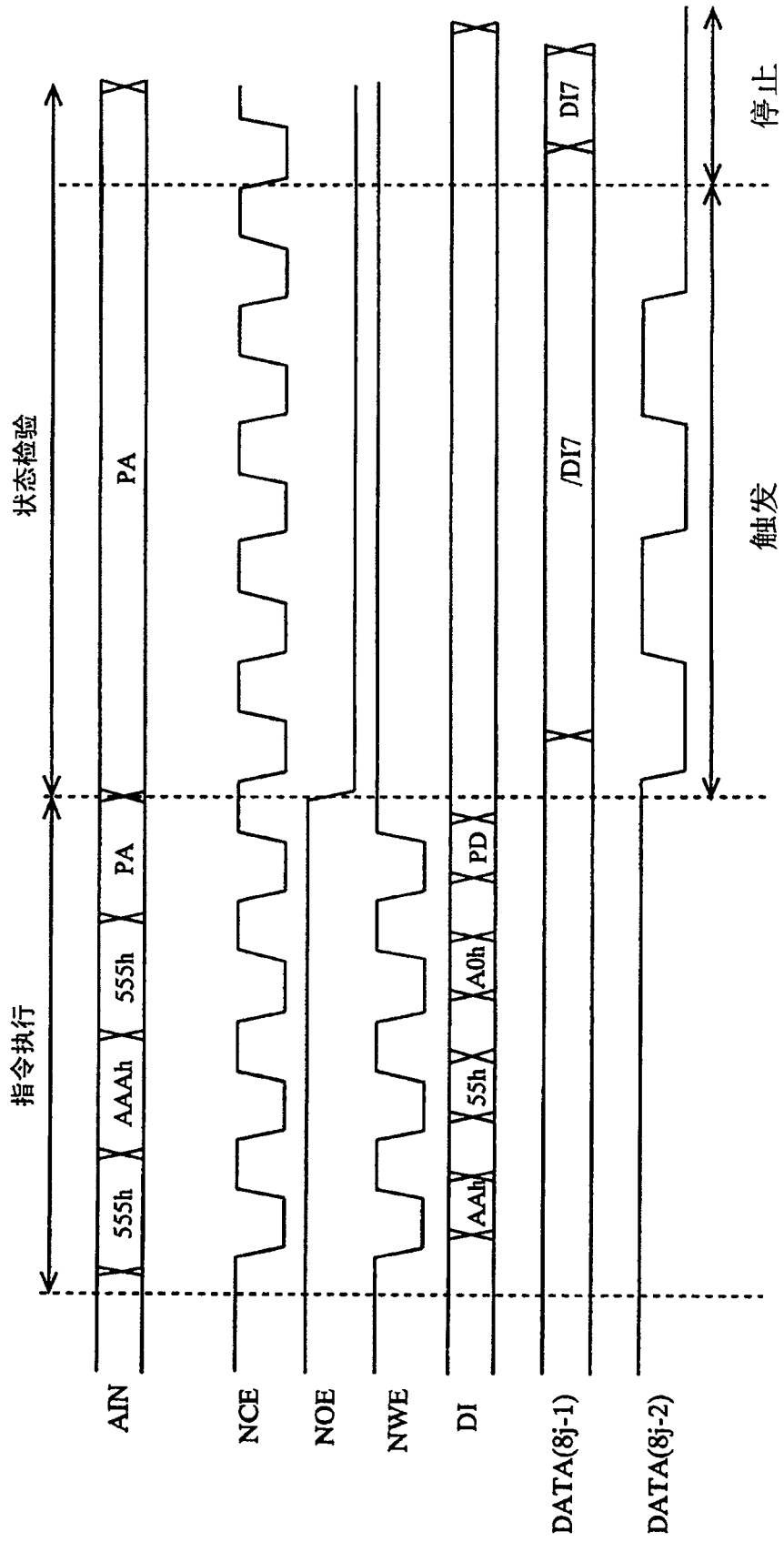


图3

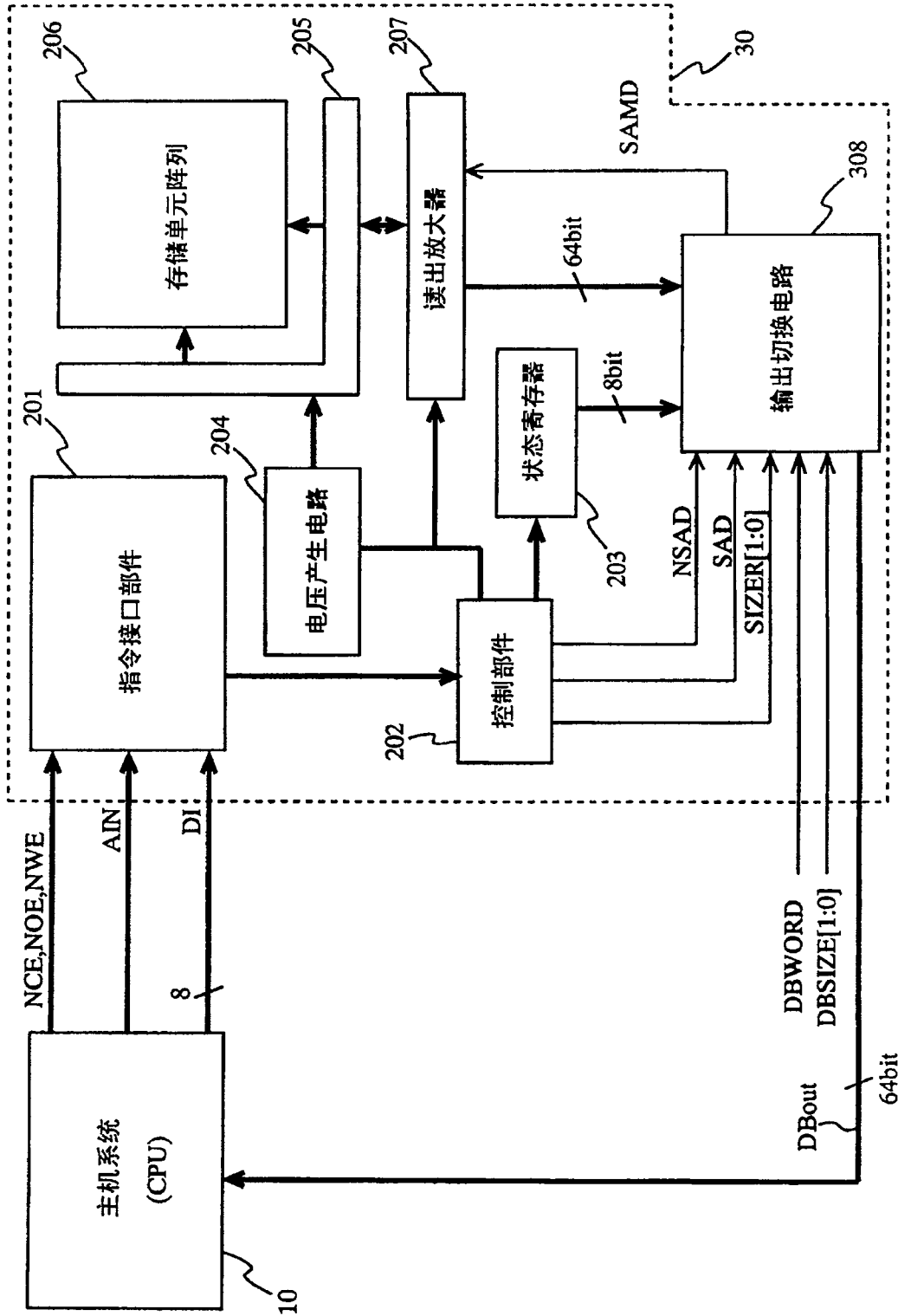


图4

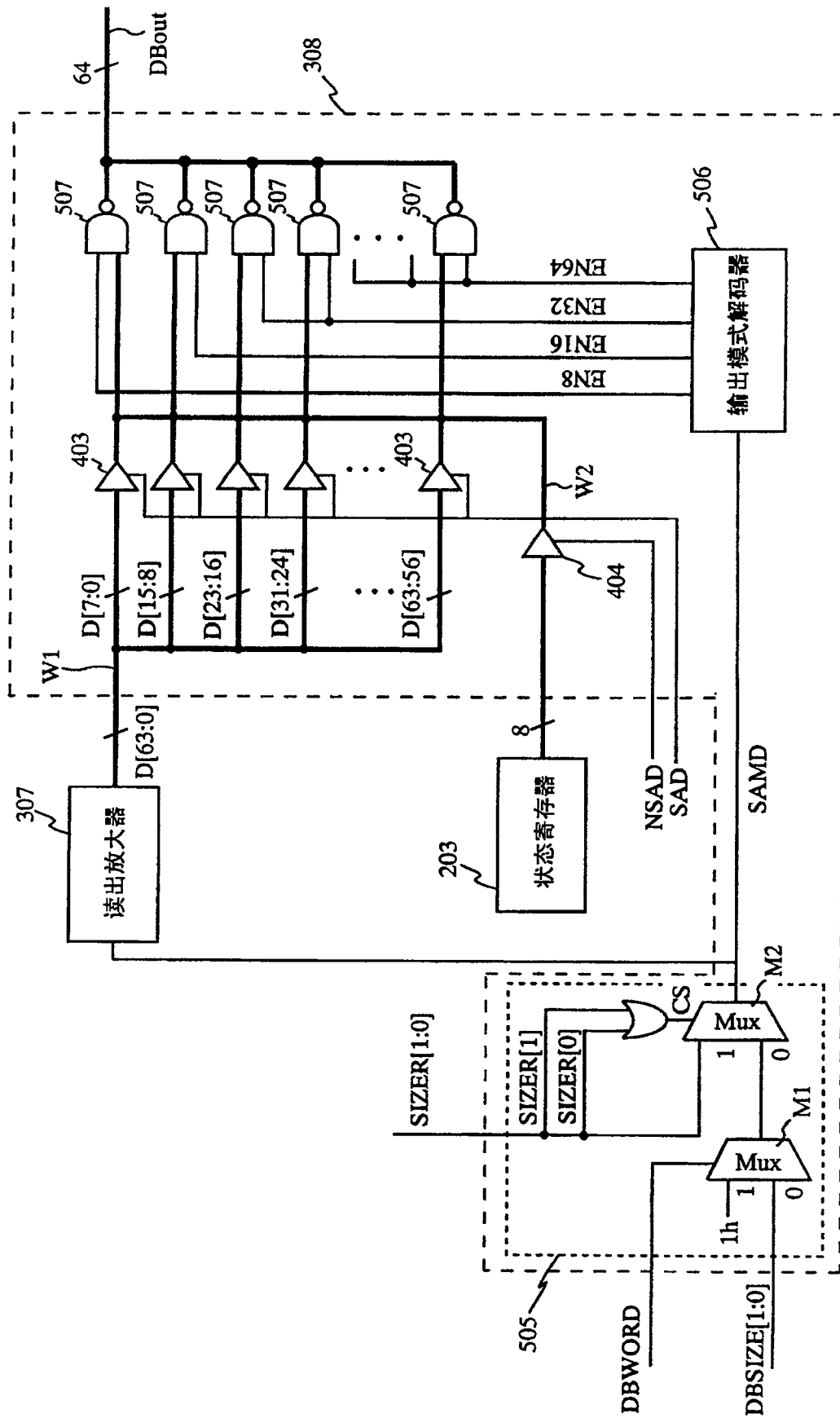


图5

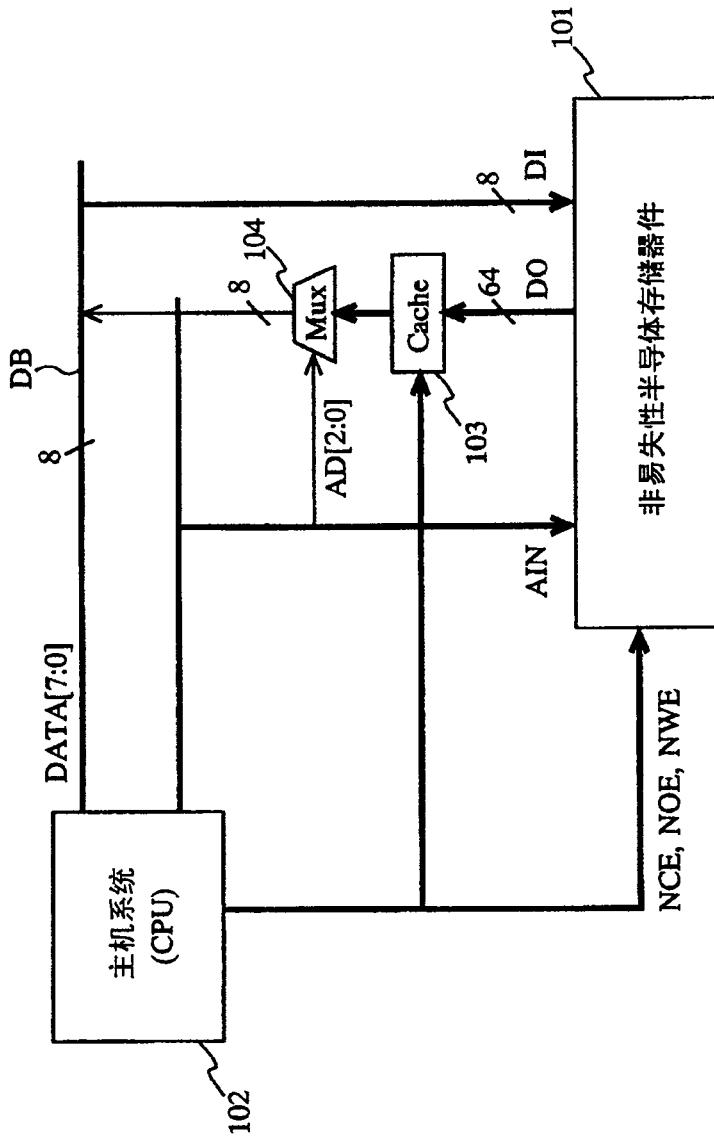


图6

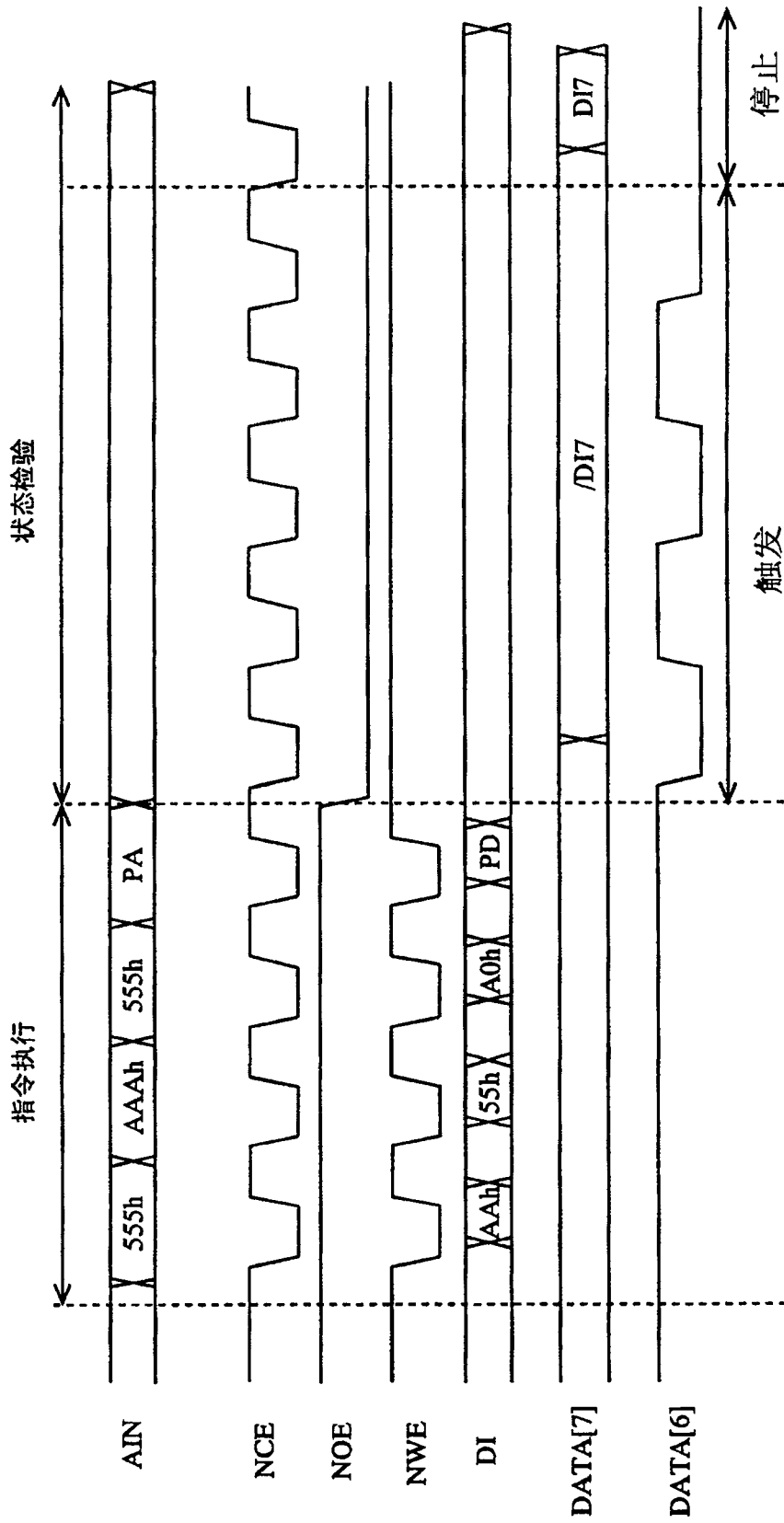


图7