



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0068662
(43) 공개일자 2009년06월29일

(51) Int. Cl.

H01L 21/66 (2006.01)

(21) 출원번호 10-2007-0136366

(22) 출원일자 2007년12월24일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

이동환

서울 강북구 미아5동 457-1

박병수

경기 이천시 증일동 82-7 현대홈타운 105동 902호

(74) 대리인

신영무

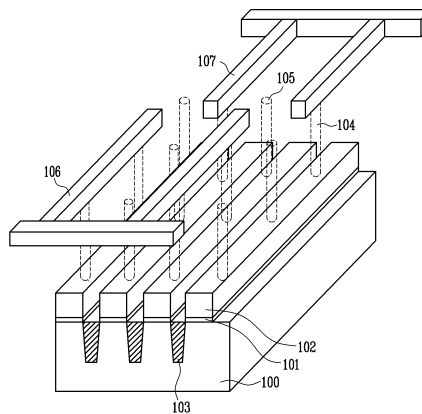
전체 청구항 수 : 총 5 항

(54) 반도체 소자의 테스트 패턴 및 이의 형성 방법

(57) 요약

본 발명은 반도체 소자의 테스트 패턴 및 이의 형성 방법에 관한 것으로, 반도체 기판 상에 평행하게 형성된 게이트 도전막 패턴들과, 상기 게이트 도전막 패턴 중 이븐 게이트 도전막 패턴 상에 형성된 다수의 이븐 콘택들과, 상기 게이트 도전막 패턴 중 오드 게이트 도전막 패턴 상에 형성된 다수의 오드 콘택들과, 상기 게이트 도전막 패턴들의 일단에서부터 일정 부분의 상기 이븐 콘택들의 상부에 형성된 이븐 금속 배선, 및 상기 게이트 도전막 패턴들의 타단에서부터 상기 일정 부분은 상기 오드 콘택들의 상부에 형성된 오드 금속 배선을 포함하는 반도체 소자의 테스트 패턴 및 이의 형성 방법을 개시한다.

대표도 - 도2



특허청구의 범위

청구항 1

반도체 기판 상에 평행하게 형성된 게이트 도전막 패턴들;
 상기 게이트 도전막 패턴 중 이븐 게이트 도전막 패턴 상에 형성된 다수의 이븐 콘택들;
 상기 게이트 도전막 패턴 중 오드 게이트 도전막 패턴 상에 형성된 다수의 오드 콘택들;
 상기 게이트 도전막 패턴들의 일단에서부터 일영역의 상기 이븐 콘택들의 상부에 형성된 이븐 금속 배선; 및
 상기 게이트 도전막 패턴들의 타단에서부터 상기 일영역의 상기 오드 콘택들의 상부에 형성된 오드 금속 배선을 포함하는 반도체 소자의 테스트 패턴.

청구항 2

제 1 항에 있어서,
 상기 일영역은 상기 게이트 도전막 패턴의 중앙 부분인 반도체 소자의 테스트 패턴.

청구항 3

제 1 항에 있어서,
 상기 이븐 금속 배선과 상기 오드 금속 배선은 서로 평행하게 형성되는데, 서로 인접하지 않는 반도체 소자의 테스트 패턴.

청구항 4

반도체 기판 상에 평행한 다수의 게이트 도전막 패턴들을 형성하는 단계;
 상기 다수의 게이트 도전막 패턴들 상에 다수의 콘택을 형성하는 단계; 및
 상기 다수의 콘택 상에 상기 다수의 콘택 중 이븐 콘택의 일부를 연결하는 이븐 금속 배선 및 상기 다수의 콘택 중 오드 콘택의 일부를 연결하는 오드 금속 배선을 형성하는 단계를 포함하는 반도체 소자의 테스트 패턴 형성 방법.

청구항 5

반도체 기판 상에 평행한 다수의 게이트 도전막 패턴들을 형성하는 단계;
 상기 다수의 게이트 도전막 패턴들 중 이븐 게이트 도전막 상에 다수의 이븐 콘택들을 형성하는 단계;
 상기 다수의 게이트 도전막 패턴들 중 오드 게이트 도전막 상에 다수의 오드 콘택들을 형성하는 단계;
 상기 다수의 이븐 콘택들 중 상기 게이트 도전막 패턴의 일단에서부터 중앙 부분에까지 형성된 상기 이븐 콘택 상부에 이븐 금속 배선을 형성하는 단계; 및
 상기 다수의 오드 콘택들 중 상기 게이트 도전막 패턴의 타단에서부터 상기 중앙 부분에까지 형성된 상기 오드 콘택 상부에 오드 금속 배선을 형성하는 단계를 포함하는 반도체 소자의 테스트 패턴 형성 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 소자의 테스트 패턴 및 이의 형성 방법에 관한 것으로, 특히 드레인 콘택의 결함을 검출하기 위한 반도체 소자의 테스트 패턴 및 이의 형성 방법에 관한 것이다.

배경 기술

<2> 대부분의 고집적 메모리 소자는 0.15 μ m이하의 디자인 룰을 갖는 초미세 공정을 수행하여 제조한다. 이러한 초미

세 공정들의 특성을 평가하기 위하여 반도체 기관의 일부분에 테스트 패턴(Test pattern)을 형성하고 있으며, 이 테스트 패턴을 이용하여 각각의 공정 특성을 모니터링(Monitoring) 하고 있다.

- <3> 도 1은 종래 기술에 따른 반도체 소자의 테스트 패턴을 설명하기 위한 소자의 사시도이다.
- <4> 도 1을 참조하면, 반도체 소자의 테스트 패턴은 반도체 기관(10) 상에 도전막 패턴(11)을 형성한 후, 소자 분리 공정을 실시하여 소자 분리막(12)을 형성한다. 이 후, 도전막 패턴(11) 상에 다수의 드레인 콘택(13)을 형성하고, 드레인 콘택(13)을 연결하는 금속 배선(14)을 형성한다.
- <5> 종래 기술에 따른 반도체 소자의 테스트 패턴을 이용하여 테스트를 실시하는 방법은 인접한 금속 배선에 전류를 인가하여 전류가 검출되는지를 측정하게 된다. 그러나 이때 드레인 콘택의 브릿지에 의해 공정 결함이 발생하여도 금속 배선간의 브릿지 현상에 의한 것인지 드레인 콘택의 브릿지에 의한 결함인지 구분할 수 없다.

발명의 내용

해결 하고자하는 과제

- <6> 본 발명이 이루고자 하는 반도체 소자의 테스트 패턴은 다수의 드레인 콘택을 연결하는 다수의 금속 배선 중 이븐 금속 배선과 오드 금속 배선이 서로 인접하지 않도록 형성함으로써, 금속 배선의 브릿지 현상을 방지하여 드레인 콘택의 결함만을 검출할 수 있는 반도체 소자의 테스트 패턴 및 이의 제조 방법을 제공하는 데 있다.

과제 해결수단

- <7> 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴은 반도체 기관 상에 평행하게 형성된 게이트 도전막 패턴들과, 상기 게이트 도전막 패턴 중 이븐 게이트 도전막 패턴 상에 형성된 다수의 이븐 콘택들과, 상기 게이트 도전막 패턴 중 오드 게이트 도전막 패턴 상에 형성된 다수의 오드 콘택들과, 상기 게이트 도전막 패턴들의 일단에서부터 일정 부분의 상기 이븐 콘택들의 상부에 형성된 이븐 금속 배선, 및 상기 게이트 도전막 패턴들의 타단에서부터 상기 일정 부분은 상기 오드 콘택들의 상부에 형성된 오드 금속 배선을 포함한다.
- <8> 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴 형성 방법은 반도체 기관 상에 평행한 다수의 게이트 도전막 패턴들을 형성하는 단계와, 상기 다수의 게이트 도전막 패턴들 중 이븐 게이트 도전막 상에 다수의 이븐 콘택들을 형성하는 단계와, 상기 다수의 게이트 도전막 패턴들 중 오드 게이트 도전막 상에 다수의 오드 콘택들을 형성하는 단계와, 상기 다수의 이븐 콘택들 중 상기 게이트 도전막 패턴의 일단에서부터 중앙 부분에까지 형성된 상기 이븐 콘택 상부에 이븐 금속 배선을 형성하는 단계, 및 상기 다수의 오드 콘택들 중 상기 게이트 도전막 패턴의 타단에서부터 상기 중앙 부분에까지 형성된 상기 오드 콘택 상부에 오드 금속 배선을 형성하는 단계를 포함한다.

효과

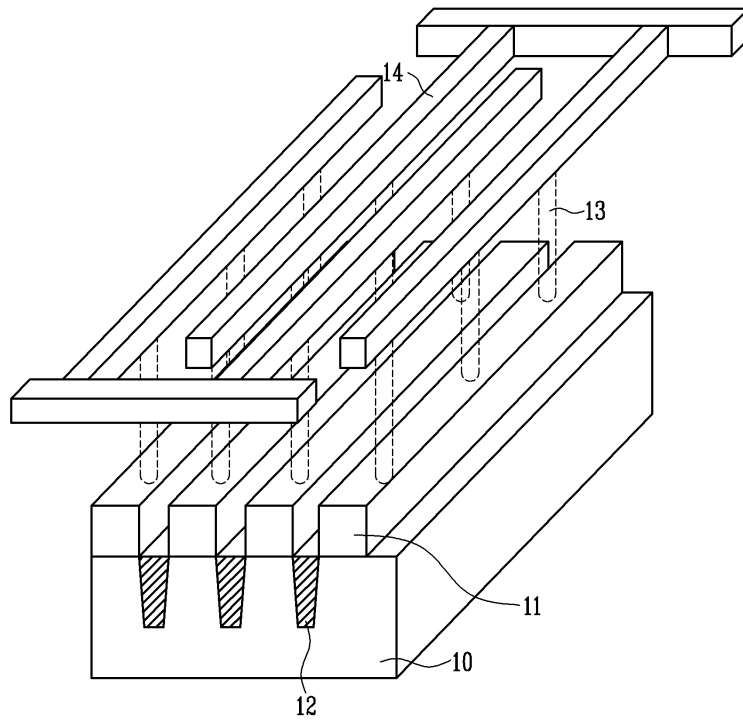
- <9> 본 발명의 일 실시 예에 따르면, 다수의 드레인 콘택을 연결하는 다수의 금속 배선 중 이븐 금속 배선과 오드 금속 배선이 서로 인접하지 않도록 형성함으로써, 금속 배선의 브릿지 현상을 방지하여 드레인 콘택의 결함만을 검출할 수 있는 반도체 소자의 테스트 패턴 및 이의 제조 방법을 제공하는 데 있다.

발명의 실시를 위한 구체적인 내용

- <10> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허청구범위에 의해서 이해되어야 한다.
- <11> 도 2는 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴을 설명하기 위한 사시도이다.
- <12> 도 2를 참조하면, 반도체 기관(100) 상에 게이트 절연막(101), 및 게이트용 도전막(102)을 형성한다. 게이트 절연막(101), 및 게이트용 도전막(102)은 플래시 메모리 소자의 경우 터널 절연막, 및 플로팅 게이트용 도전막에 대응된다.
- <13> 이 후, 식각 공정을 실시하여 게이트용 도전막(102) 및 게이트 절연막(101)을 식각하여 반도체 기관(100)의 소

도면

도면1



도면2

