



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0009326
(43) 공개일자 2021년01월26일

- (51) 국제특허분류(Int. Cl.)
 H01L 25/075 (2006.01) G09F 9/33 (2006.01)
 H01L 25/16 (2006.01) H01L 27/12 (2006.01)
 H01L 29/786 (2006.01) H01L 33/50 (2010.01)
 H01L 33/62 (2010.01)
- (52) CPC특허분류
 H01L 25/0753 (2013.01)
 G09F 9/33 (2013.01)
- (21) 출원번호 10-2020-7034421
- (22) 출원일자(국제) 2019년05월08일
 심사청구일자 없음
- (85) 번역문제출일자 2020년11월30일
- (86) 국제출원번호 PCT/IB2019/053758
- (87) 국제공개번호 WO 2019/220267
 국제공개일자 2019년11월21일
- (30) 우선권주장
 JP-P-2018-095670 2018년05월17일 일본(JP)
- (71) 출원인
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 쿠스노키 코지
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 츠카모토 요스케
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 요시즈미 켄스케
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 장훈

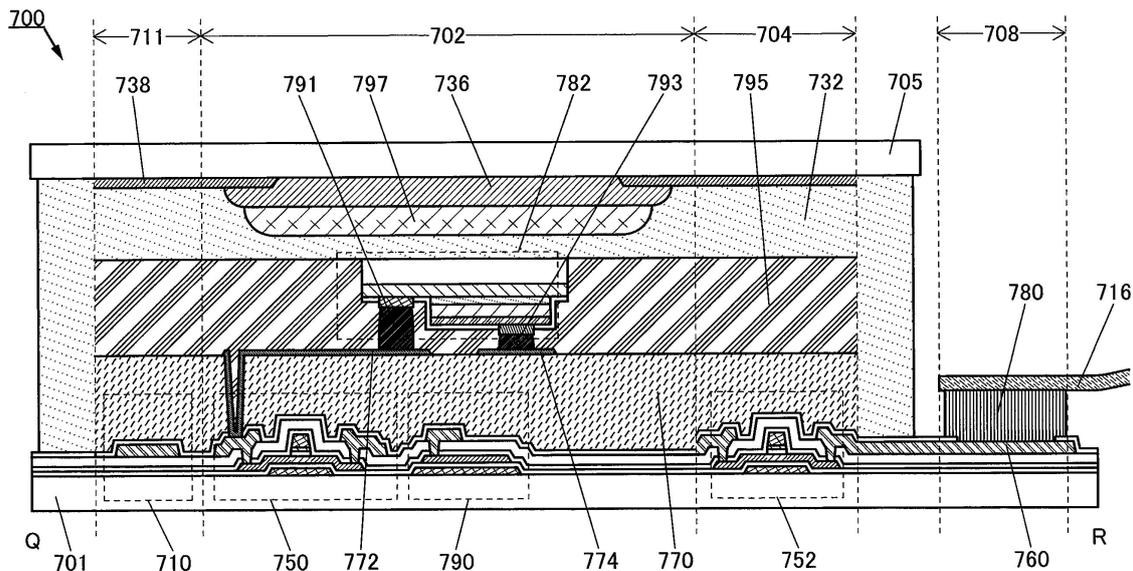
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 표시 장치

(57) 요약

휘도 및 콘트라스트가 높고, 또한 소비전력이 낮은 표시 장치를 제공한다. 트랜지스터와, 발광 소자와, 착색층과, 형광체층과, 제 1 전극과, 제 2 전극을 가지는 표시 장치로 한다. 발광 소자는, 제 1 전극 및 제 2 전극과 전기적으로 접속되고, 제 1 전극은 상기 트랜지스터와 전기적으로 접속되고, 제 2 전극은 제 1 전극과 동일한 면위에 위치한다. 착색층은 발광 소자 위에 위치하고, 형광체층은 발광 소자 및 착색층 사이에 위치하고, 형광체층, 발광 소자 및 상기 착색층은 서로 중첩되는 영역을 가진다. 발광 소자는 발광 다이오드 칩을 가지고, 형광체층은 발광 소자의 발광색의 보색의 광을 사출하는 기능을 가진다.

대표도



(52) CPC특허분류

H01L 25/167 (2013.01)

H01L 27/1214 (2013.01)

H01L 29/786 (2021.01)

H01L 33/50 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

표시 장치로서,
트랜지스터와, 발광 소자와, 착색층과, 제 1 전극과, 제 2 전극을 가지고,
상기 발광 소자는 상기 제 1 전극 및 상기 제 2 전극과 전기적으로 접속되고,
상기 제 1 전극은 상기 트랜지스터와 전기적으로 접속되고,
상기 제 2 전극은 상기 제 1 전극과 동일한 면 위에 위치하고,
상기 착색층은 상기 발광 소자 위에 위치하고,
상기 착색층은 상기 발광 소자와 중첩되는 영역을 가지고,
상기 발광 소자는 발광 다이오드 칩을 가지고,
상기 발광 소자는 백색광을 사출하는 기능을 가지는, 표시 장치.

청구항 2

표시 장치로서,
트랜지스터와, 발광 소자와, 착색층과, 형광체층과, 제 1 전극과, 제 2 전극을 가지고,
상기 발광 소자는 상기 제 1 전극 및 상기 제 2 전극과 전기적으로 접속되고,
상기 제 1 전극은 상기 트랜지스터와 전기적으로 접속되고,
상기 제 2 전극은 상기 제 1 전극과 동일한 면 위에 위치하고,
상기 착색층은 상기 발광 소자 위에 위치하고,
상기 형광체층은 상기 발광 소자 및 상기 착색층 사이에 위치하고,
상기 형광체층, 상기 발광 소자 및 상기 착색층은 서로 중첩되는 영역을 가지고,
상기 발광 소자는 발광 다이오드 칩을 가지고,
상기 형광체층은 상기 발광 소자의 발광색의 보색의 광을 사출하는 형광체를 가지는, 표시 장치.

청구항 3

제 2 항에 있어서,
차광층을 더 가지고,
상기 차광층은 상기 발광 소자와 인접하는, 표시 장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,
상기 발광 소자는 청색광을 사출하는 기능을 가지고,
상기 형광체층은 황색광을 사출하는 형광체를 가지는, 표시 장치.

청구항 5

제 2 항 또는 제 3 항에 있어서,

상기 발광 소자는 근자외광 또는 자색광을 사출하는 기능을 가지고,

상기 형광체층은 적색광을 사출하는 형광체와, 녹색광을 사출하는 형광체와, 청색광을 사출하는 형광체를 가지는, 표시 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 발광 소자는 상기 착색층을 향하여 광을 사출하는 기능을 가지는, 표시 장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

제 1 범프와 제 2 범프를 더 가지고,

상기 제 1 범프는 상기 발광 소자의 한쪽 전극과 상기 제 1 전극 사이에 위치하고,

상기 제 2 범프는 상기 발광 소자의 다른 쪽 전극과 상기 제 2 전극 사이에 위치하고,

상기 제 1 범프 및 상기 제 2 범프는 은을 가지고,

상기 제 1 전극 및 상기 제 2 전극은 은, 알루미늄, 타이타늄, 구리 중 어느 하나 이상을 가지는, 표시 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 트랜지스터는 채널 형성 영역에 산화물 반도체를 가지는, 표시 장치.

청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 트랜지스터는 채널 형성 영역에 실리콘을 가지는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 표시 장치, 표시 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터, 반도체 회로, 연산 장치, 기억 장치 등은 반도체 장치의 일 형태이다. 또한, 활상 장치, 전기 광학 장치, 발진 장치(박막 태양 전지, 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 반도체 장치를 가지는 경우가 있다.

배경 기술

[0004] 근년에 들어 표시 장치의 용도가 다양화되고 있고, 예를 들어 휴대 정보 단말, 가정용 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 디지털 사이니지(Digital Signage: 전자 간판)나, PID(Public Information Display) 등에 표시 장치가 사용되고 있다. 표시 장치로서는 대표적으로 유기 EL(Electro Luminescence) 소자나 발광 다이오드(LED: Light Emitting Diode) 등의 발광 소자를 가지는 표시 장치, 액정 소자를 가지는 표시 장치, 전기 영동 방식 등에 의하여 표시를 수행하는 전자 페이퍼 등을 들 수 있다. 또한, 옥외에서의 사용에도 견딜 수 있도록 표시 장치에 요구되는 휘도는 해마다 증가되고 있다.

[0005] 발광 소자로서 소형 LED(마이크로 LED라고도 함)를 사용하고, 화소 전극 각각에 접속되는 스위칭 소자로서 트랜지스터를 사용하는 액티브 매트릭스형 마이크로 LED 표시 장치가 개시되어 있다(특허문헌 1). 또한, 화소 전극

각각에 접속하는 스위칭 소자로서 반도체 특성을 나타내는 금속 산화물(이하, 산화물 반도체라고도 함)을 채널 형성 영역으로 하는 트랜지스터를 사용하는 액티브 매트릭스형 표시 장치가 알려져 있다(특허문헌 2 및 특허문헌 3).

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 미국 특허출원공개공보 제 2017/0179092호
- (특허문헌 0002) 일본 공개특허공보 특개2007-123861호
- (특허문헌 0003) 일본 공개특허공보 특개2007-96055호

발명의 내용

해결하려는 과제

- [0007] 본 발명의 일 형태는 휘도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 콘트라스트가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 응답 속도가 빠른 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 소비전력이 낮은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 제조 비용이 낮은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 수명이 긴 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다.
- [0008] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

과제의 해결 수단

- [0009] 본 발명의 일 형태는 트랜지스터와, 발광 소자와, 착색층과, 제 1 전극과, 제 2 전극을 가지고, 발광 소자는 제 1 전극 및 제 2 전극과 전기적으로 접속되고, 제 1 전극은 트랜지스터와 전기적으로 접속되고, 제 2 전극은 제 1 전극과 동일한 면 위에 위치하고, 착색층은 발광 소자 위에 위치하고, 착색층은 발광 소자와 중첩되는 영역을 가지고, 발광 소자는 발광 다이오드 칩을 가지고, 발광 소자는 백색광을 사출하는 기능을 가지는 표시 장치이다.
- [0010] 본 발명의 일 형태는 트랜지스터와, 발광 소자와, 착색층과, 형광체층과, 제 1 전극과, 제 2 전극을 가지고, 발광 소자는 제 1 전극 및 제 2 전극과 전기적으로 접속되고, 제 1 전극은 트랜지스터와 전기적으로 접속되고, 제 2 전극은 제 1 전극과 동일한 면 위에 위치하고, 착색층은 발광 소자 위에 위치하고, 형광체층은 발광 소자 및 착색층 사이에 위치하고, 형광체층, 발광 소자, 및 착색층은 서로 중첩되는 영역을 가지고, 발광 소자는 발광 다이오드 칩을 가지고, 형광체층은 발광 소자의 발광색의 보색의 광을 사출하는 형광체를 가지는 표시 장치이다.
- [0011] 상술한 표시 장치에 있어서, 차광층을 더 가지고, 차광층은 발광 소자와 인접하는 것이 바람직하다.
- [0012] 상술한 표시 장치에 있어서, 발광 소자는 청색광을 사출하는 기능을 가지고, 형광체층은 황색광을 사출하는 형광체를 가지는 것이 바람직하다.
- [0013] 상술한 표시 장치에 있어서, 발광 소자는 근자외광 또는 자색광을 사출하는 기능을 가지고, 형광체층은 적색광을 사출하는 형광체와 녹색광을 사출하는 형광체와, 청색광을 사출하는 형광체를 가지는 것이 바람직하다.
- [0014] 상술한 표시 장치에 있어서, 발광 소자는 착색층을 향하여 광을 사출하는 기능을 가지는 것이 바람직하다.
- [0015] 상술한 표시 장치에 있어서, 제 1 범프와 제 2 범프를 더 가지고, 제 1 범프는 발광 소자의 한쪽 전극과 제 1 전극 사이에 위치하고, 제 2 범프는 발광 소자의 다른 쪽 전극과 제 2 전극 사이에 위치하고, 제 1 범프 및 제 2 범프는 은을 가지고, 제 1 전극 및 제 2 전극은 은, 알루미늄, 타이타늄, 구리 중 어느 하나 이상을 가지는 것이 바람직하다.

[0016] 상술한 표시 장치에 있어서, 트랜지스터는 채널 형성 영역에 산화물 반도체를 가져도 좋다. 트랜지스터는 채널 형성 영역에 실리콘을 가져도 좋다.

발명의 효과

[0017] 본 발명의 일 형태에 의하여 휘도가 높은 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 콘트라스트가 높은 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 응답 속도가 빠른 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 소비전력이 낮은 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 제조 비용이 낮은 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 수명이 긴 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 신규 표시 장치를 제공할 수 있다.

[0018] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

도면의 간단한 설명

- [0019] 도 1의 (A), (B), (C)는 표시 장치의 구성예.
- 도 2의 (A), (B), (C)는 표시 장치의 구성예.
- 도 3의 (A), (B), (C)는 발광 소자의 구성예.
- 도 4의 (A), (B), (C)는 발광 소자의 구성예.
- 도 5의 (A), (B), (C)는 표시 장치의 구성예.
- 도 6의 (A), (B), (C)는 표시 장치의 상면도.
- 도 7은 표시 장치의 단면도.
- 도 8은 표시 장치의 단면도.
- 도 9의 (A), (B), (C)는 표시 장치의 제작 방법을 설명하는 도면.
- 도 10의 (A), (B)는 표시 장치의 제작 방법을 설명하는 도면.
- 도 11은 표시 장치의 제작 방법을 설명하는 도면.
- 도 12의 (A), (B)는 표시 장치의 제작 방법을 설명하는 도면.
- 도 13은 표시 장치의 단면도.
- 도 14의 (A), (B)는 표시 장치의 제작 방법을 설명하는 도면.
- 도 15의 (A), (B)는 표시 장치의 제작 방법을 설명하는 도면.
- 도 16은 (A1), (A2), (B1), (B2), (C1), (C2)는 트랜지스터를 설명하는 도면.
- 도 17은 (A1), (A2), (B1), (B2), (C1), (C2)는 트랜지스터를 설명하는 도면.
- 도 18은 (A1), (A2), (B1), (B2), (C1), (C2)는 트랜지스터를 설명하는 도면.
- 도 19는 (A1), (A2), (B1), (B2), (C1), (C2)는 트랜지스터를 설명하는 도면.
- 도 20의 (A)는 표시 장치의 블록도. 도 20의 (B)는 표시 장치의 회로도.
- 도 21의 (A), (B), (C)는 표시 장치의 회로도.
- 도 22의 (A), (C), (D)는 표시 장치의 회로도. 도 22의 (B)는 표시 장치의 타이밍 차트.
- 도 23의 (A), (B), (C), (D), (E)는 정보 처리 장치를 설명하는 도면.
- 도 24의 (A), (B), (C), (D), (E)는 정보 처리 장치를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0020] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정되어 해석되는 것은 아니다.
- [0021] 또한 아래에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0022] 또한, 본 명세서에서 설명하는 각 도면에서, 각 구성의 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다.
- [0023] 또한, 본 명세서 등에서의 '제 1', '제 2' 등의 서수사는, 구성 요소의 혼동을 피하기 위하여 붙이는 것이며, 수적으로 한정하는 것이 아니다.
- [0024] 트랜지스터는 반도체 소자의 한 종류이고, 전류나 전압의 증폭이나 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜지스터는 IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.
- [0025] 또한, 이하에서는 "위", "아래" 등의 방향을 나타내는 표현은 기본적으로는 도면의 방향에 맞추어 사용하는 것으로 한다. 그러나, 설명을 용이하게 하는 등의 목적으로 명세서 중의 "위" 또는 "아래"가 의미하는 방향이 도면과 일치하지 않는 경우가 있다. 일례로서는, 적층체 등의 적층 순서(또는 형성 순서) 등을 설명하는 경우에, 도면에 있어서 상기 적층체가 제공되는 층의 면(피형성면, 지지면, 접촉면, 평탄면 등)이 상기 적층체보다 위쪽에 위치하여도, 그 방향을 아래, 이와 반대의 방향을 위 등이라고 표현하는 경우가 있다.
- [0026] 본 명세서 등에서 표시 장치의 일 형태인 표시 패널은 표시면에 화상 등을 표시(출력)하는 기능을 가지는 것이다. 따라서 표시 패널은 출력 장치의 일 형태이다.
- [0027] 또한 본 명세서 등에서는, 표시 패널의 기관에 예를 들어 FPC(Flexible Printed Circuit) 또는 TCP(Tape Carrier Package) 등의 커넥터가 장착된 것, 또는 기관에 COG(Chip On Glass) 방식 등에 의하여 IC가 실장된 것을 표시 패널 모듈, 표시 모듈, 또는 단순히 표시 패널 등이라고 부르는 경우가 있다.
- [0028] (실시형태 1)
- [0029] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 설명한다.
- [0030] <구성예 1>
- [0031] 본 발명의 일 형태인 표시 장치(10)의 단면 구성의 일례를 도 1의 (A)에 도시하였다.
- [0032] 표시 장치(10)는 기관(11)과 기관(13) 사이에 기능층(15), 발광 소자(17), 형광체층(35), 착색층(CFR), 착색층(CFG), 및 착색층(CFB) 등을 가진다. 도 1의 (A)에 있어서, 기관(11) 측이 표시 장치(10)의 표시면 측에 상당한다.
- [0033] 발광 소자(17)로서, 예를 들어 OLED(Organic Light Emitting Diode), LED, QLED(Quantum-dot Light Emitting Diode), 반도체 레이저 등의 자발광성 발광 소자를 사용할 수 있다. 특히 LED는 휘도 및 콘트라스트가 높고, 응답 속도가 빠르기 때문에, 발광 소자(17)로서 적합하게 사용할 수 있고, 휘도 및 콘트라스트가 높고 응답 속도가 빠른 표시 장치(10)로 할 수 있다. LED는 자발광 소자이므로 백라이트가 불필요하고, 또한 편광판도 불필요하기 때문에, 휘도가 높고 소비전력이 적은 표시 장치로 할 수 있다. 또한, LED는 발광층이 무기 재료로 구성되기 때문에 열화가 적고 수명이 긴 표시 장치로 할 수 있다.
- [0034] 기능층(15)은 발광 소자(17)를 구동하는 회로를 포함하는 층이다. 예를 들어 기능층(15)은 트랜지스터, 용량 소자, 배선, 전극 등에 의하여 화소 회로가 구성되어 있다. 또한, 기능층(15)은 전극(21) 및 전극(23)과 전기적으로 접속된다. 즉, 기능층(15)은 전극(21) 및 전극(23)을 통하여 발광 소자(17)와 전기적으로 접속된다.
- [0035] 또한, 전극(21) 및 전극(23)과 기능층(15) 사이에는 절연층(25)이 제공된다. 절연층(25)에 제공된 개구를 통하여 전극(21) 및 전극(23)과 기능층(15)이 전기적으로 접속되어 있다. 이에 의하여, 기능층(15)과 발광 소자

(17)가 전기적으로 접속된다.

- [0036] 표시 장치(10)는 전극(21) 및 전극(23)과 기관(11) 사이에 접촉층(27)을 가진다. 접촉층(27)에 의하여, 기관(11)과 기관(13)이 접합되어 있다고도 할 수 있다. 접촉층(27)은 발광 소자(17)를 밀봉하는 밀봉층으로서도 기능한다. 이와 같이, 표시 장치(10)는 한 쌍의 기관 사이에 발광 소자(17)와 발광 소자를 구동하는 기능층(15)을 가진다.
- [0037] 기관(11)의 기관(13) 측에는 각각 발광 소자(17)와 중첩되는 위치에 착색층(CFR), 착색층(CFG), 및 착색층(CFB)이 제공되어 있다. 착색층(CFR), 착색층(CFG), 및 착색층(CFB)은 예를 들어 각각 적색, 녹색, 또는 청색을 투과시키는 컬러 필터로서 기능한다. 착색층(CFR), 착색층(CFG), 및 착색층(CFB)에 사용할 수 있는 재료로서는, 금속 재료, 수지 재료, 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다.
- [0038] 착색층(CFR), 착색층(CFG), 및 착색층(CFB)과 각 발광 소자(17) 사이에 형광체층(35)이 제공되어 있다. 형광체층(35)으로서, 형광체가 혼합된 유기 수지층 등을 사용할 수 있다. 형광체층(35)이 가지는 형광체는 발광 소자(17)가 사출하는 광에 의하여 여기되고, 발광 소자(17)의 발광색의 보색의 광을 사출하는 재료를 사용할 수 있다. 이와 같은 구성으로 함으로써, 형광체층(35)은 백색광을 사출할 수 있다.
- [0039] 예를 들어, 형광체층(35)이 황색광을 사출하는 형광체를 가지고 발광 소자(17)가 청색광을 사출하는 구성으로 함으로써, 형광체층(35)으로부터 백색광이 사출된다. 따라서, 착색층(CFR)이 제공된 발광 소자(17)가 발한 광은 형광체층(35) 및 착색층(CFR)을 투과하고 적색광(20R)으로서 표시면 측에 사출된다. 마찬가지로, 착색층(CFG)이 제공된 발광 소자(17)가 발한 광은 녹색광(20G)으로서 사출되고, 착색층(CFB)이 제공된 발광 소자(17)가 발한 광은 청색광(20B)으로서 사출된다. 이에 의하여, 1종류의 발광 소자(17)를 사용하여 컬러 표시를 수행할 수 있다. 또한, 표시 장치에 사용되는 발광 소자(17)는 1종류이기 때문에, 제조 공정을 간략화할 수 있다. 즉, 본 발명의 일 형태에 의하여, 낮은 제조 비용으로 휘도 및 콘트라스트가 높고, 응답 속도가 빠르고, 또한 소비전력이 낮은 표시 장치로 할 수 있다.
- [0040] 예를 들어, 형광체층(35)이 적색광을 사출하는 형광체를 가지고, 발광 소자(17)가 청록색광을 사출하는 구성으로 함으로써, 형광체층(35)으로부터 백색광이 사출되는 구성으로 하여도 좋다.
- [0041] 또한, 형광체층(35)이 적색광을 사출하는 형광체, 녹색광을 사출하는 형광체 및 청색광을 사출하는 형광체를 가지고, 발광 소자(17)가 근자외광 또는 자색광을 사출하는 구성으로 함으로써, 형광체층(35)으로부터 백색광이 사출되는 구성으로 하여도 좋다.
- [0042] 또한, 적색(R), 녹색(G), 청색(B)의 3색의 부화소로 하나의 색을 표현하는 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 색 요소로서는 특별히 한정은 없고, RGB 이외의 색을 사용하여도 좋고, 예를 들어 옐로(Y), 시안(C), 마젠타(M) 등으로 구성되어도 좋다.
- [0043] 또한, 도 1의 (B)에 도시된 표시 장치(10A)와 같이, 발광 소자(17)와 인접하도록 차광층(33)을 제공하는 것이 바람직하다. 차광층(33)은 인접하는 발광 소자(17)의 사이에 제공하는 것이 바람직하다. 인접하는 발광 소자(17)의 사이에 차광층(33)을 제공함으로써, 인접하는 화소로의 광 누설, 화소 간의 혼색을 억제할 수 있다. 차광층(33)에는 안료, 염료, 또는 카본 블랙 등을 포함하는 수지를 사용할 수 있다. 또한, 발광 소자(17)의 측면이 차광층(33)과 접하는 것이 바람직하다. 발광 소자(17)의 측면을 차광층(33)으로 덮음으로써, 인접하는 화소로의 광 누설, 화소 간의 혼색을 억제할 수 있다. 또한, 도 1의 (B)에서는 차광층(33)의 상면의 높이와 발광 소자(17)의 상면의 높이가 실질적으로 일치하는 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 차광층(33)의 상면의 높이가 발광 소자(17)의 상면의 높이보다 낮아도 좋고, 발광 소자(17)의 상면의 높이보다 높아도 좋다. 차광층(33)의 상면의 높이가 발광 소자(17)의 상면의 높이와 실질적으로 일치 또는 높게 함으로써, 인접하는 화소로의 광 누설, 화소 간의 혼색을 효율적으로 억제할 수 있다.
- [0044] 도 1의 (B)에서는 발광 소자(17)와 형광체층(35) 사이에 틈이 있는 경우를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도 1의 (C)에 도시된 표시 장치(10B)와 같이, 발광 소자(17)와 형광체층(35)이 접하여도 좋다. 이와 같은 구성으로 함으로써, 착색층(CFR), 착색층(CFG), 및 착색층(CFB)과, 각 발광 소자(17) 사이의 거리가 짧아지고, 인접하는 화소로의 광 누설, 화소 간의 혼색을 억제할 수 있다.
- [0045] 또한, 도 2의 (A)에 도시된 표시 장치(10C)와 같이, 차광층(31)을 제공하여도 좋다. 차광층(31)은 인접하는 착색층 사이에 제공된다. 또한, 차광층(31)은 발광 소자(17)와 중첩되는 영역에 개구부를 가진다. 차광층(31)은 인접하는 발광 소자(17)로부터의 발광을 차단하고, 인접하는 발광 소자(17) 사이에서의 혼색을 억제한다. 여기서, 착색층(CFR), 착색층(CFG), 및 착색층(CFB) 각각의 단부를 차광층(31)과 중첩되도록 제공함으로써, 광 누설

을 억제할 수 있다. 차광층(31)으로서는, 발광 소자(17)로부터의 발광을 차단하는 재료를 사용할 수 있고, 예를 들어 금속 재료, 또는 안료 또는 염료를 포함하는 수지 재료 등을 사용할 수 있다.

[0046] 또한, 도 2의 (B)에 도시된 표시 장치(10D)와 같이, 각각의 착색층은 인접하는 착색층과 일부가 중첩되는 구성으로 하여도 좋다. 착색층이 중첩되는 각각의 영역은 차광층으로서는 기능을 가진다. 또한, 도 2의 (B)에서는 착색층(CFR)의 한쪽의 단부가 착색층(CFG)의 한쪽 단부와 중첩되고, 착색층(CFG)의 다른 쪽 단부가 착색층(CFB)의 한쪽 단부와 중첩되고, 착색층(CFB)의 다른 쪽 단부가 착색층(CFR)의 다른 쪽 단부와 중첩되는 예를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다.

[0047] 또한, 도 2의 (C)에 도시된 표시 장치(10E)와 같이, 착색층을 포함하지 않는 화소를 더 형성하고, 상기 화소로부터 백색광(20W)이 사출되는 구성으로 할 수 있다. 이와 같은 구성으로 함으로써, R(적색), G(녹색), B(청색), W(백색)의 4색의 부 화소로 하나의 색을 표현할 수 있다. 이와 같은 구성으로 함으로써, 적색(R), 녹색(G), 청색(B)의 3색의 부화소로 하나의 색을 표현하는 구성보다 발광 소자(17)에 흐리는 전류를 적게 할 수 있고, 소비전력이 낮은 표시 장치로 할 수 있다.

[0048] 발광 소자(17)로서 사용할 수 있는 발광 다이오드 칩(이하, LED 칩이라고도 기재함)에 대하여 설명한다.

[0049] LED 칩은 발광 다이오드를 가진다. 발광 다이오드의 구성은 특별히 한정되지 않고, MIS(Metal Insulator Semiconductor) 접합이어도 좋고, PN 접합 또는 PIN 접합을 가지는 호모 구조, 헤테로 구조 또는 더블 헤테로 구조 등을 사용할 수 있다. 또한 초격자 구조나, 양자 효과가 발생하는 박막을 적층한 단일 양자 우물 구조 또는 다중 양자 우물(MQW: Multi Quantum Well) 구조이어도 좋다.

[0050] LED 칩의 예를 도 3의 (A) 및 (B)에 도시하였다. 도 3의 (A)는 LED 칩(51)의 단면도, 도 3의 (B)는 LED 칩(51)의 상면도를 도시한 것이다. LED 칩(51)은 반도체층(81) 등을 가진다. 반도체층(81)은 n형 반도체층(75)과 n형 반도체층(75) 위의 발광층(77)과, 발광층(77) 위의 p형 반도체층(79)을 가진다. p형 반도체층(79)의 재료로서는, 발광층(77)의 밴드갭 에너지보다 크고, 발광층(77)에 캐리어를 가둘 수 있는 재료를 사용할 수 있다. 또한, LED 칩(51)은 n형 반도체층(75) 위에 캐소드로서 기능하는 전극(85)과, p형 반도체층(79) 위에 콘택트 전극으로서 기능하는 전극(83)과, 전극(83) 위에 애노드로서 기능하는 전극(87)이 제공된다. 또한, 전극(83)의 상면 및 측면이 절연층(89)으로 덮여 있는 것이 바람직하다. 절연층(89)은 LED 칩(51)의 보호막으로서 기능한다.

[0051] 발광 소자(17)에 사용할 수 있는 LED 칩은 광을 사출하는 영역의 면적이 1mm^2 이하, 바람직하게는 $10000\ \mu\text{m}^2$ 이하, 더 바람직하게는 $3000\ \mu\text{m}^2$ 이하, 더욱 바람직하게는 $700\ \mu\text{m}^2$ 이하이다. 또한, 본 명세서 등에 있어서 광을 사출하는 영역의 면적이 $10000\ \mu\text{m}^2$ 이하의 LED 칩을 마이크로 LED라고 기재하는 경우가 있다.

[0052] 반도체층(81)의 확대도의 예를 도 3의 (C)에 도시하였다. 도 3의 (C)에 도시된 바와 같이, n형 반도체층(75)은 기판(71) 측의 n형 콘택트층(75a)과 발광층(77) 측의 n형 클래드층(75b)을 가져도 좋다. p형 반도체층(79)은 발광층(77) 측의 p형 클래드층(79a)과 p형 클래드층(79a) 위의 p형 콘택트층(79b)을 가져도 좋다.

[0053] 발광층(77)은 장벽층(77a)과 우물층(77b)이 복수회에 걸쳐 적층된 MQW 구조를 사용할 수 있다. 장벽층(77a)은 우물층(77b)보다 밴드갭 에너지가 큰 재료를 사용하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 에너지를 우물층(77b)에 가둘 수 있고, 양자 효율이 향상되고, LED 칩(51)의 발광 효율을 향상시킬 수 있다.

[0054] 페이스 업형 LED 칩(51)에 있어서 전극(83)에는 광을 투과시키는 재료를 사용할 수 있고, 예를 들어 ITO($\text{In}_2\text{O}_3\text{-SnO}_2$), AZO($\text{Al}_2\text{O}_3\text{-ZnO}$), In-Zn 산화물($\text{In}_2\text{O}_3\text{-ZnO}$), GZO($\text{GeO}_2\text{-ZnO}$), ICO($\text{In}_2\text{O}_3\text{-CeO}_2$) 등의 산화물을 사용할 수 있다. 페이스 업형 LED 칩(51)에서는 광이 주로 전극(87) 측에 사출된다. 페이스 다운형의 LED 칩(51)에 있어서 전극(83)에는 광을 반사하는 재료를 사용할 수 있고, 예를 들어 은, 알루미늄, 로듐 등의 금속을 사용할 수 있다. 페이스 다운형의 LED 칩(51)에서는 광이 주로 기판(71) 측에 사출된다.

[0055] 기판(71)으로서는, 사파이어 단결정(Al_2O_3), 스피넬 단결정(MgAl_2O_4), ZnO 단결정, LiAlO_2 단결정, LiGaO_2 단결정, MgO 단결정 등의 산화물 단결정, Si 단결정, SiC 단결정, GaAs 단결정, AlN 단결정, GaN 단결정, ZrB_2 등의 붕소화물 단결정 등을 사용할 수 있다. 페이스 다운형 LED 칩(51)에 있어서 기판(71)은 광을 투과시키는 재료를 사용하는 것이 바람직하고, 예를 들어 사파이어 단결정 등을 사용할 수 있다.

[0056] 기판(71)과 n형 반도체층(75) 사이에 버퍼층(도시하지 않았음)을 제공하여도 좋다. 버퍼층은 기판(71)과 n형

반도체층(75)의 격자 정수의 차이를 완화하는 기능을 가진다.

- [0057] 발광 소자(17)로서 사용할 수 있는 LED 칩(51)은 도 3의 (A)에 도시된 바와 같은 전극(85) 및 전극(87)이 같은 면 측에 배치되는 수평 구조인 것이 바람직하다. LED 칩(51)의 전극(85) 및 전극(87)이 같은 면 측에 제공됨으로써, 전극(21) 및 전극(23)의 접속이 용이해지고, 전극(21) 및 전극(23)의 구조를 간이하게 할 수 있다. 또한, 발광 소자(17)로서 사용할 수 있는 LED 칩(51)은 페이스 다운형인 것이 바람직하다. 페이스 다운형 LED 칩(51)을 사용함으로써, LED 칩(51)으로부터 사출되는 광이 효율적으로 표시 장치의 표시면 측에 사출되고, 휘도가 높은 표시 장치로 할 수 있다. LED 칩(51)으로서 시판되는 LED 칩을 사용하여도 좋다.
- [0058] 형광체층(35)이 가지는 형광체로서는, 형광체가 표면에 인쇄 또는 도장된 유기 수지층, 형광체가 혼합된 유기 수지층 등을 사용할 수 있다. 형광체층(35)은 LED 칩(51)이 사출하는 광에 의하여 여기되고, LED 칩(51)의 발광색의 보색의 광을 사출하는 재료를 사용할 수 있다. 이와 같은 구성으로 함으로써 형광체층(35)으로부터 백색광을 사출할 수 있다.
- [0059] 예를 들어, 청색광을 사출하는 LED 칩(51)과 청색의 보색인 황색광을 사출하는 형광체를 사용함으로써, 형광체층(35)으로부터 백색광이 사출되는 구성으로 할 수 있다. 청색광의 사출이 가능한 LED 칩(51)으로서, 13족 질화물계 화합물 반도체로 이루어지는 다이오드가 대표적이고, 일례로서는 $In_xAl_yGa_{1-x-y}N$ (x 은 0 이상 1 이하, y 는 0 이상 1 이하, $x+y$ 는 0 이상 1 이하)의 식으로 나타내어지는 GaN계를 가지는 다이오드가 있다. 청색광에 의하여 여기되고 황색광을 사출하는 형광체의 대표적인 예로서는, $Y_3Al_5O_{12}:Ce$ (YAG:Ce), $(Ba,Sr,Mg)_2SiO_4:Eu, Mn$ 등이 있다.
- [0060] 예를 들어, 청록색광을 사출하는 LED 칩(51)과, 청록색의 보색인 적색광을 사출하는 형광체를 사용하고, 형광체층(35)으로부터 백색광이 사출되는 구성으로 할 수 있다.
- [0061] 형광체층(35)은 복수 종류의 형광체를 가져도 좋고, 상기 형광체가 각각 상이한 색의 광을 사출하는 구성으로 할 수도 있다. 예를 들어, 청색광을 사출하는 LED 칩(51)과 적색광을 사출하는 형광체, 녹색광을 사출하는 형광체를 사용하여 형광체층(35)으로부터 백색광이 사출되는 구성으로 할 수 있다. 청색광에 의하여 여기되고 적색광을 사출하는 형광체의 대표적인 예로서는 $(Ca,Sr)S:Eu, Sr_2Si_7Al_3ON_{13}:Eu$ 등이 있다. 청색광에 의하여 여기되고 녹색광을 사출하는 형광체의 대표적인 예로서는, $SrGa_2S_4:Eu, Sr_3Si_{13}Al_3O_2N_{21}:Eu$ 등이 있다.
- [0062] 또한, 근자외광 또는 자색광을 사출하는 LED 칩(51)과, 적색광을 사출하는 형광체, 녹색광을 사출하는 형광체 및 청색광을 사출하는 형광체를 사용하여, 형광체층(35)으로부터 백색광이 사출되는 구성으로 할 수 있다. 근자외광 또는 자색광에 의하여 여기되고, 적색광을 사출하는 형광체의 대표적인 예로서는, $(Ca,Sr)S:Eu, Sr_2Si_7Al_3ON_{13}:Eu, La_2O_2S:Eu$ 등이 있다. 근자외광 또는 자색광에 의하여 여기되고, 녹색광을 사출하는 형광체의 대표적인 예로서는, $SrGa_2S_4:Eu, Sr_3Si_{13}Al_3O_2N_{21}:Eu$ 등이 있다. 근자외광 또는 자색광에 의하여 여기되고, 청색광을 사출하는 형광체의 대표적인 예로서는, $Sr_{10}(PO_4)_6Cl_2:Eu, (Sr,Ba,Ca)_{10}(PO_4)_6Cl_2:Eu$ 등이 있다.
- [0063] 또한, 근자외광은 발광 스펙트럼에 있어서 파장이 200nm 내지 380nm에 최대 피크를 가진다. 또한, 자색광은 발광 스펙트럼에 있어서 파장이 380nm 내지 430nm에 최대 피크를 가진다. 또한, 청색광은 발광 스펙트럼에 있어서 파장이 430nm 내지 490nm에 최대 피크를 가진다. 또한, 녹색광은 발광 스펙트럼에 있어서 파장이 490nm 내지 550nm에 최대 피크를 가진다. 또한, 황색광은 발광 스펙트럼에 있어서 파장이 550nm 내지 590nm에 최대 피크를 가진다. 또한, 적색광은 발광 스펙트럼에 있어서 파장이 640nm 내지 770nm에 최대 피크를 가진다.
- [0064] 형광체층(35)이 황색광을 사출하는 형광체를 가지고, 청색광을 사출하는 LED 칩(51)을 사용하는 경우, LED 칩(51)이 사출하는 광은 발광 스펙트럼에 있어서 파장이 330nm 내지 500nm에 최대 피크를 가지는 것이 바람직하고, 파장이 430nm 내지 490nm에 최대 피크를 가지는 것이 더 바람직하고, 파장이 450nm 내지 480nm에 최대 피크를 가지는 것이 더 바람직하다. 이에 의하여, 형광체를 효율적으로 여기할 수 있다. 또한, LED 칩(51)이 사출하는 광이 발광 스펙트럼에 있어서 430nm 내지 490nm에 최대 피크를 가짐으로써, 여기광인 청색광과 형광체로부터의 황색광을 혼색하여 백색광으로 할 수 있다. 또한, LED 칩(51)이 사출하는 광이 450nm 내지 480nm에 최대 피크를 가짐으로써, 순도가 높은 백색으로 할 수 있다.
- [0065] 또한, 기관(11)의 외측에는 각종 광학 부재를 배치하여도 좋다. 광학 부재로서는, 광 확산층(확산 필름 등), 반사 방지층, 및 집광 필름 등을 들 수 있다. 또한, 기관(11)의 외측에는 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수성의 막, 사용에 따른 손상의 발생을 억제하는 하드 코트막 등을 배

치하여도 좋다.

- [0066] 또한, 기관(11)보다 외측에 터치 센서를 제공하여도 좋다. 이에 의하여, 표시 장치(10)와 상기 터치 센서를 포함하는 구성을 터치 패널로서 기능시킬 수 있다.
- [0067] <구성예 2>
- [0068] 상술한 표시 장치의 상이한 구성에 대하여 설명한다. 본 발명의 일 형태인 표시 장치가 가지는 발광 소자(17)로서, LED 패키지를 사용할 수 있다.
- [0069] 발광 소자(17)에 사용할 수 있는 LED 패키지에 대하여 설명한다.
- [0070] 발광 소자(17)에는 포탄형 또는 표면 실장(SMD: Surface Mount Device)형 LED 패키지와 같이 종래 사용되어 있는 LED 패키지를 사용할 수 있다. 발광 소자(17)로서 표면 실장형 LED 패키지를 사용하는 것이 특히 바람직하다. 표면 실장형 LED 패키지의 예를 도 4의 (A) 및 (B)에 도시하였다. 도 4의 (A)는 LED 패키지(50)의 단면도, 도 4의 (B)는 LED 패키지(50)의 상면도를 도시한 것이다. LED 패키지(50)는 기관(52) 위의 LED 칩(51)과, 전극(55)과, 전극(57)을 가진다. LED 칩(51)은 와이어(59) 및 와이어(61)를 통하여 전극(55) 및 전극(57)과 전기적으로 접속된다. 또한, LED 칩(51) 위에 형광체(65)와 투광성을 가지는 수지층(63)을 가진다. 기관(52) 및 LED 칩(51)은 접착층(67)으로 결합되어 있다. 또한, 발광 소자(17)로서 시판되는 LED 패키지를 사용하여도 좋다.
- [0071] 발광 소자(17)에 사용할 수 있는 LED 패키지는 광을 사출하는 영역의 면적이 1mm^2 이하, 바람직하게는 $10000\ \mu\text{m}^2$ 이하, 더 바람직하게는 $3000\ \mu\text{m}^2$ 이하, 더욱 바람직하게는 $700\ \mu\text{m}^2$ 이하이다. 또한, 본 명세서 등에 있어서, 광을 사출하는 영역의 면적이 $10000\ \mu\text{m}^2$ 이하의 LED 패키지를 마이크로 LED라고 기재하는 경우가 있다.
- [0072] 기관(52)에는 유리 에폭시 수지 기관, 폴리이미드 기관, 세라믹 기관, 알루미늄나 기관, 질화 알루미늄 기관 등을 사용할 수 있다.
- [0073] 형광체(65)로서는 형광체가 표면에 인쇄 또는 도장된 유기 수지층, 형광체가 혼합된 유기 수지층 등을 사용할 수 있다. 형광체(65)는 LED 칩(51)이 사출하는 광에 의하여 여기되고, LED 칩(51)의 발광색의 보색의 광을 사출하는 재료를 사용할 수 있다. 이와 같은 구성으로 함으로써, LED 패키지(50)는 백색광을 사출할 수 있다. 형광체(65)에 대해서는, 상술한 형광체층(35)이 가지는 형광체의 설명을 원용할 수 있기 때문에, 자세한 설명은 생략한다.
- [0074] 예를 들어, 청록색광을 사출하는 LED 칩(51)과 청록색의 보색인 적색광을 사출하는 형광체를 사용하여, LED 패키지(50)로부터 백색광이 사출되는 구성으로 할 수 있다.
- [0075] 또한, 근자외광 또는 자색광을 사출하는 LED 칩(51)과, 적색광을 사출하는 형광체, 녹색광을 사출하는 형광체 및 청색광을 사출하는 형광체를 사용하여, LED 패키지(50)로부터 백색광이 사출되는 구성으로 할 수 있다.
- [0076] LED 패키지(50)로서, 청색광을 사출하는 LED 칩(51)과 황색광을 사출하는 형광체(65)를 사용하는 경우, LED 칩(51)이 사출하는 광은 발광 스펙트럼에 있어서 파장이 330nm 내지 500nm에 최대 피크를 가지는 것이 바람직하고, 파장이 430nm 내지 490nm에 최대 피크를 가지는 것이 더 바람직하고, 파장이 450nm 내지 480nm에 최대 피크를 가지는 것이 더 바람직하다. 이에 의하여, 형광체(65)를 효율적으로 여기할 수 있다. 또한, LED 칩(51)이 사출하는 광이 발광 스펙트럼에 있어서 430nm 내지 490nm에 최대 피크를 가짐으로써, 여기광인 청색광과 형광체(65)로부터의 황색광을 혼합시켜 백색광으로 할 수 있다. 또한, LED 칩(51)이 사출하는 광이 450nm 내지 480nm에 최대 피크를 가짐으로써, 순도가 높은 백색으로 할 수 있다.
- [0077] 수지층(63)은 투광성을 가지는 유기 수지로 형성한다. 유기 수지의 종류에는 특별히 한정은 없고, 대표적으로는 에폭시 수지, 실리콘 수지 등의 자외선 경화성 수지, 가시광 경화성 수지 등을 적절히 사용할 수 있다. 또한, 도 4의 (A)에서는 수지층(63)의 상면이 평탄한 형상을 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 수지층(63)의 상면이 볼록상이 되어 있어도 좋다. 원하는 지향성에 따라 적절히 형상을 선택할 수 있다.
- [0078] 와이어(59), 와이어(61)에는 금, 금을 포함하는 합금, 구리, 또는 구리를 포함하는 합금으로 형성된 금속의 선을 사용할 수 있다.
- [0079] 전극(55), 전극(57)은 LED 칩(51)이 가지는 전극과 전기적으로 접속하는 도전층이고, 니켈, 구리, 은, 백금, 또

는 금에서 선택된 한 원소, 또는 상기 원소를 50% 이상 포함하는 합금 재료로 형성된다. 전극(55), 전극(57)과 LED 칩(51)의 전극은, 열압착법 또는 초음파 본딩법을 사용한 와이어 본딩법에 의하여 접속되어 있다.

- [0080] LED 칩(51)의 주위에 세라믹 등으로 이루어지는 리플렉터(53)를 배치하고, LED 칩(51)으로부터 방출된 광의 일부가 반사함으로써, 더 많은 광이 LED 패키지(50)로부터 방출되도록 하면 바람직하다. 또한, 도 4의 (A)에서는 리플렉터(53)가 테이퍼 상으로 위쪽으로 퍼진 형상을 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 원하는 광의 지향성에 따라 적절히 형상을 선택할 수 있다.
- [0081] 또한, 도 4의 (A)에 도시된 LED 패키지(50)는 LED 칩(51)의 전극 측에 광을 사출하는 페이스 업형 LED 칩을 사용하는 구성을 도시하였지만, 본 발명의 일 형태에 사용할 수 있는 LED 패키지(50)의 구성은 특별히 한정되지 않는다.
- [0082] 도 4의 (A)에 예시한 LED 패키지와 상이한 예를 도 4의 (C)에 도시하였다. 도 4의 (C)는 LED 패키지(50)의 단면도이다. 상면도는 도 4의 (B)를 인용할 수 있다. 도 4의 (C)에 도시된 LED 패키지(50)는 LED 칩(51)이 가지는 전극과, 전극(55) 및 전극(57)이 대향하는 플립 칩형 LED 패키지이다. LED 칩(51)이 가지는 전극과, 전극(55) 및 전극(57)은 도전성의 범프(90)를 통하여 전기적으로 접속된다. 도 4의 (C)에 도시된 LED 패키지(50)는, LED 칩(51)의 전극의 반대 측에 광을 사출하는 페이스 다운형 LED 칩을 사용하는 구성을 도시하였다. 또한, 도 4의 (A) 및 (C)에서는 수직 구조의 LED 칩(51)을 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. LED 패키지(50)가 가지는 LED 칩(51)은 전극(85) 및 전극(87)이 각각 반대 측의 면에 배치되는 수직 구조이어도 좋다.
- [0083] 또한, 도 4에서는 LED 패키지(50)가 하나의 LED 칩(51)을 가지는 예를 도시하였지만, 본 발명의 일 형태에 사용할 수 있는 LED 패키지(50)의 구성은 이에 한정되지 않는다. LED 패키지(50)가 복수의 LED 칩(51)을 가져도 좋다. 또한, 형광체(65)를 가지지 않는 구성으로 할 수 있다. 예를 들어, 적색광을 사출하는 LED 칩(51)과, 녹색광을 사출하는 LED 칩(51)과, 녹색광을 사출하는 LED 칩(51)을 가지고, 형광체(65)를 가지지 않는 구성으로 함으로써, LED 패키지(50)로부터 백색광이 사출되어도 좋다.
- [0084] 발광 소자(17)로서 LED 패키지(50)를 사용하는 표시 장치의 구성에 대하여 설명한다.
- [0085] 본 발명의 일 형태인 표시 장치의 단면 구성의 일례를 도 5의 (A)에 도시하였다. 도 5의 (A)에 도시된 표시 장치(10F)는 기관(11)과 기관(13) 사이에 기능층(15), 발광 소자(17), 착색층(CFR), 착색층(CFG), 및 착색층(CFB) 등을 가진다. 형광체층(35) 및 차광층(33)을 가지지 않다는 점에서, 도 1의 (A) 내지 (C), 및 도 2의 (A) 내지 (C)에 도시된 발광 소자(17)에 LED 칩을 사용하는 표시 장치와 주로 상이하다. 도 5의 (A)에 있어서, 기관(11) 측이 표시 장치(10)의 표시면 측에 상당한다.
- [0086] LED 패키지(50)는 리플렉터(53)를 가짐으로써 광의 지향성이 높아져, 발광 소자(17)로서 LED 패키지(50)를 사용하는 구성으로 하는 경우, 차광층(33)을 제공하지 않아도 인접하는 화소로의 광 누설, 화소 간의 혼색을 억제할 수 있다. 또한, 발광 소자(17)로서 백색광을 사출하는 LED 패키지(50)를 사용함으로써, 형광체층(35)을 제공하지 않아도 컬러 표시를 수행할 수 있다.
- [0087] 도 5의 (A)에서는 착색층(CFR), 착색층(CFG), 및 착색층(CFB)과, 발광 소자(17) 사이에 틈이 있는 경우를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 착색층(CFR), 착색층(CFG), 및 착색층(CFB)과, 발광 소자(17)가 접하여도 좋다. 이와 같은 구성으로 함으로써, 착색층(CFR), 착색층(CFG), 및 착색층(CFB)과, 각 발광 소자(17) 사이의 거리가 짧아지고, 인접하는 화소로의 광 누설, 화소 간의 혼색을 억제할 수 있다.
- [0088] 또한, 도 5의 (B)에 도시된 표시 장치(10G)와 같이, 차광층(31)을 제공하여도 좋다. 차광층(31)은 인접하는 착색층 사이에 제공된다. 또한, 차광층(31)은 발광 소자(17)와 중첩되는 영역에 개구부를 가진다. 차광층(31)은 인접하는 발광 소자(17)로부터의 발광을 차단하고, 인접하는 발광 소자(17) 사이에서의 혼색을 억제한다. 여기서, 착색층(CFR), 착색층(CFG), 및 착색층(CFB) 각각의 단부를 차광층(31)과 중첩되도록 제공함으로써, 광 누설을 억제할 수 있다. 차광층(31)으로서는, 발광 소자(17)로부터의 발광을 차단하는 재료를 사용할 수 있고, 예를 들어 금속 재료, 또는 안료 또는 염료를 포함하는 수지 재료 등을 사용할 수 있다.
- [0089] 또한, 도 5의 (C)에 도시된 표시 장치(10H)와 같이, 각각의 착색층은 인접된 착색층과 일부가 중첩되는 구성으로 하여도 좋다. 착색층이 중첩되는 각각의 영역은 차광층으로서의 기능을 가진다. 또한, 도 5의 (C)에서는 착색층(CFR)의 한쪽 단부가 착색층(CFG)의 한쪽 단부와 중첩되고, 착색층(CFG)의 다른 쪽 단부가 착색층(CFB)의 한쪽 단부와 중첩되고, 착색층(CFB)의 다른 쪽 단부가 착색층(CFR)의 다른 쪽 단부와 중첩되는 예를 도시하였지

만, 본 발명의 일 형태는 이에 한정되지 않는다.

- [0090] 또한, 착색층을 포함하지 않는 화소를 더 형성하고, 상기 화소로부터 백색광이 사출되는 구성으로 할 수 있다. 이와 같은 구성으로 함으로써, R(적색), G(녹색), B(청색), W(백색)의 4색의 부화소로 하나의 색을 표현할 수 있다. 이와 같은 구성으로 함으로써, 적색(R), 녹색(G), 청색(B)의 3색의 부화소로 하나의 색을 표현하는 구성보다 발광 소자(17)에 흘리는 전류를 적게 할 수 있고, 소비전력이 낮은 표시 장치로 할 수 있다.
- [0091] 이상이 구성예에 대한 설명이다.
- [0092] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0093] (실시형태 2)
- [0094] 본 실시형태에서는, 앞의 실시형태에서 예시한 표시 장치의 일례에 대하여 자세한 사항을 설명한다.
- [0095] <구성예>
- [0096] 도 6의 (A)에 표시 장치(700)의 상면도를 도시하였다. 표시 장치(700)는 밀봉재(712)에 의하여 접합된 제 1 기관(701)과 제 2 기관(705)을 가진다. 또한 제 1 기관(701), 제 2 기관(705), 및 밀봉재(712)로 밀봉되는 영역에서, 제 1 기관(701) 위에 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)가 제공된다. 또한 화소부(702)에는 복수의 표시 소자가 제공된다.
- [0097] 또한, 제 1 기관(701)에서 제 2 기관(705)과 중첩되지 않는 부분에, FPC(716)가 접속되는 FPC 단자부(708)가 제공된다. FPC(716)에 의하여, FPC 단자부(708) 및 신호선(710)을 통하여 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706) 각각에 각종 신호 등이 공급된다.
- [0098] 게이트 드라이버 회로부(706)는 복수로 제공되어도 좋다. 또한, 게이트 드라이버 회로부(706) 및 소스 드라이버 회로부(704)는 각각 반도체 기관 등에 별도로 형성되고 패키징된 IC칩의 형태이어도 좋다. 상기 IC칩은 제 1 기관(701) 위 또는 FPC(716)에 실장할 수 있다.
- [0099] 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)가 가지는 트랜지스터의 구성은 특별히 한정되지 않는다. 트랜지스터의 반도체층으로서, 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체 등을 단독으로 또는 조합하여 사용할 수 있다. 반도체 재료로서는 예를 들어 실리콘이나 저마늄 등을 사용할 수 있다. 또한 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 산화물 반도체, 질화물 반도체 등의 화합물 반도체나 유기 반도체 등을 사용할 수 있다.
- [0100] 반도체층으로서 유기 반도체를 사용하는 경우에는, 방향족 고리를 가지는 저분자 유기 재료나 π 전자 공액 도전성 고분자 등을 사용할 수 있다. 예를 들어 루브렌, 테트라센, 펜타센, 페릴렌다이이미드, 테트라사이아노퀴노다이메테인, 폴리싸이오펜, 폴리아세틸렌, 폴리과라페닐렌바이닐렌 등을 사용할 수 있다.
- [0101] 본 실시형태에서 사용하는 트랜지스터는 고순도화되고 산소 결손의 형성이 억제된 산화물 반도체막을 가지는 것이 바람직하다. 상기 트랜지스터는 오프 전류를 낮게 할 수 있다. 따라서 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 온 상태에서는 기록 간격도 길게 설정할 수 있다. 그러므로 리프레시 동작의 빈도를 줄일 수 있기 때문에 소비전력을 저감하는 효과를 가진다.
- [0102] 또한 본 실시형태에서 사용하는 트랜지스터는 비교적 높은 전계 효과 이동도를 얻을 수 있기 때문에 고속 구동이 가능하다. 예를 들어 이와 같은 고속 구동이 가능한 트랜지스터를 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와 구동 회로부에 사용하는 드라이버 트랜지스터를 동일 기관 위에 형성할 수 있다. 즉, 실리콘 웨이퍼 등으로 형성된 구동 회로를 적용하지 않는 구성으로 할 수도 있어 반도체 장치의 부품 점수를 삭감할 수 있다. 또한 화소부에서도 고속 구동이 가능한 트랜지스터를 사용함으로써, 고품질의 화상을 제공할 수 있다.
- [0103] 도 6의 (B)에 도시된 표시 장치(700A)는 제 1 기관(701) 대신에 가요성을 가지는 수지층(743)이 적용되고, 플렉시블 디스플레이로서 사용할 수 있는 표시 장치의 예이다.
- [0104] 표시 장치(700A)는 화소부(702)가 직사각 형상이 아니고 코너부가 원호 형상을 가진다. 또한 도 6의 (B) 중의 영역(P1)에 도시된 바와 같이, 화소부(702) 및 수지층(743)의 일부가 잘라 내어진 노치부(notch portion)를 가진다. 한 쌍의 게이트 드라이버 회로부(706)는 화소부(702)를 사이에 두고 양측에 제공된다. 또한 게이트 드라이버 회로부(706)는 화소부(702)의 코너부에서 원호 형상의 윤곽을 따라 제공된다.

- [0105] 수지층(743)은 FPC 단자부(708)가 제공된 부분이 돌출한 형상을 가진다. 또한 수지층(743)의 FPC 단자부(708)를 포함한 일부는 도 6의 (B) 중의 영역(P2)에서 뒤쪽으로 접을 수 있다. 수지층(743)의 일부를 접음으로써 FPC(716)를 화소부(702)의 이면과 겹쳐 배치한 상태에서 표시 장치(700A)를 전기 기기에 실장할 수 있어 전자 기기의 공간 절약을 도모할 수 있다.
- [0106] 또한 표시 장치(700A)에 접속되는 FPC(716)에는 IC(717)가 실장된다. IC(717)는 예를 들어 소스 드라이버 회로로서의 기능을 가진다. 이때 표시 장치(700A)의 소스 드라이버 회로부(704)는 보호 회로, 버퍼 회로, 디멀티플렉서 회로 등 중 적어도 하나를 포함하는 구성으로 할 수 있다.
- [0107] 도 6의 (C)에 도시된 표시 장치(700B)는 대형 화면을 가지는 전자 기기에 적합하게 사용할 수 있는 표시 장치이다. 예를 들어 텔레비전 장치, 모니터 장치, 퍼스널 컴퓨터(노트북형 또는 데스크톱형을 포함함), 태블릿 단말기, 디지털 사이니지 등에 적합하게 사용할 수 있다.
- [0108] 표시 장치(700B)는 복수의 소스 드라이버 IC(721)와, 한 쌍의 게이트 드라이버 회로부(722)를 가진다.
- [0109] 복수의 소스 드라이버 IC(721)는 각각 FPC(723)에 장착된다. 또한 복수의 FPC(723)는 한쪽 단자가 기관(701)에 접속되고, 다른 쪽 단자가 인쇄 기관(724)에 접속된다. FPC(723)를 접음으로써, 인쇄 기관(724)을 화소부(702)의 뒤쪽에 배치하여 전기 기기에 실장할 수 있기 때문에, 전자 기기의 공간 절약을 도모할 수 있다.
- [0110] 한편, 게이트 드라이버 회로부(722)는 기관(701) 위에 형성되어 있다. 그러므로 내로 베젤의 전자 기기를 실현할 수 있다.
- [0111] 이와 같은 구성으로 함으로써, 대형이며 고해상도의 표시 장치를 실현할 수 있다. 예를 들어 화면 크기가 대각선 30인치 이상, 40인치 이상, 50인치 이상, 또는 60인치 이상의 표시 장치도 실현할 수 있다. 또한 해상도가 4K2K 또는 8K4K 등으로 매우 높은 표시 장치를 실현할 수 있다.
- [0112] <단면 구성예 1>
- [0113] 도 7은 각각 도 6의 (A)에 도시된 일점쇄선 Q-R에서의 단면도이다.
- [0114] 도 6 및 도 7에 도시된 표시 장치는 리드 배선부(711)와, 화소부(702)와, 소스 드라이버 회로부(704)와, FPC 단자부(708)를 가진다. 리드 배선부(711)는 신호선(710)을 가진다. 화소부(702)는 트랜지스터(750) 및 용량 소자(790)를 가진다. 소스 드라이버 회로부(704)는 트랜지스터(752)를 가진다.
- [0115] 도 7에 도시된 용량 소자(790)는 트랜지스터(750)가 가지는 제 1 게이트 전극과 동일한 막을 가공하여 형성되는 하부 전극과, 반도체층과 동일한 금속 산화물을 가공하여 형성되는 상부 전극을 가진다. 상부 전극은 트랜지스터(750)의 소스 영역 및 드레인 영역과 마찬가지로 저저항화되어 있다. 또한 하부 전극과 상부 전극 사이에는, 트랜지스터(750)의 제 1 게이트 절연층으로서 기능하는 절연막의 일부가 제공된다. 즉, 용량 소자(790)는 한 쌍의 전극 사이에 유전체막으로서 기능하는 절연막이 끼워진 적층형의 구조를 가진다. 또한, 상부 전극에는 트랜지스터의 소스 전극 및 드레인 전극과 동일한 막을 가공하여 얻어지는 배선이 접속된다.
- [0116] 또한 트랜지스터(750), 트랜지스터(752), 및 용량 소자(790) 위에는 절연층(770)이 제공된다. 절연층(770)은 평탄화막으로서의 기능을 가지고, 절연층(770) 위에 제공되는 도전층(772) 및 도전층(774)의 상면을 평탄하게 할 수 있다. 도전층(772) 및 도전층(774)이 동일한 면 위에 위치하고, 또한 도전층(772) 및 도전층(774)의 상면이 평탄하기 때문에, 도전층(772) 및 도전층(774)과 발광 소자(782)가 용이하게 전기적으로 접속할 수 있다.
- [0117] 도전층(772) 및 도전층(774)과 발광 소자(782)는 도전성의 범프(791) 및 범프(793)를 통하여 전기적으로 접속된다. 도 7에서는 발광 소자(782)가 가지는 음극 측의 전극과 양극 측의 전극의 높이가 상이하고, 이에 따라 범프(791)와 범프(793)의 높이가 상이한 구성을 나타내었다. 또한, 발광 소자(782)가 가지는 음극 측의 전극과 양극 측의 전극의 높이가 같은 경우에는, 범프(791)와 범프(793)의 높이가 실질적으로 같게 되는 구성으로 할 수 있다.
- [0118] 도 7에 도시된 바와 같이, 화소부(702)가 가지는 트랜지스터(750)는 도전층(772) 아래에 중첩되도록 제공되는 것이 바람직하다. 트랜지스터(750), 특히 채널 형성 영역과 도전층(772)이 중첩되는 영역을 가짐으로써, 발광 소자(782)로부터 방출되는 광이나 외광이 트랜지스터(750)에 도달하는 것을 억제할 수 있고, 트랜지스터(750)의 전기 특성의 변동을 억제할 수 있다.
- [0119] 화소부(702)가 가지는 트랜지스터(750)와 소스 드라이버 회로부(704)가 가지는 트랜지스터(752)에는 상이한 구조의 트랜지스터를 사용하여도 좋다. 예를 들어 이들 중 어느 한쪽에 톱 게이트형 트랜지스터를 적용하고 다른

쪽에 보텀 게이트형 트랜지스터를 적용한 구성으로 하여도 좋다. 또한 상기 게이트 드라이버 회로부(706)에 대해서도 소스 드라이버 회로부(704)와 마찬가지로이다.

- [0120] 신호선(710)은 트랜지스터(750, 752)의 소스 전극 및 드레인 전극 등과 같은 도전막으로 형성된다. 이때 구리 원소를 포함한 재료 등 저항이 낮은 재료를 사용하면, 배선 저항에 기인하는 신호 지연 등이 적고 대화면 표시가 가능하게 되므로 바람직하다.
- [0121] FPC 단자부(708)는 일부가 접속 전극으로서 기능하는 배선(760), 이방성 도전막(780), 및 FPC(716)를 가진다. 배선(760)은 이방성 도전막(780)을 통하여 FPC(716)가 가지는 단자와 전기적으로 접속된다. 여기서는 배선(760)은 트랜지스터(750, 752)의 소스 전극 및 드레인 전극 등과 같은 도전막으로 형성된다.
- [0122] 제 1 기판(701) 및 제 2 기판(705)으로서는 예를 들어 유리 기판 또는 플라스틱 기판 등 가요성을 가지는 기판을 사용할 수 있다. 제 1 기판(701)에 가요성을 가지는 기판을 사용하는 경우에는, 제 1 기판(701)과 트랜지스터(750) 등 사이에 물이나 수소에 대한 배리어성을 가지는 절연층을 제공하는 것이 바람직하다.
- [0123] 또한, 제 2 기판(705) 측에는 차광층(738)과, 착색층(736)과, 형광체층(797)이 제공된다. 착색층(736)은 발광 소자(782) 위에 제공된다. 형광체층(797)은 발광 소자(782) 및 착색층(736) 사이에 제공된다. 또한, 형광체층(797), 발광 소자(782) 및 착색층(736)은 서로 중첩되는 영역을 가진다. 도 7에 도시된 바와 같이, 형광체층(797)의 단부는 발광 소자(782)의 단부보다 외측에 위치하고, 착색층(736)의 단부는 형광체층(797)의 단부보다 외측에 위치하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 인접하는 화소로의 광 누설, 화소 간의 혼색을 억제할 수 있다. 또한, 인접하는 착색층(736)과의 사이에 차광층(738)을 제공함으로써, 외광의 비침을 경감하고, 콘트라스트가 높은 표시 장치로 할 수 있다.
- [0124] 예를 들어, 형광체층(797)이 황색광을 사출하는 형광체를 가지고, 발광 소자(782)가 청색광을 사출하는 구성으로 함으로써, 형광체층(797)으로부터 백색광이 사출된다. 적색을 투과시키는 착색층(736)과 중첩되는 영역에 제공된 발광 소자(782)가 발한 광은 형광체층(797) 및 착색층(736)을 투과하고, 적색광으로서 표시면 측에 사출된다. 마찬가지로, 녹색을 투과시키는 착색층(736)과 중첩되는 영역에 제공된 발광 소자(782)가 발한 광은, 녹색광으로서 사출된다. 청색을 투과시키는 착색층(736)과 중첩되는 영역에 제공된 발광 소자(782)가 발한 광은, 청색광으로서 사출된다. 이에 의하여, 1종류의 발광 소자(782)를 사용하여 컬러 표시를 수행할 수 있다. 또한, 표시 장치에 사용되는 발광 소자(782)는 1종류이기 때문에, 제조 공정을 간략화할 수 있다. 즉, 본 발명의 일 형태에 의하여, 낮은 제조 비용으로 휘도 및 콘트라스트가 높고, 응답 속도가 빠르고, 또한 소비전력이 낮은 표시 장치로 할 수 있다.
- [0125] 예를 들어, 형광체층(797)이 적색광을 사출하는 형광체를 가지고, 발광 소자(782)가 청록색광을 사출하는 구성으로 함으로써, 형광체층(797)으로부터 백색광이 사출되는 구성으로 하여도 좋다.
- [0126] 또한, 형광체층(797)이 적색광을 사출하는 형광체, 녹색광을 사출하는 형광체, 및 청색광을 사출하는 형광체를 가지고, 발광 소자(782)가 근자외광 또는 자색광을 사출하는 구성으로 함으로써, 형광체층(797)으로부터 백색광이 사출되는 구성으로 하여도 좋다.
- [0127] 도 7에 도시된 표시 장치(700)는 발광 소자(782)를 가진다. 발광 소자(782)로서 도 3에 예시한 수평 구조, 또한 페이스 다운형 LED 칩을 사용하는 것이 바람직하다.
- [0128] 또한, 착색층(736)은 발광 소자(782)와 중첩되는 위치에 제공되고, 차광층(738)은 착색층(736)의 단부와 중첩되는 위치, 리드 배선부(711), 및 소스 드라이버 회로부(704)에 제공된다. 또한, 형광체층(797), 착색층(736) 및 차광층(738)과, 발광 소자(782)의 사이는 밀봉막(732)으로 충전되어 있다.
- [0129] 차광층(795)은 발광 소자(782)와 인접하도록 제공된다. 차광층(795)은 인접하는 발광 소자(782)의 사이에 제공하는 것이 바람직하다. 인접하는 발광 소자(782) 사이에 차광층(795)을 제공함으로써, 인접하는 화소로의 광 누설, 화소 간의 혼색을 억제할 수 있다. 차광층(795)에는 안료, 염료, 또는 카본 블랙 등을 포함하는 수지를 사용할 수 있다. 또한, 발광 소자(782)의 측면이 차광층(795)과 접하는 것이 바람직하다. 발광 소자(782)의 측면을 차광층(795)으로 덮음으로써, 인접하는 화소로의 광 누설, 화소 간의 혼색을 억제할 수 있다. 또한, 도 7에서는 차광층(795)의 상면의 높이와 발광 소자(782)의 상면의 높이가 실질적으로 일치하는 구성을 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 차광층(795)의 상면의 높이가 발광 소자(782)의 상면의 높이보다 낮아도 좋고, 발광 소자(782)의 상면의 높이보다 높아도 좋다. 차광층(795)의 상면의 높이가 발광 소자(782)의 상면의 높이와 실질적으로 일치 또는 높게 함으로써, 인접하는 화소로의 광 누설, 화소 간의 혼색을 효

울적으로 억제할 수 있다.

- [0130] 도 8에는 플렉시블 디스플레이에 적합하게 적용할 수 있는 표시 장치의 구성을 도시하였다. 도 8은 도 6의 (B)에 도시된 표시 장치(700A) 중의 일점쇄선 S-T에서의 단면도이다.
- [0131] 도 8에 도시된 표시 장치(700A)는 도 7에 도시된 기관(701) 대신에 지지 기관(745), 접착층(742), 수지층(743), 및 절연층(744)이 적층된 구성을 가진다. 트랜지스터(750)나 용량 소자(790) 등은 수지층(743) 위에 제공된 절연층(744) 위에 제공된다.
- [0132] 지지 기관(745)은 유기 수지나 유리 등을 포함하고, 가요성을 가질 정도로 얇은 기관이다. 수지층(743)은 폴리이미드나 아크릴 등의 유기 수지를 포함하는 층이다. 절연층(744)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘 등의 무기 절연막을 포함한다. 수지층(743)과 지지 기관(745)은 접착층(742)에 의하여 접합된다. 수지층(743)은 지지 기관(745)보다 얇은 것이 바람직하다.
- [0133] 또한 도 8에 도시된 표시 장치(700A)는 도 7에 도시된 기관(705) 대신에 보호층(740)을 가진다. 보호층(740)은 밀봉막(732)과 접합된다. 보호층(740)으로서는 유리 기관이나 수지 필름 등을 사용할 수 있다. 또한 보호층(740)으로서 산란판 등의 광학 부재나, 터치 센서 패널 등의 입력 장치, 또는 이들을 2개 이상 적층한 구성을 적용하여도 좋다.
- [0134] 또한 도 8에 접을 수 있는 영역(P2)을 도시하였다. 영역(P2)은 지지 기관(745), 접착층(742) 외에, 절연층(744) 등의 무기 절연막이 제공되지 않은 부분을 가진다. 또한 영역(P2)에서는, 배선(760)을 덮어 수지층(746)이 제공된다. 접을 수 있는 영역(P2)에 무기 절연막을 가능한 한 제공하지 않고, 또한 금속 또는 합금을 포함하는 도전층과 유기 재료를 포함하는 층만을 적층한 구성으로 함으로써, 접었을 때 크랙이 생기는 것을 방지할 수 있다. 또한 영역(P2)에 지지 기관(745)을 제공하지 않는 것에 의하여, 표시 장치(700A)의 일부를 매우 작은 곡률 반경으로 접을 수 있다.
- [0135] 도 7에 도시된 표시 장치(700)의 제작 방법의 일례에 대하여 설명한다. 도 9 내지 도 12에 도시된 각 도면은 표시 장치(700)의 제작 방법에 따른 공정의 각 단계에서의 단면 개략도이다.
- [0136] 또한 표시 장치를 구성하는 박막(절연막, 반도체막, 도전막 등)은 스퍼터링법, 화학 기상 퇴적(CVD: Chemical Vapor Deposition)법, 진공 증착법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 원자층 퇴적(ALD: Atomic Layer Deposition)법 등을 사용하여 형성할 수 있다. CVD법으로서는, 플라즈마 화학 기상 퇴적(PECVD)법이나 열 CVD법이어도 좋다. 열 CVD법의 예로서 유기 금속 화학 기상 퇴적(MOCVD: Metal Organic CVD)법을 사용하여도 좋다.
- [0137] 또한, 표시 장치를 구성하는 박막(절연막, 반도체막, 도전막 등)은 스핀 코팅, 딥, 스프레이 도포, 잉크젯, 디스펜스, 스크린 인쇄, 오프셋 인쇄 등의 방법, 닥터 나이프, 슬릿 코터, 롤 코터, 커튼 코터, 나이프 코터 등의 도구(설비)에 의하여 형성할 수 있다.
- [0138] 또한 표시 장치를 구성하는 박막을 가공할 때는 포토리소그래피법 등을 사용하여 가공할 수 있다. 또는 차폐 마스크를 사용한 성막 방법에 의하여, 섬 형상의 박막을 형성하여도 좋다. 또는, 나노 임프린트법, 샌드 블라스트법, 리프트 오프법 등에 의하여 박막을 가공하여도 좋다. 포토리소그래피법으로서는 예를 들어 이하의 2가지 방법이 있다. 하나는 가공하고자 하는 박막 위에 감광성 레지스트 재료를 도포하고 포토 마스크를 통하여 노광한 후에 현상함으로써 레지스트 마스크를 형성하고, 에칭 등에 의하여 상기 박막을 가공하여 레지스트 마스크를 제거하는 방법이다. 다른 하나는 감광성을 가지는 박막을 성막한 후에 노광, 현상을 수행하여 상기 박막을 원하는 형상으로 가공하는 방법이다.
- [0139] 포토리소그래피법에서, 노광에 사용하는 광으로서는 예를 들어 i선(파장 365nm), g선(파장 436nm), h선(파장 405nm), 또는 이들을 혼합시킨 광을 사용할 수 있다. 이 외에는 자외선이나 KrF 레이저 광, 또는 ArF 레이저 광 등을 사용할 수도 있다. 또한 액침 노광 기술에 의하여 노광을 수행하여도 좋다. 또한 노광에 사용하는 광으로서는 극단 자외광(EUV: Extreme Ultra-violet)이나 X선을 사용하여도 좋다. 또한 노광에 사용하는 광 대신에 전자 빔을 사용할 수도 있다. 극단 자외광, X선, 또는 전자 빔을 사용하면 매우 미세한 가공을 수행할 수 있어 바람직하다. 또한 전자 빔 등의 빔을 주사하여 노광을 수행하는 경우에는, 포토마스크가 불필요하다.
- [0140] 박막의 에칭에는 드라이 에칭법, 웨트 에칭법, 샌드 블라스트법 등을 사용할 수 있다.
- [0141] <트랜지스터 등의 형성>

- [0142] 우선, 기판(701) 위에 도전층(301), 도전층(303) 및 도전층(305)을 형성한다. 도전층(301), 도전층(303), 및 도전층(305)은 도전막을 성막한 후 레지스트 마스크를 형성하고, 상기 도전막을 에칭한 후에 레지스트 마스크를 제거함으로써 형성할 수 있다.
- [0143] 이어서, 기판(701), 도전층(301), 도전층(303) 및 도전층(305)을 덮어 절연층(311)을 형성한다.
- [0144] 다음으로, 반도체층(321), 반도체층(323) 및 반도체층(325)을 형성한다(도 9의 (A)). 반도체층(321), 반도체층(323) 및 반도체층(325)은 반도체막을 성막한 후에 레지스트 마스크를 형성하고, 상기 반도체막을 에칭한 후에 레지스트 마스크를 제거함으로써 형성된다.
- [0145] 이어서, 절연층(331), 도전층(341), 도전층(351), 절연층(333), 도전층(343), 및 도전층(353)을 형성한다. 절연층(331) 및 절연층(333)이 되는 절연막, 도전층(341) 및 도전층(343)이 되는 도전막, 도전층(351) 및 도전층(353)이 되는 도전막을 형성한 후, 레지스트 마스크를 형성하고, 상기 절연막 및 도전막을 에칭한 후에 레지스트 마스크를 제거함으로써 절연층(331), 도전층(341), 도전층(351), 절연층(333), 도전층(343), 및 도전층(353)이 형성된다.
- [0146] 이어서 절연층(361) 및 절연층(363)을 형성한다(도 9의 (B)).
- [0147] 이어서, 절연층(361) 및 절연층(363)에 개구를 형성하고, 도전층(371), 도전층(373a), 도전층(373b), 도전층(375), 도전층(377) 및 배선(760)을 형성한다. 도전층(371), 도전층(373a), 도전층(373b), 도전층(375), 도전층(377) 및 배선(760)은 도전층(301) 등과 같은 방법에 의하여 형성된다.
- [0148] 이상의 공정에 의하여, 신호선(710), 트랜지스터(750), 용량 소자(790), 및 트랜지스터(752)를 형성할 수 있다(도 9의 (C)). 이어서, 절연층(379)을 형성한다. 절연층(379)은 트랜지스터(750) 등의 보호막으로서의 기능을 가진다.
- [0149] <절연층(770)의 형성>
- [0150] 이어서, 절연층(770)을 형성한다. 절연층(770)에 감광성의 재료를 사용함으로써 포토리소그래피법 등에 의하여 개구를 형성할 수 있다. 또한 절연층(770)으로서 절연막을 성막한 후에 레지스트 마스크를 사용하여 절연막의 일부를 에칭하여 개구를 형성하여도 좋다. 절연층(770)은 유기 절연 재료를 사용하면 그 상면의 평탄성을 높일 수 있기 때문에 바람직하다.
- [0151] 또한, 절연층(770)으로서 무기 절연막을 사용하여도 좋다. 절연층(770)으로서, 질화 실리콘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 또는 질화산화 알루미늄 등의 무기 절연 재료의 층을 단층으로, 또는 적층하여 사용할 수 있다. 이에 의하여, 절연층(770)은 트랜지스터(750) 등의 보호층으로서 기능한다.
- [0152] 또한, 절연층(770)을 무기 절연막과 유기 절연막의 적층 구조로 하여도 좋다.
- [0153] 이어서, FPC 단자부(708)의 배선(760) 위의 절연층(379)의 일부를 제거하고, 배선(760)을 노출시킨다.
- [0154] <도전층(772), 도전층(774)의 형성>
- [0155] 이어서, 절연층(770) 위에 도전층(772) 및 도전층(774)을 형성한다(도 10의 (A)). 도전층(772)은 절연층(770)이 가지는 개구를 통하여 트랜지스터(750)와 전기적으로 접속된다. 도전층(772) 및 도전층(774)은 도전층(301) 등과 같은 방법에 의하여 형성된다. 도전층(772) 및 도전층(774)은 광에 대하여 반사성의 재료를 사용하는 것이 바람직하다. 예를 들어, 도전층(772) 및 도전층(774)으로서 은, 팔라듐, 및 구리의 합금(APC라고도 함), 알루미늄, 타이타늄, 구리 등을 포함하는 재료를 사용할 수 있다.
- [0156] 이어서, 도전층(772) 위 및 도전층(774) 위에 각각 도전성의 범프(791) 및 범프(793)를 형성한다(도 10의 (B)). 범프(791) 및 범프(793)로서, 금, 은, 주석 등의 금속, 이들 금속을 가지는 합금, 도전성 수지 등의 이방 도전성 필름, 도전성 페이스트를 사용할 수 있다. 범프(791) 및 범프(793)로서, 예를 들어 금을 적합하게 사용할 수 있다. 범프(791) 및 범프(793)의 형성에는 인쇄법, 전사법, 토출법 등을 사용할 수 있다.
- [0157] <발광 소자(782)의 배치>
- [0158] 이어서, 발광 소자(782)를 범프(791) 및 범프(793) 위에 배치한다. 발광 소자(782)로서 도 3에 예시한 수평 구조, 페이스 다운형 LED 칩을 사용하는 것이 바람직하다. 배치 시, 발광 소자(782)의 음극 측의 전극과 양극 측의 전극이 각각 범프(791) 및 범프(793)와 접하도록 발광 소자(782)를 배치한다. 범프(791), 범프(793), 발광

소자(782), 도전층(772) 및 도전층(774)이 압접되고, 도전층(772) 및 도전층(774) 위에 발광 소자(782)가 고정된다. 이에 따라, 도전층(772) 및 도전층(774)과 발광 소자(782)가 전기적으로 접속된다(도 11).

[0159] 발광 소자(782)의 배치에는 소정의 위치에서 발광 소자(782)를 들고, 이송하고, 소정의 위치에 두는 픽 앤드 플레이스 장치를 사용할 수 있다. 또는, 발광 소자(782)의 배치에 FSA(Fluidic Self Assembly) 방식을 사용하여도 좋다. FSA 방식에서는 도전층(772) 위 및 도전층(774)과 중첩되는 영역에 발광 소자(782)와 적합한 오목상의 절연층을 형성하고, 액체 중에서 오목부에 발광 소자(782)를 자기 정합(self-aligned)적으로 배치시킨다. 본 발명의 일 형태에서는, 발광 소자(782)로서 사용하는 LED 칩은 1종류이기 때문에, 복수 종류를 사용하는 경우와 비교하여 발광 소자(781)의 배치가 용이해진다.

[0160] <차광층(795)의 형성>

[0161] 이어서, 절연층(770), 발광 소자(782) 위에 차광층(795)이 되는 차광막을 형성한다(도 11). 차광막으로서 금속 재료, 안료 또는 염료를 포함하는 수지를 사용하고, 포토리소그래피법 등에 의하여 형성할 수 있다. 이때, 발광 소자(782) 위에도 차광막이 형성되도록 상기 차광막의 두께를 조정한다.

[0162] 이어서, 차광층(795)이 되는 차광막의 일부를 제거하고, 발광 소자(782)의 상면을 노출시킨다(도 12의 (A)). 차광막의 제거에는 드라이 에칭법 등을 사용할 수 있다. 본 발명의 일 형태에서는 발광 소자(782)로서 사용하는 LED 칩은 1종류이고, 부화소 간에서 발광 소자(782)의 높이를 같게 할 수 있기 때문에, 용이하게 각 발광 소자(782)의 상면을 균일하게 노출시킬 수 있고, 제조 비용을 억제할 수 있다. 즉, 본 발명의 일 형태에 의하여, 낮은 제조 비용으로 휘도 및 콘트라스트가 높고, 응답 속도가 빠르고, 또한 소비전력이 낮은 표시 장치로 할 수 있다.

[0163] <착색층(736), 형광체층(797)의 형성>

[0164] 이어서, 기관(705) 위에 차광층(738) 및 착색층(736)을 형성한다.

[0165] 차광층(738)에는 금속 재료 또는 수지 재료를 사용할 수 있다. 차광층(738)에 금속 재료를 사용하는 경우에는, 도전막을 성막한 후에 포토리소그래피법 등을 사용하여 불필요한 부분을 제거함으로써 형성할 수 있다. 또한, 차광층(738)에 금속 재료, 안료 또는 염료를 포함하는 감광성의 수지 재료를 사용한 경우에는, 포토리소그래피법 등에 의하여 형성할 수 있다.

[0166] 착색층(736)에는, 예를 들어 감광성의 수지 재료를 사용하는 것이 바람직하다. 착색층(736)은 기관(705) 및 차광층(738) 위에 재료를 도포한 후, 포토 마스크를 통하여 상기 재료를 노광하고, 형상 처리 후에 가열 처리를 수행함으로써 형성할 수 있다.

[0167] 이어서, 착색층(736) 위에 형광체층(797)을 형성한다(도 12의 (B)). 형광체층(797)은, 예를 들어, 형광체가 혼합된 유기 수지층 등을 사용하여 스크린 인쇄법, 디스펜싱 등에 의하여 형성할 수 있다.

[0168] <기관(701)과 기관(705)의 접합>

[0169] 이어서, 기관(701)과 기관(705) 중 어느 한쪽 또는 양쪽에 이들을 접촉하는 접촉층을 형성한다. 접촉층은 화소가 배치되어 있는 영역을 둘러싸도록 형성한다. 접촉층은, 예를 들어 스크린 인쇄법, 디스펜싱 등에 의하여 형성할 수 있다. 접촉층으로서, 열 경화성 수지나 자외선 경화 수지 등을 사용할 수 있다. 또한, 자외선에 의하여 임시적으로 경화된 후에 가열함으로써 경화하는 수지 등을 사용하여도 좋다. 또는, 접촉층으로서 자외선 경화성과 열 경화성 양쪽을 가지는 수지 등을 사용하여도 좋다.

[0170] 이어서, 기관(701)과 기관(705)을 접합하고, 접촉층을 경화하여 밀봉막(732)을 형성한다. 접합은 감압 분위기 하에서 수행하면 기관(701)과 기관(705) 사이에 기포 등이 혼입하는 것을 방지할 수 있기 때문에 바람직하다.

[0171] 이어서, 배선(760) 위에 이방성 도전막(780)을 제공한다. 이방성 도전막(780) 위에 FPC(716)를 배치하여 열 압착함으로써, 배선(760)과 FPC(716)를 전기적으로 접속시킨다.

[0172] 이상의 공정에 의하여, 표시 장치(700)를 형성할 수 있다(도 7).

[0173] <단면 구성예 2>

[0174] 상술한 표시 장치(700)와 상이한 구성예를 도 13에 도시하였다. 도 13은 도 7의 (A)에 도시된 일점쇄선 Q-R에 있어서의 단면도이다. 도 13에 도시된 표시 장치(700C)는 발광 소자(782)로서 도 4에 예시한 LED 패키지를 가지고, 또한 차광층(795) 및 형광체층(797)을 가지지 않다는 점에서, 도 7에 도시된 표시 장치(700)와 주로 상이

하다.

- [0175] 도 13에 도시된 표시 장치(700C)의 제작 방법의 일례에 대하여, 도 14 및 도 15를 사용하여 설명한다. 도 14 및 도 15에 도시된 각 도면은 표시 장치(700C)의 제작 방법에 따른 공정의 각 단계에 있어서의 단면 개략도이다. 절연층(770)을 형성할 때까지는, 상술한 표시 장치(700)의 제작 방법의 설명을 원용할 수 있기 때문에, 자세한 설명은 생략한다.
- [0176] <도전층(772), 도전층(774)의 형성>
- [0177] 절연층(770) 위에 도전층(772) 및 도전층(774)을 형성한다(도 14의 (A)). 도전층(772)은 절연층(770)이 가지는 개구를 통하여 트랜지스터(750)와 전기적으로 접속된다. 도전층(772) 및 도전층(774)은 도전층(301) 등과 같은 방법에 의하여 형성될 수 있다.
- [0178] 이어서, 도전층(772) 위 및 도전층(774) 위에 각각 도전성의 범프(791) 및 범프(793)를 형성한다(도 14의 (B)). 범프(791) 및 범프(793)로서, 금, 은, 주석 등의 금속, 이들 금속을 가지는 합금, 도전성 수지 등의 이방 도전성 필름, 도전성 페이스트를 사용할 수 있다. 범프(791) 및 범프(793)의 형성에는 인쇄법, 전사법, 토출법 등을 사용할 수 있다.
- [0179] 예를 들어, 범프(791) 및 범프(793)로서 은 페이스트를 사용하고, 도전층(772) 및 도전층(774)으로서 APC, 알루미늄, 타이타늄, 구리 중 어느 하나 이상을 사용할 수 있다. 이와 같은 구성으로 함으로써, 발광 소자(782)는 도전층(772) 및 도전층(774) 각각과 전기적으로 양호하게 접속할 수 있다.
- [0180] <발광 소자(782)의 배치>
- [0181] 이어서, 발광 소자(782)를 범프(791) 및 범프(793) 위에 배치한다. 발광 소자(782)로서, 도 4에 예시한 표면 실장형 LED 패키지를 사용하는 것이 바람직하다. 배치 시, 발광 소자(782)의 음극 측의 전극과 양극 측의 전극이 각각 범프(791) 및 범프(793)와 접하도록 발광 소자(782)를 배치한다. 범프(791), 범프(793), 발광 소자(782), 도전층(772) 및 도전층(774)이 압접되고, 도전층(772) 및 도전층(774) 위에 발광 소자(782)가 고정된다. 이와 함께, 도전층(772) 및 도전층(774)과, 발광 소자(782)가 전기적으로 접속된다(도 15의 (A)).
- [0182] 발광 소자(782)의 배치에는 픽 앤드 플레이스 장치를 사용할 수 있다. 또는, 발광 소자(782)의 배치에 FSA 방식을 사용하여도 좋다. 본 발명의 일 형태에서는, 발광 소자(782)로서 사용하는 LED 칩은 1종류이기 때문에, 복수 종류를 사용하는 경우와 비교하여 발광 소자(781)의 배치가 용이해진다.
- [0183] <착색층의 형성>
- [0184] 이어서, 기판(705) 위에 차광층(738) 및 착색층(736)을 형성한다(도 15의 (B)). 차광층(738) 및 착색층(736)은 상술한 표시 장치(700)의 제작 방법의 설명을 원용할 수 있기 때문에, 자세한 설명은 생략한다.
- [0185] <기판(701)과 기판(705)의 접합>
- [0186] 이어서, 기판(701)과 기판(705) 중 어느 한쪽 또는 양쪽에 이들을 접착하는 접착층을 형성한다. 기판(701)과 기판(705)의 접합에 대해서는 상술한 표시 장치(700)의 제작 방법의 설명을 원용할 수 있기 때문에, 자세한 설명은 생략한다.
- [0187] 이어서, 배선(760) 위에 이방성 도전막(780)을 제공한다. 이방성 도전막(780) 위에 FPC(716)를 배치하여 열 압착함으로써, 배선(760)과 FPC(716)를 전기적으로 접속시킨다.
- [0188] 이상의 공정에 의하여, 표시 장치(700C)를 형성할 수 있다(도 13).
- [0189] <표시 장치에 입력 장치를 제공하는 구성예>
- [0190] 또한, 도 7, 도 8 및 도 13에 도시된 표시 장치에 입력 장치를 제공하여도 좋다. 상기 입력 장치로서는 예를 들어 터치 센서 등이 있다.
- [0191] 예를 들어 센서의 방식으로서 정전 용량 방식, 저항막 방식, 표면 탄성과 방식, 적외선 방식, 광학 방식, 감압 방식 등 다양한 방식을 사용할 수 있다. 또는 이들 중 2개 이상을 조합하여 사용하여도 좋다.
- [0192] 또한 터치 패널의 구성에는 입력 장치를 한 쌍의 기판 내측에 형성하는 소위 인셀형 터치 패널, 입력 장치를 표시 장치(700) 위에 형성하는 소위 온셀형 터치 패널, 또는 입력 장치(700)에 접합하여 사용하는 소위 아웃셀형 터치 패널 등이 있다.

- [0193] 본 실시형태는 적어도 그 일부를 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0194] (실시형태 3)
- [0195] 본 실시형태에서는 상기 실시형태에 나타난 표시 장치 등에 사용할 수 있는 트랜지스터의 일례에 대하여 설명한다.
- [0196] 본 발명의 일 형태의 표시 장치는 보텀 게이트형 트랜지스터나 톱 게이트형 트랜지스터 등의 다양한 형태의 트랜지스터를 사용하여 제작할 수 있다. 따라서 기존의 제조 라인에 맞추어, 사용하는 반도체층의 재료나 트랜지스터 구조를 용이하게 바꿀 수 있다.
- [0197] <보텀 게이트형 트랜지스터>
- [0198] 도 16의 (A1)은 보텀 게이트형 트랜지스터의 일종인 채널 보호형 트랜지스터(1810)의 채널 길이 방향의 단면도이다. 도 16의 (A1)에서, 트랜지스터(1810)는 기판(1771) 위에 형성된다. 또한 트랜지스터(1810)는 기판(1771) 위에 절연층(1772)을 개재(介在)하여 전극(1746)을 가진다. 또한 전극(1746) 위에 절연층(1726)을 개재하여 반도체층(1742)을 가진다. 전극(1746)은 게이트 전극으로서 기능할 수 있다. 절연층(1726)은 게이트 절연층으로서 기능할 수 있다.
- [0199] 또한 반도체층(1742)의 채널 형성 영역 위에 절연층(1741)을 가진다. 또한 반도체층(1742)의 일부와 접하고, 절연층(1726) 위에 전극(1744a) 및 전극(1744b)을 가진다. 전극(1744a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능할 수 있다. 전극(1744b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있다. 전극(1744a)의 일부 및 전극(1744b)의 일부는 절연층(1741) 위에 형성된다.
- [0200] 절연층(1741)은 채널 보호층으로서 기능할 수 있다. 채널 형성 영역 위에 절연층(1741)을 제공함으로써, 전극(1744a) 및 전극(1744b)의 형성 시에 발생하는 반도체층(1742)의 노출을 방지할 수 있다. 따라서 전극(1744a) 및 전극(1744b)의 형성 시에, 반도체층(1742)의 채널 형성 영역이 에칭되는 것을 방지할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다.
- [0201] 또한 트랜지스터(1810)는 전극(1744a), 전극(1744b), 및 절연층(1741) 위에 절연층(1728)을 가지고, 절연층(1728) 위에 절연층(1729)을 가진다.
- [0202] 반도체층(1742)에 산화물 반도체를 사용하는 경우, 전극(1744a) 및 전극(1744b)에서 적어도 반도체층(1742)과 접하는 부분에, 반도체층(1742)의 일부로부터 산소를 빼앗아, 산소 결손을 발생시킬 수 있는 재료를 사용하는 것이 바람직하다. 반도체층(1742) 내의 산소 결손이 발생한 영역은 캐리어 농도가 증가되어, 상기 영역은 n형화되어, n형 영역(n⁺층)이 된다. 따라서 상기 영역은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 반도체층(1742)에 산화물 반도체를 사용하는 경우, 반도체층(1742)으로부터 산소를 빼앗아, 산소 결손을 발생시킬 수 있는 재료의 일례로서, 텅스텐, 타이타늄 등을 들 수 있다.
- [0203] 반도체층(1742)에 소스 영역 및 드레인 영역이 형성됨으로써, 전극(1744a) 및 전극(1744b)과 반도체층(1742)의 접촉 저항을 저감할 수 있다. 따라서 전계 효과 이동도나 문턱 전압 등의 트랜지스터의 전기 특성을 양호한 것으로 할 수 있다.
- [0204] 반도체층(1742)에 실리콘 등의 반도체를 사용하는 경우에는, 반도체층(1742)과 전극(1744a) 사이 및 반도체층(1742)과 전극(1744b) 사이에, n형 반도체 또는 p형 반도체로서 기능하는 층을 제공하는 것이 바람직하다. n형 반도체 또는 p형 반도체로서 기능하는 층은 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능할 수 있다.
- [0205] 절연층(1729)은 외부로부터 트랜지스터에 대한 불순물의 확산을 방지하거나, 또는 저감하는 기능을 가지는 재료를 사용하여 형성하는 것이 바람직하다. 또한 필요에 따라 절연층(1729)을 생략할 수도 있다.
- [0206] 도 16의 (A2)에 도시된 트랜지스터(1811)는 절연층(1729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(1723)을 가지는 점에서 트랜지스터(1810)와 상이하다. 전극(1723)은 전극(1746)과 같은 재료 및 방법으로 형성할 수 있다.
- [0207] 일반적으로 백 게이트 전극은 도전층으로 형성되고, 게이트 전극과 백 게이트 전극으로 반도체층의 채널 형성 영역을 끼우도록 배치된다. 따라서 백 게이트 전극을 게이트 전극과 마찬가지로 기능시킬 수 있다. 백 게이트 전극의 전위는 게이트 전극과 같은 전위로 하여도 좋고, 접지 전위(GND 전위)나 임의의 전위로 하여도 좋다. 또한 백 게이트 전극의 전위를 게이트 전극과 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터의 문턱

전압을 변화시킬 수 있다.

- [0208] 또한, 전극(1746) 및 전극(1723)은 양쪽 모두 게이트 전극으로서 기능할 수 있다. 따라서 절연층(1726), 절연층(1728), 및 절연층(1729)은 각각이 게이트 절연층으로서 기능할 수 있다. 또한 전극(1723)은 절연층(1728)과 절연층(1729) 사이에 제공하여도 좋다.
- [0209] 또한 전극(1746) 및 전극(1723) 중 한쪽을 "게이트 전극"이라고 하는 경우, 다른 쪽을 "백 게이트 전극"이라고 한다. 예를 들어 트랜지스터(1811)에 있어서 전극(1723)을 "게이트 전극"이라고 하는 경우, 전극(1746)을 "백 게이트 전극"이라고 한다. 또한 전극(1723)을 "게이트 전극"으로서 사용하는 경우에는, 트랜지스터(1811)를 톱 게이트형 트랜지스터의 일종이라고 생각할 수 있다. 또한 전극(1746) 및 전극(1723) 중 어느 한쪽을 "제 1 게이트 전극"이라고 하고, 다른 쪽을 "제 2 게이트 전극"이라고 하는 경우가 있다.
- [0210] 반도체층(1742)을 사이에 두고 전극(1746) 및 전극(1723)을 제공함으로써, 또한 전극(1746) 및 전극(1723)을 같은 전위로 함으로써, 반도체층(1742)에 있어서 캐리어가 흐르는 영역이 막 두께 방향에서 더 커지기 때문에, 캐리어의 이동량이 증가된다. 이 결과, 트랜지스터(1811)의 온 전류가 커짐과 함께, 전계 효과 이동도가 높아진다.
- [0211] 따라서 트랜지스터(1811)는 점유 면적에 대하여 큰 온 전류를 가지는 트랜지스터이다. 즉 요구되는 온 전류에 대하여 트랜지스터(1811)의 점유 면적을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 트랜지스터의 점유 면적을 작게 할 수 있다. 따라서 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 실현할 수 있다.
- [0212] 또한 게이트 전극과 백 게이트 전극은 도전층으로 형성되기 때문에, 트랜지스터의 외부에서 생기는 전계가 채널이 형성되는 반도체층에 작용하지 않도록 하는 기능(특히 정전기 등에 대한 전계 차폐 기능)을 가진다. 또한 백 게이트 전극을 반도체층보다 크게 형성하고, 백 게이트 전극으로 반도체층을 덮음으로써, 전계 차폐 기능을 높일 수 있다.
- [0213] 또한 백 게이트 전극을 차광성을 가지는 도전막으로 형성함으로써, 백 게이트 전극 측으로부터 반도체층에 광이 입사하는 것을 방지할 수 있다. 따라서 반도체층의 광 열화를 방지하고, 트랜지스터의 문턱 전압이 시프트되는 등의 전기 특성의 열화를 방지할 수 있다.
- [0214] 본 발명의 일 형태에 따르면, 신뢰성이 양호한 트랜지스터를 실현할 수 있다. 또한 신뢰성이 양호한 반도체 장치를 실현할 수 있다.
- [0215] 도 16의 (B1)은, 도 16의 (A1)과는 구성이 다른 채널 보호형 트랜지스터(1820)의 채널 길이 방향의 단면도이다. 트랜지스터(1820)는 트랜지스터(1810)와 거의 같은 구조를 가지지만, 절연층(1741)이 반도체층(1742)의 단부를 덮고 있는 점에서 상이하다. 또한 반도체층(1742)과 중첩되는 절연층(1741)의 일부를 선택적으로 제거하여 형성한 개구부에서, 반도체층(1742)과 전극(1744a)이 전기적으로 접속된다. 또한 반도체층(1742)과 중첩되는 절연층(1741)의 일부를 선택적으로 제거하여 형성한 다른 개구부에서, 반도체층(1742)과 전극(1744b)이 전기적으로 접속된다. 절연층(1741)에서 채널 형성 영역과 중첩되는 영역은 채널 보호층으로서 기능할 수 있다.
- [0216] 도 16의 (B2)에 도시된 트랜지스터(1821)는 절연층(1729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(1723)을 가지는 점에서 트랜지스터(1820)와 상이하다.
- [0217] 절연층(1729)을 제공함으로써, 전극(1744a) 및 전극(1744b)의 형성 시에 발생하는 반도체층(1742)의 노출을 방지할 수 있다. 따라서 전극(1744a) 및 전극(1744b)의 형성 시에 반도체층(1742)의 막박화를 방지할 수 있다.
- [0218] 또한 트랜지스터(1820) 및 트랜지스터(1821)는 전극(1744a)과 전극(1746) 사이의 거리와 전극(1744b)과 전극(1746) 사이의 거리가 트랜지스터(1810) 및 트랜지스터(1811)보다 길다. 따라서 전극(1744a)과 전극(1746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 또한 전극(1744b)과 전극(1746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다.
- [0219] 도 16의 (C1)에 나타난 트랜지스터(1825)는 보텀 게이트형 트랜지스터의 일종인 채널 에칭형 트랜지스터(1825)의 채널 길이 방향의 단면도이다. 트랜지스터(1825)는 절연층(1741)을 사용하지 않고 전극(1744a) 및 전극(1744b)을 형성한다. 이 때문에, 전극(1744a) 및 전극(1744b)의 형성 시에 노출되는 반도체층(1742)의 일부가 에칭되는 경우가 있다. 한편, 절연층(1741)을 제공하지 않기 때문에, 트랜지스터의 생산성을 높일 수 있다.
- [0220] 도 16의 (C2)에 도시된 트랜지스터(1826)는 절연층(1729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(1723)을 가지는 점에서 트랜지스터(1825)와 상이하다.

- [0221] 도 17의 (A1) 내지 (C2)에 트랜지스터(1810, 1811, 1820, 1821, 1825, 1826)의 채널 폭 방향의 단면도를 각각 도시하였다.
- [0222] 도 17의 (B2), (C2)에 나타낸 구조에서는, 게이트 전극과 백 게이트 전극이 접속되고, 게이트 전극과 백 게이트 전극의 전위가 동일한 전위가 된다. 또한, 반도체층(1742)은 게이트 전극과 백 게이트 전극 사이에 있다.
- [0223] 게이트 전극 및 백 게이트 전극 각각의 채널 폭 방향의 길이는, 반도체층(1742)의 채널 폭 방향의 길이보다 길고, 반도체층(1742)의 채널 폭 방향 전체는 절연층(1726, 1741, 1728, 1729)를 개재하여 게이트 전극 또는 백 게이트 전극으로 덮인 구성이다.
- [0224] 상기 구성으로 함으로써, 트랜지스터에 포함되는 반도체층(1742)을 게이트 전극 및 백 게이트 전극의 전계에 의하여 전기적으로 둘러쌀 수 있다.
- [0225] 트랜지스터(1821) 또는 트랜지스터(1826)와 같이, 게이트 전극 및 백 게이트 전극의 전계에 의하여, 채널 형성 영역이 형성되는 반도체층(1742)을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 Surrounded channel(S-channel) 구조라고 부를 수 있다.
- [0226] S-channel 구조로 함으로써, 게이트 전극 및 백 게이트 전극 중 한쪽 또는 양쪽에 의하여 채널을 유발시키기 위한 전계를 효과적으로 반도체층(1742)에 인가할 수 있기 때문에, 트랜지스터의 전류 구동 능력이 향상되어, 높은 온 전류 특성을 얻을 수 있게 된다. 또한 온 전류를 높게 할 수 있기 때문에, 트랜지스터를 미세화하는 것이 가능해진다. 또한 S-channel 구조로 함으로써, 트랜지스터의 기계적 강도를 높일 수 있다.
- [0227] <툽 게이트형 트랜지스터>
- [0228] 도 18의 (A1)에 예시된 트랜지스터(1842)는 툽 게이트형 트랜지스터의 일종이다. 트랜지스터(1842)는 절연층(1729)을 형성한 후에 전극(1744a) 및 전극(1744b)을 형성하는 점에서 트랜지스터(1810)나 트랜지스터(1820)와 상이하다. 전극(1744a) 및 전극(1744b)은 절연층(1728) 및 절연층(1729)에 형성한 개구부에서 반도체층(1742)과 전기적으로 접속된다.
- [0229] 또한 전극(1746)과 중첩되지 않는 절연층(1726)의 일부를 제거하고, 전극(1746)과 잔존한 절연층(1726)을 마스크로서 사용하여 불순물을 반도체층(1742)에 도입함으로써, 반도체층(1742) 내에 자기 정합(셀프 얼라인먼트)적으로 불순물 영역을 형성할 수 있다. 트랜지스터(1842)는 절연층(1726)이 전극(1746)의 단부를 넘어 연장되는 영역을 가진다. 반도체층(1742)의 절연층(1726)을 통하여 불순물이 도입된 영역의 불순물 농도는 절연층(1726)을 통하지 않고 불순물이 도입된 영역보다 작다. 반도체층(1742)은 전극(1746)과 중첩되지 않는 영역에 LDD(Lightly Doped Drain) 영역이 형성된다.
- [0230] 도 18의 (A2)에 도시된 트랜지스터(1843)는 전극(1723)을 가지는 점에서 트랜지스터(1842)와 상이하다. 트랜지스터(1843)는 기판(1771) 위에 형성된 전극(1723)을 가진다. 전극(1723)은 절연층(1772)을 개재하여 반도체층(1742)과 중첩되는 영역을 가진다. 전극(1723)은 백 게이트 전극으로서 기능할 수 있다.
- [0231] 또한 도 18의 (B1)에 도시된 트랜지스터(1844) 및 도 18의 (B2)에 도시된 트랜지스터(1845)와 같이, 전극(1746)과 중첩되지 않는 영역의 절연층(1726)을 모두 제거하여도 좋다. 또한 도 18의 (C1)에 도시된 트랜지스터(1846) 및 도 18의 (C2)에 도시된 트랜지스터(1847)와 같이, 절연층(1726)을 남겨도 좋다.
- [0232] 트랜지스터(1843) 내지 트랜지스터(1847)에서도, 전극(1746)을 형성한 후에, 전극(1746)을 마스크로서 사용하여 불순물을 반도체층(1742)에 도입함으로써, 반도체층(1742) 내에 자기 정합적으로 불순물 영역을 형성할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 실현할 수 있다.
- [0233] 도 19의 (A1) 내지 (C2)에 트랜지스터(1842, 1843, 1844, 1845, 1846, 1847)의 채널 폭 방향의 단면도를 각각 도시하였다.
- [0234] 트랜지스터(1843), 트랜지스터(1845), 및 트랜지스터(1847)는, 각각 위에서 설명한 S-channel 구조이다. 다만, 이에 한정되지 않고, 트랜지스터(1843), 트랜지스터(1845), 및 트랜지스터(1847)를 S-channel 구조로 하지 않아도 된다.
- [0235] 이하에서는, 트랜지스터의 채널 형성 영역에 적합하게 사용할 수 있는 금속 산화물에 대하여 설명한다.
- [0236] 트랜지스터에 사용하는 반도체 재료로서는 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는

3eV 이상인 금속 산화물을 사용할 수 있다. 대표적인 예로서는 인듐을 포함한 금속 산화물 등이 있고, 예를 들어, 후술되는 CAC-OS 등을 사용할 수 있다.

- [0237] 실리콘보다 밴드 갭이 넓고, 또한 캐리어 밀도가 작은 금속 산화물을 사용한 트랜지스터는 오프 전류가 낮기 때문에, 트랜지스터에 직렬로 접속된 용량 소자에 축적된 전하가 장기간에 걸쳐 유지될 수 있다.
- [0238] 반도체층은 예를 들어 인듐, 아연, 및 M(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함한 In-M-Zn계 산화물로 표기되는 막으로 할 수 있다.
- [0239] 반도체층을 구성하는 금속 산화물이 In-M-Zn계 산화물인 경우, In-M-Zn 산화물을 성막하기 위하여 사용되는 스퍼터링 타겟의 금속 원소의 원자수비는 $In \geq M$, $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타겟의 금속 원소의 원자수비로서, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=3:1:2$, $In:M:Zn=4:2:3$, $In:M:Zn=4:2:4.1$, $In:M:Zn=5:1:6$, $In:M:Zn=5:1:7$, $In:M:Zn=5:1:8$ 등이 바람직하다. 또한 성막되는 반도체층의 원자수비는 각각 상기 스퍼터링 타겟에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 변동을 포함한다.
- [0240] 반도체층으로서, 캐리어 밀도가 낮은 금속 산화물막을 사용한다. 예를 들어 반도체층은 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 이하, 더더욱 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이고, $1 \times 10^{-9}/\text{cm}^3$ 이상의 캐리어 밀도의 금속 산화물을 사용할 수 있다. 이와 같은 금속 산화물을 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물이라고 부른다. 상기 금속 산화물은 불순물 농도가 낮고 결함 준위 밀도가 낮기 때문에 안정적인 특성을 가지는 산화물 반도체라고 할 수 있다.
- [0241] 또한, 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성의 산화물 반도체를 사용하면 좋다. 또한 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0242] 반도체층을 구성하는 금속 산화물에서, 14족 원소 중 하나인 실리콘이나 탄소가 포함되면 반도체층에서 산소 결손이 증가되어 n형화된다. 그러므로, 반도체층에서의 실리콘이나 탄소의 농도(이차 이온 질량 분석법에 의하여 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms}/\text{cm}^3$ 이하로 한다.
- [0243] 또한, 알칼리 금속 및 알칼리 토금속은 금속 산화물과 결합하면 캐리어를 생성하는 경우가 있고, 트랜지스터의 오프 전류가 증대하는 경우가 있다. 이 때문에 반도체층에서의 이차 이온 질량 분석법에 의하여 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms}/\text{cm}^3$ 이하로 한다.
- [0244] 또한 반도체층을 구성하는 금속 산화물에 질소가 포함되면, 캐리어인 전자가 생기고 캐리어 밀도가 증가되어 n형화되기 쉽다. 이 결과, 질소가 포함되는 금속 산화물을 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 반도체층에서의 이차 이온 질량 분석법에 의하여 얻어지는 질소 농도는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하로 하는 것이 바람직하다.
- [0245] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.
- [0246] 또한 본 발명의 일 형태에 개시되는 트랜지스터의 반도체층에는 CAC-OS(Cloud-Aligned Composite oxide semiconductor)를 사용하여도 좋다.
- [0247] 또한 본 발명의 일 형태에 개시되는 트랜지스터의 반도체층은 상술한 비단결정 산화물 반도체 또는 CAC-OS를 바람직하게 사용할 수 있다. 또한 비단결정 산화물 반도체로서는 nc-OS 또는 CAAC-OS를 적합하게 사용할 수 있다.
- [0248] 또한, 본 발명의 일 형태에서는 트랜지스터의 반도체층으로서 CAC-OS를 사용하는 것이 바람직하다. CAC-OS를 사용함으로써 트랜지스터에 높은 전기 특성 또는 높은 신뢰성을 부여할 수 있다.
- [0249] 또한, 반도체층이 CAAC-OS의 영역, 다결정 산화물 반도체의 영역, nc-OS의 영역, a-like OS의 영역, 및 비정질 산화물 반도체의 영역 중 2종류 이상을 가지는 혼합막이어도 좋다. 혼합막은 예를 들어 상술한 영역 중 어느 2

종류 이상의 영역을 포함하는 단층 구조 또는 적층 구조를 가지는 경우가 있다.

- [0250] 이하에서는, 본 발명의 일 형태에 개시되는 트랜지스터에 사용할 수 있는 CAC-OS의 구성에 대하여 설명한다.
- [0251] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 아래에서는, 금속 산화물에 하나 또는 하나 이상의 금속 원소가 편재하여 상기 금속 원소를 가지는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.
- [0252] 또한, 금속 산화물은 적어도 인듐을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0253] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS(CAC-OS 중에서도 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 불려도 좋음)란, 인듐 산화물(이하, InO_{X1} ($X1$ 은 0보다 큰 실수(實數))로 함) 또는 인듐 아연 산화물(이하, $In_{X2}Zn_{Y2}O_{Z2}$ ($X2$, $Y2$, 및 $Z2$ 는 0보다 큰 실수)로 함)과, 갈륨 산화물(이하, GaO_{X3} ($X3$ 은 0보다 큰 실수)으로 함) 또는 갈륨 아연 산화물(이하, $Ga_{X4}Zn_{Y4}O_{Z4}$ ($X4$, $Y4$, 및 $Z4$ 는 0보다 큰 실수)로 함) 등으로 재료가 분리됨으로써 모자이크상이 되고, 모자이크상의 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$ 가 막 내에 균일하게 분포된 구성(이하, 클라우드상이라고도 함)이다.
- [0254] 즉 CAC-OS는 GaO_{X3} 이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역이 혼합된 구성을 가지는 복합 금속 산화물이다. 또한 본 명세서에서 예를 들어 제 1 영역의 원소 M에 대한 In의 원자수비가 제 2 영역의 원소 M에 대한 In의 원자수비보다 큰 것을, 제 1 영역은 제 2 영역과 비교하여 In의 농도가 높다고 한다.
- [0255] 또한 IGZO는 통칭이며, In, Ga, Zn, 및 O로 이루어지는 하나의 화합물을 말하는 경우가 있다. 대표적인 예로서, $InGaO_3(ZnO)_m$ (m 은 자연수) 또는 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_m$ ($-1 \leq x0 \leq 1$, m 은 임의의 수)으로 나타내어지는 결정성 화합물을 들 수 있다.
- [0256] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 가진다. 또한 CAAC 구조는 복수의 IGZO의 나노 결정이 c축 배향을 가지고, 또한 a-b면에서는 배향하지 않고 연결된 결정 구조이다.
- [0257] 한편, CAC-OS는 금속 산화물의 재료 구성에 관한 것이다. CAC-OS란 In, Ga, Zn, 및 O를 포함한 재료 구성에서, 일부에 Ga를 주성분으로 하는 나노 입자상으로 관찰되는 영역과, 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크상으로 무작위로 분산되어 있는 구성을 말한다. 따라서, CAC-OS에서 결정 구조는 부차적인 요소이다.
- [0258] 또한 CAC-OS는 조성이 상이한 2종류 이상의 막의 적층 구조를 포함하지 않는 것으로 한다. 예를 들어 In을 주성분으로 하는 막과, Ga를 주성분으로 하는 막의 2층으로 이루어지는 구조는 포함하지 않는다.
- [0259] 또한 GaO_{X3} 이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역에서는, 명확한 경계를 관찰할 수 없는 경우가 있다.
- [0260] 또한 갈륨 대신에 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류가 포함되어 있는 경우, CAC-OS는 일부에 상기 금속 원소를 주성분으로 하는 나노 입자상으로 관찰되는 영역과, 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크상으로 무작위로 분산되어 있는 구성을 말한다.
- [0261] CAC-OS는 예를 들어, 기판을 가열하지 않는 조건으로, 스퍼터링법에 의하여 형성할 수 있다. 또한 CAC-OS를 스퍼터링법에 의하여 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하고, 예를 들어 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 하는 것이 바람직하다.
- [0262] CAC-OS는 X선 회절(XRD: X-ray diffraction) 측정법의 하나인 Out-of-plane법에 의한 $\theta/2\theta$ 스캔을 사용하여 측정하였을 때 명확한 피크가 관찰되지 않는다는 특징을 가진다. 즉 X선 회절 측정으로부터 측정 영역의 a-b면

방향 및 c축 방향의 배향이 보이지 않는 것을 알 수 있다.

- [0263] 또한 CAC-OS는 프로브 직경이 1nm인 전자선(나노 빔 전자선이라고도 함)을 조사함으로써 얻어지는 전자선 회절 패턴에서, 링 형상으로 휘도가 높은 영역(링 영역)이 관측되고, 상기 링 영역에 복수의 휘점이 관측된다. 따라서 전자선 회절 패턴으로부터 CAC-OS의 결정 구조는 평면 방향 및 단면 방향에서 배향성을 가지지 않는 nc(nano-crystal) 구조를 가진다는 것을 알 수 있다.
- [0264] 또한 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑에 의하여, GaO_{X3} 이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역이 편재하고 혼합되어 있는 구조를 가진다는 것을 확인할 수 있다.
- [0265] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 상이한 구조이고, IGZO 화합물과는 상이한 성질을 가진다. 즉 CAC-OS는 GaO_{X3} 등이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역으로 서로 상분리(相分離)되어, 각 원소를 주성분으로 하는 영역이 모자이크상인 구조를 가진다.
- [0266] 여기서, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역은 GaO_{X3} 등이 주성분인 영역과 비교하여 도전성이 높은 영역이다. 즉, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역을 캐리어가 흐름으로써, 금속 산화물로서의 도전성이 발현된다. 따라서, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역이 금속 산화물 내에 클라우드상으로 분포됨으로써, 높은 전계 효과 이동도(μ)를 실현할 수 있다.
- [0267] 한편, GaO_{X3} 등이 주성분인 영역은 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역과 비교하여 절연성이 높은 영역이다. 즉, GaO_{X3} 등이 주성분인 영역이 금속 산화물 내에 분포됨으로써, 누설 전류를 억제하여 양호한 스위칭 동작을 실현할 수 있다.
- [0268] 따라서 CAC-OS를 반도체 소자에 사용한 경우, GaO_{X3} 등에 기인하는 절연성과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 에 기인하는 도전성이 상보적으로 작용함으로써, 높은 온 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.
- [0269] 또한 CAC-OS를 사용한 반도체 소자는 신뢰성이 높다. 따라서, CAC-OS는 디스플레이를 비롯한 다양한 반도체 장치에 최적이다.
- [0270] 또한, 반도체층에 CAC-OS를 가지는 트랜지스터는 전계 효과 이동도가 높고, 또한 구동 능력이 높기 때문에, 상기 트랜지스터를 구동 회로, 대표적으로는 게이트 신호를 생성하는 주사선 구동 회로에 사용함으로써 베젤이 좁은(슬림 베젤이라고도 함) 표시 장치를 제공할 수 있다. 또한, 상기 트랜지스터를, 표시 장치가 가지는 신호선 구동 회로(특히 신호선 구동 회로가 가지는 시프트 레지스터의 출력 단자와 접속되는 디멀티플렉서)에 사용함으로써, 표시 장치와 접속되는 배선수가 적은 표시 장치를 제공할 수 있다.
- [0271] 또한, 반도체층에 CAC-OS를 가지는 트랜지스터는 저온 폴리 실리콘을 사용한 트랜지스터와 같은 레이저 결정화 공정이 불필요하다. 이로써 대면적 기판을 사용한 표시 장치이어도 제조 비용을 저감할 수 있다. 또한, 울트라 하이비전("4K 해상도", "4K2K", "4K"), 슈퍼 하이비전("8K 해상도", "8K4K", "8K")과 같은 고해상도이고, 또한 대형의 표시 장치에 있어서, 반도체층에 CAC-OS를 가지는 트랜지스터를 구동 회로 및 표시부에 사용함으로써, 단시간에 기록할 수 있고 표시 불량을 저감할 수 있어 바람직하다.
- [0272] 또는, 트랜지스터의 채널이 형성되는 반도체에 실리콘을 사용하여도 좋다. 실리콘으로서 비정질 실리콘을 사용하여도 좋지만 특히 결정성을 가지는 실리콘을 사용하는 것이 바람직하다. 예를 들어, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용하는 것이 바람직하다. 특히, 다결정 실리콘은 단결정 실리콘에 비하여 저온에서 형성할 수 있고, 또한 비정질 실리콘에 비하여 높은 전계 효과 이동도와 높은 신뢰성을 가진다.
- [0273] 본 실시형태는 적어도 그 일부를 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0274] (실시형태 4)
- [0275] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 대하여 설명한다.
- [0276] 도 20의 (A)에 도시된 표시 장치는 화소부(502)와, 구동 회로부(504)와, 보호 회로(506)와, 단자부(507)를 가진다. 또한, 보호 회로(506)를 제공하지 않는 구성으로 하여도 좋다.
- [0277] 화소부(502)나 구동 회로부(504)가 가지는 트랜지스터에 본 발명의 일 형태의 트랜지스터를 적용할 수 있다.

또한 보호 회로(506)에도 본 발명의 일 형태의 트랜지스터를 적용하여도 좋다.

- [0278] 화소부(502)는 X행 Y열(X, Y는 각각 독립적으로 2 이상의 자연수임)로 배치된 복수의 표시 소자를 구동시키는 복수의 화소 회로(501)를 가진다.
- [0279] 구동 회로부(504)는 게이트선(GL₁ 내지 GL_X)에 주사 신호를 출력하는 게이트 드라이버(504a), 데이터선(DL₁ 내지 DL_Y)에 데이터 신호를 공급하는 소스 드라이버(504b) 등의 구동 회로를 가진다. 게이트 드라이버(504a)는 적어도 시프트 레지스터를 가지는 구성으로 하면 좋다. 또한, 소스 드라이버(504b)는 예를 들어 복수의 아날로그 스위치 등을 사용하여 구성된다. 또한, 시프트 레지스터 등을 사용하여 소스 드라이버(504b)를 구성하여도 좋다.
- [0280] 단자부(507)란 외부의 회로로부터 표시 장치에 전원, 제어 신호, 및 화상 신호 등을 입력하기 위한 단자가 제공된 부분을 말한다.
- [0281] 보호 회로(506)는, 이 자체가 접속되는 배선에 일정한 범위 외의 전위가 공급되었을 때, 상기 배선과 다른 배선을 도통 상태로 하는 회로이다. 도 20의 (A)에 도시된 보호 회로(506)는, 예를 들어 게이트 드라이버(504a)와 화소 회로(501) 사이의 배선인 주사선(GL) 또는 소스 드라이버(504b)와 화소 회로(501) 사이의 배선인 데이터선(DL) 등의 각종 배선에 접속된다.
- [0282] 또한, 게이트 드라이버(504a)와 소스 드라이버(504b)는, 각각 화소부(502)와 같은 기관 위에 제공되어 있어도 좋고, 게이트 드라이버 회로 또는 소스 드라이버 회로가 별도로 형성된 기관(예를 들어, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기관)을 COG나 TAB(Tape Automated Bonding)에 의하여 기관에 실장하는 구성으로 하여도 좋다.
- [0283] 또한, 도 20의 (A)에 도시된 복수의 화소 회로(501)는 예를 들어 도 20의 (B)에 도시된 구성으로 할 수 있다. 도 20의 (B)에 도시된 화소 회로(501)는 트랜지스터(552)와, 트랜지스터(554)와, 용량 소자(562)와, 발광 소자(572)를 가진다. 또한, 화소 회로(501)에는 데이터 선(DL_n), 주사선(GL_m), 전위 공급선(VL_a), 전위 공급선(VL_b) 등이 접속되어 있다.
- [0284] 또한, 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 한쪽에는 고전원 전위(VDD)가 공급되고, 다른 쪽에는 저전원 전위(VSS)가 공급된다. 트랜지스터(554)의 게이트에 공급되는 전위에 따라 발광 소자(572)를 흐르는 전류가 제어됨으로써 발광 소자(572)로부터의 발광 휘도가 제어된다.
- [0285] 도 20의 (B)에 도시된 화소 회로(501) 내의 트랜지스터(554)로서, n채널형 트랜지스터를 사용하는 예를 도 21의 (A)에 도시하였다. 도 21의 (A)에 도시된 화소 회로(501)는 트랜지스터(552)와, 트랜지스터(554a)와, 용량 소자(562)와, 발광 소자(572a)를 가진다. 트랜지스터(552)는 n채널형 트랜지스터이고, 트랜지스터(554a)는 n채널형 트랜지스터이다. 예를 들어, 트랜지스터(552)로서 앞의 실시형태에 나타난 채널 형성 영역에 산화물 반도체를 가지는 트랜지스터를 적용하고, 트랜지스터(554a)로서 채널 형성 영역에 실리콘을 가지는 트랜지스터를 적용할 수 있다.
- [0286] 또한, 예를 들어 트랜지스터(552) 및 트랜지스터(554a)로서, 앞의 실시형태에 나타난 채널 형성 영역에 산화물 반도체를 가지는 트랜지스터를 적용할 수 있다. 이와 같은 구성으로 함으로써, 트랜지스터가 화소 내에서 차지하는 면적이 작아지고, 매우 고정세(高精細)한 화상을 표시할 수 있다.
- [0287] 도 21의 (A)에 도시된 화소 회로(501)에서 트랜지스터(552)의 소스 및 드레인 중 한쪽은 데이터선(DL_n)과 전기적으로 접속된다. 트랜지스터(552)의 소스 및 드레인 중 다른 쪽은 용량 소자(562)의 한쪽 전극 및 트랜지스터(554a)의 게이트와 전기적으로 접속된다. 용량 소자(562)의 다른 쪽 전극은 전위 공급선(VL_a)과 전기적으로 접속된다. 트랜지스터(552)의 게이트는 주사선(GL_m)과 전기적으로 접속된다. 트랜지스터(554a)의 소스 및 드레인 중 한쪽은 전위 공급선(VL_a)과 전기적으로 접속된다. 트랜지스터(554a)의 소스 및 드레인 중 다른 쪽은 발광 소자(572a)의 한쪽 전극과 전기적으로 접속된다. 발광 소자(572a)의 다른 쪽 전극은 전위 공급선(VL_b)과 전기적으로 접속된다. 전위 공급선(VL_a)에는 저전원 전위(VSS)가 공급되고, 전위 공급선(VL_b)에는 고전원 전위(VDD)가 공급된다.
- [0288] 도 21의 (A)에 도시된 화소 회로(501)와 상이한 구성을 도 21의 (B)에 도시하였다. 도 21의 (B)에 도시된 화소 회로(501)에서 트랜지스터(552)의 소스 및 드레인 중 한쪽은 데이터선(DL_n)과 전기적으로 접속된다. 트랜지스터(552)의 소스 및 드레인 중 다른 쪽은 용량 소자(562)의 한쪽 전극 및 트랜지스터(554a)의 게이트와 전기적으로 접속된다. 트랜지스터(552)의 게이트는 주사선(GL_m)과 전기적으로 접속된다. 트랜지스터(554a)의 소스 및

드레인 중 한쪽은 전위 공급선(VL_a)과 전기적으로 접속된다. 트랜지스터(554a)의 소스 및 드레인 중 다른 쪽은 용량 소자(562)의 다른 쪽 전극 및 발광 소자(572a)의 한쪽 전극과 전기적으로 접속된다. 발광 소자(572a)의 다른 쪽 전극은 전위 공급선(VL_b)과 전기적으로 접속된다. 전위 공급선(VL_a)에는 고전원 전위(VDD)가 공급되고, 전위 공급선(VL_b)에는 저전원 전위(VSS)가 공급된다.

[0289] 도 20의 (B)에 도시된 화소 회로(501) 중의 트랜지스터(554)로서, p채널형 트랜지스터를 사용하는 예를 도 21의 (C)에 도시하였다. 도 21의 (C)에 도시된 화소 회로(501)는 트랜지스터(552)와, 트랜지스터(554b)와, 용량 소자(562)와, 발광 소자(572a)를 가진다. 트랜지스터(552)는 n채널형 트랜지스터이고, 트랜지스터(554b)는 p채널형 트랜지스터이다. 예를 들어, 트랜지스터(552)로서 앞의 실시형태에 나타낸 채널 형성 영역에 산화물 반도체를 가지는 트랜지스터를 적용하고, 트랜지스터(554b)로서 채널 형성 영역에 실리콘을 가지는 트랜지스터를 적용할 수 있다.

[0290] 도 21의 (C)에 도시된 화소 회로(501)에서 트랜지스터(552)의 소스 및 드레인 중 한쪽은 데이터선(DL_n)과 전기적으로 접속된다. 트랜지스터(552)의 소스 및 드레인 중 다른 쪽은 용량 소자(562)의 한쪽 전극 및 트랜지스터(554b)의 게이트와 전기적으로 접속된다. 용량 소자(562)의 다른 쪽 전극은 전위 공급선(VL_a)과 전기적으로 접속된다. 트랜지스터(552)의 게이트는 주사선(GL_m)과 전기적으로 접속된다. 트랜지스터(554b)의 소스 및 드레인 중 한쪽은 전위 공급선(VL_a)과 전기적으로 접속된다. 트랜지스터(554a)의 소스 및 드레인 중 다른 쪽은 발광 소자(572a)의 한쪽 전극과 전기적으로 접속된다. 발광 소자(572a)의 다른 쪽 전극은 전위 공급선(VL_b)과 전기적으로 접속된다. 전위 공급선(VL_a)에는 고전원 전위(VDD)가 공급되고, 전위 공급선(VL_b)에는 저전원 전위(VSS)가 공급된다.

[0291] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0292] (실시형태 5)

[0293] 화소에 표시되는 계조를 보정하기 위한 메모리를 가지는 화소 회로와, 이를 가지는 표시 장치에 대하여 설명한다. 앞의 실시형태에서 예시한 트랜지스터는 이하에서 예시하는 화소 회로에 사용되는 트랜지스터에 적용할 수 있다.

[0294] <회로 구성>

[0295] 도 22의 (A)에 화소 회로(400)의 회로도도 도시하였다. 화소 회로(400)는 트랜지스터(M1), 트랜지스터(M2), 용량 소자(C1), 및 회로(401)를 가진다. 또한 화소 회로(400)에는 배선(S1), 배선(S2), 배선(G1), 및 배선(G2)이 접속된다.

[0296] 트랜지스터(M1)는 게이트가 배선(G1)에 접속되고, 소스 및 드레인 중 한쪽이 배선(S1)에 접속되고, 소스 및 드레인 중 다른 쪽이 용량 소자(C1)의 한쪽 전극과 접속된다. 트랜지스터(M2)는 게이트가 배선(G2)에 접속되고, 소스 및 드레인 중 한쪽이 배선(S2)에 접속되고, 소스 및 드레인 중 다른 쪽이 용량 소자(C1)의 다른 쪽 전극 및 회로(401)에 접속된다.

[0297] 회로(401)는 적어도 하나의 표시 소자를 포함하는 회로이다. 표시 소자로서 LED 소자를 적용할 수 있다.

[0298] 트랜지스터(M1)와 용량 소자(C1)를 접속시키는 노드를 N1로 하고, 트랜지스터(M2)와 회로(401)를 접속시키는 노드를 N2로 한다.

[0299] 화소 회로(400)는 트랜지스터(M1)를 오프 상태로 함으로써 노드(N1)의 전위를 유지할 수 있다. 또한 트랜지스터(M2)를 오프 상태로 함으로써 노드(N2)의 전위를 유지할 수 있다. 또한 트랜지스터(M2)를 오프 상태로 한 상태에서 트랜지스터(M1)를 통하여 노드(N1)에 소정의 전위를 기록함으로써, 용량 소자(C1)를 통한 용량 결합에 의하여 노드(N1)의 전위의 변위에 따라 노드(N2)의 전위를 변화시킬 수 있다.

[0300] 여기서, 트랜지스터(M1), 트랜지스터(M2) 중 한쪽 또는 양쪽에 상술한 실시형태에서 예시한 산화물 반도체가 적용된 트랜지스터를 적용할 수 있다. 그러므로 오프 전류가 매우 낮기 때문에 노드(N1) 및 노드(N2)의 전위를 장기간 유지할 수 있다. 또한 각 노드의 전위를 유지하는 기간이 짧은 경우(구체적으로는 프레임 주파수가 30Hz 이상인 경우 등)에는 실리콘 등의 반도체를 적용한 트랜지스터를 사용하여도 좋다.

[0301] <구동 방법에>

[0302] 이어서, 도 22의 (B)를 사용하여 화소 회로(400)의 동작 방법의 일례를 설명한다. 도 22의 (B)는 화소 회로(400)의 동작에 따른 타이밍 차트이다. 또한 여기서는 설명을 간단하게 하기 위하여 배선 저항 등의 각종

저항, 트랜지스터나 배선 등의 기생 용량, 및 트랜지스터의 문턱 전압 등의 영향은 고려하지 않는다.

- [0303] 도 22의 (B)에 나타난 동작에서는, 1 프레임 기간을 기간 T1과 기간 T2로 나눈다. 기간 T1은 노드(N2)에 전위를 기록하는 기간이고, 기간 T2는 노드(N1)에 전위를 기록하는 기간이다.
- [0304] [기간 T1]
- [0305] 기간 T1에서는, 배선(G1)과 배선(G2)의 양쪽에 트랜지스터를 온 상태로 하는 전위를 공급한다. 또한 배선(S1)에는 고정 전위인 전위(V_{ref})를 공급하고, 배선(S2)에는 제 1 데이터 전위(V_w)를 공급한다.
- [0306] 노드(N1)에는 트랜지스터(M1)를 통하여 배선(S1)으로부터 전위(V_{ref})가 공급된다. 또한 노드(N2)에는 트랜지스터(M2)를 통하여 제 1 데이터 전위(V_w)가 공급된다. 따라서 용량 소자(C1)에 전위차($V_w - V_{ref}$)가 유지된 상태가 된다.
- [0307] [기간 T2]
- [0308] 이어서, 기간 T2에서는, 배선(G1)에 트랜지스터(M1)를 온 상태로 하는 전위를 공급하고, 배선(G2)에 트랜지스터(M2)를 오프 상태로 하는 전위를 공급한다. 또한 배선(S1)에는 제 2 데이터 전위(V_{data})를 공급한다. 배선(S2)에는 소정의 정전위를 공급하거나 또는 부유 상태로 하여도 좋다.
- [0309] 노드(N1)에는 트랜지스터(M1)를 통하여 제 2 데이터 전위(V_{data})가 공급된다. 이때 용량 소자(C1)에 의한 용량 결합에 의하여 제 2 데이터 전위(V_{data})에 따라 노드(N2)의 전위가 전위(dV)만큼 변화된다. 즉 회로(401)에는 제 1 데이터 전위(V_w)와 전위(dV)를 합한 전위가 입력된다. 또한, 도 22의 (B)에서는 dV를 양의 값으로 나타내었지만, 음의 값이어도 좋다. 즉 전위(V_{data})가 전위(V_{ref})보다 낮아도 좋다.
- [0310] 여기서 전위(dV)는 용량 소자(C1)의 용량값과 회로(401)의 용량값에 따라 대략 결정된다. 용량 소자(C1)의 용량값이 회로(401)의 용량값보다 충분히 큰 경우, 전위(dV)는 제 2 데이터 전위(V_{data})에 가까운 전위가 된다.
- [0311] 이와 같이, 화소 회로(400)는 2종류의 데이터 신호를 조합하여, 표시 소자를 포함한 회로(401)에 공급하는 전위를 생성할 수 있으므로, 화소 회로(400) 내에서 계조의 보정을 수행할 수 있다.
- [0312] 또한, 화소 회로(400)는 배선(S1) 및 배선(S2)에 공급할 수 있는 최대 전위를 넘는 전위를 생성할 수도 있다. 발광 소자를 사용한 경우에는, 하이 다이내믹 레인지(HDR) 표시 등을 수행할 수 있다.
- [0313] 도 22의 (C)에 도시된 화소 회로(400EL)는 회로(401EL)를 가진다. 회로(401EL)는 발광 소자(EL), 트랜지스터(M3), 및 용량 소자(C2)를 가진다.
- [0314] 트랜지스터(M3)는 게이트가 노드(N2) 및 용량 소자(C2)의 한쪽 전극에 접속되고, 소스 및 드레인 중 한쪽이 전위(V_L)가 공급되는 배선에 접속되고, 다른 쪽이 발광 소자(EL)의 한쪽 전극에 접속된다. 용량 소자(C2)는 다른 쪽 전극이 전위(V_{com})가 공급되는 배선에 접속된다. 발광 소자(EL)는 다른 쪽 전극이, 전위(V_H)가 공급되는 배선에 접속된다.
- [0315] 트랜지스터(M3)는 발광 소자(EL)에 공급되는 전류를 제어하는 기능을 가진다. 용량 소자(C2)는 유지 용량으로서 기능한다. 용량 소자(C2)는 불필요하면 생략할 수 있다.
- [0316] 또한 여기서는 발광 소자(EL)의 캐소드 측이 트랜지스터(M3)에 접속되는 구성을 나타내었지만, 도 22의 (D)에 도시된 바와 같이 애노드 측이 트랜지스터(M3)에 접속되어도 좋다. 이때, 전위(V_H)와 전위(V_L)의 값을 적절히 변경할 수 있다.
- [0317] 화소 회로(400EL)는 트랜지스터(M3)의 게이트에 높은 전위를 공급함으로써 발광 소자(EL)에 큰 전류를 흘릴 수 있기 때문에 예를 들어 HDR 표시 등을 실현할 수 있다. 또한 배선(S1) 또는 배선(S2)에 보정 신호를 공급함으로써 트랜지스터(M3)나 발광 소자(EL)의 전기 특성의 편차를 보정할 수도 있다.
- [0318] 또한, 도 22의 (C) 및 (D)에서 예시한 회로에 한정되지 않고, 별도로 트랜지스터나 용량 등을 추가한 구성으로 하여도 좋다.
- [0319] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

- [0320] (실시형태 6)
- [0321] 본 실시형태에서는 본 발명의 일 형태의 정보 처리 장치의 구성에 대하여 도 23 및 도 24를 참조하여 설명한다.
- [0322] 도 23 및 도 24는 본 발명의 일 형태의 정보 처리 장치의 구성을 설명하는 도면이다. 도 23의 (A)는 정보 처리 장치의 블록도이고, 도 23의 (B) 내지 (E)는 정보 처리 장치의 구성을 설명하는 사시도이다. 또한 도 24의 (A) 내지 (E)는 정보 처리 장치의 구성을 설명하는 사시도이다.
- [0323] <정보 처리 장치>
- [0324] 본 실시형태에서 설명하는 정보 처리 장치(5200B)는 연산 장치(5210)와 입출력 장치(5220)를 가진다(도 23의 (A) 참조).
- [0325] 연산 장치(5210)는 조작 정보를 공급받는 기능을 가지고, 조작 정보에 기초하여 화상 정보를 공급하는 기능을 가진다.
- [0326] 입출력 장치(5220)는 표시부(5230), 입력부(5240), 검지부(5250), 통신부(5290)를 가지고, 조작 정보를 공급하는 기능 및 화상 정보를 공급받는 기능을 가진다. 또한 입출력 장치(5220)는 검지 정보를 공급하는 기능, 통신 정보를 공급하는 기능, 및 통신 정보를 공급받는 기능을 가진다.
- [0327] 입력부(5240)는 조작 정보를 공급하는 기능을 가진다. 예를 들어, 입력부(5240)는 정보 처리 장치(5200B)의 사용자의 조작에 기초하여 조작 정보를 공급한다.
- [0328] 구체적으로는 키보드, 하드웨어 버튼, 포인팅 디바이스, 터치 센서, 조도 센서, 활상 장치, 음성 입력 장치, 시선 입력 장치, 자세 검출 장치 등을 입력부(5240)로서 사용할 수 있다.
- [0329] 표시부(5230)는 표시 패널을 가지고, 화상 정보를 표시하는 기능을 가진다. 예를 들어 앞의 실시형태에서 나타난 표시 장치를 표시부(5230)에 사용할 수 있다.
- [0330] 검지부(5250)는 검지 정보를 공급하는 기능을 가진다. 예를 들어, 정보 처리 장치가 사용되는 주변의 환경을 검지하고, 검지 정보로서 공급하는 기능을 가진다.
- [0331] 구체적으로는, 조도 센서, 활상 장치, 자세 검출 장치, 압력 센서, 인체 감지 센서 등을 검지부(5250)에 사용할 수 있다.
- [0332] 통신부(5290)는 통신 정보를 공급받는 기능 및 공급하는 기능을 가진다. 예를 들어, 무선 통신 또는 유선 통신에 의하여, 다른 전자 기기 또는 통신망과 접속되는 기능을 가진다. 구체적으로는, 무선 구내 통신, 전화 통신, 근거리 무선 통신 등의 기능을 가진다.
- [0333] <정보 처리 장치의 구성예 1>
- [0334] 예를 들어, 원통상의 기둥 등을 따르는 외형을 표시부(5230)에 적용할 수 있다(도 23의 (B) 참조). 또한 정보 처리 장치(5200B)는 사용 환경의 조도에 따라 표시 방법을 변경하는 기능을 가진다. 또한 정보 처리 장치(5200B)는 사람의 존재를 검지하고 표시 내용을 변경하는 기능을 가진다. 이로써, 정보 처리 장치(5200B)는 예를 들어, 건물의 기둥에 설치할 수 있다. 또는, 광고 또는 안내 등을 표시할 수 있다. 또는, 정보 처리 장치(5200B)는 디지털 사이니지 등에 사용할 수 있다.
- [0335] <정보 처리 장치의 구성예 2>
- [0336] 정보 처리 장치(5200B)는 예를 들어, 사용자가 사용하는 포인터의 궤적에 기초하여 화상 정보를 생성하는 기능을 가진다(도 23의 (C) 참조). 구체적으로는, 대각선의 길이가 20인치 이상, 바람직하게는 40인치 이상, 더 바람직하게는 55인치 이상인 표시 패널을 사용할 수 있다. 또는, 복수의 표시 패널을 배치하여 하나의 표시 영역으로써 사용할 수 있다. 또는, 복수의 표시 패널을 배치하여 멀티스크린에 사용할 수 있다. 이에 의하여, 정보 처리 장치(5200B)는 예를 들어, 전자 칠판, 전자 게시판, 전자 간판 등에 사용할 수 있다.
- [0337] <정보 처리 장치의 구성예 3>
- [0338] 정보 처리 장치(5200B)는 예를 들어, 사용 환경의 조도에 따라 표시 방법을 변경하는 기능을 가진다(도 23의 (D) 참조). 이로써, 예를 들어, 스마트 위치의 소비전력을 저감할 수 있다. 또는, 예를 들어, 맑은 날씨의 옥외 등 외광이 강한 환경에서도 적합하게 사용할 수 있도록 스마트 위치에 화상을 표시할 수 있다.

- [0339] <정보 처리 장치의 구성예 4>
- [0340] 표시부(5230)는 예를 들어, 하우징의 측면을 따라 완만하게 휘는 곡면을 가진다(도 23의 (E) 참조). 또는, 표시부(5230)는 표시 패널을 가지고, 표시 패널은 예를 들어, 앞면, 측면, 및 상면에 표시를 하는 기능을 가진다. 이에 의하여, 예를 들어, 휴대 전화의 앞면뿐만 아니라 측면 및 상면에 화상 정보를 표시할 수 있다.
- [0341] <정보 처리 장치의 구성예 5>
- [0342] 정보 처리 장치(5200B)는 예를 들어, 사용 환경의 조도에 따라 표시 방법을 변경하는 기능을 가진다(도 24의 (A) 참조). 이에 의하여, 스마트폰의 소비전력을 저감할 수 있다. 또는, 예를 들어, 맑은 날씨의 옥외 등 외광이 강한 환경에서도 적합하게 사용할 수 있도록 스마트폰에 화상을 표시할 수 있다.
- [0343] <정보 처리 장치의 구성예 6>
- [0344] 정보 처리 장치(5200B)는 예를 들어, 사용 환경의 조도에 따라 표시 방법을 변경하는 기능을 가진다(도 24의 (B) 참조). 이에 의하여, 날씨가 맑은 날에 옥내에 비치는 강한 외광이 닿아도 적합하게 사용할 수 있도록 텔레비전 시스템에 영상을 표시할 수 있다.
- [0345] <정보 처리 장치의 구성예 7>
- [0346] 정보 처리 장치(5200B)는 예를 들어, 사용 환경의 조도에 따라 표시 방법을 변경하는 기능을 가진다(도 24의 (C) 참조). 이에 의하여, 예를 들어, 맑은 날씨의 옥외 등 외광이 강한 환경에서도 적합하게 사용할 수 있도록 태블릿 컴퓨터에 화상을 표시할 수 있다.
- [0347] <정보 처리 장치의 구성예 8>
- [0348] 정보 처리 장치(5200B)는 예를 들어, 사용 환경의 조도에 따라 표시 방법을 변경하는 기능을 가진다(도 24의 (D) 참조). 이에 의하여, 예를 들어, 맑은 날씨의 옥외 등 외광이 강한 환경에서도 적합하게 열람할 수 있도록 디지털 카메라에 피사체를 표시할 수 있다.
- [0349] <정보 처리 장치의 구성예 9>
- [0350] 정보 처리 장치(5200B)는 예를 들어, 사용 환경의 조도에 따라 표시 방법을 변경하는 기능을 가진다(도 24의 (E) 참조). 이에 의하여, 예를 들어, 맑은 날씨의 옥외 등 외광이 강한 환경에서도 적합하게 사용할 수 있도록 퍼스널 컴퓨터에 화상을 표시할 수 있다.
- [0351] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

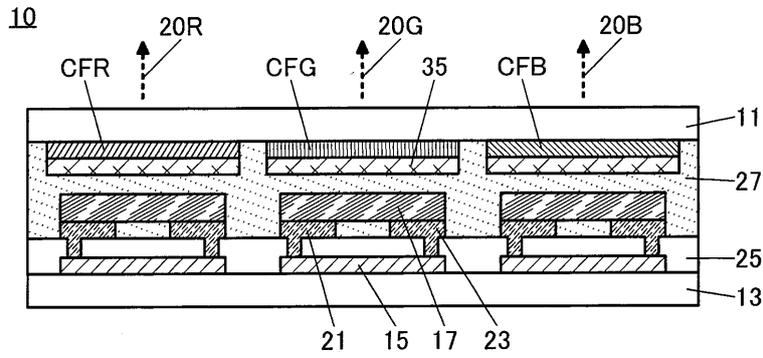
부호의 설명

- [0352] 10, 10A, 10B, 10C, 10D, 10E, 10F, 10G, 10H: 표시 장치, 11, 13: 기관, 15: 기능층, 17: 발광 소자, 20B: 청색광, 20G: 녹색광, 20R: 적색광, 21, 23: 전극, 25: 절연층, 27: 접착층, 31, 33: 차광층, 35: 형광체층, 50: LED 패키지, 51: LED 칩

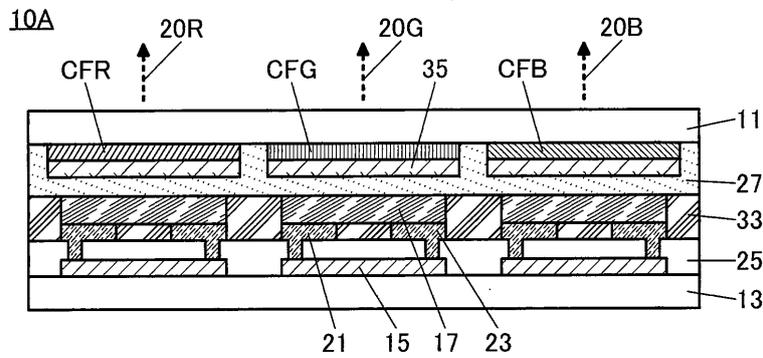
도면

도면1

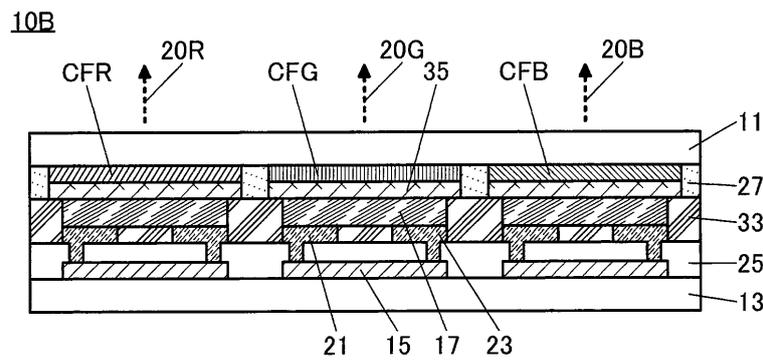
(A)



(B)

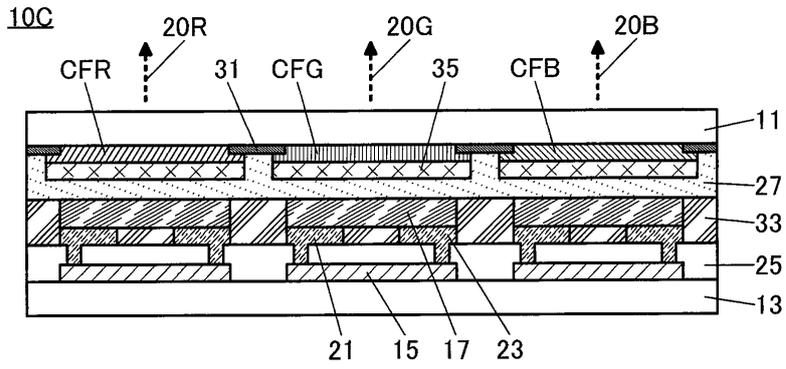


(C)

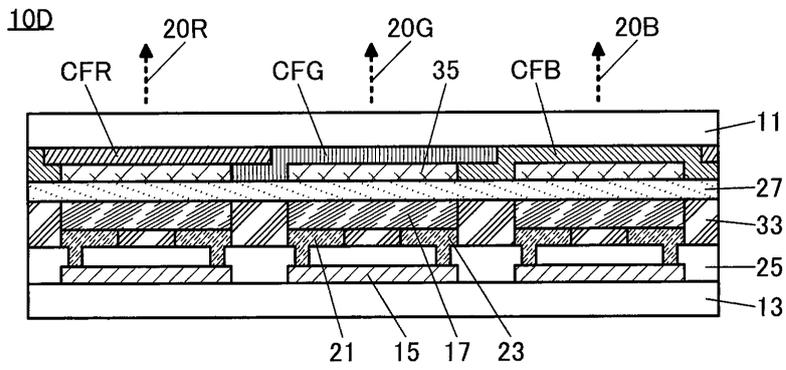


도면2

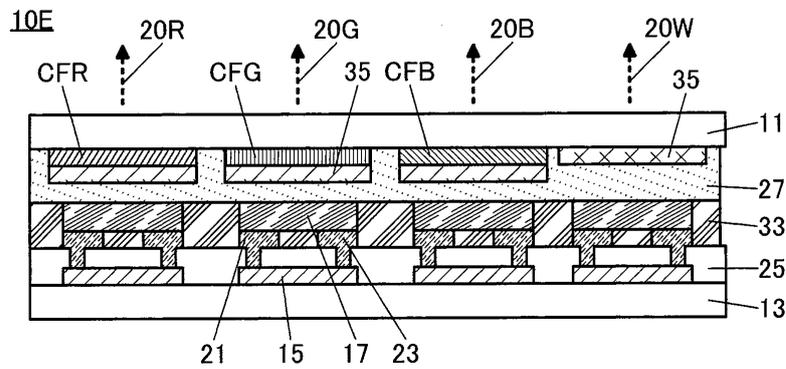
(A)



(B)



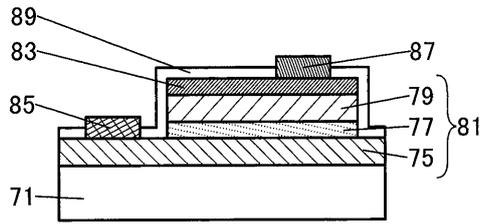
(C)



도면3

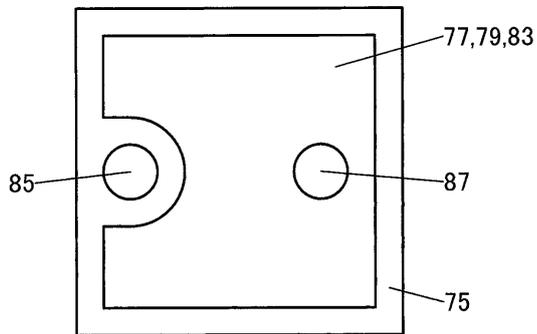
(A)

51

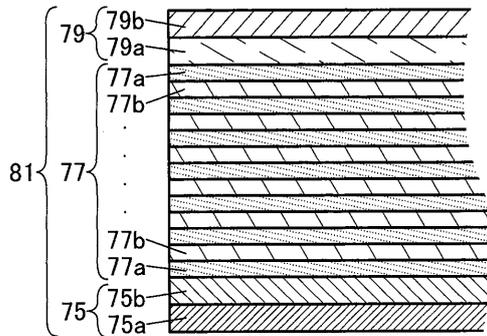


(B)

51



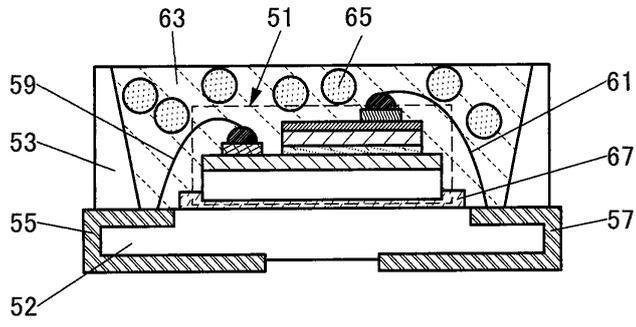
(C)



도면4

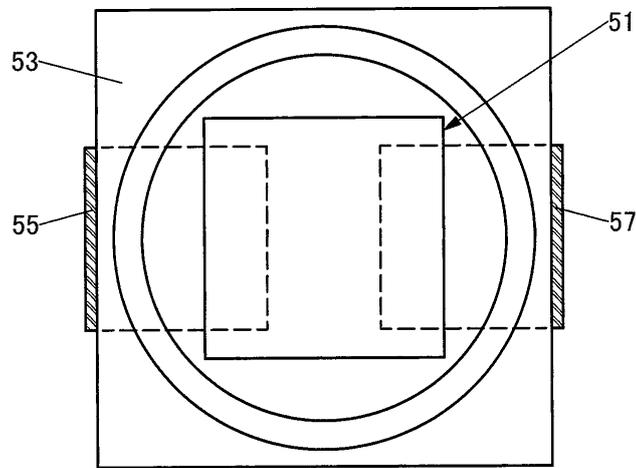
(A)

50



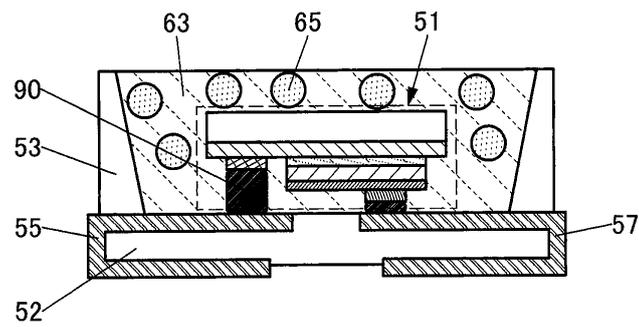
(B)

50

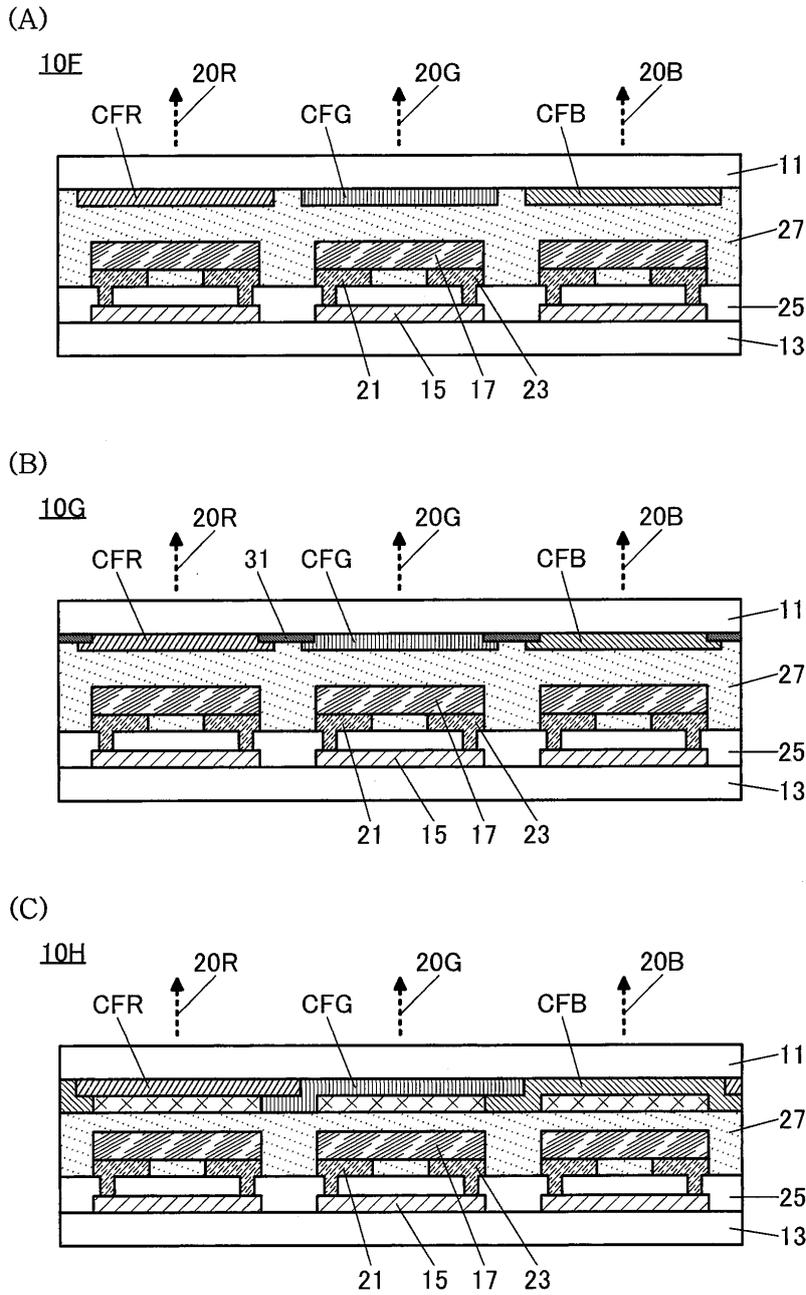


(C)

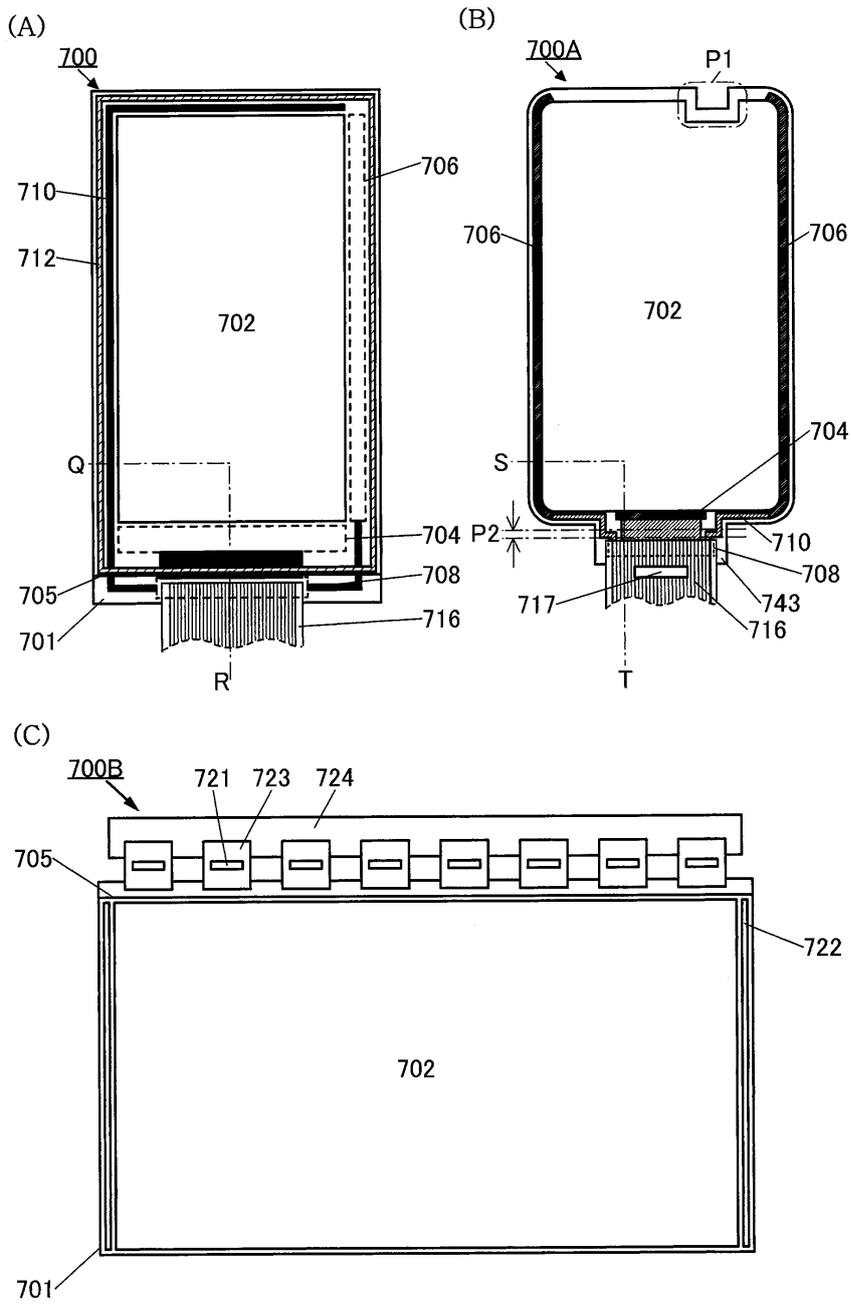
50



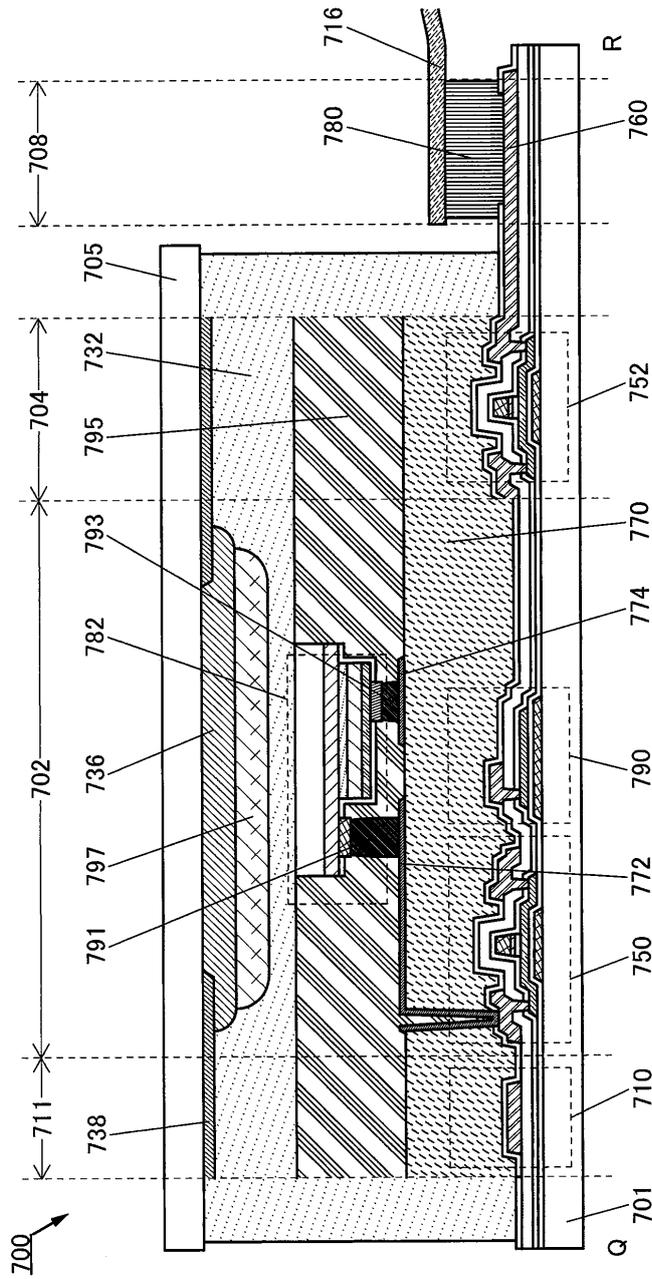
도면5



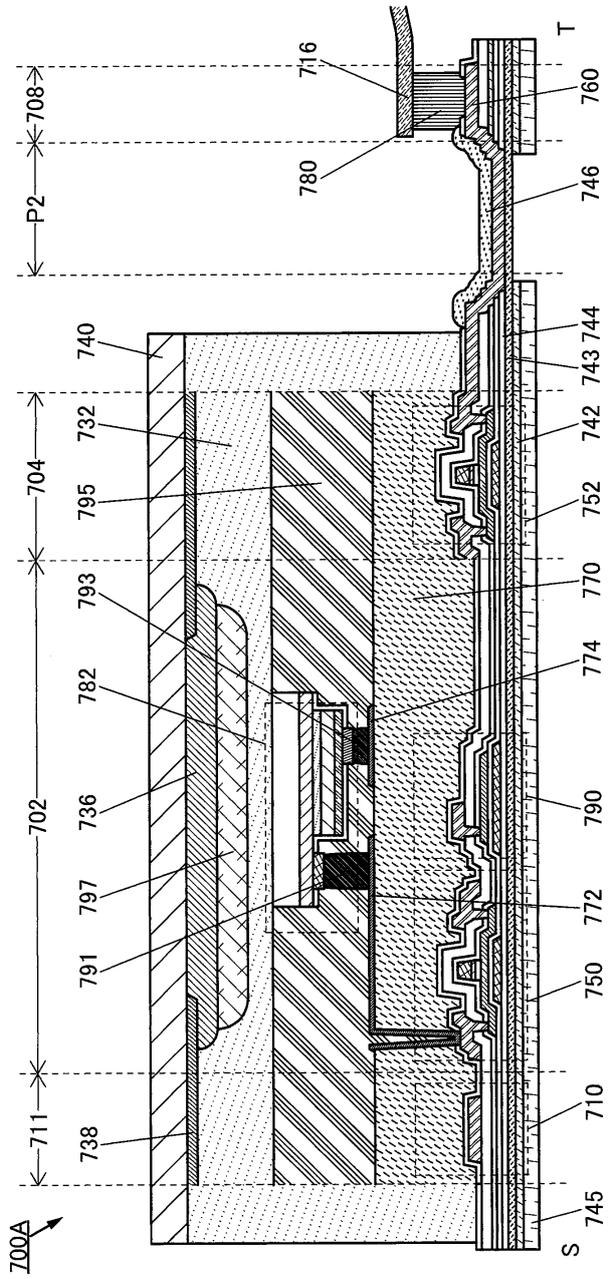
도면6



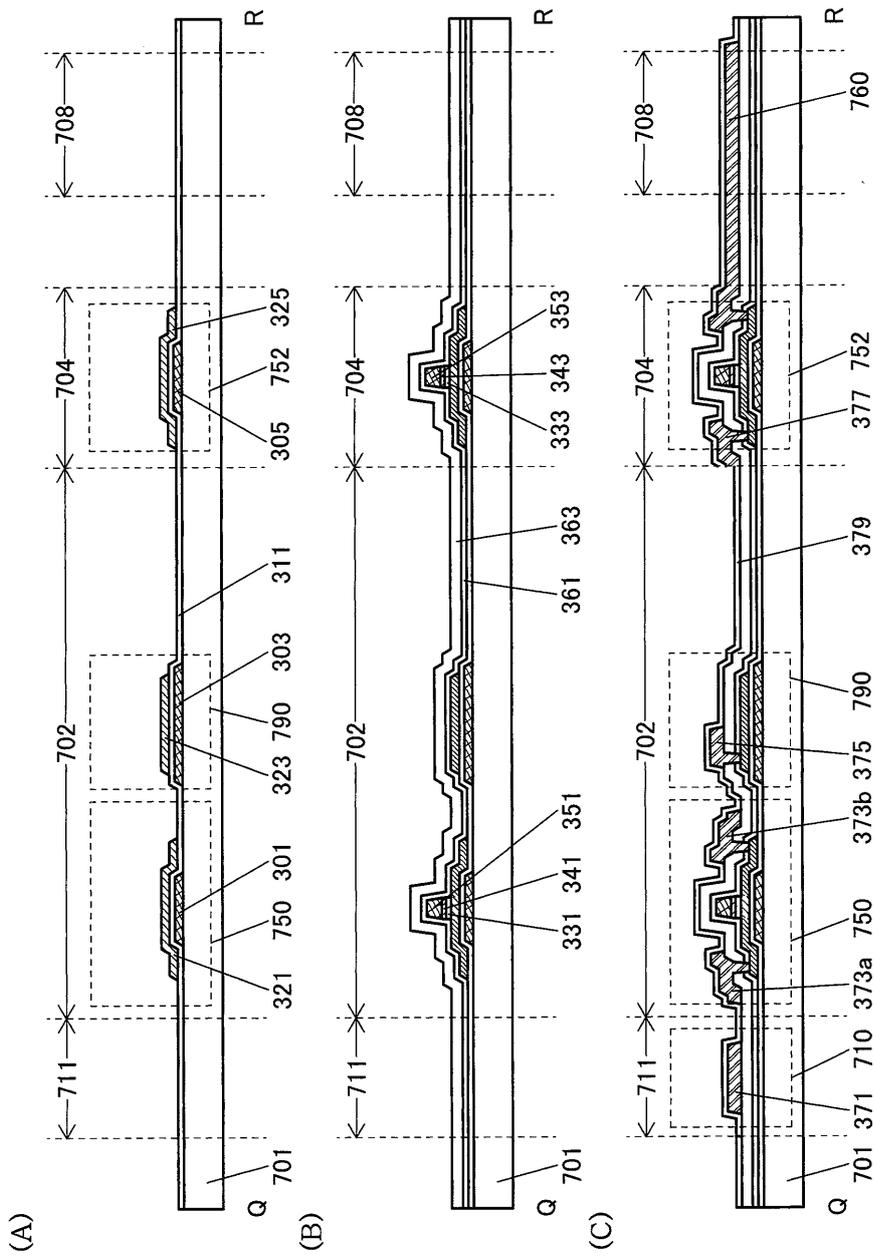
도면7



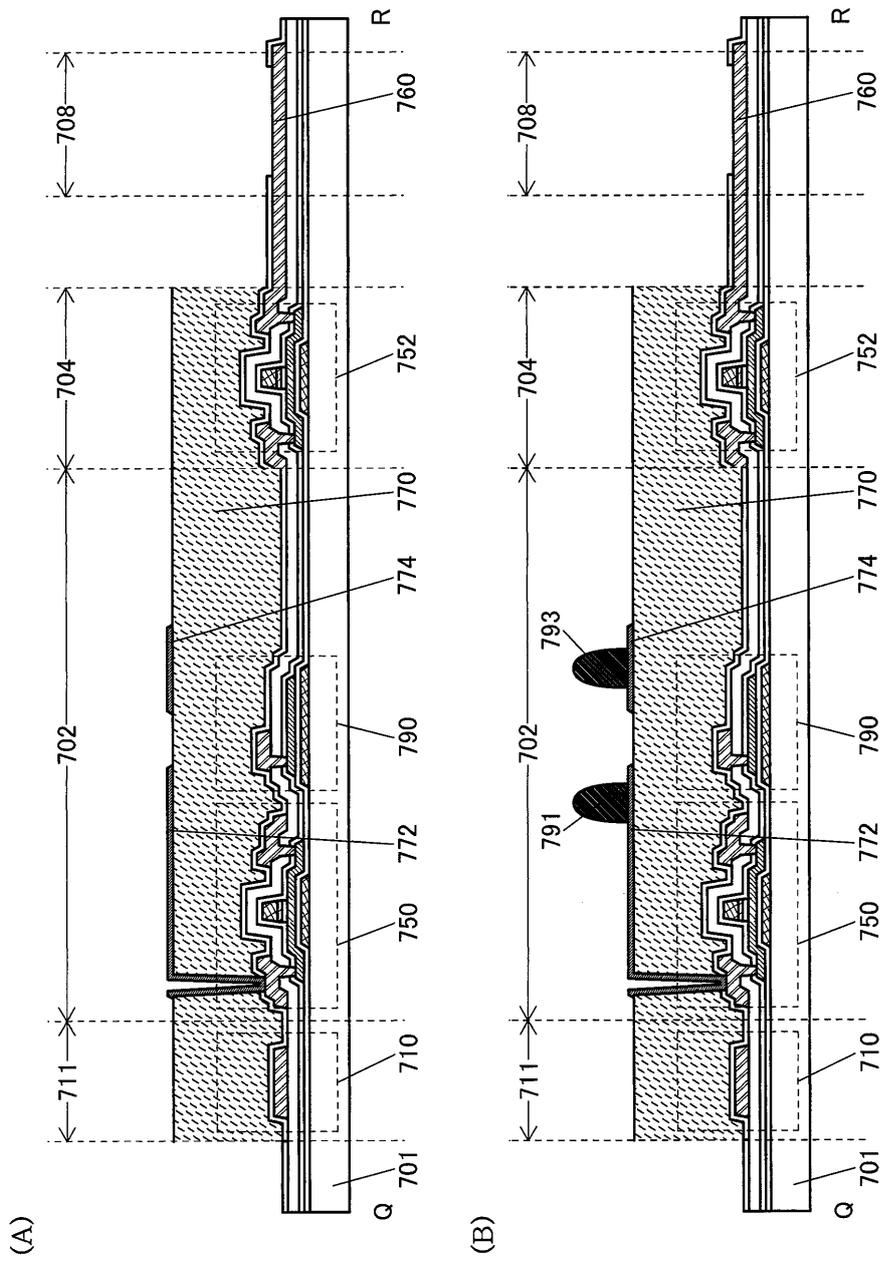
도면8



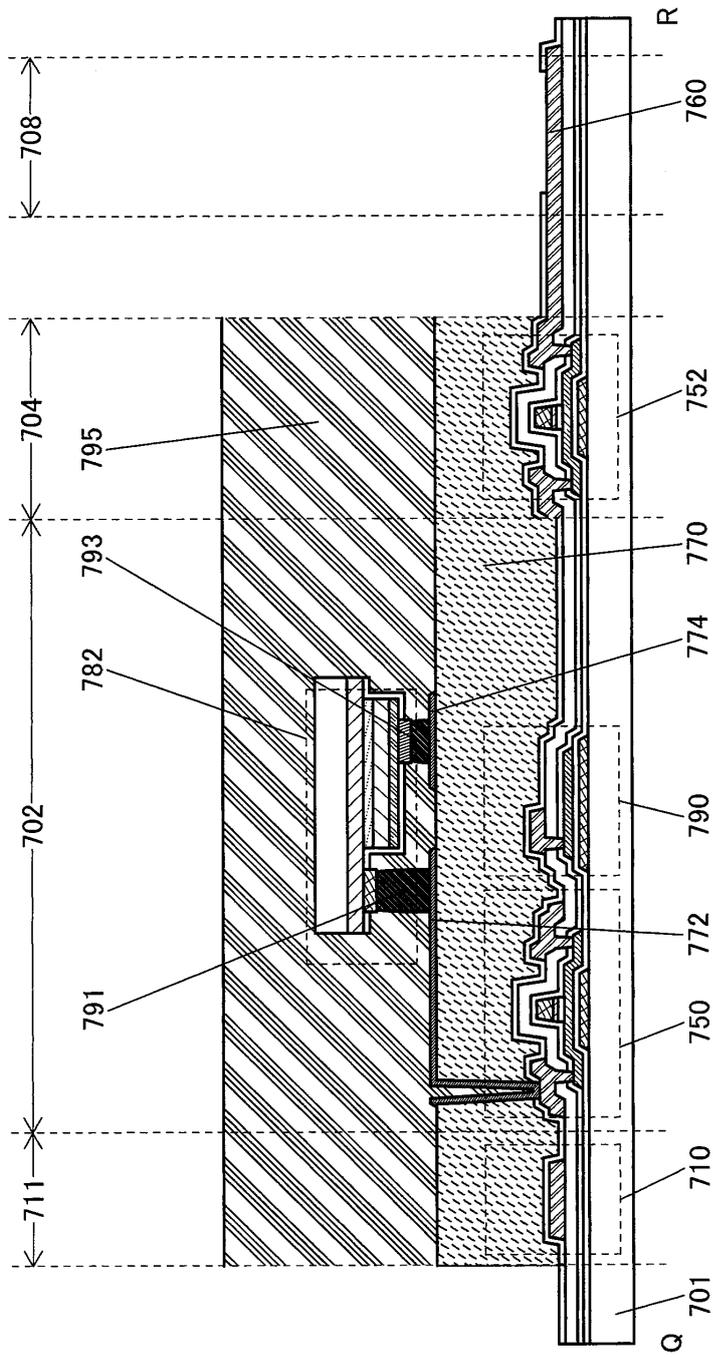
도면9



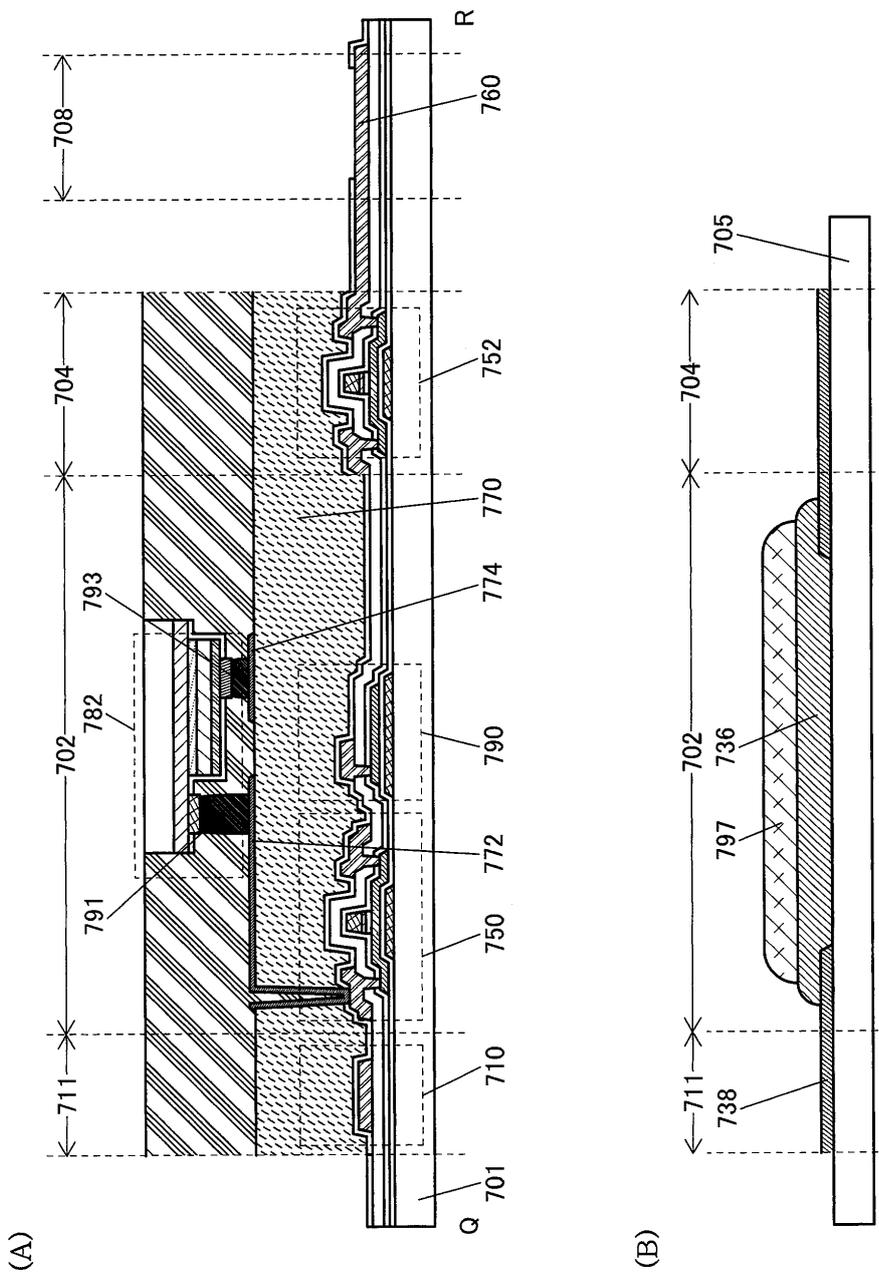
도면10



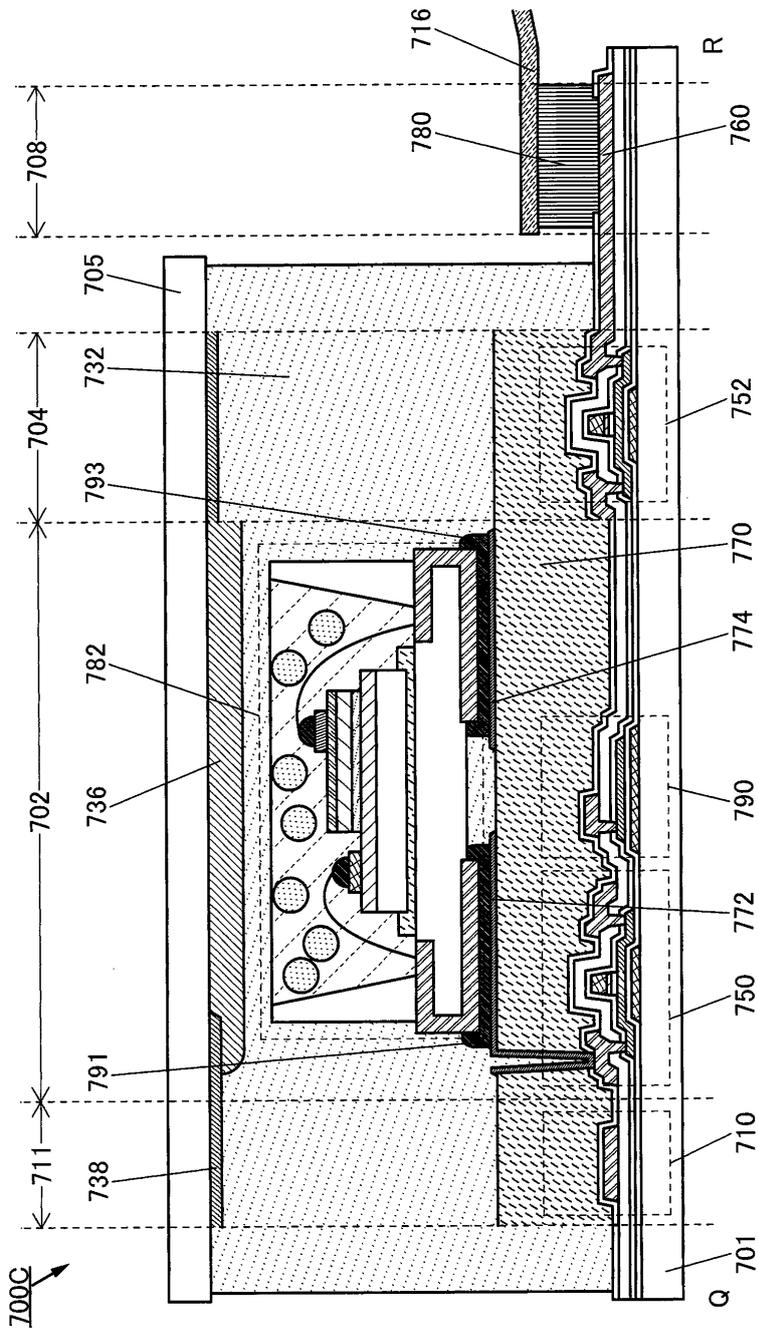
도면11



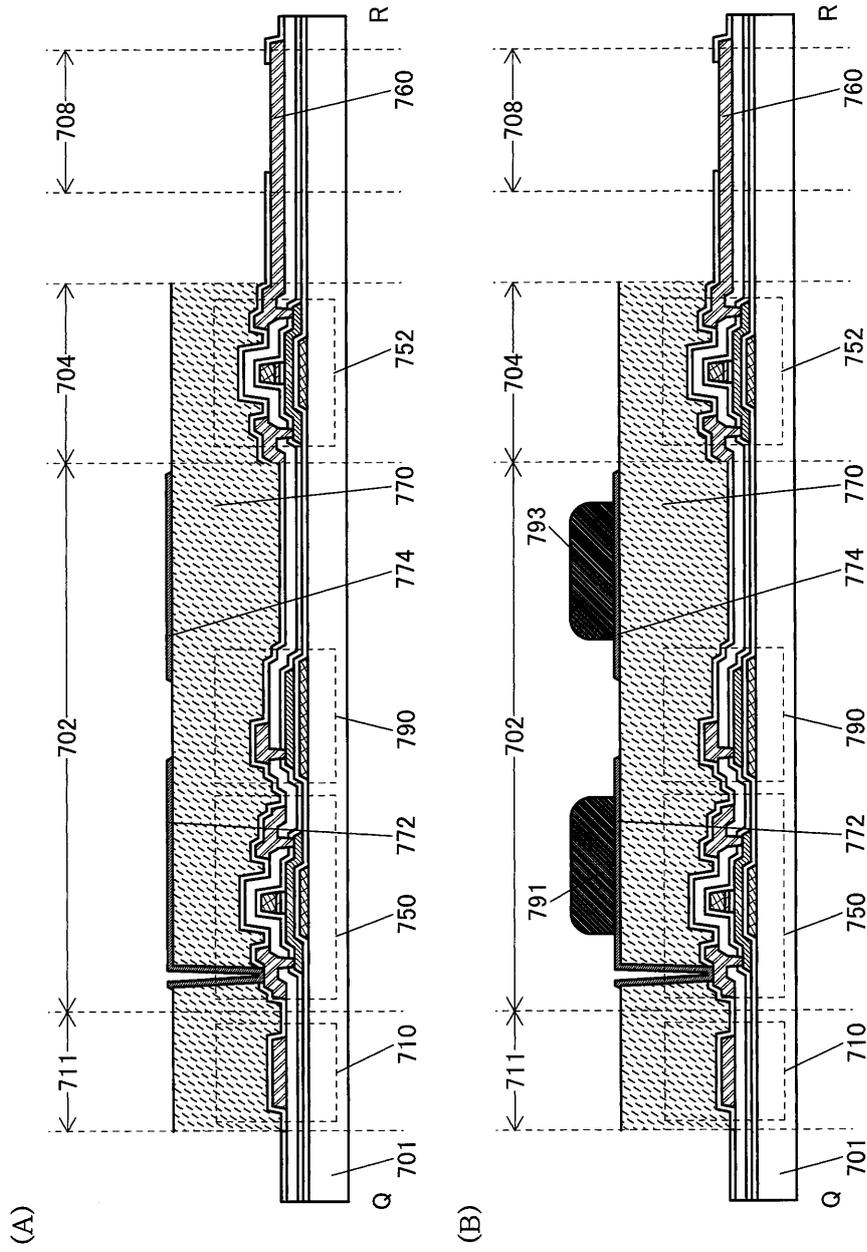
도면12



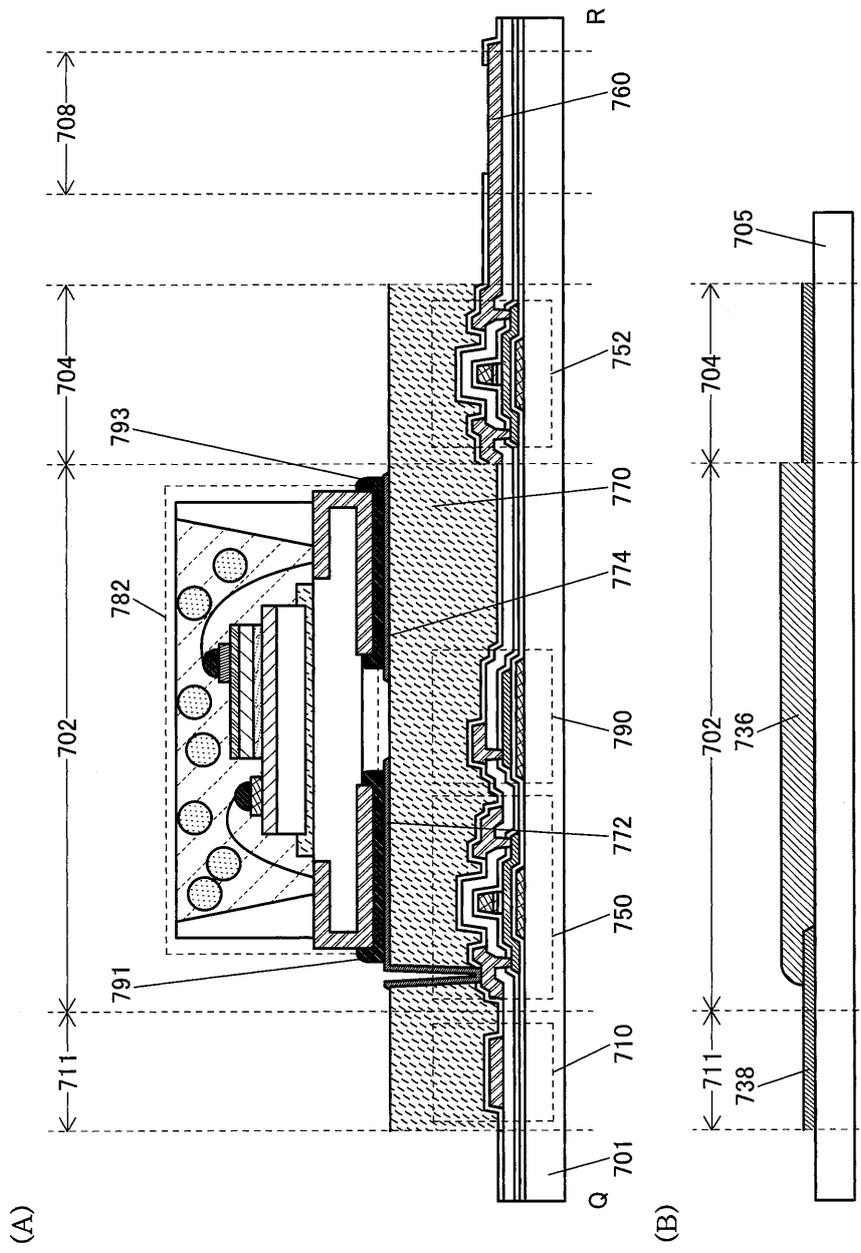
도면13



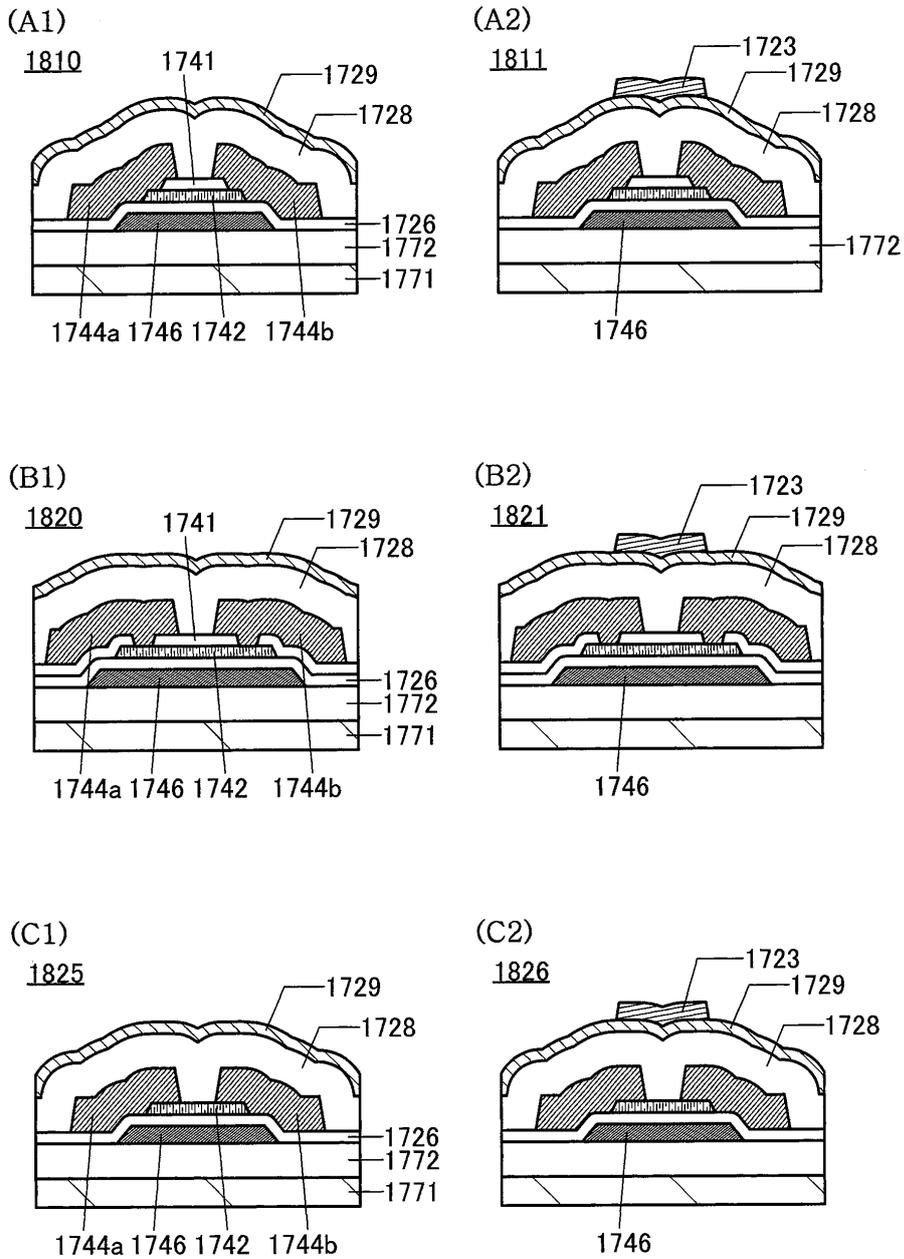
도면14



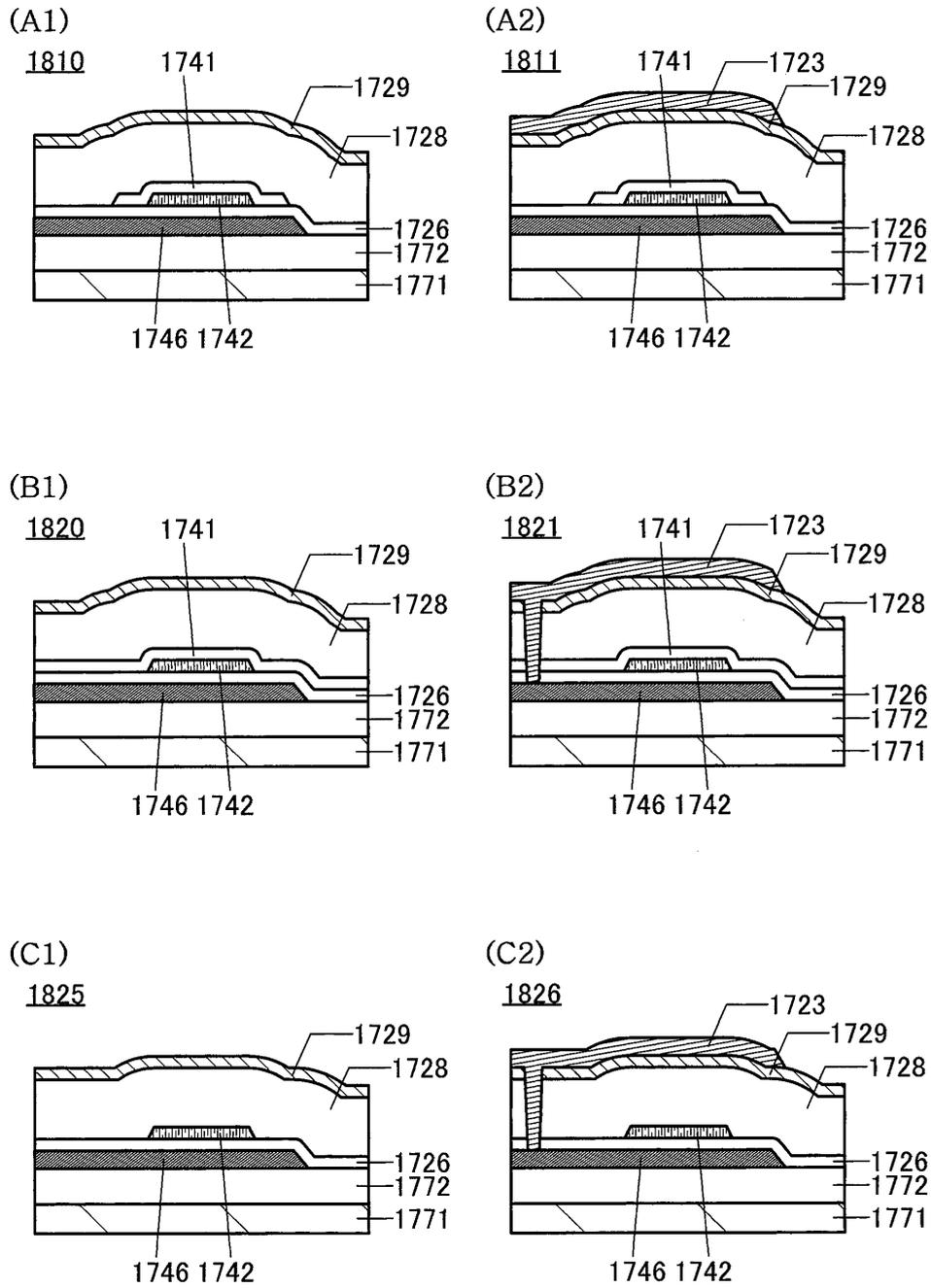
도면15



도면16

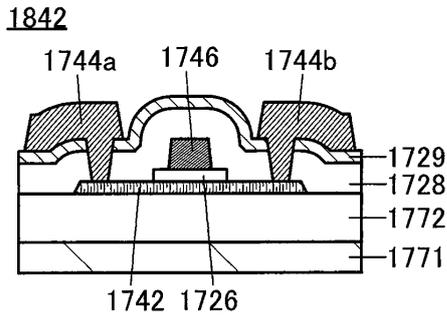


도면17

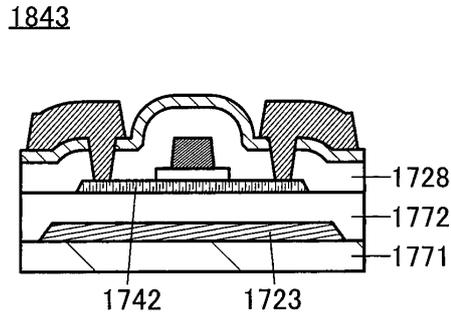


도면18

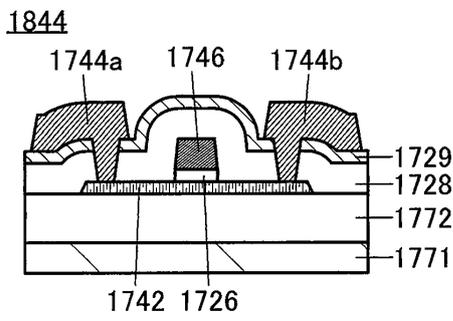
(A1)



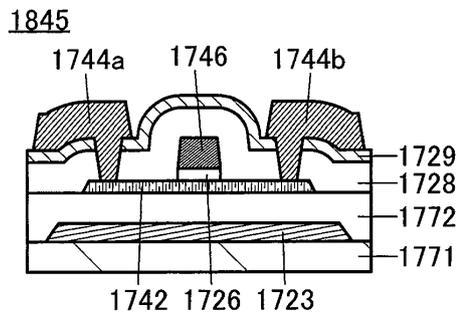
(A2)



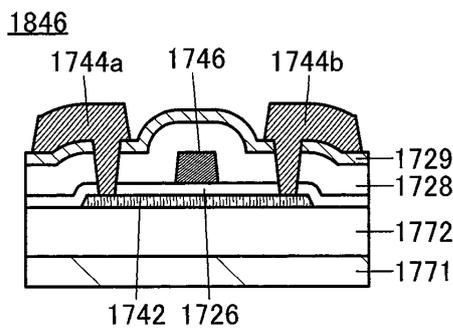
(B1)



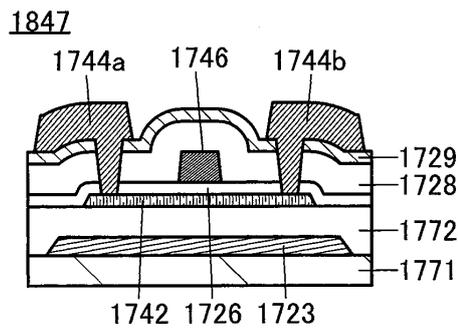
(B2)



(C1)



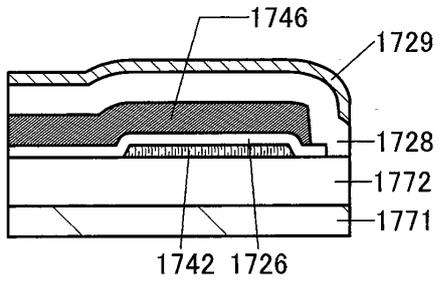
(C2)



도면19

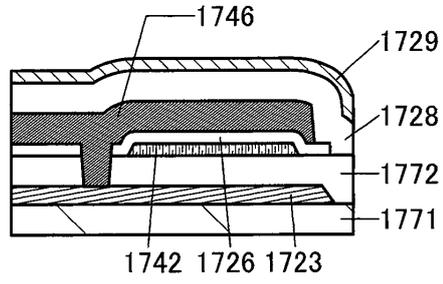
(A1)

1842



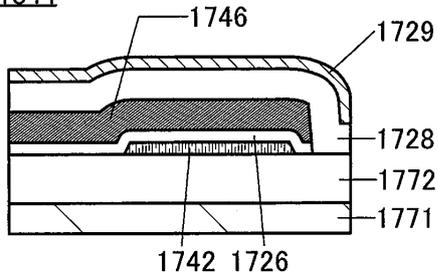
(A2)

1843



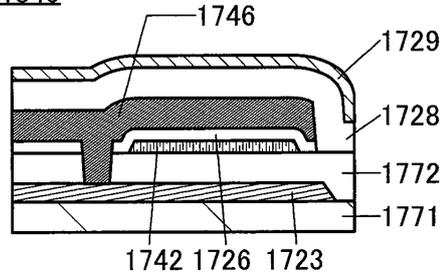
(B1)

1844



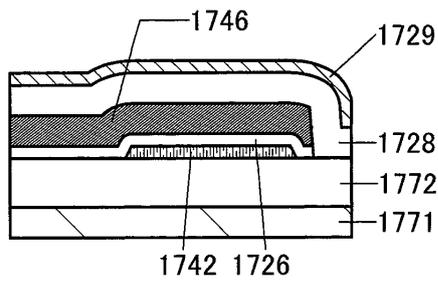
(B2)

1845



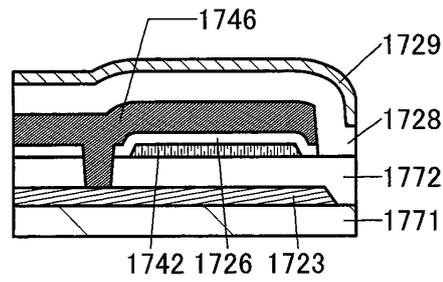
(C1)

1846



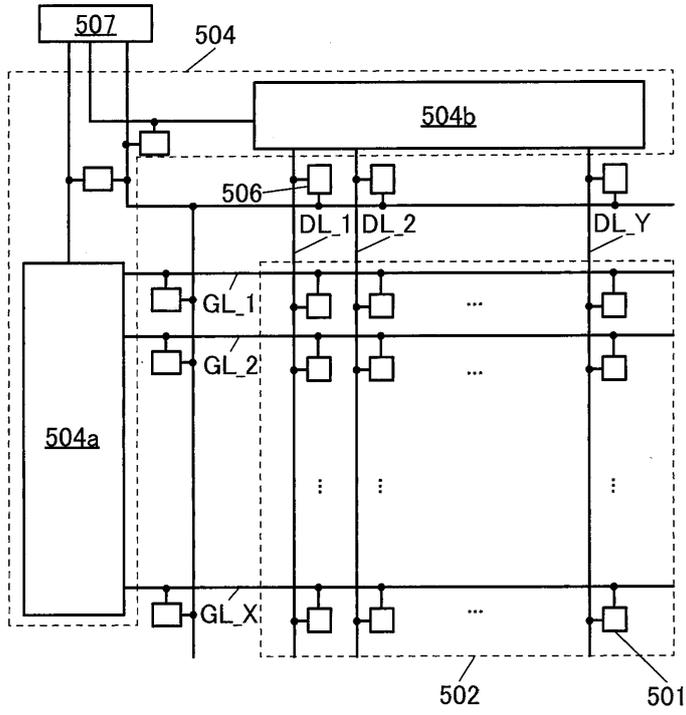
(C2)

1847

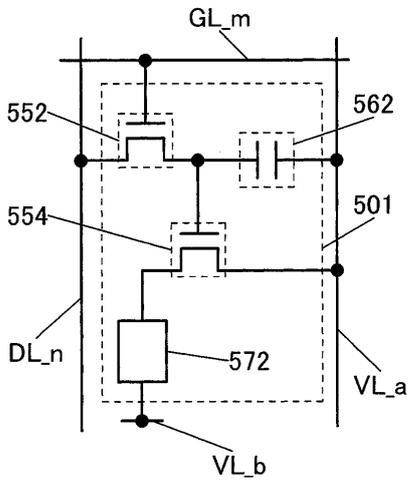


도면20

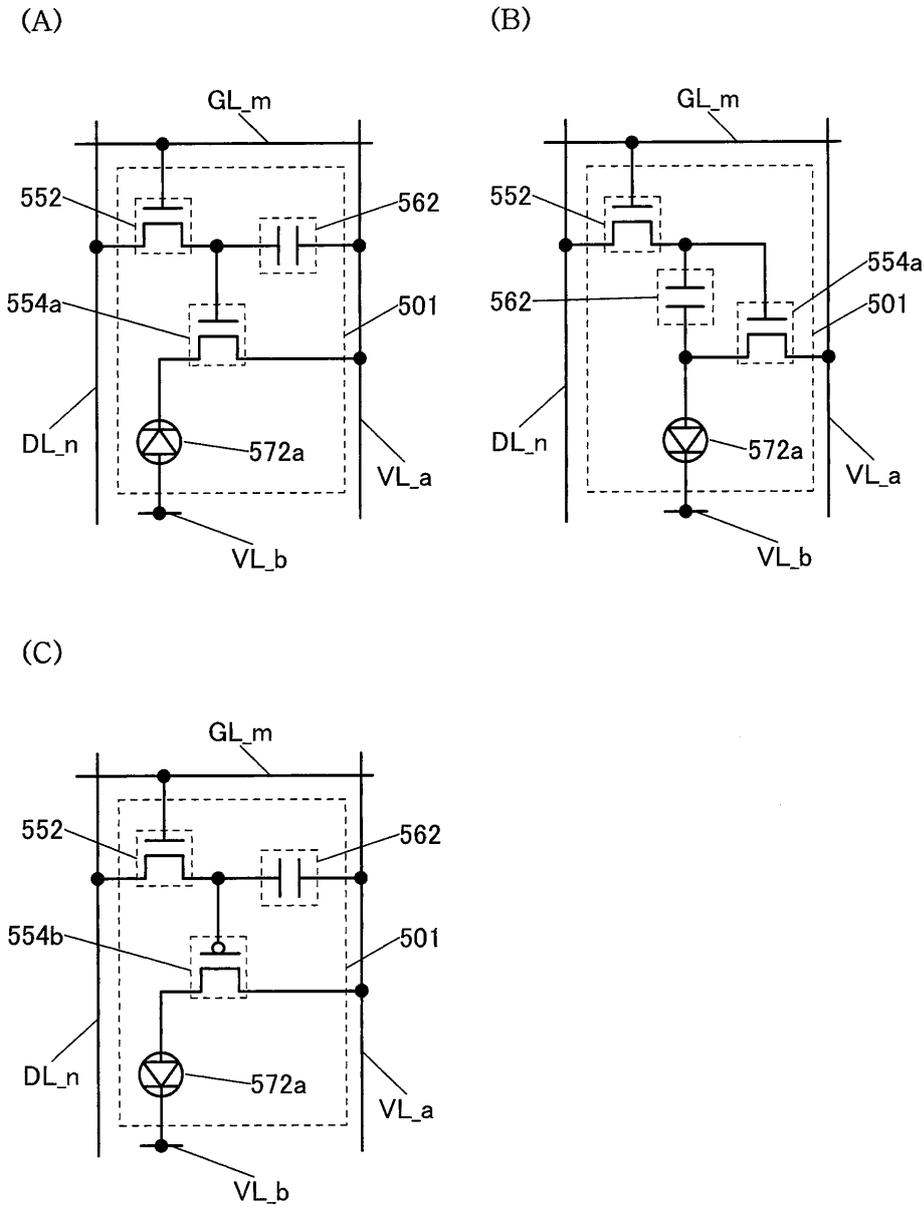
(A)



(B)

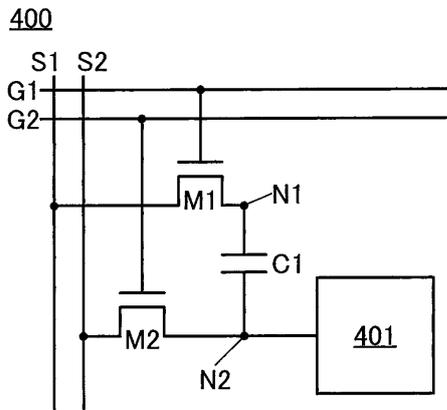


도면21

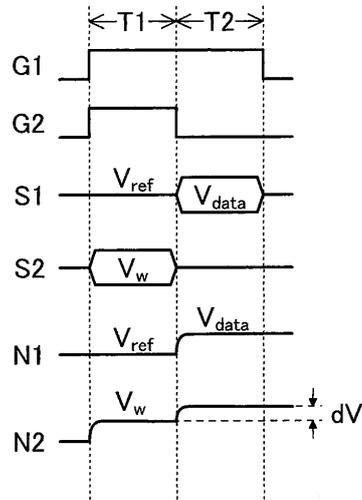


도면22

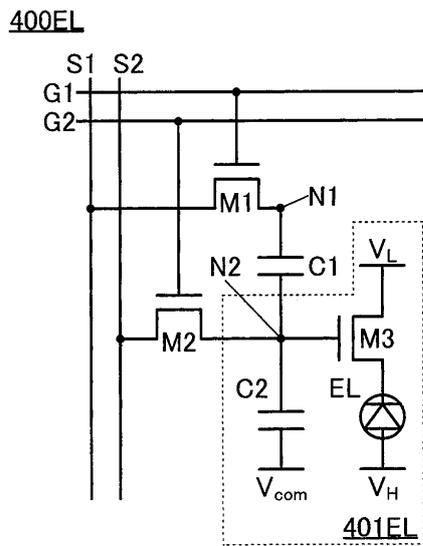
(A)



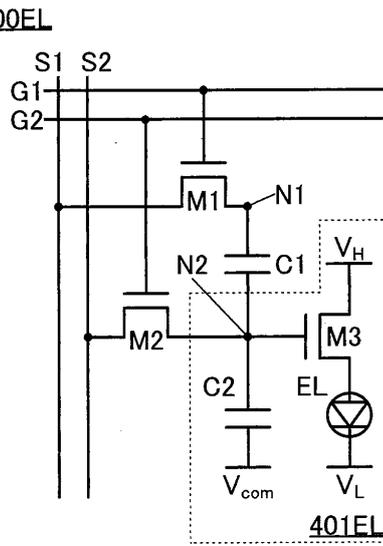
(B)



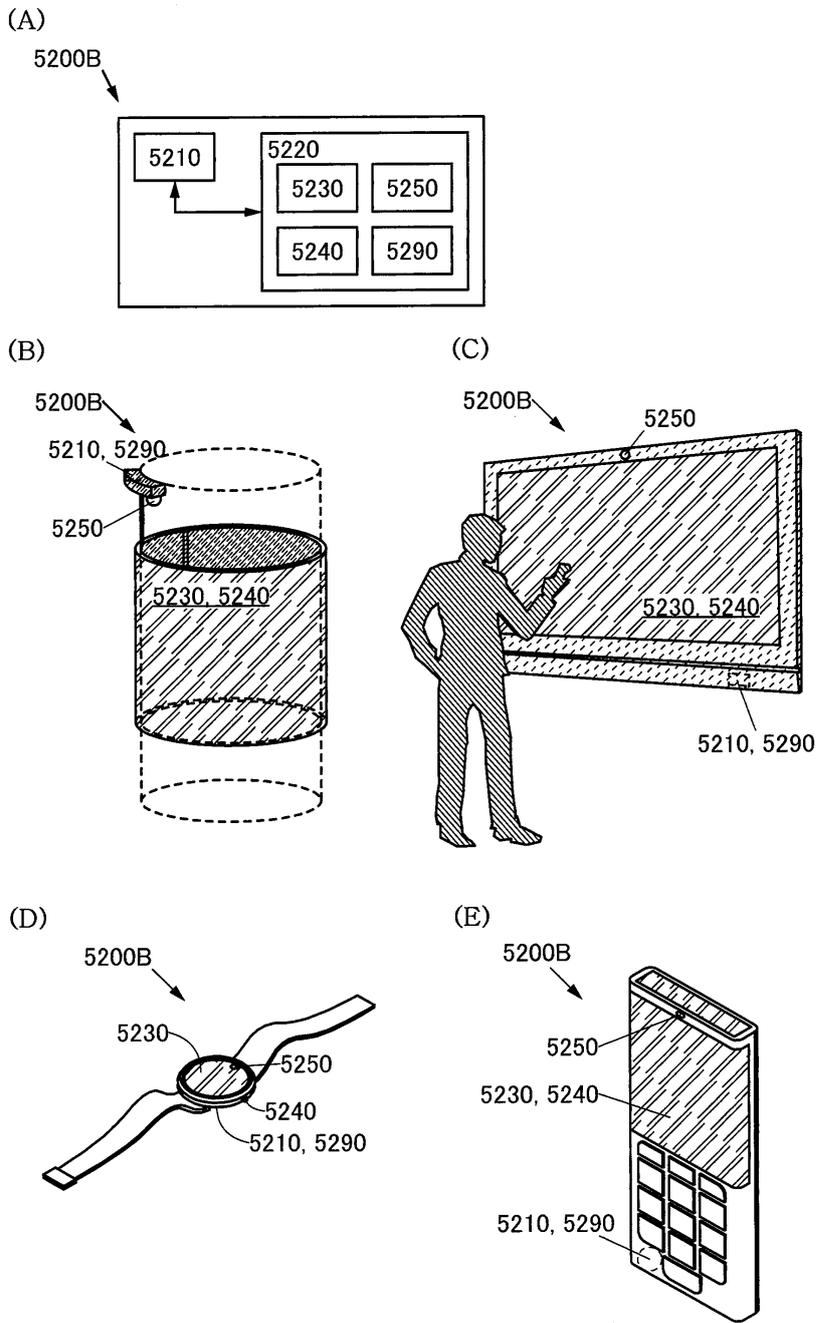
(C)



(D)



도면23



도면24

