

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-8411
(P2024-8411A)

(43)公開日 令和6年1月19日(2024.1.19)

(51)国際特許分類		F I		テーマコード(参考)	
H 0 2 P	5/50 (2016.01)	H 0 2 P	5/50	B	5 H 5 7 1
H 0 2 P	7/06 (2006.01)	H 0 2 P	7/06	A	5 H 5 7 2

審査請求 有 請求項の数 9 O L (全18頁)

(21)出願番号	特願2022-110265(P2022-110265)	(71)出願人	518133201 富士通クライアントコンピューティング株式会社 神奈川県川崎市幸区鹿島田一丁目1番2号
(22)出願日	令和4年7月8日(2022.7.8)	(74)代理人	110002147 弁理士法人酒井国際特許事務所
(11)特許番号	特許第7372564号(P7372564)	(72)発明者	佐久間 繁夫 神奈川県川崎市幸区鹿島田一丁目1番2号 富士通クライアントコンピューティング株式会社内
(45)特許公報発行日	令和5年11月1日(2023.11.1)	Fターム(参考)	5H571 AA20 BB03 GG02 JJ03 JJ16 KK05 LL01 5H572 AA20 BB03 DD07 HC07 JJ03 JJ16 KK04 LL01

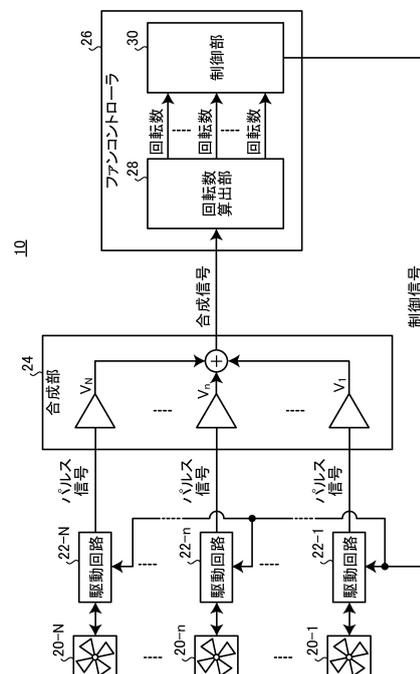
(54)【発明の名称】 回転数算出装置およびファン制御装置

(57)【要約】

【課題】多数のファンのそれぞれの単位時間当たりの回転数を少ない配線により検出する。

【解決手段】回転数算出装置は、N個のパルス信号をN個の電圧信号に変換し、N個の電圧信号を加算した合成信号を生成する合成部と、サンプルタイミング毎に合成信号をアナログ-デジタル変換した合成値を出力するAD変換部と、サンプルタイミング毎に、合成値をN個のパルス信号のそれぞれの再生値に変換するデコード部と、N個のファンのそれぞれについて、対応するパルス信号の再生値における時系列データに基づき回転数を算出する算出部と、を備える。

【選択図】図1



【特許請求の範囲】

【請求項 1】

N 個 (N は 2 以上の整数) のファンのそれぞれの回転数を算出する回転数算出装置であって、

それぞれが前記 N 個のファンのうちの対応するファンの単位時間当たりの回転数に比例した周波数の N 個のパルス信号を受け取り、前記 N 個のパルス信号を、それぞれが互いに異なる振幅の N 個の電圧信号に変換し、前記 N 個の電圧信号を加算した合成信号を生成する合成部と、

サンプルタイミング毎に、前記合成信号をアナログ - デジタル変換した合成値を出力する A/D 変換部と、

前記合成値と前記 N 個のパルス信号のそれぞれの値との対応関係を表す変換パターンを参照することにより、前記サンプルタイミング毎に、前記合成値を前記 N 個のパルス信号のそれぞれの再生値に変換するデコード部と、

前記 N 個のファンのそれぞれについて、対応するパルス信号の前記再生値における時系列データに基づき前記回転数を算出する算出部と、

を備える回転数算出装置。

【請求項 2】

前記合成部は、前記 N 個のパルス信号のうち第 n (n は 1 以上 N 以下の整数) のファンに対応する第 n のパルス信号を、式 (1) に示す V_n ボルトの振幅の電圧信号に変換する

$$V_n = A^{(n-1)} \times B \dots (1)$$

前記 A は、2 以上の実数であり、

前記 B は、0 以外の任意の実数である

請求項 1 に記載の回転数算出装置。

【請求項 3】

前記 A は、2 である

請求項 2 に記載の回転数算出装置。

【請求項 4】

請求項 1 から 3 の何れか 1 項に記載の回転数算出装置と、

前記 N 個のファンのそれぞれの前記回転数に基づき、前記 N 個のファンの回転速度を制御する制御部と、

を備えるファン制御装置。

【請求項 5】

前記 N 個のファンに対応する N 個の駆動回路をさらに備え、

前記 N 個の駆動回路のそれぞれは、前記 N 個のファンのうちの対応するファンを駆動し、前記 N 個のファンのうちの対応するファンの単位時間当たりの回転数に比例した周波数の前記パルス信号を出力する

請求項 4 に記載のファン制御装置。

【請求項 6】

前記合成部は、前記 N 個のパルス信号に対応する N 個の合成回路を有し、

前記 N 個の合成回路のそれぞれは、加算回路を含み、

前記 N 個の合成回路のうち第 m (m は、1 以上 (N - 1) 以下の整数) の合成回路に含まれる前記加算回路は、前記 N 個の電圧信号のうち対応する振幅の電圧信号と、前記 N 個の合成回路のうち第 (m + 1) の合成回路に含まれる前記加算回路から出力される第 (m + 1) の加算信号とを加算することにより、第 m の加算信号を生成し、

前記 N 個の合成回路のうち第 N の合成回路に含まれる前記加算回路は、前記 N 個の電圧信号のうち対応する振幅の電圧信号と、所定電位とを加算することにより、第 N の加算信号を生成し、

前記 N 個の合成回路のうち第 1 の合成回路は、生成した第 1 の加算信号を、前記合成信号として出力する

10

20

30

40

50

請求項 5 に記載のファン制御装置。

【請求項 7】

前記 N 個の合成回路のそれぞれは、前記 N 個の駆動回路のうちの対応するパルス信号を出力する駆動回路と一体的に設けられる

請求項 6 に記載のファン制御装置。

【請求項 8】

前記合成部は、前記 N 個のパルス信号に対応する N 個の合成回路を有し、

前記 N 個の合成回路のそれぞれは、ツェナーダイオードと、スイッチとを含み、

前記ツェナーダイオードは、アノードとカソードとの間に電力が与えられた場合に、

前記 N 個の電圧信号のうちの対応する電圧信号の振幅と同一の定電圧を発生し、

前記スイッチは、前記 N 個のパルス信号のうちの対応するパルス信号に応じて、前記ツェナーダイオードのアノードとカソードとの間を短絡するか開放するかを切り替え、

前記 N 個の合成回路のうちの第 1 の合成回路に含まれる前記ツェナーダイオードは、カソードに第 1 電位が印加され、

前記 N 個の合成回路のうちの第 m (m は、2 以上、(N - 1) 以下の整数) の合成回路に含まれる前記ツェナーダイオードは、カソードに前記 N 個の合成回路のうちの第 (m - 1) の合成回路に含まれる前記ツェナーダイオードのアノードが接続され、アノードに前記 N 個の合成回路のうちの第 (m + 1) の合成回路に含まれる前記ツェナーダイオードのカソードが接続され、

前記 N 個の合成回路のうちの第 N の合成回路に含まれる前記ツェナーダイオードのアノードは、抵抗を介して前記第 1 電位より低い第 2 電位に接続され、

前記合成部は、前記 N 個の合成回路のうちの第 N の合成回路に含まれる前記ツェナーダイオードのアノードから出力された信号を、前記合成信号として出力する

請求項 5 に記載のファン制御装置。

【請求項 9】

前記 N 個の合成回路のそれぞれは、前記 N 個の駆動回路のうちの対応するパルス信号を出力する駆動回路と一体的に設けられる

請求項 8 に記載のファン制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回転数算出装置およびファン制御装置に関する。

【背景技術】

【0002】

コンピュータ等の情報処理装置は、内部の半導体装置等を冷却するためにファンを備える。情報処理装置内のマイクロコントローラは、ファンの単位時間当たりの回転数に比例した周波数のパルス信号を受け取り、受け取ったパルス信号の周波数に基づきファンの単位時間当たりの回転数を制御する。これにより、マイクロコントローラ等は、半導体装置等を適切な温度に維持することができる。

【発明の概要】

【発明が解決しようとする課題】

【0003】

ところで、情報処理装置は、多数のファンを備える場合がある。このような場合、従来、マイクロコントローラは、多数のファンのそれぞれからパルス信号を受け取り、多数のファンのそれぞれの単位時間当たりの回転数を計測している。しかし、マイクロコントローラは、多数のファンのそれぞれからパルス信号を受け取る場合、ファンの個数分の入力端子を備えなければならない。このため、情報処理装置は、多数のファンの単位時間当たりの回転数の計測のために、多数の入力端子を備える高価なマイクロコントローラを備えなければならない。また、このような情報処理装置は、多数のファンのそれぞれからマイクロコントローラへの配線が多くなり、配線コストが大きくなってしまっていた。

10

20

30

40

50

【 0 0 0 4 】

開示の技術は、上記に鑑みてなされたものであって、多数のファンのそれぞれの単位時間当たりの回転数を少ない配線により検出する回転数算出装置およびファン制御装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 5 】

本発明の第 1 態様に係る回転数算出装置は、 N 個 (N は 2 以上の整数) のファンのそれぞれの回転数を算出する回転数算出装置であって、それぞれが前記 N 個のファンのうちの対応するファンの単位時間当たりの回転数に比例した周波数の N 個のパルス信号を受け取り、前記 N 個のパルス信号を、それぞれが互いに異なる振幅の N 個の電圧信号に変換し、前記 N 個の電圧信号を加算した合成信号を生成する合成部と、サンプルタイミング毎に、前記合成信号をアナログ - デジタル変換した合成値を出力する A/D 変換部と、前記合成値と前記 N 個のパルス信号のそれぞれの値との対応関係を表す変換パターンを参照することにより、前記サンプルタイミング毎に、前記合成値を前記 N 個のパルス信号のそれぞれの再生値に変換するデコード部と、前記 N 個のファンのそれぞれについて、対応するパルス信号の前記再生値における時系列データに基づき前記回転数を算出する算出部とを備える。

10

【 0 0 0 6 】

本発明の第 2 態様に係るファン制御装置は、第 1 態様に係る回転数算出装置と、前記 N 個のファンのそれぞれの前記回転数に基づき、前記 N 個のファンの回転速度を制御する制御部と、を備える。

20

【 発明の効果 】

【 0 0 0 7 】

本発明の第 1 態様に係る回転数算出装置によれば、 N 個のファンのそれぞれの単位時間当たりの回転数を少ない配線により検出することができる。

【 0 0 0 8 】

本発明の第 2 態様に係るファン制御装置によれば、 N 個のファンのそれぞれの単位時間当たりの回転数を少ない配線により検出し、 N 個のファンの回転速度を制御することができる。

【 図面の簡単な説明 】

30

【 0 0 0 9 】

【 図 1 】 図 1 は、第 1 実施形態に係るファンシステムを示す図である。

【 図 2 】 図 2 は、パルス信号、電圧信号および合成信号の一例を示す図である。

【 図 3 】 図 3 は、回転数算出部の構成を示す図である。

【 図 4 】 図 4 は、変換パターンの一例を示す図である。

【 図 5 】 図 5 は、合成信号、合成値の時系列データおよび再生値の時系列データの一例を示す図である。

【 図 6 】 図 6 は、第 1 例に係る合成部の回路構成を示す図である。

【 図 7 】 図 7 は、第 1 例に係る合成回路が組み込まれた駆動回路の回路構成を示す図である。

40

【 図 8 】 図 8 は、第 2 例に係る合成部の回路構成を示す図である。

【 図 9 】 図 9 は、第 2 例に係る合成回路が組み込まれた駆動回路の回路構成を示す図である。

【 発明を実施するための形態 】

【 0 0 1 0 】

以下、実施形態に係るファンシステム 10 を説明する。なお、この実施形態により開示技術が限定されるものではない。

【 0 0 1 1 】

図 1 は、第 1 実施形態に係るファンシステム 10 を示す図である。本実施形態において、ファンシステム 10 は、コンピュータ等の情報処理装置に組み込まれる。

50

【 0 0 1 2 】

ファンシステム 1 0 は、N 個 (N は、2 以上の整数) のファン 2 0 と、N 個の駆動回路 2 2 と、合成部 2 4 と、ファンコントローラ 2 6 とを備える。

【 0 0 1 3 】

N 個のファン 2 0 のそれぞれは、例えば送風機であり、モータにより羽を回転させて風を発生させる。N 個のファン 2 0 のそれぞれは、例えば、情報処理装置内の半導体装置等の対象物の近傍に設けられ、対象物に発生した風を与えて対象物を冷却する。

【 0 0 1 4 】

本実施形態においては、ファンシステム 1 0 は、N 個のファン 2 0 として、第 1 のファン 2 0 - 1 から第 N のファン 2 0 - N を備える。本実施形態においては、N 個のファン 2 0 のうちの任意のファン 2 0 を第 n のファン 2 0 - n (n は、1 以上、N 以下の整数) とする。

10

【 0 0 1 5 】

N 個の駆動回路 2 2 は、N 個のファン 2 0 に一対一に対応する。N 個の駆動回路 2 2 のそれぞれは、N 個のファン 2 0 のうちに対応するファン 2 0 のモータを駆動する。N 個の駆動回路 2 2 のそれぞれは、ファンコントローラ 2 6 から制御信号を受け取り、受け取った制御信号に応じて対応するファン 2 0 のモータを制御することにより、対応するファン 2 0 の回転速度を変更する。

【 0 0 1 6 】

また、N 個の駆動回路 2 2 のそれぞれは、対応するファン 2 0 の単位時間当たりの回転数に比例した周波数のパルス信号を出力する。N 個の駆動回路 2 2 のそれぞれは、例えば、対応するファン 2 0 のモータに設けられたホール素子からの信号を受け取り、ホール素子からの信号に基づきモータの回転子と固定子との相対角度が所定量変化したことを検出し、パルス信号の値を変化させる。N 個の駆動回路 2 2 のそれぞれは、例えば、対応するファン 2 0 のモータが 1 回転する毎に所定個のパルスが発生する。

20

【 0 0 1 7 】

本実施形態においては、ファンシステム 1 0 は、N 個の駆動回路 2 2 として、第 1 の駆動回路 2 2 - 1 から第 N の駆動回路 2 2 - N を備える。本実施形態においては、N 個の駆動回路 2 2 のうちの任意の駆動回路 2 2 を第 n の駆動回路 2 2 - n とする。例えば、第 n の駆動回路 2 2 - n は、第 n のファン 2 0 - n に対応する。N 個の駆動回路 2 2 のそれぞれは、対応するファン 2 0 に一体的に組み込まれていてもよい。

30

【 0 0 1 8 】

合成部 2 4 は、N 個の駆動回路 2 2 から N 個のパルス信号を受け取る。N 個のパルス信号のそれぞれは、N 個のファン 2 0 のうちに対応するファン 2 0 の単位時間当たりの回転数に比例した周波数の 2 値信号である。

【 0 0 1 9 】

合成部 2 4 は、N 個のパルス信号を、互いに異なる振幅の N 個の電圧信号に変換する。N 個の電圧信号は、N 個のパルス信号に一対一に対応する。

【 0 0 2 0 】

N 個の電圧信号のそれぞれは、対応するパルス信号に同期している。例えば、合成部 2 4 は、N 個の電圧信号のうち第 1 の電圧信号を、 V_1 ボルトの振幅の 2 値信号に変換する。例えば、合成部 2 4 は、N 個の電圧信号のうち第 2 の電圧信号を V_2 ボルトの振幅の 2 値信号に変換する。例えば、合成部 2 4 は、N 個の電圧信号のうち第 n の電圧信号を V_n ボルトの振幅の 2 値信号に変換する。例えば、合成部 2 4 は、N 個の電圧信号のうち第 N の電圧信号を V_N ボルトの振幅の 2 値信号に変換する。

40

【 0 0 2 1 】

V_1 、 V_2 、... V_n 、... V_N は、互いに異なる値である。 V_1 、 V_2 、... V_n 、... V_N は、負の値であってもよい。一例として、 V_1 が 1 ボルトである場合、 V_2 は 2 ボルト、 V_3 は 4 ボルト、 V_4 は 8 ボルトといったように、 V_n は、絶対値が V_{n-1} の二乗の関係となっていてよい。また、 V_n は、絶対値が V_{n-1} の 2 以上の値のべき乗の関係とな

50

っていてもよい。

【 0 0 2 2 】

そして、合成部 2 4 は、このような N 個の電圧信号を加算した合成信号を生成する。合成部 2 4 は、生成した合成信号を、配線等を介してファンコントローラ 2 6 に送信する。

【 0 0 2 3 】

ファンコントローラ 2 6 は、アナログ - デジタル変換機能およびプログラムに基づき情報処理を実行する機能を有するマイクロコントローラにより実現される。ファンコントローラ 2 6 は、機能構成として、回転数算出部 2 8 と、制御部 3 0 とを有する。

【 0 0 2 4 】

回転数算出部 2 8 は、合成信号を受け取り、受け取った合成信号に基づき N 個のファン 2 0 のそれぞれについての単位時間当たりの回転数を算出する。なお、回転数算出部 2 8 の構成については、図 3 を参照して後述する。

【 0 0 2 5 】

制御部 3 0 は、回転数算出部 2 8 により算出された N 個のファン 2 0 のそれぞれの単位時間当たりの回転数に基づき、N 個のファン 2 0 の回転速度を制御する。本実施形態においては、制御部 3 0 は、N 個のファン 2 0 の回転速度を増加または減少させる制御信号を生成し、生成した制御信号を N 個の駆動回路 2 2 に送信する。なお、制御部 3 0 は、N 個のファン 2 0 の回転速度を共通の制御信号により制御してもよいし、N 個のファン 2 0 のそれぞれ毎に個別の制御信号を生成し、N 個の駆動回路 2 2 のそれぞれに個別の制御信号を送信してもよい。

【 0 0 2 6 】

このような構成のファンシステム 1 0 は、コンピュータ等の情報処理装置に組み込まれることにより、情報処理装置の内部の CPU (Central Processing Unit) 等の対象物の発熱を低減させることができる。

【 0 0 2 7 】

図 2 は、ファンシステム 1 0 が第 1 のファン 2 0 - 1 および第 2 のファン 2 0 - 2 を備える場合における、パルス信号、電圧信号および合成信号の一例を示す図である。

【 0 0 2 8 】

合成部 2 4 は、N 個のパルス信号を、互いに異なる振幅の N 個の電圧信号に変換する。例えば、合成部 2 4 は、第 1 のパルス信号を、第 1 のパルス信号に同期し、振幅が V_1 ボルトの第 1 の電圧信号に変換する。また、合成部 2 4 は、第 2 のパルス信号を、第 2 のパルス信号に同期し、振幅が V_2 ボルトの第 2 の電圧信号に変換する。

【 0 0 2 9 】

ここで、合成部 2 4 は、N 個のパルス信号のうちの第 n のファン 2 0 - n に対応する第 n のパルス信号を、式 (1) に示す V_n ボルトの振幅の第 n の電圧信号に変換する。

【 0 0 3 0 】

$$V_n = A^{(n-1)} \times B \dots (1)$$

【 0 0 3 1 】

A は、2 以上の実数である。本実施形態においては、A は、2 である。B は、0 以外の任意の実数である。B は、負の値であってもよい。

【 0 0 3 2 】

そして、合成部 2 4 は、このように生成した N 個の電圧信号を加算した合成信号を生成する。合成信号の振幅は、N 個の電圧信号の振幅を全て加算した値となる。例えば、第 1 の電圧信号の振幅が V_1 ボルトであり、第 2 の電圧信号の振幅が V_2 ボルトであり、 $N = 2$ である場合には、合成信号の振幅は、 $(V_1 + V_2)$ ボルトとなる。

【 0 0 3 3 】

このように生成された合成信号は、例えば、A が 2 である場合、 2^N 階調の精度の電圧信号となる。従って、合成信号は、電圧値から、N 個のパルス信号の値 (0 または 1) を復元させることができる。

【 0 0 3 4 】

10

20

30

40

50

図 3 は、回転数算出部 28 の構成を示す図である。回転数算出部 28 は、A/D 変換部 32 と、パターン記憶部 34 と、デコード部 36 と、算出部 38 とを有する。

【0035】

A/D 変換部 32 は、合成部 24 から合成信号を受信する。A/D 変換部 32 は、サンプルタイミング毎に、合成信号をアナログ - デジタル変換した合成値を出力する。

【0036】

なお、サンプリング周波数は、パルス信号の最大の周波数よりも、少なくとも 2 倍以上の周波数である。これにより、A/D 変換部 32 は、パルス信号に含まれる各パルスを復元することができる。

【0037】

また、A/D 変換部 32 は、ファン 20 の個数が N 個である場合、 2^N 以上の分解能で合成信号を A/D 変換する。すなわち、A/D 変換部 32 は、ファン 20 の個数が N 個である場合、 N ビット以上の分解能で合成信号を A/D 変換する。A/D 変換部 32 は、変換による誤差を考慮し、 N ビットよりも十分に高い分解能で合成信号を A/D 変換してもよい。

【0038】

パターン記憶部 34 は、合成値と N 個のパルス信号のそれぞれの値との対応関係を表す変換パターンを記憶する。変換パターンは、テーブルであってもよいし、演算式であってもよい。

【0039】

デコード部 36 は、変換パターンを参照することにより、サンプルタイミング毎に、合成値を N 個のパルス信号のそれぞれの再生値に変換する。すなわち、デコード部 36 は、 N 個のファン 20 に対応した N 個の再生値を復元する。各サンプルタイミングにおける再生値は、0 または 1 である。

【0040】

算出部 38 は、デコード部 36 により生成された N 個の再生値のそれぞれの時系列データを受け取る。算出部 38 は、 N 個のファン 20 のそれぞれについて、対応するパルス信号の再生値における時系列データに基づき、単位時間当たりの回転数を算出する。例えば、算出部 38 は、 N 個のファン 20 のそれぞれについて、0 から 1 または 1 から 0 へ変化する変化点の単位時間当たりの発生頻度を算出することにより、単位時間当たりの回転数を算出する。

【0041】

図 4 は、ファンシステム 10 が第 1 のファン 20 - 1 および第 2 のファン 20 - 2 を備える場合における、変換パターンの一例を示す図である。

【0042】

ファンシステム 10 が第 1 のファン 20 - 1 および第 2 のファン 20 - 2 を備える場合、パターン記憶部 34 は、例えば図 4 に示すようなテーブルを記憶してもよい。図 4 のテーブルは、合成値が 0 の場合、第 1 のパルス信号の再生値が 0、第 2 のパルス信号の再生値が 0 であることを表している。また、図 4 のテーブルは、合成値が 1 の場合、第 1 のパルス信号の再生値が 1、第 2 のパルス信号の再生値が 0 であることを表している。また、図 4 のテーブルは、合成値が 2 の場合、第 1 のパルス信号の再生値が 0、第 2 のパルス信号の再生値が 1 であることを表している。また、図 4 のテーブルは、合成値が 3 の場合、第 1 のパルス信号の再生値が 1、第 2 のパルス信号の再生値が 1 であることを表している。

【0043】

このように、回転数算出部 28 は、変換テーブルを参照することにより、 2^N 以上の分解能の合成値、すなわち、 N ビットの合成値に基づき、 N 個のパルス信号のそれぞれの再生値を復元することができる。なお、図 4 では、テーブル状の変化パターンを示しているが、変化パターンは、合成値を入力した場合、各パルスの再生値を出力する演算式であってもよい。

【0044】

10

20

30

40

50

図 5 は、ファンシステム 10 が第 1 のファン 20 - 1 および第 2 のファン 20 - 2 を備える場合における、合成信号、合成値の時系列データおよび再生値の時系列データの一例を示す図である。

【 0 0 4 5 】

A D 変換部 3 2 は、サンプルタイミング毎に、合成信号をアナログ - デジタル変換した合成値を出力する。サンプリング周波数は、パルス信号の最大の周波数よりも、少なくとも 2 倍以上の周波数である。また、A D 変換部 3 2 は、ファン 20 の個数が N 個である場合、 2^N 以上の分解能で合成信号を A D 変換する。すなわち、A D 変換部 3 2 は、ファン 20 の個数が N 個である場合、N ビット以上の分解能で合成信号を A D 変換する。例えば、図 5 に示す例の場合、 $N = 2$ であるので、A D 変換部 3 2 は、 $2^2 = 4$ の分解能で合成信号を A D 変換する。これにより、A D 変換部 3 2 は、N 個のパルス信号のそれぞれについて、再生値の時系列データを復元可能な合成値の時系列データを生成することができる。

10

【 0 0 4 6 】

デコード部 3 6 は、変換パターンを参照することにより、サンプルタイミング毎に、合成値を N 個のパルス信号のそれぞれの再生値に変換する。図 5 に示す例の場合、デコード部 3 6 は、図 4 に示すテーブルを参照して、サンプルタイミング毎に、第 1 のファン 20 - 1 の再生値および第 2 のファン 20 - 2 の再生値を復元する。

【 0 0 4 7 】

以上のような回転数算出部 2 8 は、N 個のファン 20 のそれぞれについて、駆動回路 2 2 から出力されたパルス信号の値を、サンプリングタイミング毎に直接検出した場合と同一の時系列データを出力することができる。

20

【 0 0 4 8 】

図 6 は、第 1 例に係る合成部 2 4 の回路構成を示す図である。合成部 2 4 は、例えば、図 6 に示すような、回路構成であってもよい。図 6 に示す第 1 例に係る合成部 2 4 は、参照電圧発生回路 4 6 と、N 個の合成回路 4 8 とを備える。

【 0 0 4 9 】

参照電圧発生回路 4 6 は、N 個の合成回路 4 8 のそれぞれに対して、発生する電圧信号の振幅の電位の参照電圧を与える。例えば、参照電圧発生回路 4 6 は、電源電圧 V_{cc} とグランドとの間に直列接続された複数の抵抗を有する。参照電圧発生回路 4 6 は、電源電圧 V_{cc} を複数の抵抗により分圧し、N 個の合成回路 4 8 のそれぞれに対して互いに異なる分圧点の電圧を参照電圧として与えられる。

30

【 0 0 5 0 】

N 個の合成回路 4 8 は、N 個のファン 20 に対応する。N 個の合成回路 4 8 のそれぞれは、同一の構成である。

【 0 0 5 1 】

N 個の合成回路 4 8 のそれぞれは、加算信号入力端子 5 6 と、加算信号出力端子 5 8 とが設けられる。N 個の合成回路 4 8 は、加算信号入力端子 5 6 および加算信号出力端子 5 8 がカスケードに接続される。より具体的には、N 個の合成回路 4 8 のうちの第 m (m は、1 以上、 $(N - 1)$ 以下の整数) の合成回路 4 8 - m の加算信号入力端子 5 6 は、N 個の合成回路 4 8 のうちの第 $(m + 1)$ の加算信号出力端子 5 8 に接続される。

40

【 0 0 5 2 】

また、第 N の合成回路 4 8 - N の加算信号入力端子 5 6 は、所定電位に接続される。本実施形態においては、第 N の合成回路 4 8 - N の加算信号入力端子 5 6 は、グランドに接続される。さらに、第 1 の合成回路 4 8 - 1 の加算信号出力端子 5 8 は、ファンコントローラ 2 6 に接続される。

【 0 0 5 3 】

また、N 個の合成回路 4 8 のそれぞれは、パルス入力端子 6 0 と、参照電圧入力端子 6 2 とがさらに設けられる。

【 0 0 5 4 】

50

パルス入力端子 60 は、N 個の駆動回路 22 のうち対応する駆動回路 22 からパルス信号を受け取る。例えば、第 1 の合成回路 48 - 1 のパルス入力端子 60 は、第 1 の駆動回路 22 - 1 からパルス信号を受け取る。また、第 m の合成回路 48 - m のパルス入力端子 60 は、第 m の駆動回路 22 - m からパルス信号を受け取る。また、第 N の合成回路 48 - N のパルス入力端子 60 は、第 N の駆動回路 22 - N からパルス信号を受け取る。

【0055】

参照電圧入力端子 62 は、内部で発生する電圧信号の振幅の電位の参照電圧を、参照電圧発生回路 46 から受け取る。例えば、第 1 の合成回路 48 - 1 の参照電圧入力端子 62 は、 V_1 ボルトを参照電圧発生回路 46 から受け取る。第 m の合成回路 48 - m の参照電圧入力端子 62 は、 V_m ボルトを参照電圧発生回路 46 から受け取る。第 N の合成回路 48 - N の参照電圧入力端子 62 は、 V_N ボルトを参照電圧発生回路 46 から受け取る。

10

【0056】

また、N 個の合成回路 48 のそれぞれは、加算回路 64 と、スイッチ 66 とを含む。

【0057】

加算回路 64 は、演算増幅器 70 と、第 1 抵抗 72 と、第 2 抵抗 74 と、第 3 抵抗 76 と、第 4 抵抗 78 とを含む。

【0058】

第 1 抵抗 72 は、参照電圧入力端子 62 と、演算増幅器 70 の反転入力端子との間に接続される。第 2 抵抗 74 は、演算増幅器 70 の反転入力端子と、グランドとの間に接続される。第 3 抵抗 76 は、加算信号入力端子 56 と、演算増幅器 70 の非反転入力端子との間に接続される。第 4 抵抗 78 は、演算増幅器 70 の非反転入力端子と、演算増幅器 70 の出力端子との間に接続される。第 1 抵抗 72、第 2 抵抗 74、第 3 抵抗 76 および第 4 抵抗 78 は、例えば同一の抵抗値である。そして、演算増幅器 70 の出力端子は、加算信号出力端子 58 に接続される。

20

【0059】

スイッチ 66 は、加算回路 64 の演算増幅器 70 の反転入力端子をグランドに短絡するか、グランドから切断するかを、パルス入力端子 60 に入力されたパルス信号の値に応じて切り替える。例えば、スイッチ 66 は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) により実現することができる。

【0060】

N 個の合成回路 48 のそれぞれに含まれる加算回路 64 およびスイッチ 66 は、与えられたパルス信号を、参照電圧入力端子 62 に与えられた参照電圧の振幅の電圧信号に変換する。そして、加算回路 64 は、電圧信号と、加算信号入力端子 56 に与えられた信号とを加算した加算信号を、加算信号出力端子 58 から出力する。例えば、第 m の合成回路 48 - m に含まれる加算回路 64 は、第 m の加算信号を加算信号出力端子 58 から出力する。

30

【0061】

従って、第 m の合成回路 48 - m に含まれる加算回路 64 は、N 個の電圧信号のうちの対応する振幅の電圧信号と、N 個の合成回路 48 のうちの第 (m + 1) の合成回路 48 に含まれる加算回路 64 から出力される第 (m + 1) の加算信号とを加算することにより、第 m の加算信号を生成する。

40

【0062】

また、N 個の合成回路 48 のうちの N 番目の合成回路 48 に含まれる加算回路 64 は、N 個の電圧信号のうちの対応する振幅の電圧信号と、所定電位 (例えばグランド電位) とを加算することにより、第 N の加算信号を生成する。

【0063】

そして、N 個の合成回路 48 のうちの第 1 の合成回路 48 - 1 は、生成した第 1 の加算信号を、合成信号としてファンコントローラ 26 へと出力する。

【0064】

このような第 1 例に係る合成部 24 は、第 N の電圧信号と所定電位とを加算した第 N の

50

加算信号を生成する。さらに、合成部 24 は、第 m の電圧信号と第 $(m + 1)$ の加算信号を加算した第 m の加算信号を生成する、といったように N 個の電圧信号を 1 つずつ累積加算する。そして、合成部 24 は、累積加算した最終段の第 1 の加算信号を、合成信号として出力する。従って、第 1 例に係る合成部 24 は、 N 個のパルス信号を、それぞれが互いに異なる振幅の N 個の電圧信号に変換し、 N 個の電圧信号を加算した合成信号を生成してファンコントローラ 26 へと出力することができる。

【0065】

なお、加算回路 64 は、参照電圧入力端子 62 に与えられた参照電圧の正負を反転させた振幅の電圧信号と、加算信号入力端子 56 に与えられた信号とを加算する回路であってもよい。すなわち、この場合、加算回路 64 は、減算をする。このような構成であっても、第 1 例に係る合成部 24 は、それぞれが互いに異なる振幅の N 個の電圧信号に変換し、 N 個の電圧信号を加算した合成信号を生成してファンコントローラ 26 へと出力することができる。

10

【0066】

図 7 は、第 1 例に係る合成回路 48 が組み込まれた駆動回路 22 の回路構成を示す図である。

【0067】

第 1 例に係る合成部 24 に備えられる N 個の合成回路 48 のそれぞれは、 N 個の駆動回路 22 のうちの対応するパルス信号を出力する駆動回路 22 に一体的に設けられてもよい。この場合、 N 個の駆動回路 22 のそれぞれは、内部駆動回路 82 と、加算回路 64 と、スイッチ 66 とを含む。また、この場合、 N 個の駆動回路 22 のそれぞれは、加算信号入力端子 56 と、加算信号出力端子 58 と、参照電圧入力端子 62 とがさらに設けられる。

20

【0068】

内部駆動回路 82 は、対応するファン 20 のモータを駆動する。さらに、内部駆動回路 82 は、ファンコントローラ 26 から制御信号を受け取り、受け取った制御信号に応じて対応するファン 20 のモータを制御することにより、対応するファン 20 の回転速度を変更する。そして、内部駆動回路 82 は、対応するファン 20 の単位時間当たりの回転数に比例した周波数のパルス信号を出力する。

【0069】

加算回路 64 は、図 6 に示した構成と同一である。スイッチ 66 は、内部駆動回路 82 からパルス信号を受け取り、パルス信号によって、加算回路 64 の演算増幅器 70 の反転入力端子をグランドに短絡するか、グランドから切断するかを切り替える。

30

【0070】

このような構成の N 個の駆動回路 22 を備えるファンシステム 10 は、合成部 24 を実現する回路を別個に備えないでよいので、配線数および回路スペースを削減することができる。

【0071】

図 8 は、第 2 例に係る合成部 24 の回路構成を示す図である。合成部 24 は、例えば、図 8 に示すような、第 2 例に係る回路構成であってもよい。

【0072】

第 2 例に係る合成部 24 は、 N 個の合成回路 48 のそれぞれが、加算回路 64 に代えて、ツェナーダイオード 84 を含む点において、第 1 例と異なる。以下、第 2 例に係る合成部 24 について、第 1 例との相違点を説明する。

40

【0073】

ツェナーダイオード 84 は、アノードが加算信号出力端子 58 に接続され、カソードが加算信号入力端子 56 に接続される。また、ツェナーダイオード 84 は、制御ノードに、参照電圧入力端子 62 に入力された参照電圧が与えられる。ツェナーダイオード 84 は、アノードとカソードとの間に逆方向電圧が印加された場合、制御ノードに印加された電圧に応じた定電圧を、アノードとカソードとの間に発生する。

【0074】

50

スイッチ 66 は、ツェナーダイオード 84 のアノードとカソードとの間を、短絡するか、開放するかを切り替える。

【0075】

また、第 N の合成回路 48 - N の加算信号入力端子 56 は、所定電位（第 1 電位）に接続される。本実施形態においては、第 N の合成回路 48 - N の加算信号入力端子 56 は、電源電位に接続される。また、第 N の合成回路 48 - N の加算信号出力端子 58 は、抵抗を介してグランド（第 2 電位）に接続される。

【0076】

このような第 2 例に係る合成部 24 は、所定電位とグランドとの間に N 個のツェナーダイオード 84 が直列に接続される。N 個のツェナーダイオード 84 のそれぞれは、対応するパルス信号に応じて、対応する電圧信号の振幅に応じた定電圧を発生するか、アノードとカソードとの間が短絡されるかが切り替えられる。そして、合成部 24 は、直列に接続された N 個のツェナーダイオード 84 のうち、最もグランド側の第 1 の合成回路 48 - 1 に含まれるツェナーダイオード 84 のアノードの電位を、合成信号として出力する。従って、第 2 例に係る合成部 24 は、N 個のパルス信号を、それぞれが互いに異なる振幅の N 個の電圧信号に変換し、N 個の電圧信号を加算した加算電圧を所定電位から減算した合成信号を生成することができる。そして、合成部 24 は、生成した合成信号をファンコントローラ 26 へと出力することができる。

【0077】

図 9 は、第 2 例に係る合成回路 48 が組み込まれた駆動回路 22 の回路構成を示す図である。

【0078】

第 2 例に係る合成部 24 に備えられる N 個の合成回路 48 のそれぞれは、N 個の駆動回路 22 のうちの対応するパルス信号を出力する駆動回路 22 と一体的に設けられてもよい。この場合、N 個の駆動回路 22 のそれぞれは、内部駆動回路 82 と、ツェナーダイオード 84 と、スイッチ 66 とを含む。また、この場合、N 個の駆動回路 22 のそれぞれは、加算信号入力端子 56 と、加算信号出力端子 58 と、参照電圧入力端子 62 とがさらに設けられる。

【0079】

内部駆動回路 82 は、図 7 に示した構成と同一である。ツェナーダイオード 84 は、図 8 に示した構成と同一である。スイッチ 66 は、内部駆動回路 82 からパルス信号を受け取り、パルス信号によって、ツェナーダイオード 84 のアノードとカソードとの間を、短絡するか、開放するかを切り替える。

【0080】

このような構成の N 個の駆動回路 22 を備えるファンシステム 10 は、合成部 24 を実現する回路を別個に備えないでよいので、配線数および回路スペースを削減することができる。

【0081】

以上のような実施形態に係るファンシステム 10 は、次のような効果を奏する。

【0082】

実施形態に係るファンシステム 10 は、それぞれが N 個のファン 20 のうちの対応するファン 20 の時間当たりの回転数に比例した周波数の N 個のパルス信号を、それぞれが互いに異なる振幅の N 個の電圧信号に変換し、N 個の電圧信号を加算した合成信号を生成する。続いて、ファンシステム 10 は、サンプルタイミング毎に、合成信号をアナログ - デジタル変換した合成値を出力する。続いて、ファンシステム 10 は、合成値と N 個のパルス信号のそれぞれの値との対応関係を表す変換パターンを参照することにより、サンプルタイミング毎に、合成値を N 個のパルス信号のそれぞれの再生値に変換する。そして、ファンシステム 10 は、N 個のファン 20 のそれぞれについて、対応するパルス信号の再生値における時系列データに基づき回転数を算出する。

【0083】

50

これにより、実施形態に係るファンシステム 10 は、N 個のファン 20 のそれぞれの単位時間当たりの回転数を少ない配線により検出することができる。

【0084】

また、実施形態に係るファンシステム 10 は、N 個のパルス信号のうちの第 n のファン 20 - n に対応する第 n のパルス信号を、式 (1) に示す V_n ボルトの振幅の電圧信号に変換する。

$$V_n = A^{(n-1)} \times B \dots (1)$$

【0085】

ここで、A は、2 以上の実数である。例えば、A は、2 であってもよい。B は、0 以外の任意の実数である。

【0086】

これにより、実施形態に係るファンシステム 10 は、N 個のファン 20 のそれぞれの単位時間当たりの回転数を、精度良く算出することができる。

【0087】

さらに、実施形態に係るファンシステム 10 は、N 個のファン 20 のそれぞれの回転数に基づき、N 個のファン 20 の回転速度を制御する。これにより、実施形態に係るファンシステム 10 は、個のファン 20 のそれぞれの単位時間当たりの回転数を少ない配線により検出し、N 個のファン 20 の回転速度を制御することができる。

【0088】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0089】

- 10 ファンシステム
- 20 ファン
- 22 駆動回路
- 24 合成部
- 26 ファンコントローラ
- 28 回転数算出部
- 30 制御部
- 32 AD変換部
- 34 パターン記憶部
- 36 デコード部
- 38 算出部
- 46 参照電圧発生回路
- 48 合成回路
- 56 加算信号入力端子
- 58 加算信号出力端子
- 60 パルス入力端子
- 62 参照電圧入力端子
- 66 スイッチ
- 64 加算回路
- 70 演算増幅器
- 72 第1抵抗
- 74 第2抵抗
- 76 第3抵抗

10

20

30

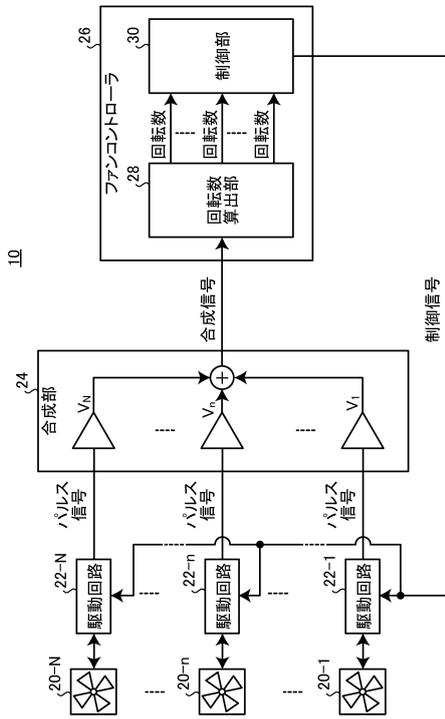
40

50

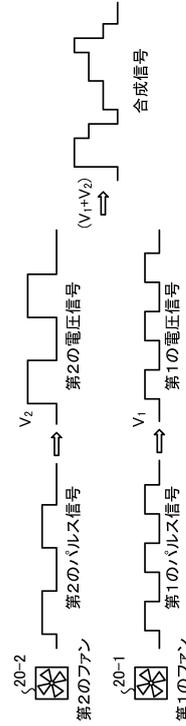
7 8 第 4 抵 抗
 8 2 内 部 駆 動 回 路
 8 4 ツェ ナー ダイ オード

【 図 面 】

【 図 1 】



【 図 2 】



10

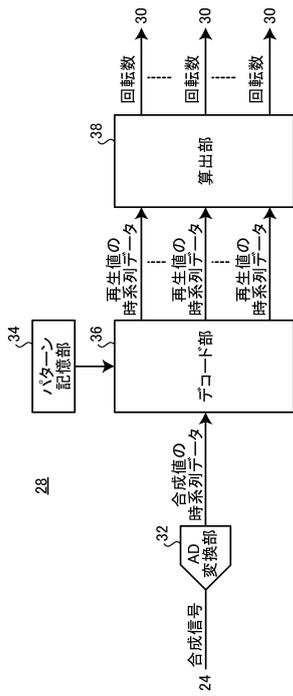
20

30

40

50

【 図 3 】



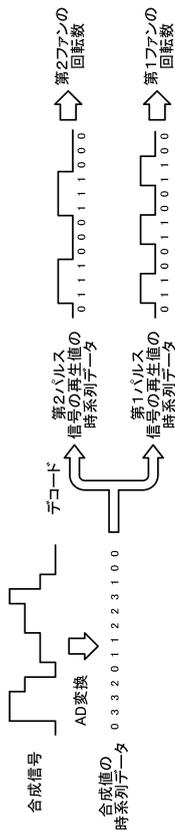
【 図 4 】

合成値	第1のパルス信号の再生値	第2のパルス信号の再生値
0	0	0
1	1	0
2	0	1
3	1	1

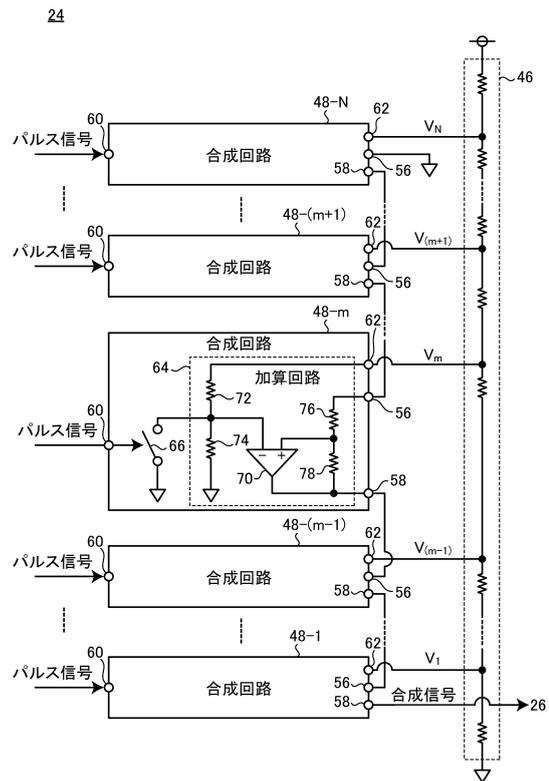
10

20

【 図 5 】



【 図 6 】

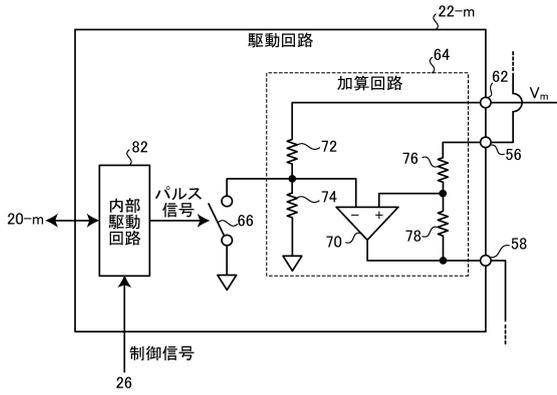


30

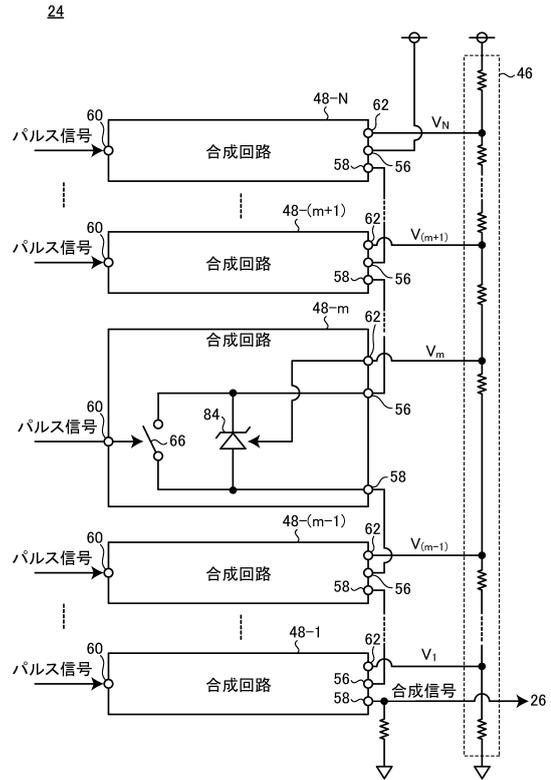
40

50

【 図 7 】



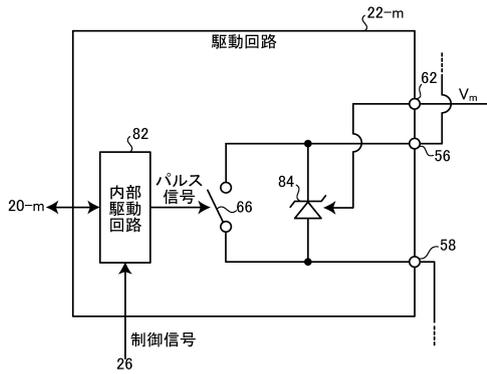
【 図 8 】



10

20

【 図 9 】



30

40

50

【手続補正書】

【提出日】令和5年9月1日(2023.9.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

N個(Nは2以上の整数)のファンのそれぞれの回転数を算出する回転数算出装置であって、

それぞれが前記N個のファンのうちの対応するファンの単位時間当たりの回転数に比例した周波数のN個のパルス信号を受け取り、前記N個のパルス信号を、それぞれが互いに異なる振幅のN個の電圧信号に変換し、前記N個の電圧信号を加算した合成信号を生成する合成部と、

サンプルタイミング毎に、前記合成信号をアナログ-デジタル変換した合成値を出力するAD変換部と、

前記合成値と前記N個のパルス信号のそれぞれの値との対応関係を表す変換パターンを参照することにより、前記サンプルタイミング毎に、前記合成値を前記N個のパルス信号のそれぞれの再生値に変換するデコード部と、

前記N個のファンのそれぞれについて、対応するパルス信号の前記再生値における時系列データに基づき前記回転数を算出する算出部と、

を備え、

前記合成部は、前記N個のパルス信号に対応するN個の合成回路を有し、

前記N個の合成回路のそれぞれは、加算回路を含み、

前記N個の合成回路のうちの第m(mは、1以上(N-1)以下の整数)の合成回路に含まれる前記加算回路は、前記N個の電圧信号のうちの対応する振幅の電圧信号と、前記N個の合成回路のうちの第(m+1)の合成回路に含まれる前記加算回路から出力される第(m+1)の加算信号とを加算することにより、第mの加算信号を生成し、

前記N個の合成回路のうちの第Nの合成回路に含まれる前記加算回路は、前記N個の電圧信号のうちの対応する振幅の電圧信号と、所定電位とを加算することにより、第Nの加算信号を生成し、

前記N個の合成回路のうちの第1の合成回路は、生成した第1の加算信号を、前記合成信号として出力する

回転数算出装置。

【請求項2】

前記合成部は、前記N個のパルス信号のうちの第n(nは1以上N以下の整数)のファンに対応する第nのパルス信号を、式(1)に示す V_n ボルトの振幅の電圧信号に変換する

$$V_n = A^{(n-1)} \times B \dots (1)$$

前記Aは、2以上の実数であり、

前記Bは、0以外の任意の実数である

請求項1に記載の回転数算出装置。

【請求項3】

前記Aは、2である

請求項2に記載の回転数算出装置。

【請求項4】

N個(Nは2以上の整数)のファンのそれぞれの回転数を算出する回転数算出装置であって、

それぞれが前記N個のファンのうちの対応するファンの単位時間当たりの回転数に比例し

た周波数の N 個のパルス信号を受け取り、前記 N 個のパルス信号を、それぞれが互いに異なる振幅の N 個の電圧信号に変換し、前記 N 個の電圧信号を加算した合成信号を生成する合成部と、

サンプルタイミング毎に、前記合成信号をアナログ - デジタル変換した合成値を出力する A/D 変換部と、

前記合成値と前記 N 個のパルス信号のそれぞれの値との対応関係を表す変換パターンを参照することにより、前記サンプルタイミング毎に、前記合成値を前記 N 個のパルス信号のそれぞれの再生値に変換するデコード部と、

前記 N 個のファンのそれぞれについて、対応するパルス信号の前記再生値における時系列データに基づき前記回転数を算出する算出部と、

を備え、

前記合成部は、前記 N 個のパルス信号に対応する N 個の合成回路を有し、

前記 N 個の合成回路のそれぞれは、ツェナーダイオードと、スイッチとを含み、

前記ツェナーダイオードは、アノードとカソードとの間に電力が与えられた場合に、

前記 N 個の電圧信号のうちの対応する電圧信号の振幅と同一の定電圧を発生し、

前記スイッチは、前記 N 個のパルス信号のうちの対応するパルス信号に応じて、前記ツェナーダイオードのアノードとカソードとの間を短絡するか開放するかを切り替え、

前記 N 個の合成回路のうちの第 1 の合成回路に含まれる前記ツェナーダイオードは、カソードに第 1 電位が印加され、

前記 N 個の合成回路のうちの第 m (m は、2 以上、 $(N - 1)$ 以下の整数) の合成回路に含まれる前記ツェナーダイオードは、カソードに前記 N 個の合成回路のうちの第 $(m - 1)$ の合成回路に含まれる前記ツェナーダイオードのアノードが接続され、アノードに前記 N 個の合成回路のうちの第 $(m + 1)$ の合成回路に含まれる前記ツェナーダイオードのカソードが接続され、

前記 N 個の合成回路のうちの第 N の合成回路に含まれる前記ツェナーダイオードのアノードは、抵抗を介して前記第 1 電位より低い第 2 電位に接続され、

前記合成部は、前記 N 個の合成回路のうちの第 N の合成回路に含まれる前記ツェナーダイオードのアノードから出力された信号を、前記合成信号として出力する

回転数算出装置。

【請求項 5】

前記合成部は、前記 N 個のパルス信号のうちの第 n (n は 1 以上 N 以下の整数) のファンに対応する第 n のパルス信号を、式 (1) に示す V_n ボルトの振幅の電圧信号に変換する

$$V_n = A \cdot (n - 1) \times B \dots (1)$$

前記 A は、2 以上の実数であり、

前記 B は、0 以外の任意の実数である

請求項 4 に記載の回転数算出装置。

【請求項 6】

前記 A は、2 である

請求項 5 に記載の回転数算出装置。

【請求項 7】

請求項 1 から 6 の何れか 1 項に記載の回転数算出装置と、

前記 N 個のファンのそれぞれの前記回転数に基づき、前記 N 個のファンの回転速度を制御する制御部と、

を備えるファン制御装置。

【請求項 8】

前記 N 個のファンに対応する N 個の駆動回路をさらに備え、

前記 N 個の駆動回路のそれぞれは、前記 N 個のファンのうちの対応するファンを駆動し、前記 N 個のファンのうちの対応するファンの単位時間当たりの回転数に比例した周波数の前記パルス信号を出力する

請求項 7 に記載のファン制御装置。

10

20

30

40

50

【請求項 9】

前記 N 個の合成回路のそれぞれは、前記 N 個の駆動回路のうちの対応するパルス信号を出力する駆動回路と一体的に設けられる

請求項 8 に記載のファン制御装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

本発明の第 1 態様に係る回転数算出装置は、N 個 (N は 2 以上の整数) のファンのそれぞれの回転数を算出する回転数算出装置であって、それぞれが前記 N 個のファンのうちの対応するファンの単位時間当たりの回転数に比例した周波数の N 個のパルス信号を受け取り、前記 N 個のパルス信号を、それぞれが互いに異なる振幅の N 個の電圧信号に変換し、前記 N 個の電圧信号を加算した合成信号を生成する合成部と、サンプルタイミング毎に、前記合成信号をアナログ - デジタル変換した合成値を出力する A/D 変換部と、前記合成値と前記 N 個のパルス信号のそれぞれの値との対応関係を表す変換パターンを参照することにより、前記サンプルタイミング毎に、前記合成値を前記 N 個のパルス信号のそれぞれの再生値に変換するデコード部と、前記 N 個のファンのそれぞれについて、対応するパルス信号の前記再生値における時系列データに基づき前記回転数を算出する算出部とを備える。前記合成部は、前記 N 個のパルス信号に対応する N 個の合成回路を有する。前記 N 個の合成回路のそれぞれは、加算回路を含む。前記 N 個の合成回路のうちの第 m (m は、1 以上 (N - 1) 以下の整数) の合成回路に含まれる前記加算回路は、前記 N 個の電圧信号のうちの対応する振幅の電圧信号と、前記 N 個の合成回路のうちの第 (m + 1) の合成回路に含まれる前記加算回路から出力される第 (m + 1) の加算信号とを加算することにより、第 m の加算信号を生成する。前記 N 個の合成回路のうちの第 N の合成回路に含まれる前記加算回路は、前記 N 個の電圧信号のうちの対応する振幅の電圧信号と、所定電位とを加算することにより、第 N の加算信号を生成する。前記 N 個の合成回路のうちの第 1 の合成回路は、生成した第 1 の加算信号を、前記合成信号として出力する。

10

20

30

40

50