



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월12일  
(11) 등록번호 10-2396734  
(24) 등록일자 2022년05월06일

(51) 국제특허분류(Int. Cl.)  
G11C 16/34 (2006.01) G11C 16/04 (2006.01)  
G11C 16/30 (2006.01)  
(52) CPC특허분류  
G11C 16/34 (2013.01)  
G11C 16/0441 (2013.01)  
(21) 출원번호 10-2015-0163835  
(22) 출원일자 2015년11월23일  
심사청구일자 2020년11월05일  
(65) 공개번호 10-2017-0059643  
(43) 공개일자 2017년05월31일  
(56) 선행기술조사문헌  
KR1020130038391 A\*  
(뒷면에 계속)

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
오해순  
충청북도 보은군 회인면 송평2길 22  
(74) 대리인  
오중한, 문용호

전체 청구항 수 : 총 20 항

심사관 : 한선경

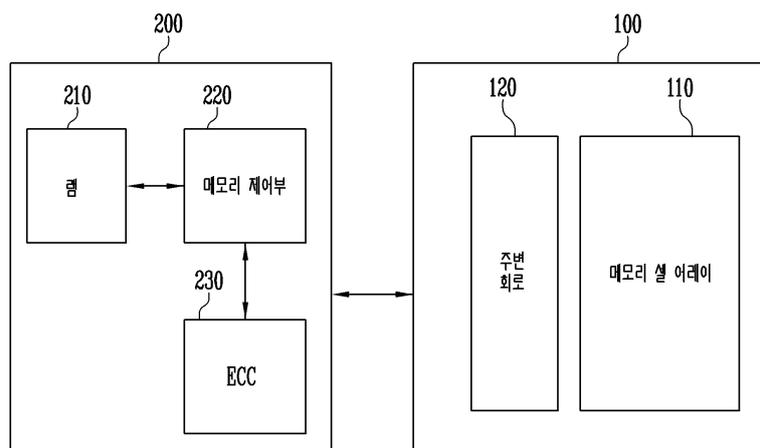
(54) 발명의 명칭 반도체 메모리 장치 및 그것의 동작 방법

(57) 요약

본 기술은 전자 장치에 관한 것으로, 보다 구체적으로는 반도체 메모리 장치 및 그것의 동작 방법에 관한 것이다. 본 기술에 따른 향상된 신뢰성을 갖는 반도체 메모리 장치는 메모리 셀의 문턱전압을 기초로 구분되는 제1 내지 제N 프로그램 상태들 중 어느 한 프로그램 상태를 갖도록 프로그램 되는 복수의 메모리 셀들을 포함하는 반도체 메모리 장치의 동작방법으로, 복수의 메모리 셀들 중 제1 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 허용 상태, 제2 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 금지 상태로 설정하는 단계, 제1 내지 제N 프로그램 상태 중 임의의 제n 프로그램 상태에 대한 프로그램 검증을 수행하는 단계; 및 상기 검증이 성공하면, 제n+k 프로그램 상태로 프로그램 될 메모리 셀들의 프로그램 모드를 프로그램 허용 상태로 설정하는 단계를 포함한다.

대표도 - 도1

50



(52) CPC특허분류

*G11C 16/30* (2013.01)

*G11C 16/3418* (2013.01)

(56) 선행기술조사문헌

KR1020140074552 A

US20120020155 A1

US20130208543 A1

US20160019949 A1

US09218874 B

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

메모리 셀의 문턱전압을 기초로 구분되는 제1 내지 제N 프로그램 상태들 중 어느 한 프로그램 상태를 갖도록 프로그램 되는 복수의 메모리 셀들을 포함하는 반도체 메모리 장치의 동작방법에 있어서,

상기 복수의 메모리 셀들 중 제1 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 허용 상태, 제2 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 금지 상태로 설정하는 단계;

상기 제1 내지 제N 프로그램 상태 중 임의의 제n 프로그램 상태 (n은 자연수 또는 정수)에 대한 프로그램 검증을 수행하는 단계; 및

상기 검증이 성공하면, 제n+k 프로그램 상태 (k는 2보다 크거나 같은 자연수)로 프로그램 될 메모리 셀들의 프로그램 모드를 프로그램 허용 상태로 설정하는 단계;를 포함하는 반도체 메모리 장치의 동작 방법.

#### 청구항 2

제 1항에 있어서, 상기 제1 메모리 셀 그룹은,

제1 프로그램 상태 내지 제m 프로그램 상태 (m은 자연수 또는 정수)로 프로그램 될 메모리 셀들을 포함하고,

상기 제2 메모리 셀 그룹은,

제m+1 프로그램 상태 내지 제N 프로그램 상태로 프로그램 될 메모리 셀들을 포함하는 반도체 메모리 장치의 동작 방법.

#### 청구항 3

제 1항에 있어서, 상기 프로그램 허용 상태는,

상기 메모리 셀들이 연결된 비트 라인들에 프로그램 허용 전압을 인가하는 프로그램 모드이고,

상기 프로그램 금지 상태는,

상기 메모리 셀들이 연결된 비트 라인들에 프로그램 금지 전압을 인가하는 프로그램 모드인 반도체 메모리 장치의 동작 방법.

#### 청구항 4

제 1항에 있어서, 상기 프로그램 검증을 수행하는 단계는,

상기 복수의 메모리 셀들의 문턱전압들이 상기 제n 프로그램 상태의 문턱 전압을 초과하는 경우 검증이 성공한 것으로 판단하고, 상기 제n 프로그램 상태의 문턱 전압을 초과하지 않는 경우 검증이 실패한 것으로 판단하는 반도체 메모리 장치의 동작 방법.

#### 청구항 5

제 3항에 있어서, 상기 프로그램 허용 전압의 전위는,

접지 전압 레벨이고,

상기 프로그램 금지 전압의 전위는,

전원 전압 레벨인 반도체 메모리 장치의 동작 방법.

#### 청구항 6

제 1항에 있어서,

상기 k는 3인 반도체 메모리 장치의 동작 방법.

**청구항 7**

제 2항에 있어서,

상기 m은 3인 반도체 메모리 장치의 동작 방법.

**청구항 8**

메모리 셀의 문턱전압을 기초로 구분되는 제1 내지 제N 프로그램 상태들 중 어느 한 프로그램 상태를 갖도록 프로그램 되는 복수의 메모리 셀들을 포함하는 반도체 메모리 장치의 동작방법에 있어서,

상기 복수의 메모리 셀들의 프로그램 모드를 제1 프로그램 모드로 설정하는 단계;

상기 제1 내지 제N 프로그램 상태 중 제p 프로그램 상태에 대한 프로그램 검증 동작인 제1 검증을 수행하는 단계;

상기 제1 검증이 성공하면, 상기 프로그램 모드를 제2 프로그램 모드로 설정하는 단계;

상기 제1 내지 제N 프로그램 상태 중 제p+2 프로그램 상태에 대한 프로그램 검증인 제2 검증을 수행하는 단계; 및

상기 제2 검증이 성공하면, 상기 프로그램 모드를 제3 프로그램 모드로 설정하는 단계;를 포함하는 반도체 메모리 장치의 동작 방법.

**청구항 9**

제 8항에 있어서, 상기 제1 프로그램 모드는,

상기 제1 내지 제N 프로그램 상태 중 제1 내지 제3 프로그램 상태로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용전압을 인가하고, 제4 내지 제7 프로그램 상태로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하는 프로그램 모드인 반도체 메모리 장치의 동작 방법.

**청구항 10**

제 8항에 있어서, 상기 제2 프로그램 모드는,

상기 제1 내지 제N 프로그램 상태 중 제1 프로그램 상태, 제2 프로그램 상태, 제6 프로그램 상태 및 제7 프로그램 상태로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하고, 제3 프로그램 상태, 제4프로그램 상태 및 제5 프로그램 상태로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용 전압을 인가하는 프로그램 모드인 반도체 메모리 장치의 동작 방법.

**청구항 11**

제 8항에 있어서, 상기 제3 프로그램 모드는,

상기 제1 내지 제N 프로그램 상태 중 제1 내지 제4 프로그램 상태로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 금지 전압을 인가하고, 제5 내지 제7 프로그램 상태로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 허용 전압을 인가하는 프로그램 모드인 반도체 메모리 장치의 동작 방법.

**청구항 12**

제 9항에 있어서, 상기 프로그램 허용 전압의 전위는,

접지 전압 레벨이고,

상기 프로그램 금지 전압의 전위는,

전원 전압 레벨인 반도체 메모리 장치의 동작 방법.

**청구항 13**

제 8항에 있어서, 상기 프로그램 모드는,

상기 복수의 메모리 셀들이 연결되는 비트 라인들에 인가되는 전압을 결정하는 반도체 메모리 장치의 동작 방법.

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

메모리 셀의 문턱전압을 기초로 구분되는 제1 내지 제N 프로그램 상태들 (N은 자연수 또는 정수) 중 어느 한 프로그램 상태를 갖도록 프로그램 되는 복수의 메모리 셀들; 및

상기 복수의 메모리 셀들 중 제1 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 허용 상태, 제2 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 금지 상태로 설정하고, 상기 제1 내지 제N 프로그램 상태 중 임의의 제n 프로그램 상태 (n은 자연수 또는 정수)에 대한 프로그램 검증을 수행하고, 상기 검증이 성공하면, 제n+k 프로그램 상태 (k는 2보다 크거나 같은 자연수)로 프로그램 될 메모리 셀들의 프로그램 모드를 프로그램 허용 상태로 설정하는 주변 회로;를 포함하는 반도체 메모리 장치.

**청구항 21**

제 20항에 있어서, 상기 제1 메모리 셀 그룹은,

제1 프로그램 상태 내지 제m 프로그램 상태로 프로그램 될 메모리 셀들을 포함하고,

상기 제2 메모리 셀 그룹은,

제m+1 프로그램 상태 내지 제N 프로그램 상태로 프로그램 될 메모리 셀들을 포함하는 반도체 메모리 장치.

**청구항 22**

제 20항에 있어서, 상기 프로그램 허용 상태는,

상기 메모리 셀들이 연결된 비트 라인들에 프로그램 허용 전압을 인가하는 프로그램 모드이고,

상기 프로그램 금지 상태는,

상기 메모리 셀들이 연결된 비트 라인들에 프로그램 금지 전압을 인가하는 프로그램 모드인 반도체 메모리 장치.

**청구항 23**

제 20항에 있어서, 상기 주변 회로는,

상기 복수의 메모리 셀들의 문턱전압들이 상기 제 $n$  프로그램 상태의 문턱 전압을 초과하는 경우 검증이 성공한 것으로 판단하고, 상기 제 $n$  프로그램 상태의 문턱 전압을 초과하지 않는 경우 검증이 실패한 것으로 판단하는 반도체 메모리 장치.

**청구항 24**

제 22항에 있어서, 상기 프로그램 허용 전압의 전위는, 접지 전압 레벨이고, 상기 프로그램 금지 전압의 전위는, 전원 전압 레벨인 반도체 메모리 장치.

**청구항 25**

제 20항에 있어서, 상기  $k$ 는 3인 반도체 메모리 장치.

**청구항 26**

제 21항에 있어서, 상기  $m$ 은 3인 반도체 메모리 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로는 반도체 메모리 장치 및 그것의 동작 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래시 메모리는 크게 노어 타입과 낸드 타입으로 구분된다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시 예는 향상된 신뢰성을 갖는 반도체 메모리 장치 및 그것의 동작 방법을 제공하기 위한 것이다.

**과제의 해결 수단**

[0005] 본 발명의 실시 예로서, 메모리 셀의 문턱전압을 기초로 구분되는 제1 내지 제N 프로그램 상태들 중 어느 한 프로그램 상태를 갖도록 프로그램 되는 복수의 메모리 셀들을 포함하는 반도체 메모리 장치의 동작방법은, 상기 복수의 메모리 셀들 중 제1 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 허용 상태, 제2 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 금지 상태로 설정하는 단계, 상기 제1 내지

제N 프로그램 상태 중 임의의 제n 프로그램 상태(n은 자연수 또는 정수)에 대한 프로그램 검증을 수행하는 단계 및 상기 검증이 성공하면, 제n+k 프로그램 상태(k는 자연수 또는 정수)로 프로그램 될 메모리 셀들의 프로그램 모드를 프로그램 허용 상태로 설정하는 단계를 포함한다.

[0006] 본 발명의 다양한 실시 예에 따른, 메모리 셀의 문턱전압을 기초로 구분되는 제1 내지 제N 프로그램 상태들 중 어느 한 프로그램 상태를 갖도록 프로그램 되는 복수의 메모리 셀들을 포함하는 반도체 메모리 장치의 동작방법은, 상기 복수의 메모리 셀들로 연결되는 비트 라인들에 인가되는 전압을 결정하는 프로그램 모드를 제1 프로그램 모드로 설정하는 단계, 상기 제1 내지 제N 프로그램 상태 중 제p 프로그램 상태(p는 자연수 또는 정수)에 대한 프로그램 검증인 제1 검증을 수행하는 단계, 상기 제1 검증이 성공하면, 상기 프로그램 모드를 제2 프로그램 모드로 설정하는 단계, 상기 제1 내지 제N 프로그램 상태 중 제q 프로그램 상태(q는 자연수 또는 정수)에 대한 프로그램 검증인 제2 검증을 수행하는 단계 및 상기 제2 검증이 성공하면, 상기 프로그램 모드를 제3 프로그램 모드로 설정하는 단계;를 포함한다.

[0007] 본 발명의 다양한 실시 예에 따른, 메모리 셀의 문턱전압을 기초로 구분되는 제1 내지 제N 프로그램 상태들 중 어느 한 프로그램 상태를 갖도록 프로그램 되는 복수의 메모리 셀들을 포함하는 반도체 메모리 장치의 동작방법은, 상기 복수의 메모리 셀들로 연결되는 비트 라인들에 인가되는 전압을 결정하는 프로그램 모드를 제1 프로그램 모드로 설정하는 단계, 상기 복수의 메모리 셀들을 연결하는 워드 라인에 인가된 프로그램 펄스의 수가 제1 기준 값을 초과하는지 판단하는 단계, 상기 판단 결과, 상기 워드 라인에 인가된 프로그램 펄스의 수가 제1 기준 값을 초과하면, 상기 프로그램 모드를 제2 프로그램 모드로 설정하는 단계, 상기 복수의 메모리 셀들을 연결하는 워드 라인에 인가된 프로그램 펄스의 수가 제2 기준 값을 초과하는지 판단하는 단계 및 상기 판단 결과, 상기 워드 라인에 인가된 프로그램 펄스의 수가 제2 기준 값을 초과하면, 상기 프로그램 모드를 제3 프로그램 모드로 설정하는 단계를 포함한다.

[0008] 본 발명의 다양한 실시 예에 따른, 반도체 메모리 장치는 메모리 셀의 문턱전압을 기초로 구분되는 제1 내지 제N 프로그램 상태들 중 어느 한 프로그램 상태를 갖도록 프로그램 되는 복수의 메모리 셀들 및 상기 복수의 메모리 셀들 중 제1 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 허용 상태, 제2 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 금지 상태로 설정하고, 상기 제1 내지 제N 프로그램 상태 중 임의의 제n 프로그램 상태(n은 자연수 또는 정수)에 대한 프로그램 검증을 수행하고, 상기 검증이 성공하면, 제n+k 프로그램 상태(k는 자연수 또는 정수)로 프로그램 될 메모리 셀들의 프로그램 모드를 프로그램 허용 상태로 설정하는 주변 회로를 포함한다.

**발명의 효과**

[0009] 본 발명의 실시 예에 따르면, 신뢰성을 갖는 반도체 메모리 장치 및 그것의 동작방법이 제공된다.

**도면의 간단한 설명**

- [0010] 도 1은 메모리 시스템의 구성을 나타낸 블록도이다.
- 도 2는 도 1의 반도체 메모리 장치의 구조를 나타낸 블록도이다.
- 도 3은 도 2의 메모리 셀 어레이의 구조를 나타낸 도면이다.
- 도 4는 프로그램 동작이 수행되는 경우 워드 라인들에 인가되는 전압들과 이로 인한 패스 디스터브를 설명하기 위한 도면이다.
- 도 5는 프로그램 동작이 수행되는 동안 소거 상태를 갖는 인접한 메모리 셀들의 문턱전압 변화를 나타낸 그래프이다.
- 도 6은 프로그램 동작이 수행되는 동안 목표 프로그램 상태에 따라 메모리 셀들이 연결된 비트 라인들에 인가되는 전압을 설명하기 위한 도면이다.
- 도 7은 본 발명의 실시 예에 따른 반도체 메모리 장치의 동작 방법을 나타낸 순서도 이다.
- 도 8은 본 발명의 다른 실시 예에 따른 반도체 메모리 장치의 동작 방법을 나타낸 순서도 이다.
- 도 9는 본 발명의 다른 실시 예에 따른 반도체 메모리 장치의 동작 방법을 나타낸 순서도 이다.
- 도 10은 도 7의 실시 예에 따라 반도체 메모리 장치가 동작하는 경우 비트라인에 인가되는 전압을 설명하기 위

한 도면이다.

도 11은 도 8의 실시 예에 따라 반도체 메모리 장치가 동작하는 경우 비트라인에 인가되는 전압을 설명하기 위한 도면이다.

도 12는 도 9의 실시 예에 따라 반도체 메모리 장치가 동작하는 경우 비트라인에 인가되는 전압을 설명하기 위한 도면이다.

도 13은 도 1의 메모리 시스템의 응용 예를 보여주는 블록도이다.

도 14는 도 12의 메모리 시스템의 응용 예를 보여주는 블록도이다.

도 15는 도 13을 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0012] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서 또는 출원에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0013] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0014] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0015] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 서술된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0016] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0017] 실시 예를 설명함에 있어서 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.
- [0018] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0020] 도 1은 메모리 시스템의 구성을 나타낸 블록도이다.

- [0021] 메모리 시스템(50)은 반도체 메모리 장치(100) 및 컨트롤러(200)를 포함한다.
- [0022] 반도체 메모리 장치(100)는 낸드 플래시 메모리(NAND flash memory), 수직형 낸드 플래시 메모리(Vertical NAND), 노아 플래시 메모리(NOR flash memory), 저항성 램(resistive random access memory: RRAM), 상변화 메모리(phase-change memory: PRAM), 자기저항 메모리(magnetoresistive random access memory: MRAM), 강유전체 메모리(ferroelectric random access memory: FRAM), 스핀주입 자화반전 메모리(spin transfer torque random access memory: STT-RAM) 등이 될 수 있다. 또한, 본 발명의 반도체 메모리 장치(100)는 3차원 어레이 구조(three-dimensional array structure)로 구현될 수 있다. 본 발명은 전하 저장층이 전도성 부유 게이트(floating gate; FG)로 구성된 플래시 메모리 장치는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(charge trap flash; CTF)에도 적용될 수 있다.
- [0023] 반도체 메모리 장치(100)는 메모리 셀 어레이(110) 및 메모리 셀 어레이(110)를 구동하기 위한 주변 회로(120)를 포함한다. 메모리 셀 어레이(110)는 복수의 불휘발성 메모리 셀들을 포함한다.
- [0024] 메모리 셀 어레이(110)는 복수의 메모리 블록들을 포함하고, 복수의 메모리 블록들은 그 용도에 따라 시스템 블록 및 사용자 블록 등으로 구분하여 사용될 수 있다.
- [0025] 주변 회로(120)는 컨트롤러(200)의 제어에 응답하여 동작한다. 주변 회로(120)는 컨트롤러(200)의 제어에 응답하여, 메모리 셀 어레이(110)에 데이터를 프로그램 할 수 있다. 주변 회로(120)는 메모리 셀 어레이(110)로부터 데이터를 읽고 메모리 셀 어레이(110)의 데이터를 소거하도록 동작할 수 있다.
- [0026] 다양한 실시 예에서, 반도체 메모리 장치(100)의 읽기 동작 및 프로그램 동작은 페이지 단위로 수행될 수 있다. 반도체 메모리 장치(100)의 소거 동작은 메모리 블록 단위로 수행될 수 있다.
- [0027] 프로그램 동작 시, 주변 회로(120)는 컨트롤러(200)로부터 프로그램 동작을 나타내는 커맨드, 물리 블록 어드레스(PBA)(physical address, PA) 및 쓰기 데이터를 수신할 수 있다. 주변회로(120)는 물리 블록 어드레스(PBA)에 의해 하나의 메모리 블록과 해당 메모리 블록에 포함된 하나의 페이지가 선택되면, 선택된 페이지에 쓰기 데이터를 프로그램 할 수 있다.
- [0028] 읽기 동작 시, 주변 회로(120)는 컨트롤러(200)로부터 읽기 동작을 나타내는 커맨드(이하, 읽기 커맨드), 물리 블록 어드레스(PBA)를 수신할 수 있다. 주변 회로(120)는 물리 블록 어드레스(PBA)에 의해 선택된 하나의 메모리 블록과 그것에 포함된 하나의 페이지로부터 데이터를 읽고, 읽어진 데이터(이하, 페이지 데이터)를 컨트롤러(200)로 출력할 수 있다.
- [0029] 소거 동작 시에, 주변 회로(120)는 컨트롤러(200)로부터 소거 동작을 나타내는 커맨드 및 물리 블록 어드레스(PBA)를 수신할 수 있다. 물리 블록 어드레스(PBA)는 하나의 메모리 블록을 특정할 것이다. 주변 회로(120)는 물리 블록 어드레스(PBA)에 대응하는 메모리 블록의 데이터를 소거할 것이다.
- [0030] 컨트롤러(200)은 반도체 메모리 장치(100)의 전반적인 동작을 제어한다. 컨트롤러(200)는 외부 호스트로부터의 요청에 응답하여 반도체 메모리 장치(100)를 액세스할 수 있다.
- [0031] 컨트롤러(200)는 램(210), 메모리 제어부(220) 및 에러 정정 회로(230)을 포함할 수 있다.
- [0032] 램(random access memory; RAM)(210)은 메모리 제어부(220)의 제어에 따라 동작하며, 워크 메모리(work memory), 버퍼 메모리(buffer memory), 캐시 메모리(cache memory) 등으로 사용될 수 있다. 램(210)이 워크 메모리로 사용되는 경우에, 메모리 제어부(220)에 의해서 처리되는 데이터가 임시 저장될 수 있다. 램(220)이 버퍼 메모리로 사용되는 경우에는, 호스트(미도시)에서 반도체 메모리 장치(100)로 또는 반도체 메모리 장치(100)에서 호스트(미도시)로 전송될 데이터를 버퍼링 하는데 사용될 수 있다.
- [0033] 메모리 제어부(220)는 반도체 메모리 장치(100)의 읽기 동작, 프로그램 동작, 소거 동작, 그리고 배경(background) 동작을 제어하도록 구성된다. 메모리 제어부(220)는 반도체 메모리 장치(100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0034] 메모리 제어부(220)는 플래시 변환 계층(FTL)을 통해 호스트가 제공한 논리 블록 어드레스(logical block address, LBA)를 물리 블록 어드레스(physical block address, PBA)로 변환할 수 있다. 구체적으로, 플래시 변환 계층(FTL)은 맵핑 테이블을 이용하여 논리 블록 어드레스(LBA)를 입력 받아, 물리 블록 어드레스(PBA)로 변환시킬 수 있다. 물리 블록 어드레스는 메모리 셀 어레이(100)의 특정 워드라인을 지칭하는 페이지 넘버일 수 있다. 플래시 변환 계층의 주소 맵핑 방법에는 맵핑 단위에 따라 여러 가지가 있다. 대표적인 어드레스 맵핑 방

법에는 페이지 맵핑 방법(Page mapping method), 블록 맵핑 방법(Block mapping method), 그리고 혼합 맵핑 방법(Hybrid mapping method)이 있다.

- [0035] 에러 정정 코드 회로(230)는 프로그램 할 데이터에 대한 에러 정정 코드(Error Correction Code; ECC)인 패리티를 생성한다. 또한 읽기 동작시, 에러 정정 코드 회로(230)는 독출한 페이지 데이터에 대해 패리티를 이용하여 오류를 정정할 수 있다. 에러 정정 코드 회로(230)는 LDPC(low density parity check) code, BCH (Bose, Chaudhri, Hocquenghem) Code, turbo code, 리드-솔로몬 코드(Reed-Solomon code), convolution code, RSC(recursive systematic code), TCM(trellis-coded modulation), BCM(Block coded modulation), 해밍 코드(hamming code) 등의 코디드 모듈레이션(coded modulation)을 사용하여 에러를 정정할 수 있다.
- [0036] 읽기 동작 시, 에러 정정 코드 회로(230)는 독출된 페이지 데이터의 오류를 정정할 수 있다. 독출된 페이지 데이터에 정정 가능한 비트 수를 초과하는 에러 비트들이 포함된 경우 디코드는 실패할 수 있다. 페이지 데이터에 정정 가능한 비트 수보다 같거나 작은 에러 비트들이 포함된 경우 디코드는 성공할 수 있다.
- [0037] 디코드의 성공은 해당 읽기 커맨드가 패스(pass)되었음을 나타낸다. 디코드의 실패는 해당 읽기 커맨드가 실패(fail)하였음을 나타낸다. 디코드가 성공될 때 컨트롤러(200)는 에러가 정정된 페이지 데이터를 호스트로 출력한다.
- [0039] 도 2는 도 1의 반도체 메모리 장치(100)의 구조를 나타낸 블록도이다.
- [0040] 도 3은 도 2의 메모리 셀 어레이(110)의 구조를 나타낸 도면이다.
- [0041] 도 2에 따르면, 반도체 메모리 장치(100)는 메모리 셀 어레이(110) 및 주변 회로(120)를 포함한다.
- [0042] 도 3에 따르면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 복수의 메모리 블록들(BLK1~BLKz)은 행 라인들(RL)을 통해 어드레스 디코더(121)에 연결되고, 비트 라인들(BL1~BLm)을 통해 읽기 및 쓰기 회로(123)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀들이다.
- [0043] 메모리 셀 어레이(110)에 포함된 복수의 메모리 셀들은 그 용도에 따라 복수의 블록들로 구분되어 사용될 수 있다. 여기서 복수의 블록들은 메인 블록(main block)과 기타 블록(extra block)으로 구분될 수 있고, 기타 블록에는 메모리 셀들의 동작에 관한 다양한 설정정보들이 저장되어 있을 수 있다.
- [0044] 도 3을 참조하면, 제 1 내지 제 z 메모리 블록들(BLK1~BLKz)은 제 1 내지 제 m 비트 라인들(BL1~BLm)에 공통 연결된다. 도 3에서, 설명의 편의를 위해 복수의 메모리 블록들(BLK1~BLKz) 중 제 1 메모리 블록(BLK1)에 포함된 요소들이 도시되고, 나머지 메모리 블록들(BLK2~BLKz) 각각에 포함된 요소들은 생략된다. 나머지 메모리 블록들(BLK2~BLKz) 각각은 제 1 메모리 블록(BLK1)과 마찬가지로 구성됨이 이해될 것이다.
- [0045] 메모리 블록(BLK1)은 복수의 셀 스트링들(CS1\_1~CS1\_m)을 포함한다. 제 1 내지 제 m 셀 스트링들(CS1\_1~CS1\_m)은 각각 제 1 내지 제 m 비트 라인들(BL1~BLm)에 연결된다.
- [0046] 제 1 내지 제 m 셀 스트링들(CS1\_1~CS1\_m) 각각은 드레인 선택 트랜지스터(DST), 직렬 연결된 복수의 메모리 셀들(MC1~MCn) 및 소스 선택 트랜지스터(SST)를 포함한다. 드레인 선택 트랜지스터(DST)는 드레인 선택 라인(DSL1)에 연결된다. 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 각각 제 1 내지 제 n 워드 라인들(WL1~WLn)에 연결된다. 소스 선택 트랜지스터(SST)는 소스 선택 라인(SSL1)에 연결된다. 드레인 선택 트랜지스터(DST)의 드레인 측은 해당 비트 라인에 연결된다. 제 1 내지 제 m 셀 스트링들(CS1\_1~CS1\_m)의 드레인 선택 트랜지스터들은 각각 제 1 내지 제 m 비트 라인들(BL1~BLm)에 연결된다. 소스 선택 트랜지스터(SST)의 소스 측은 공통 소스 라인(CSL)에 연결된다. 실시 예로서, 공통 소스 라인(CSL)은 제 1 내지 제 z 메모리 블록들(BLK1~BLKz)에 공통 연결될 수 있다.
- [0047] 드레인 선택 라인(DSL1), 제 1 내지 제 n 워드 라인들(WL1~WLn), 및 소스 선택 라인(SSL1)은 도 2의 행 라인들(RL)에 포함된다. 드레인 선택 라인(DSL1), 제 1 내지 제 n 워드 라인들(WL1~WLn), 및 소스 선택 라인(SSL1)은 어드레스 디코더(121)에 의해 제어된다. 공통 소스 라인(CSL)은 제어 로직(125)에 의해 제어된다. 제 1 내지 제 m 비트 라인들(BL1~BLm)은 읽기 및 쓰기 회로(123)에 의해 제어된다.
- [0048] 다시 도 2를 참조하면, 주변 회로(120)은 어드레스 디코더(121), 전압 발생기(122), 읽기 및 쓰기 회로(123), 입출력 버퍼(124), 제어 로직(125) 및 프로그램 모드 설정부(126)을 포함한다.
- [0049] 어드레스 디코더(121)는 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결된다. 어드레스 디코더(121)는 제

어 로직(125)의 제어에 응답하여 동작하도록 구성된다.

- [0050] 실시 예로서, 어드레스 디코더(121)는 어드레스 버퍼, 블록 디코더 및 행 디코더 등을 포함할 수 있다.
- [0051] 어드레스 디코더(121)는 제어 로직(125)을 통해 어드레스(PA)를 수신한다. 반도체 메모리 장치(100)의 프로그램 동작은 페이지 단위로 수행된다. 프로그램 동작 시에 수신되는 물리 블록 어드레스(PA)는 블록 어드레스 또는 행 어드레스 중 적어도 어느 하나를 포함한다. 반도체 메모리 장치(100)의 읽기 동작은 페이지 단위로 수행된다. 읽기 동작 시에 수신되는 물리 블록 어드레스(PA)는 블록 어드레스 또는 행 어드레스 중 적어도 어느 하나를 포함한다.
- [0052] 어드레스 디코더(121)는 수신된 어드레스(PA) 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(121)는 디코딩된 블록 어드레스에 따라 메모리 블록들(BLK1~BLKz) 중 하나의 메모리 블록을 선택한다.
- [0053] 어드레스 디코더(121)는 수신된 물리 블록 어드레스(PA) 중 행 어드레스를 디코딩하여 선택된 메모리 블록 중 하나의 워드 라인을 선택하도록 구성된다. 이에 따라 하나의 페이지가 선택된다.
- [0054] 어드레스 디코더(121)는 디코딩된 행 어드레스에 따라 전압 발생기(122)로부터 제공받은 전압들을 행 라인들(RL)에 인가하여 선택된 메모리 블록의 하나의 워드 라인을 선택한다. 프로그램 동작 시에, 어드레스 디코더(121)는 선택된 워드 라인에 프로그램 펄스를 인가하고 비선택된 워드 라인들에 프로그램 펄스보다 낮은 패스 펄스를 인가할 것이다. 읽기 동작시, 어드레스 디코더(121)는 선택된 워드 라인에 리드 전압을 인가하고, 인접한 비선택 워드 라인들에 제1 및 제2 패스 전압을 인가할 수 있다.
- [0055] 전압 발생기(122)는 반도체 메모리 장치(100)에 공급되는 외부 전원 전압을 이용하여 복수의 전압들을 발생하도록 구성된다. 전압 발생기(122)는 제어 로직(125)의 제어에 응답하여 동작한다. 예를 들면, 전압 발생기(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성한다. 전압 발생기(122)에서 생성된 내부 전원 전압은 어드레스 디코더(121), 읽기 및 쓰기 회로(123), 입출력 버퍼(124), 제어 로직(125) 및 프로그램 모드 설정부(126)에 제공되어 반도체 메모리 장치(100)의 동작 전압으로서 사용된다.
- [0056] 전압 발생기(122)는 외부 전원 전압 및 내부 전원 전압 중 적어도 하나를 이용하여 복수의 전압들을 생성한다. 실시 예로서, 전압 발생기(122)는 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(125)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화함으로써 복수의 전압들을 생성한다. 예를 들면, 전압 발생기(122)는 읽기 동작 시에 선택된 워드 라인에 인가될 읽기 전압과 비선택된 워드 라인들에 인가될 패스 전압들을 생성할 수 있다.
- [0057] 읽기 및 쓰기 회로(123)는 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결된다. 읽기 및 쓰기 회로(123)는 제어 로직(125)의 제어에 응답하여 동작한다.
- [0058] 읽기 및 쓰기 회로(123)는 프로그램 검증 동작시 메모리 셀 어레이(110)의 선택된 페이지로부터 페이지 데이터(DATA)를 읽고, 읽어진 데이터에 대해서 프로그램 완료 여부를 판단 할 수 있다.
- [0059] 읽기 및 쓰기 회로(123)는 제어 로직(125)의 제어에 응답하여, 메모리 셀 어레이에 연결된 비트 라인들(BL)에 인가될 바이어스를 제어한다. 구체적으로, 읽기 및 쓰기 회로(123)는 제어 로직(125)의 제어에 따라 프로그램 허용 전압 또는 프로그램 금지 전압을 비트 라인들에 선택적으로 인가할 수 있다. 다양한 실시 예에서, 읽기 및 쓰기 회로(123)는 프로그램 제어 전압을 비트 라인들(BL)에 인가할 수 있다.
- [0060] 입출력 버퍼(124)는 데이터 라인들(DL)을 통해 읽기 및 쓰기 회로(123)에 연결된다. 입출력 버퍼(124)는 제어 로직(125)의 제어에 응답하여 동작한다. 입출력 버퍼(124)는 프로그램 시에, 컨트롤러(200)로부터 저장될 데이터(DATA)를 수신한다.
- [0061] 제어 로직(125)은 반도체 메모리 장치(100)의 제반 동작을 제어하도록 구성된다. 제어 로직(125)은 커맨드(CMD) 및 물리 블록 어드레스(PA)를 수신할 수 있다. 읽기 동작 시, 커맨드(CMD)는 읽기 커맨드일 수 있다. 프로그램 동작 시, 커맨드(CMD)는 프로그램 동작을 나타내는 커맨드일 수 있다. 소거 동작 시, 커맨드(CMD)는 소거 동작을 나타내는 커맨드일 수 있다. 제어 로직(125)은 수신된 커맨드(CMD)에 응답하여 어드레스 디코더(121), 전압 발생기(122), 읽기 및 쓰기 회로(123), 입출력 버퍼(124) 및 프로그램 모드 설정부(126)를 제어하도록 구성된다.
- [0062] 프로그램 동작은 복수의 프로그램 루프들을 통해 수행될 수 있다. 프로그램 루프는 선택된 워드 라인에 프로그램 전압을 인가하고, 메모리 셀들의 프로그램 상태를 검증하는 동작을 포함한다. 프로그램 상태를 검증하는 동

작은 선택된 워드 라인에 검증 전압을 인가하고, 선택된 페이지로부터 페이지 데이터(DATA)를 읽고, 읽어진 데이터에 대해서 프로그램 완료 여부를 판단 할 수 있다.

- [0063] 제어 로직(125)은 검증 동작의 결과에 따라 읽기 및 쓰기 회로(123)를 제어하여 메모리 셀 어레이(110)에 연결된 비트 라인들에 인가될 전압을 결정할 수 있다. 제어 로직(125)은 메모리 셀들의 프로그램 상태에 따라서 프로그램 허용 전압 또는 프로그램 금지 전압을 각각의 비트 라인들에 선택적으로 인가하도록 읽기 및 쓰기 회로(123)를 제어할 수 있다.
- [0064] 프로그램 모드 설정부(126)는 메모리 셀 어레이(110)의 선택된 워드 라인에 연결된 메모리 셀들의 목표 프로그램 상태에 따라서, 프로그램 모드를 설정할 수 있다. 제어 로직(125)은 프로그램 모드 설정부(126)의 설정된 프로그램 설정 모드에 따라 비트 라인들에 프로그램 금지 전압 또는 프로그램 허용 전압을 인가하도록 읽기 및 쓰기 회로(123)를 제어할 수 있다.
- [0065] 선택된 워드 라인에 연결된 복수의 메모리 셀들은 각각 고유의 목표 프로그램 상태를 갖는다. 다양한 실시 예에서, 목표 프로그램 상태는 제1 프로그램 상태(PV1) 내지 제N 프로그램 상태(PVN)를 포함할 수 있다. 각각의 프로그램 상태는 메모리 셀의 문턱전압을 기초로 구분될 수 있다. 낮은 프로그램 상태를 목표 프로그램 상태로 갖는 메모리 셀들은 높은 프로그램 상태를 목표 프로그램 상태로 갖는 메모리 셀들 보다 낮은 문턱 전압을 갖도록 프로그램 될 수 있다. 본 명세서에서는 하나의 메모리 셀에 3 비트를 저장하는 TLC방식의 프로그램(즉, N이 7인 경우)을 예로 들어 설명하나, 이는 단지 설명의 편의를 위한 것이고, 본 발명이 TLC방식으로 프로그램 되는 메모리 셀들에 한정되는 것은 아니다.
- [0066] 제어 로직(125)는 프로그램 동작시 선택된 워드 라인에는 프로그램 전압을 인가하고, 비선택된 워드 라인에는 패스 전압을 인가한다. 제어 로직(125)은 프로그램 동작시 워드 라인들에 프로그램 전압 또는 패스 전압을 인가할 때, 프로그램 모드 설정부(126)의 설정상태에 따라 비트 라인들에 프로그램 허용 전압 또는 프로그램 금지 전압을 인가하도록 읽기 및 쓰기 회로(123)를 제어한다.
- [0067] 본 발명의 일 실시 예에 따르면, 프로그램 모드 설정부(126)는 메모리 셀 어레이(110)에 포함된 복수의 메모리 셀들 중 제1 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 허용 상태로 설정할 수 있다. 프로그램 모드 설정부(126)는 메모리 셀 어레이(110)에 포함된 복수의 메모리 셀들 중 제2 메모리 셀 그룹에 포함된 메모리 셀들의 프로그램 모드를 프로그램 금지 상태로 설정할 수 있다. 다양한 실시 예에서, 제1 메모리 셀 그룹은 제1 프로그램 상태 내지 제m 프로그램 상태(PV1~PVm)로 프로그램 될 메모리 셀들 포함할 수 있다. 제2 메모리 셀 그룹은 제m+1 프로그램 상태 내지 제N 프로그램 상태(PVm+1~PVN)로 프로그램 될 메모리 셀들을 포함할 수 있다. 실시 예로서, m은 3일 수 있다. 실시 예들에 따라 m값은 다양하게 설정될 수 있다.
- [0068] 프로그램 모드 설정부(126)는 프로그램 검증 결과에 따라 메모리 셀들의 프로그램 모드를 변경할 수 있다. 프로그램 검증 성공은 메모리 셀들의 문턱전압이 목표 프로그램 상태에 도달한 것일 수 있다. 프로그램 검증 실패는 메모리 셀들 중 일부가 목표 프로그램 상태의 문턱전압에 도달하지 못한 경우일 수 있다. 프로그램 모드 설정부(126)는 프로그램 검증 동작에서 제1 내지 제N 프로그램 상태 중 어느 하나인 제n 프로그램 상태에 대한 검증에 성공하면, 제n+k 프로그램 상태로 프로그램 될 메모리 셀들의 프로그램 모드를 프로그램 허용 상태로 설정할 수 있다. 여기서 n 및 k는 정수 혹은 자연수일 수 있다. 다양한 실시 예에서 k값이 3일 수 있다.
- [0069] 프로그램 허용 상태는 메모리 셀들이 연결된 비트 라인들에 프로그램 허용 전압을 인가하는 프로그램 모드일 수 있다. 여기서 프로그램 허용 전압의 레벨은 접지 전압 레벨(0V)일 수 있다.
- [0070] 프로그램 금지 상태는 메모리 셀들이 연결된 비트 라인들에 프로그램 금지 전압을 인가하는 프로그램 모드일 수 있다. 여기서 프로그램 금지 전압의 레벨은 전원 전압 레벨(Vcc)일 수 있다.
- [0071] 본 발명의 또 다른 실시 예에 따르면, 프로그램 모드 설정부(126)는 복수의 프로그램 모드들을 갖는다. 복수의 프로그램 모드들은 제1 프로그램 모드, 제2 프로그램 모드 및 제3 프로그램 모드를 포함한다. 메모리 셀들이 연결된 비트 라인들에 인가될 전압은 프로그램 모드에 따라 결정될 수 있다. 제1 내지 제3 프로그램 모드는 메모리 셀들의 목표 프로그램 상태(PV1~PVN)들 각각에 대한 프로그램 모드들을 포함할 수 있다. 구체적으로, 제1 내지 제3 프로그램 모드 각각은 특정 프로그램 상태들에 대해서는 프로그램 허용 상태로 동작하고, 나머지 프로그램 상태들에 대해서는 프로그램 금지 상태로 동작하는 프로그램 모드일 수 있다.
- [0072] 상세한 설명을 위해서, 이하에서는 제1 내지 제3 프로그램 모드에 포함된 목표 프로그램 상태들의 프로그램 모드들에 대해서 예를 들어 설명하나, 본 발명의 실시 예가 이하의 실시 예에 한정되는 것이 아님을 명시 한다.

- [0073] 실시 예에서, 제1 프로그램 모드는 제1 내지 제3 프로그램 상태(PV1~PV3)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용전압을 인가하고, 제4 내지 제7 프로그램 상태(PV4~PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하는 프로그램 모드일 수 있다.
- [0074] 제2 프로그램 모드는 제1 프로그램 상태(PV1), 제2 프로그램 상태(PV2), 제6 프로그램 상태(PV6) 및 제7 프로그램 상태(PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하고, 제3 프로그램 상태(PV3), 제4 프로그램 상태(PV4) 및 제5 프로그램 상태(PV5)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용 전압을 인가하는 프로그램 모드일 수 있다.
- [0075] 제3 프로그램 모드는 제1 내지 제4 프로그램 상태(PV1~PV4)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 금지 전압을 인가하고, 제5 내지 제7 프로그램 상태(PV5 내지 PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 허용 전압을 인가하는 프로그램 모드 일 수 있다.
- [0076] 여기서, 각각의 프로그램 모드로 프로그램 동작이 수행되는 경우 임의의 프로그램 상태에 대한 검증이 성공하면 해당 프로그램 상태로 프로그램 된 메모리 셀들에 연결된 비트 라인들에는 프로그램 금지 전압이 인가된다.
- [0077] 프로그램 모드 설정부(126)는 프로그램 검증 결과에 따라 메모리 셀들의 프로그램 모드를 변경할 수 있다.
- [0078] 실시 예에서, 프로그램 모드 설정부(126)는 프로그램 동작이 시작될 때, 비트라인 전압을 제1 프로그램 모드로 설정할 수 있다. 프로그램 모드 설정부(126)는
- [0079] 제p 프로그램 상태(PVp)로 프로그램 될 메모리 셀들에 대한 검증이 성공하면, 프로그램 모드를 제1 프로그램 모드에서 제2 프로그램 모드로 변경할 수 있다. 실시 예에서 p는 2일 수 있다. 프로그램 모드 설정부(126)는 변경된 프로그램 모드에 따라 비트라인 전압을 설정할 수 있다.
- [0080] 프로그램 모드 설정부(126)는 제q 프로그램 상태로 프로그램 될 메모리 셀들에 대한 검증이 성공하면, 프로그램 모드를 제2 프로그램 모드에서 제3 프로그램 모드로 변경할 수 있다. 실시 예에서 q는 4일 수 있다. 프로그램 모드 설정부(126)는 변경된 프로그램 모드에 따라 비트라인 전압을 설정할 수 있다.
- [0081] 본 발명의 또 다른 실시 예에 따르면, 프로그램 모드 설정부(126)는 프로그램 펄스가 인가된 횟수를 카운트할 수 있다. 프로그램 모드 설정부(126)는 인가된 프로그램 펄스의 수에 따라 프로그램 모드를 변경할 수 있다. 실시 예에서, 프로그램 펄스가 인가된 횟수는 제어 로직(125)의 제어에 따라 카운트 될 수 있다. 프로그램 모드 설정부(126)는 프로그램 동작 수행이 시작될 때, 비트라인 전압을 제1 프로그램 모드로 설정할 수 있다. 프로그램 모드 설정부(126)는 인가된 프로그램 펄스의 수가 제1 기준값을 초과하면, 프로그램 모드를 제1 프로그램 모드에서 제2 프로그램 모드로 변경할 수 있다. 프로그램 모드 설정부(126)는 변경된 프로그램 모드에 따라 비트라인 전압을 설정할 수 있다.
- [0082] 프로그램 모드 설정부(126)는 인가된 프로그램 펄스의 수가 제2 기준값을 초과하면, 프로그램 모드를 제2 프로그램 모드에서 제3 프로그램 모드로 변경할 수 있다. 프로그램 모드 설정부(126)는 변경된 프로그램 모드에 따라 비트라인 전압을 설정할 수 있다. 여기서 제1 기준값은 선택된 페이지에 대해서 인가된 총 프로그램 펄스의 예상 횟수의 3분의 1만큼의 프로그램 펄스가 인가된 시점일 수 있다. 제2 기준값은 선택된 페이지에 대해서 인가된 총 프로그램 펄스의 예상 횟수의 3분의 2만큼의 프로그램 펄스가 인가된 시점일 수 있다.
- [0083] 이하에서는 도 4 내지 도 5를 통해 패스 디스터브에 대해서 설명한다.
- [0085] 도 4는 프로그램 동작이 수행되는 경우 워드 라인들에 인가되는 전압들과 이로 인한 패스 디스터브를 설명하기 위한 도면이다.
- [0086] 도 4는 하나의 메모리 블록내에 포함된 복수개의 메모리 셀 스트링들(CS1~CSm)을 나타낸다. 제 1 내지 제 m 셀 스트링들(CS1~CSm)은 각각 제 1 내지 제 m 비트 라인들(BL1~BLm)에 연결된다.
- [0087] 제 1 내지 제 m 셀 스트링들(CS1~CSm) 각각은 드레인 선택 트랜지스터(DST), 직렬 연결된 복수의 메모리 셀들(M1~Mn) 및 소스 선택 트랜지스터(SST)를 포함한다. 드레인 선택 트랜지스터(DST)는 드레인 선택 라인(DSL)에 연결된다. 제 1 내지 제 n 메모리 셀들(M1~Mn)은 각각 제 1 내지 제 n 워드 라인들(WL1~WLn)에 연결된다. 소스 선택 트랜지스터(SST)는 소스 선택 라인(SSL)에 연결된다. 드레인 선택 트랜지스터(DST)의 드레인 측은 해당 비트 라인에 연결된다. 제 1 내지 제 m 셀 스트링들(CS1~CSm)의 드레인 선택 트랜지스터들은 각각 제 1 내지 제 m 비트 라인들(BL1~BLm)에 연결된다. 소스 선택 트랜지스터(SST)의 소스 측은 공통 소스 라인(CSL)에 연결된다.
- [0088] 도 4를 참조하면, 프로그램을 수행하기 위한 선택된 워드 라인은 제2 워드 라인(WL2)이다. 제2 워드 라인(WL2)

에 연결된 복수의 메모리 셀들은 하나의 페이지를 이룬다. 제2 워드 라인(WL)에 연결된 메모리 셀들은 각각 제1 프로그램 상태(PV1), 제2 프로그램 상태(PV2) 및 제7 프로그램 상태(PV7)를 목표 프로그램 상태로 갖는다고 가정한다.

- [0089] 프로그램 동작시 선택된 워드 라인(WL2)에는 프로그램 전압(Vpgm)이 인가된다. 또한, 프로그램 동작에 따라 선택된 워드 라인(WL2)에는 검증 전압(Vvrfy)이 인가될 수 있다. 선택된 워드 라인(WL2)에 프로그램 전압(Vpgm) 및 검증 전압(Vvrfy)이 인가될 때, 비선택된 워드 라인들에는 패스 전압(Vpass)이 인가될 수 있다. 즉, 선택된 워드 라인(WL2)에 인접한 워드 라인들(WL1, WL3)에는 각각 패스 전압(Vpass)이 인가됨으로써, 비선택된 워드 라인들에 연결된 메모리 셀들의 문턱전압이 변경되는 것을 방지한다. 이 때, 각각의 비트라인들에는 선택된 워드 라인에 연결된 메모리 셀들을 프로그램 하기 위해서, 프로그램 허용 전압(예: 0V)이 인가될 수 있다. 즉, 비트라인들은 제 1 내지 제 m 셀 스트링들(CS1-CS1)에 공통 연결되기 때문에, 프로그램 동작시 프로그램 허용 전압이 인가된다. 또한, 프로그램 동작이 진행됨에 따라 프로그램이 완료된 셀이 연결된 비트 라인들에는 프로그램 금지 전압이 순차적으로 인가될 수 있다. 프로그램 동작이 수행되는 동안, 선택된 워드 라인(WL2)에 인접한 비선택 워드 라인들(WL3, WL1)에 연결된 메모리 셀들(403)은 패스 전압(Vpass)을 지속적으로 인가 받을 수 있다. 따라서, 게이트 전극으로 패스 전압(Vpass)이 인가되고, 비트 라인에 프로그램 허용 전압이 인가되는 상태가 반복되면, 비선택된 워드 라인들(WL1, WL3)에 연결된 메모리 셀들(403)의 문턱전압이 증가할 수 있다. 이러한 현상을 패스 디스터브라 한다. 특히, 목표 프로그램 상태가 높은 메모리 셀이 연결된 비트라인(BLm-1)에 연결된 인접한 메모리 셀들(404, 405)은 비트 라인에 프로그램 금지 전압이 인가되기 까지 상대적으로 긴 시간동안 패스 디스터브가 발생할 수 있다. 따라서, 인접한 메모리 셀들(404, 405)의 문턱전압이 변경되어 반도체 메모리 장치의 신뢰성이 저하될 수 있다.
- [0091] 도 5는 프로그램 동작이 수행되는 동안 소거 상태를 갖는 인접한 메모리 셀들의 문턱전압 변화를 나타낸 그래프이다.
- [0092] 도 5를 참조하면, 도 4에서 설명한 인접한 메모리 셀들(404, 405)의 패스 디스터브 영향을 알 수 있다. 구체적으로, 도 5는 선택된 워드 라인에 인접한 메모리 셀들이 소거 상태(ERS)를 갖는 낮은 문턱전압을 갖고 있는 경우의 문턱전압 변화를 나타낸다.
- [0093] 도 5에 따르면, 프로그램 초기 단계에서 소거(ERS) 상태의 인접한 메모리 셀들은 선택된 메모리 셀들을 제1 프로그램 상태로 프로그램 하는 제1 프로그램 동작(1st PGM), 제2 프로그램 상태로 프로그램 하는 제2 프로그램 동작(2nd PGM)이 진행되는 과정에서 문턱전압이 증가할 수 있다. 이러한 현상은 인접한 메모리 셀의 문턱전압이 낮을수록 심화될 수 있다. 소거(ERS)상태의 메모리 셀에서 가장 큰 패스 디스터브 현상이 나타난다(501).
- [0095] 도 6은 프로그램 동작이 수행되는 동안 목표 프로그램 상태에 따라 메모리 셀들이 연결된 비트 라인들에 인가되는 전압을 설명하기 위한 도면이다. 도 6을 참조하면, 프로그램 동작은 시간의 흐름에 따라 프로그램 초기(610), 프로그램 중기(620) 및 프로그램 후기(630)로 나눌 수 있다. 프로그램 초기(610) 단계에는 모든 메모리 셀들이 프로그램 되기 전이므로, 제1 내지 제7 프로그램 상태(PV1~PV7)를 목표 프로그램 상태로 갖는 메모리 셀들이 연결된 모든 비트 라인들에 프로그램 허용 전압이 인가되는 프로그램 허용 상태(PGM MODE)로 동작한다. 이 경우, 제3 프로그램 상태(PV3) 및 제4 프로그램 상태(PV4)를 목표 프로그램 상태로 하는 메모리 셀들(601)과 제5 프로그램 상태(PV5) 내지 제7 프로그램 상태(PV7)를 목표 프로그램 상태로 하는 메모리 셀들(603)이 연결된 비트 라인들에도 프로그램 허용 전압이 인가된다. 따라서, 높은 프로그램 상태를 갖는 메모리 셀들(601, 603)에 인접한 메모리 셀들에 패스 디스터브 현상이 발생한다.
- [0096] 프로그램 중기(620) 단계는, 제1 프로그램 상태(PV1) 및 제2 프로그램 상태(PV2)를 목표 프로그램 상태로 하는 메모리 셀들의 프로그램이 완료된 상태일 수 있다. 프로그램 중기(620) 단계에서는 제1 프로그램 상태(PV1) 및 제2 프로그램 상태(PV2)를 목표 프로그램 상태로 하는 메모리 셀들은 프로그램이 완료된 상태이므로, 제1 프로그램 상태(PV1) 및 제2 프로그램 상태(PV2)를 목표 프로그램 상태로 하는 메모리 셀들이 연결된 비트 라인들에 프로그램 금지 전압이 인가되는 프로그램 금지 상태(INHIBIT MODE)로 동작한다. 제3 프로그램 상태(PV3) 및 제4 프로그램 상태(PV4)를 목표 프로그램 상태로 하는 메모리 셀들(601)과 제5 프로그램 상태(PV5) 내지 제7 프로그램 상태(PV7)를 목표 프로그램 상태로 하는 메모리 셀들(603)이 연결된 비트 라인들에는 계속해서 프로그램 허용 전압이 인가되는 프로그램 허용 상태(PGM MODE)로 동작한다. 따라서, 높은 프로그램 상태를 갖는 메모리 셀들(601, 603)에 인접한 메모리 셀들에 패스 디스터브 현상이 계속해서 발생할 수 있다.
- [0097] 프로그램 후기(630) 단계에서는 제1 내지 제4 프로그램 상태(PV1~PV4)를 목표 프로그램 상태로 하는 메모리 셀들의 프로그램이 완료된 상태일 수 있다. 따라서, 제1 내지 제4 프로그램 상태(PV1~PV4)를 목표 프로그램 상태로

로 하는 메모리 셀들은 프로그램 금지 상태(INHIBIT MODE)로 동작하고, 프로그램이 완료되지 않은 제5 내지 제7 프로그램 상태(PV5~PV7)를 목표 프로그램 상태로 하는 메모리 셀들은 프로그램 허용 상태(PGM MODE)로 동작한다. 따라서, 도 6의 실시 예에 따른 프로그램 모드 동작은 더 높은 프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들(603)에 인접한 메모리 셀들에 대한 패스 디스터브가 발생한다.

- [0099] 도 7은 본 발명의 실시 예에 따른 반도체 메모리 장치의 동작 방법을 나타낸 순서도 이다.
- [0100] 도 7을 참조하면, 반도체 메모리 장치는, 701단계에서 선택된 워드 라인에 연결된 복수의 메모리 셀들 중 제1 메모리 셀 그룹에 포함된 메모리 셀들은 프로그램 허용 상태로 프로그램 모드를 설정할 수 있다. 반도체 메모리 장치는 선택된 워드 라인에 연결된 복수의 메모리 셀들 중 제2 메모리 셀 그룹에 포함된 메모리 셀들은 프로그램 금지 상태로 프로그램 모드를 설정할 수 있다. 다양한 실시 예에서, 제1 메모리 셀 그룹은 제1 프로그램 상태 내지 제 $m$  프로그램 상태(PV1~PV $m$ )로 프로그램 될 메모리 셀들을 포함한다. 제2 메모리 셀 그룹은 제 $m+1$  프로그램 상태 내지 제 $N$  프로그램 상태(PV $m+1$ ~PV $N$ )로 프로그램 될 메모리 셀들을 포함한다. 실시 예로서,  $m$ 은 3일 수 있다. 실시 예들에 따라  $m$ 값은 다양하게 선택될 수 있다.
- [0101] 703 단계에서, 반도체 메모리 장치는, 제1 내지 제 $N$  프로그램 상태(PV1~PV $N$ ) 중 어느 한 프로그램 상태인 제 $n$  프로그램 상태에 대한 프로그램 동작을 수행한다. 프로그램 동작에서 선택된 워드 라인에 프로그램 펄스가 인가 될 때, 선택된 워드 라인에 연결된 복수의 메모리 셀들이 연결된 비트 라인들에는 설정된 프로그램 모드에 따라 각각 상이한 전압이 인가될 수 있다. 구체적으로 프로그램 허용 상태는 메모리 셀들이 연결된 비트 라인들에 프로그램 허용 전압을 인가하는 프로그램 모드이다. 여기서 프로그램 허용 전압의 레벨은 접지 전압 레벨(0V)일 수 있다. 프로그램 금지 상태는 메모리 셀들이 연결된 비트 라인들에 프로그램 금지 전압을 인가하는 프로그램 모드이다. 여기서 프로그램 금지 전압의 레벨은 전원 전압 레벨(Vcc)일 수 있다.
- [0102] 705 단계에서, 반도체 메모리 장치는 제 $n$  프로그램 상태의 검증 결과에 따라 메모리 셀들의 프로그램 모드를 변경할 수 있다. 프로그램 검증의 성공은 메모리 셀들의 문턱전압이 목표 프로그램 상태에 도달한 것일 수 있다. 프로그램 검증의 실패는 메모리 셀들 중 일부가 목표 프로그램 상태의 문턱전압에 도달하지 못한 경우일 수 있다. 반도체 메모리 장치는 목표 프로그램 상태가 제 $n$  프로그램 상태(PV $n$ )인 메모리 셀들의 검증이 성공인지 여부를 판단한다.
- [0103] 판단 결과 제 $n$  프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들의 검증에 실패하면, 반도체 메모리 장치는 703 단계로 돌아가서 선택된 워드 라인에 다시 프로그램 펄스를 인가한다. 이때, 증가형 스텝 펄스 프로그램(ISPP) 방식이 사용될 수 있다.
- [0104] 705 단계에서 판단한 결과 제 $n$  프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들에 대한 검증이 성공하면, 707 단계로 이동한다.
- [0105] 707 단계에서, 반도체 메모리 장치는, 선택된 워드 라인에 연결된 모든 메모리 셀들의 프로그램이 완료 되었는지를 판단한다. 판단 결과, 모든 메모리 셀들의 프로그램이 완료된 경우 프로그램 동작을 종료한다. 판단 결과, 모든 메모리 셀들의 프로그램이 완료되지 않은 경우, 709 단계로 진행한다.
- [0106] 709 단계에서, 반도체 메모리 장치는 목표 프로그램 상태가 제 $n+k$  프로그램 상태(PV $n+k$ )인 메모리 셀들의 프로그램 모드를 프로그램 허용 상태로 변경한다. 실시 예에서  $n$  및  $k$ 값은 정수 혹은 자연수일 수 있다. 실시 예에서,  $k$ 값은 3일 수 있다.
- [0107] 711 단계에서, 반도체 메모리 장치는 다음 프로그램 상태인 제 $n+1$  프로그램 상태에 대한 프로그램 동작을 수행한다( $n=n+1$ ).
- [0109] 도 8은 본 발명의 다른 실시 예에 따른 반도체 메모리 장치의 동작 방법을 나타낸 순서도 이다.
- [0110] 도 8 내지 도 9를 통해 설명되는 본 발명의 다른 실시 예들에 따르면, 반도체 메모리 장치는 비트라인 전압의 설정과 관련된 복수의 프로그램 모드들을 갖는다. 다양한 실시 예에서, 프로그램 모드들은 제1 프로그램 모드, 제2 프로그램 모드 및 제3 프로그램 모드를 포함한다. 프로그램 모드들은 메모리 셀들이 연결된 비트 라인들에 인가될 전압을 결정한다.
- [0111] 제1 내지 제3 프로그램 모드는 메모리 셀들의 목표 프로그램 상태(PV1~PV $N$ )들 각각에 대한 프로그램 모드들을 포함할 수 있다. 구체적으로, 제1 내지 제3 프로그램 모드 각각은 특정 프로그램 상태들에 대해서는 프로그램 허용 상태로 동작하고, 나머지 프로그램 상태들에 대해서는 프로그램 금지 상태로 동작하는 프로그램 모드일 수

있다.

- [0112] 상세한 설명을 위해서, 이하에서는 제1 내지 제3 프로그램 모드에 포함된 목표 프로그램 상태들의 프로그램 모드들에 대해서 예를 들어 설명하나, 본 발명의 실시 예가 이하의 실시 예에 한정되는 것이 아님을 명시 한다.
- [0113] 실시 예에서, 제1 프로그램 모드는 제1 내지 제3 프로그램 상태(PV1~PV3)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용전압을 인가하고, 제4 내지 제7 프로그램 상태(PV4~PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하는 프로그램 모드일 수 있다.
- [0114] 제2 프로그램 모드는 제1 프로그램 상태(PV1), 제2 프로그램 상태(PV2), 제6 프로그램 상태(PV6) 및 제7 프로그램 상태(PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하고, 제3 프로그램 상태(PV3), 제4 프로그램 상태(PV4) 및 제5 프로그램 상태(PV5)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용 전압을 인가하는 프로그램 모드일 수 있다.
- [0115] 제3 프로그램 모드는 제1 내지 제4 프로그램 상태(PV1~PV4)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 금지 전압을 인가하고, 제5 내지 제7 프로그램 상태(PV5 내지 PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 허용 전압을 인가하는 프로그램 모드 일 수 있다.
- [0116] 여기서, 각각의 프로그램 모드로 프로그램 동작이 수행되는 경우 제N 프로그램 상태에 대한 검증이 성공하면 해당 프로그램 상태로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 금지 전압이 인가된다.
- [0117] 도 8을 참조하면, 반도체 메모리 장치는, 801단계에서, 메모리 셀 어레이에 연결된 비트라인들의 전압을 제1 프로그램 모드로 설정한다. 도 8 내지 도 9를 통해 설명되는 실시 예에서, 반도체 메모리 장치는 프로그램 검증 결과에 따라 메모리 셀들의 프로그램 모드를 변경할 수 있다.
- [0118] 803 단계에서, 반도체 메모리 장치는 선택된 워드 라인에 프로그램 펄스를 인가한다. 이때, 비선택된 워드 라인들에는 패스 전압이 인가된다, 반도체 메모리 장치는 메모리 셀들에 연결된 비트 라인들에 제1 프로그램 모드에 따라 프로그램 금지 전압 또는 프로그램 허용 전압이 인가할 수 있다. 제1 프로그램 모드에서는 제1 내지 제3 프로그램 상태(PV1~PV3)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용전압을 인가하고, 제 4 내지 제7 프로그램 상태(PV4~PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가한다.
- [0119] 805 단계에서, 반도체 메모리 장치는 제p 프로그램 상태(PVp)를 목표 프로그램 상태로 하는 메모리 셀들의 검증이 성공하였는지를 판단할 수 있다. 프로그램 검증의 성공은 메모리 셀들의 문턱전압이 목표 프로그램 상태에 도달한 것일 수 있다. 프로그램 검증의 실패는 메모리 셀들 중 일부가 목표 프로그램 상태의 문턱전압에 도달하지 못한 경우일 수 있다. 실시 예에서, p는 2일수 있다.
- [0120] 판단한 결과 검증에 실패하면, 반도체 메모리 장치는 803 단계로 돌아가서 프로그램 펄스를 선택된 워드 라인에 인가한다. 이때, 증가형 스텝 펄스 프로그램(ISPP) 방식이 사용될 수 있다. 805 단계에서 판단한 결과 검증에 성공하면, 807 단계로 이동한다.
- [0121] 807 단계에서, 반도체 메모리 장치는 메모리 셀 어레이에 연결된 비트라인들의 전압을 제2 프로그램 모드로 설정한다.
- [0122] 809 단계에서, 반도체 메모리 장치는 선택된 워드 라인에 프로그램 펄스를 인가한다. 이때, 비선택된 워드 라인들에는 패스 전압이 인가된다, 반도체 메모리 장치는 메모리 셀들에 연결된 비트 라인들에 제2 프로그램 모드에 따라 프로그램 금지 전압 또는 프로그램 허용 전압이 인가할 수 있다. 제2 프로그램 모드에 따라, 반도체 메모리 장치는 제1 프로그램 상태(PV1), 제2 프로그램 상태(PV2), 제6 프로그램 상태(PV6) 및 제7 프로그램 상태(PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하고, 제3 프로그램 상태(PV3), 제4 프로그램 상태(PV4) 및 제5 프로그램 상태(PV5)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용 전압을 인가한다.
- [0123] 811 단계에서, 반도체 메모리 장치는 제q 프로그램 상태(PVq)를 목표 프로그램 상태로 하는 메모리 셀들의 검증이 성공하였는지를 판단할 수 있다. 실시 예에서 q값은 4일 수 있다. 판단한 결과 검증에 실패하면, 반도체 메모리 장치는 809 단계로 돌아가서 프로그램 펄스를 선택된 워드 라인에 인가한다. 이때, 증가형 스텝 펄스 프로그램(ISPP) 방식이 사용될 수 있다. 811 단계에서 판단한 결과 검증에 성공하면, 813 단계로 이동한다.
- [0124] 813 단계에서, 반도체 메모리 장치는 메모리 셀 어레이에 연결된 비트라인들의 전압을 제3 프로그램 모드로 설

정한다.

- [0125] 815 단계에서, 반도체 메모리 장치는 선택된 워드 라인에 프로그램 펄스를 인가한다. 이때, 비선택된 워드 라인들에는 패스 전압이 인가된다, 반도체 메모리 장치는 메모리 셀들에 연결된 비트 라인들에 제3 프로그램 모드에 따라 프로그램 금지 전압 또는 프로그램 허용 전압이 인가할 수 있다. 제3 프로그램 모드에 따라, 반도체 메모리 장치는 제1 내지 제4 프로그램 상태(PV1~PV4)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 금지 전압을 인가하고, 제5 내지 제7 프로그램 상태(PV5 내지 PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 허용 전압을 인가한다.
- [0126] 817 단계에서, 반도체 메모리 장치는 모든 메모리 셀들의 프로그램이 완료 되었는지를 판단할 수 있다. 모든 메모리 셀들의 프로그램 완료 여부는 가장 높은 프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들의 검증을 통해 판단할 수 있다. 판단한 결과 검증에 실패하면, 반도체 메모리 장치는 815 단계로 돌아가서 프로그램 펄스를 선택된 워드 라인에 인가한다. 이때, 증가형 스텝 펄스 프로그램(ISPP) 방식이 사용될 수 있다. 817 단계에서 판단한 결과 검증에 성공하면, 프로그램을 종료한다.
- [0128] 도 9는 본 발명의 다른 실시 예에 따른 반도체 메모리 장치의 동작 방법을 나타낸 순서도 이다.
- [0129] 도 9의 실시 예에서는 선택된 워드 라인에 연결된 메모리 셀들을 모두 프로그램 하는데 인가되는 프로그램 펄스의 인가 횟수를 기초로 프로그램 모드를 변경한다.
- [0130] 구체적으로 도 9를 참조하면, 반도체 메모리 장치는, 901단계에서, 메모리 셀 어레이에 연결된 비트라인들의 전압을 제1 프로그램 모드로 설정한다. 도 9를 통해 설명되는 실시 예에서, 반도체 메모리 장치는 프로그램 검증 결과에 따라 메모리 셀들의 프로그램 모드를 변경할 수 있다.
- [0131] 903 단계에서, 반도체 메모리 장치는 프로그램 동작을 수행한다. 구체적으로, 반도체 메모리 장치는 선택된 워드 라인에 프로그램 펄스를 인가한다. 이때, 비선택된 워드 라인들에는 패스 전압이 인가된다, 반도체 메모리 장치는 메모리 셀들에 연결된 비트 라인들에 제1 프로그램 모드에 따라 프로그램 금지 전압 또는 프로그램 허용 전압이 인가할 수 있다. 제1 프로그램 모드에서는 제1 내지 제3 프로그램 상태(PV1-PV3)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용전압을 인가하고, 제4 내지 제7 프로그램 상태(PV4~PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가한다.
- [0132] 905 단계에서, 반도체 메모리 장치는 인가된 프로그램 펄스의 수가 제1 기준 값을 초과 하는지 판단할 수 있다. 제1 기준 값은 선택된 워드 라인에 연결된 메모리 셀들을 프로그램 하기 위해 인가되는 전체 프로그램 펄스 수의 3분의 1에 해당하는 값일 수 있다. 다양한 실시 예에서, 제1 기준 값은 임의의 정수 값을 가질 수 있으며, 이는 메모리 셀들의 특성에 따라 워드 라인 별로 상이하게 결정될 수 있다. 도 9의 실시 예에 따르면, 제1 기준 값을 초과하는 프로그램 펄스가 인가된 시점을 기준으로 프로그램 모드를 변경하여 설정할 수 있다.
- [0133] 판단한 결과 인가된 프로그램 펄스의 수가 제1 기준 값을 초과하지 않으면, 반도체 메모리 장치는 903 단계로 돌아가서 프로그램 펄스를 선택된 워드 라인에 인가한다. 이때, 증가형 스텝 펄스 프로그램(ISPP) 방식이 사용될 수 있다. 905 단계에서 판단한 결과 인가된 프로그램 펄스의 수가 제1 기준 값을 초과하면, 907 단계로 이동한다.
- [0134] 907 단계에서, 반도체 메모리 장치는 메모리 셀 어레이에 연결된 비트라인들의 전압을 제2 프로그램 모드로 설정한다.
- [0135] 909 단계에서, 반도체 메모리 장치는 프로그램 동작을 수행한다. 구체적으로, 반도체 메모리 장치는 선택된 워드 라인에 프로그램 펄스를 인가한다. 이때, 비선택된 워드 라인들에는 패스 전압이 인가된다, 반도체 메모리 장치는 메모리 셀들에 연결된 비트 라인들에 제2 프로그램 모드에 따라 프로그램 금지 전압 또는 프로그램 허용 전압이 인가할 수 있다. 제2 프로그램 모드에 따라, 반도체 메모리 장치는 제1 프로그램 상태(PV1), 제2 프로그램 상태(PV2), 제6 프로그램 상태(PV6) 및 제7 프로그램 상태(PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하고, 제3 프로그램 상태(PV3), 제4프로그램 상태(PV4) 및 제5 프로그램 상태(PV5)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용 전압을 인가한다.
- [0136] 911 단계에서, 반도체 메모리 장치는 인가된 프로그램 펄스의 수가 제2 기준 값을 초과 하는지 판단할 수 있다. 제2 기준 값은 선택된 워드 라인에 연결된 메모리 셀들을 프로그램 하기 위해 인가되는 전체 프로그램 펄스 수의 3분의 2에 해당하는 값일 수 있다. 다양한 실시 예에서, 제2 기준 값은 임의의 정수 값을 가질 수 있으며, 이는 메모리 셀들의 특성에 따라 워드 라인 별로 상이하게 결정될 수 있다.

- [0137] 반도체 메모리 장치는 제2 기준 값을 초과하는 프로그램 판단한 결과 인가된 프로그램 펄스의 수가 제2 기준 값을 초과하지 않으면, 반도체 메모리 장치는 909 단계로 돌아가서 프로그램 펄스를 선택된 워드 라인에 인가한다. 이때, 증가형 스텝 펄스 프로그램(ISPP) 방식이 사용될 수 있다. 911 단계에서 판단한 결과 인가된 프로그램 펄스의 수가 제2 기준 값을 초과하면, 913 단계로 이동한다.
- [0138] 913 단계에서, 반도체 메모리 장치는 메모리 셀 어레이에 연결된 비트라인들의 전압을 제3 프로그램 모드로 설정한다.
- [0139] 915 단계에서, 반도체 메모리 장치는 프로그램 동작을 수행한다. 구체적으로, 반도체 메모리 장치는 선택된 워드 라인에 프로그램 펄스를 인가한다. 이때, 비선택된 워드 라인들에는 패스 전압이 인가된다, 반도체 메모리 장치는 메모리 셀들에 연결된 비트 라인들에 제3 프로그램 모드에 따라 프로그램 금지 전압 또는 프로그램 허용 전압이 인가할 수 있다. 제3 프로그램 모드에 따라, 반도체 메모리 장치는 제1 내지 제4 프로그램 상태(PV1~PV4)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 금지 전압을 인가하고, 제5 내지 제7 프로그램 상태(PV5 내지 PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 허용 전압을 인가한다.
- [0140] 917 단계에서, 반도체 메모리 장치는 모든 메모리 셀들의 프로그램이 완료 되었는지를 판단할 수 있다. 모든 메모리 셀들의 프로그램 완료 여부는 가장 높은 프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들의 검증을 통해 판단할 수 있다. 판단한 결과 검증에 실패하면, 반도체 메모리 장치는 917 단계로 돌아가서 프로그램 펄스를 선택된 워드 라인에 인가한다. 이때, 증가형 스텝 펄스 프로그램(ISPP) 방식이 사용될 수 있다. 917 단계에서 판단한 결과 검증에 성공하면, 프로그램을 종료한다.
- [0142] 도 10은 도 7의 실시 예에 따라 반도체 메모리 장치가 동작하는 경우 비트라인에 인가되는 전압을 설명하기 위한 도면이다.
- [0143] 도 10에서는 하나의 메모리 셀에 3비트의 데이터를 저장하는 TLC방식을 예로 들어 설명하고 있으나, 본 발명의 실시 예는 전술한 바와 같이 하나의 메모리 셀에 임의의 비트 수를 저장하는 방식들(MLC 또는 QLC등)에 적용될 수 있으며, 본 발명의 실시 예가 TLC방식으로 프로그램 되는 메모리 셀에 한정되는 것이 아님을 명시한다.
- [0144] 도 10을 참조하면, 반도체 메모리 장치의 프로그램 동작은 낮은 프로그램 상태에서 높은 프로그램 상태로 진행한다. 다양한 실시 예에서, 프로그램 상태는 제1 프로그램 상태 내지 제7 프로그램 상태(PV1~PV7)을 가질 수 있다. 도 7의 실시 예에서는, 제N 프로그램 상태에 대한 검증에 성공하면, 제N+3 프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들에 대한 프로그램 모드를 변경한다.
- [0145] 구체적으로, 반도체 메모리 장치는 선택된 워드 라인에 연결된 복수의 메모리 셀들 중 제1 메모리 셀 그룹에 포함된 메모리 셀들은 프로그램 허용 상태로 프로그램 모드를 설정할 수 있다. 반도체 메모리 장치는 선택된 워드 라인에 연결된 복수의 메모리 셀들 중 제2 메모리 셀 그룹에 포함된 메모리 셀들은 프로그램 금지 상태로 프로그램 모드를 설정할 수 있다. 여기서 제1 메모리 셀 그룹은 제1 프로그램 상태 내지 제3 프로그램 상태(PV1~PV3)로 프로그램 될 메모리 셀들을 포함한다. 제2 메모리 셀 그룹은 제4 프로그램 상태 내지 제7 프로그램 상태(PV4~PV7)로 프로그램 될 메모리 셀들을 포함한다.
- [0146] 도 10을 참조하면 프로그램 동작이 수행될 때, 낮은 프로그램 상태를 갖는 제1 내지 제3 프로그램 상태(PV1~PV3)를 목표 프로그램 상태로 하는 메모리 셀들은 프로그램 허용 모드로 동작하고, 제4 내지 제7 프로그램 상태(PV4~PV7)를 목표 프로그램으로 하는 메모리 셀들은 프로그램 금지 모드(INHIBIT MODE)로 동작할 수 있다.
- [0147] 프로그램 동작이 진행됨에 따라서, 반도체 메모리 장치는 제1 프로그램 상태(PV1)에 대한 프로그램이 완료 되면, 제4 프로그램 상태(PV4)를 목표 프로그램 상태로 하는 메모리 셀들에 대한 프로그램 모드를 프로그램 허용 모드(PGM MODE)로 변경한다.
- [0148] 따라서, 제N 프로그램 상태에 대한 프로그램 동작이 수행되고 있는 경우를 가정하면, 제N 프로그램 상태보다 낮은 프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들은 이미 프로그램이 완료 되었음을 이유로 프로그램 금지 모드로 동작한다. 반면 제N+3 프로그램 상태 이상의 프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들은 비록 프로그램이 완료 되지 않았으나, 패스 디스터브를 줄이기 위해서 프로그램 금지 모드(INHIBIT MODE)로 동작한다.
- [0149] 반도체 메모리 장치는 낮은 프로그램 상태에 대한 검증에 성공할 때마다 순차적으로 높은 프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들에 대한 프로그램 모드를 변경하여, 높은 프로그램 상태를 목표 프로그램 상

태로 하는 메모리 셀들에 인접한 메모리 셀들에 대한 패스 디스터브를 줄일 수 있다.

- [0151] 도 11은 도 8의 실시 예에 따라 반도체 메모리 장치가 동작하는 경우 비트라인에 인가되는 전압을 설명하기 위한 도면이다.
- [0152] 도 12은 도 9의 실시 예에 따라 반도체 메모리 장치가 동작하는 경우 비트라인에 인가되는 전압을 설명하기 위한 도면이다.
- [0153] 도 11 및 12에서는 하나의 메모리 셀에 3비트의 데이터를 저장하는 TLC방식을 예로 들어 설명하고 있으나, 본 발명의 실시 예는 전술한 바와 같이 하나의 메모리 셀에 임의의 비트 수를 저장하는 방식들(MLC 또는 QLC등)에 적용될 수 있으며, 본 발명의 실시 예가 TLC방식으로 프로그램 되는 메모리 셀에 한정되는 것이 아님을 명시한다.
- [0154] 도 11 및 도 12를 참조하면, 반도체 메모리 장치는 비트라인 전압의 설정과 관련된 복수의 프로그램 모드들을 갖는다. 프로그램 모드들은 제1 프로그램 모드, 제2 프로그램 모드 및 제3 프로그램 모드를 포함한다. 프로그램 모드들은 메모리 셀들이 연결된 비트 라인들에 인가될 전압을 결정한다.
- [0155] 제1 프로그램 모드는 제1 내지 제3 프로그램 상태(PV1-PV3)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용전압을 인가하고, 제4 내지 제7 프로그램 상태(PV4-PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하는 프로그램 모드일 수 있다.
- [0156] 제2 프로그램 모드는 제1 프로그램 상태(PV1), 제2 프로그램 상태(PV2), 제6 프로그램 상태(PV6) 및 제7 프로그램 상태(PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하고, 제3 프로그램 상태(PV3), 제4프로그램 상태(PV4) 및 제5 프로그램 상태(PV5)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용 전압을 인가하는 프로그램 모드일 수 있다.
- [0157] 제3 프로그램 모드는 제1 내지 제4 프로그램 상태(PV1-PV4)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가하고, 제5 내지 제7 프로그램 상태(PV5 내지 PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에는 프로그램 허용 전압을 인가하는 프로그램 모드 일 수 있다.
- [0158] 프로그램 동작은 시간의 흐름에 따라 프로그램 초기(1001, 1101), 프로그램 중기(1003, 1103) 및 프로그램 후기(1005, 1105)로 나눌 수 있다. 본 발명의 다양한 실시 예에 따르면, 프로그램 초기(1001, 1101) 단계에서 반도체 메모리 장치는 제1 프로그램 모드로 동작할 수 있다.
- [0159] 구체적으로, 제1 내지 제3 프로그램 상태(PV1-PV3)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 허용전압을 인가하고, 제4 내지 제7 프로그램 상태(PV4-PV7)로 프로그램 될 메모리 셀들에 연결된 비트 라인들에 프로그램 금지 전압을 인가할 수 있다. 따라서, 제4 프로그램 상태(PV4) 내지 제7 프로그램 상태(PV7)를 목표 프로그램 상태로 하는 메모리 셀들이 연결된 비트 라인들에 프로그램 금지 전압이 인가되므로, 인접한 메모리 셀들의 패스 디스터브 현상이 방지될 수 있다.
- [0160] 프로그램 중기(1003, 1103) 단계는, 제1 프로그램 상태(PV1) 및 제2 프로그램 상태(PV2)를 목표 프로그램 상태로 하는 메모리 셀들의 프로그램이 완료된 상태일 수 있다. 프로그램 중기(1003, 1103) 단계에서는 제1 프로그램 상태(PV1) 및 제2 프로그램 상태(PV2)를 목표 프로그램 상태로 하는 메모리 셀들은 프로그램이 완료된 상태이므로, 제1 프로그램 상태(PV1) 및 제2 프로그램 상태(PV2)를 목표 프로그램 상태로 하는 메모리 셀들이 연결된 비트 라인들에 프로그램 금지 전압이 인가되는 프로그램 금지 상태(INHIBIT MODE)로 동작한다. 제3 프로그램 상태(PV3) 내지 제5 프로그램 상태(PV5)를 목표 프로그램 상태로 하는 메모리 셀이 연결된 비트 라인들에는 프로그램 허용 전압이 인가되는 프로그램 허용 상태(PGM MODE)로 동작한다. 그러나, 제6 프로그램 상태(PV6) 내지 제7 프로그램 상태(PV7)를 목표 프로그램 상태로 하는 메모리 셀이 연결된 비트 라인들에는 계속해서 프로그램 금지 전압이 인가되므로, 높은 프로그램 상태를 목표로 하는 메모리 셀들에 인접한 메모리 셀들의 패스 디스터브 현상이 방지될 수 있다.
- [0161] 프로그램 후기(630) 단계에서는 제1 내지 제4 프로그램 상태(PV1-PV4)를 목표 프로그램 상태로 하는 메모리 셀들의 프로그램이 완료된 상태일 수 있다. 따라서, 제1 내지 제4 프로그램 상태(PV1-PV4)를 목표 프로그램 상태로 하는 메모리 셀들은 프로그램 금지 상태(INHIBIT MODE)로 동작하고, 프로그램이 완료되지 않은 제5 내지 제7 프로그램 상태(PV5-PV7)를 목표 프로그램 상태로 하는 메모리 셀들은 프로그램 허용 상태(PGM MODE)로 동작한다.
- [0162] 도 8 및 도 11의 실시 예에서 반도체 메모리 장치는, 제2 프로그램 상태(PV2)에 대한 프로그램 동작이 완료되면

제1 프로그램 모드에서 제2 프로그램 모드로 프로그램 모드를 변경한다. 또한 반도체 메모리 장치는 제4 프로그램 상태(PV4)에 대한 프로그램 동작이 완료되면 제2 프로그램 모드에서 제3 프로그램 모드로 프로그램 모드를 변경한다.

- [0163] 도 8 및 도 11을 참조하여 설명된 실시 예에 따르면, 도 7 및 도 10에서 설명된 실시 예와 비교하여 제2 및 제4 프로그램 상태에 대한 프로그램 완료 여부만을 판단하여 프로그램 모드를 변경할 수 있다.
- [0164] 도 9 및 도 12의 실시 예에서 반도체 메모리 장치는 인가된 프로그램 펄스 수에 따라 프로그램 모드를 변경할 수 있다. 반도체 메모리 장치는 인가된 펄스 수가 제1 기준 값을 초과하면 제1 프로그램 모드에서 제2 프로그램 모드로 프로그램 모드를 변경한다. 또한 반도체 메모리 장치는 인가된 펄스 수가 제2 기준 값을 초과하면 제2 프로그램 모드에서 제3 프로그램 모드로 프로그램 모드를 변경한다.
- [0165] 도 9 및 도 12의 실시 예에 따르면, 반도체 메모리 장치는 기 설정된 제1 및 제2 기준 값에 따라 프로그램 모드를 변경하므로, 프로그램 검증 동작과 무관하게 비트라인 전압을 설정할 수 있다.
- [0167] 도 13은 도 1의 메모리 시스템의 응용 예를 보여주는 블록도이다.
- [0168] 도 13을 참조하면, 메모리 시스템(1000)은 반도체 메모리 장치(1300) 및 컨트롤러(1200)를 포함한다.
- [0169] 반도체 메모리 장치(1300)는 도 1를 참조하여 설명된 바와 마찬가지로 구성되고, 동작할 수 있다. 이하, 중복되는 설명은 생략된다.
- [0170] 컨트롤러(1200)는 호스트(Host) 및 반도체 메모리 장치(1300)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(1200)는 반도체 메모리 장치(1300)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1200)는 반도체 메모리 장치(1300)의 리드, 프로그램, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(1200)는 반도체 메모리 장치(1300) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1200)는 반도체 메모리 장치(1300)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0171] 컨트롤러(1200)는 램(1210, Random Access Memory), 프로세싱 유닛(1220, processing unit), 호스트 인터페이스(1230, host interface), 메모리 인터페이스(1240, memory interface) 및 에러 정정 블록(1250)을 포함한다.
- [0172] 램(1210)은 프로세싱 유닛(1220)의 동작 메모리, 반도체 메모리 장치(1300) 및 호스트(Host) 사이의 캐시 메모리, 그리고 반도체 메모리 장치(1300) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다.
- [0173] 프로세싱 유닛(1220)은 컨트롤러(1200)의 제반 동작을 제어한다.
- [0174] 프로세싱 유닛(1220)은 호스트(Host)로부터 수신된 데이터를 랜더마이징하도록 구성된다. 예를 들면, 프로세싱 유닛(1220)은 랜더마이징 시드(seed)를 이용하여 호스트(Host)로부터 수신된 데이터를 랜더마이징할 것이다. 랜더마이징된 데이터는 저장될 데이터(DATA, 도 1 참조)로서 반도체 메모리 장치(100)에 제공되어 메모리 셀 어레이(110, 도 1 참조)에 프로그램된다.
- [0175] 프로세싱 유닛(1220)은 리드 동작 시 반도체 메모리 장치(1300)로부터 수신된 데이터를 디랜더마이징하도록 구성된다. 예를 들면, 프로세싱 유닛(1220)은 디랜더마이징 시드를 이용하여 반도체 메모리 장치(1300)로부터 수신된 데이터를 디랜더마이징할 것이다. 디랜더마이징된 데이터는 호스트(Host)로 출력될 것이다.
- [0176] 실시 예로서, 프로세싱 유닛(1220)은 소프트웨어(software) 또는 펌웨어(firmware)를 구동함으로써 랜더마이징 및 디랜더마이징을 수행할 수 있다.
- [0177] 호스트 인터페이스(1230)는 호스트(Host) 및 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적인 실시 예로서, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜, 사유(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(Host)와 통신하도록 구성된다.
- [0178] 메모리 인터페이스(1240)는 반도체 메모리 장치(50)와 인터페이스한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.
- [0179] 에러 정정 블록(1250)은 에러 정정 코드(ECC, Error Correcting Code)를 이용하여 반도체 메모리 장치(50)로부

터 수신된 데이터의 에러를 검출하고, 정정하도록 구성된다.

- [0180] 컨트롤러(1200) 및 반도체 메모리 장치(1300)은 하나의 반도체 장치로 집적될 수 있다. 예시적인 실시 예로서, 컨트롤러(1200) 및 반도체 메모리 장치(1300)은 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1200) 및 반도체 메모리 장치(1300)은 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.
- [0181] 컨트롤러(1200) 및 반도체 메모리 장치(1300)은 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(1000)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(1000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.
- [0182] 다른 예로서, 메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레메틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.
- [0183] 예시적인 실시 예로서, 반도체 메모리 장치(1300) 또는 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 반도체 메모리 장치(1300) 또는 메모리 시스템(1000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline integrated circuit (SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline Package(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi-Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.
- [0185] 도 14은 도 13의 메모리 시스템(1000)의 응용 예(2000)를 보여주는 블록도이다.
- [0186] 도 14를 참조하면, 메모리 시스템(2000)은 반도체 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 반도체 메모리 장치(2100)는 복수의 반도체 메모리 칩들을 포함한다. 복수의 반도체 메모리 칩들은 복수의 그룹들로 분할된다.
- [0187] 도 14에서, 복수의 그룹들은 각각 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신하는 것으로 도시되어 있다. 각 반도체 메모리 칩은 도 1을 참조하여 설명된 반도체 메모리 장치(50) 중 하나와 마찬가지로 구성되고, 동작할 것이다.
- [0188] 각 그룹은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 컨트롤러(2200)는 도 13을 참조하여 설명된 컨트롤러(1200)와 마찬가지로 구성되고, 복수의 채널들(CH1~CHk)을 통해 반도체 메모리 장치(2100)의 복수의 메모리 칩들을 제어하도록 구성된다.
- [0189] 도 14에서, 하나의 채널에 복수의 반도체 메모리 칩들이 연결되는 것으로 설명되었다. 그러나, 하나의 채널에 하나의 반도체 메모리 칩이 연결되도록 메모리 시스템(2000)이 변형될 수 있음이 이해될 것이다.
- [0191] 도 15는 도 14를 참조하여 설명된 메모리 시스템(2000)을 포함하는 컴퓨팅 시스템(3000)을 보여주는 블록도이다.
- [0192] 도 15를 참조하면, 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용자 인터페이스(3300), 전원(3400), 시스템 버스(3500), 그리고 메모리 시스템(2000)을 포함한다.

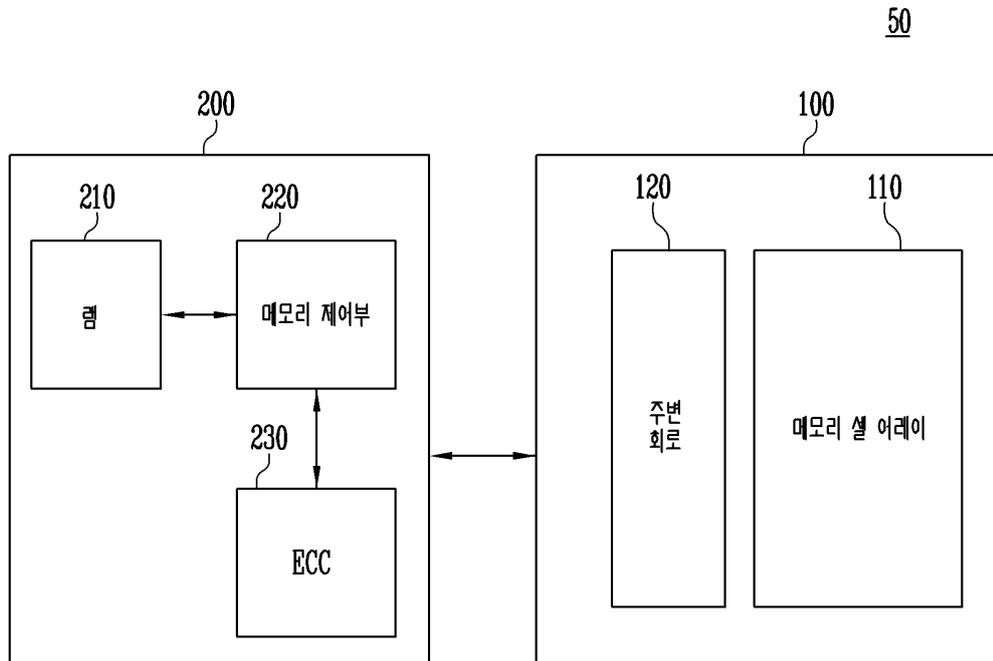
- [0193] 메모리 시스템(2000)은 시스템 버스(3500)를 통해, 중앙처리장치(3100), 램(3200), 사용자 인터페이스(3300), 그리고 전원(3400)에 전기적으로 연결된다. 사용자 인터페이스(3300)를 통해 제공되거나, 중앙 처리 장치(3100)에 의해서 처리된 데이터는 메모리 시스템(2000)에 저장된다.
- [0194] 도 15에서, 반도체 메모리 장치(2100)는 컨트롤러(2200)를 통해 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 반도체 메모리 장치(2100)는 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다. 이때, 컨트롤러(2200)의 기능은 중앙 처리 장치(3100) 및 램(3200)에 의해 수행될 것이다.
- [0195] 도 15에서, 도 14를 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 메모리 시스템(2000)은 도 8을 참조하여 설명된 메모리 시스템(1000)으로 대체될 수 있다. 실시 예로서, 컴퓨팅 시스템(3000)은 도 13 및 도 14를 참조하여 설명된 메모리 시스템들(1000, 2000)을 모두 포함하도록 구성될 수 있다.
- [0198] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0199] 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.
- [0200] 상술한 실시 예들에서, 모든 단계는 선택적으로 수행의 대상이 되거나 생략의 대상이 될 수 있다. 또한 각 실시 예에서 단계들은 반드시 순서대로 일어날 필요는 없으며, 뒤바뀔 수 있다. 한편, 본 명세서와 도면에 개시된 본 명세서의 실시 예들은 본 명세서의 기술 내용을 쉽게 설명하고 본 명세서의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 명세서의 범위를 한정하고자 하는 것은 아니다. 즉 본 명세서의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.
- [0201] 한편, 본 명세서와 도면에는 본 발명의 바람직한 실시 예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시 예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

**부호의 설명**

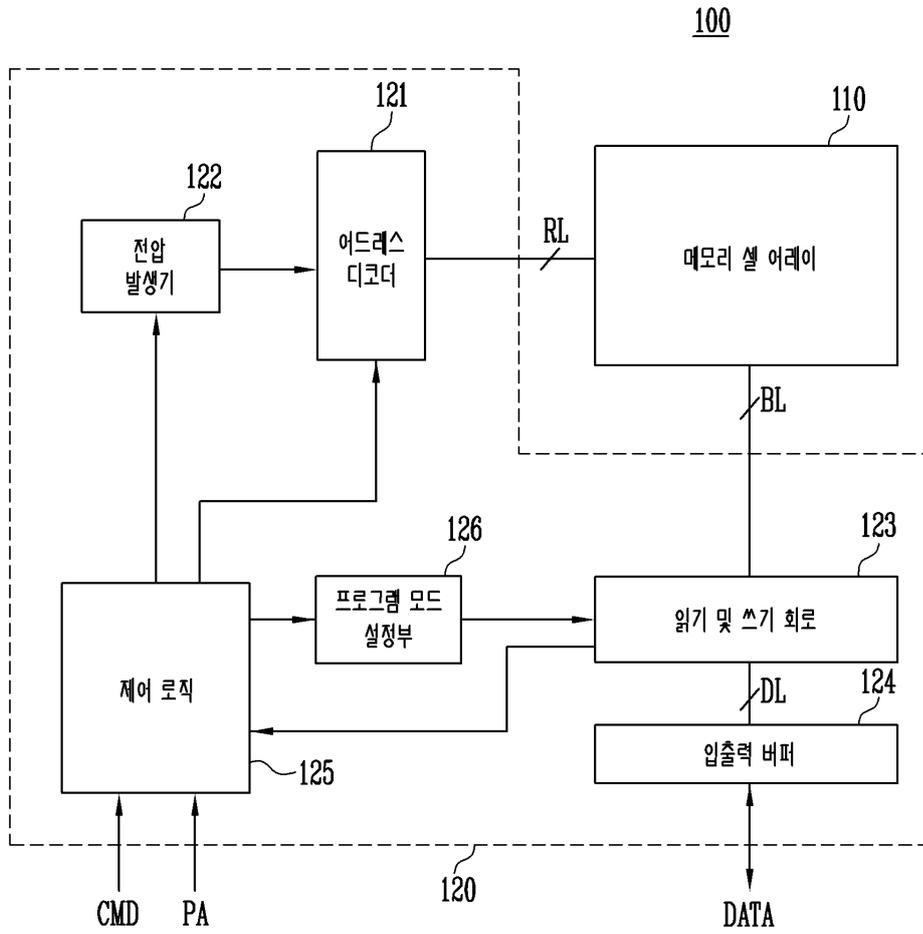
- [0202] 50: 반도체 메모리 장치
- 100: 메모리 셀 어레이
- 110: 주변 회로
- 120: 어드레스 디코더
- 130: 전압 발생기
- 140: 읽기 및 쓰기 회로
- 150: 데이터 입출력 회로
- 160: 제어 로직

도면

도면1

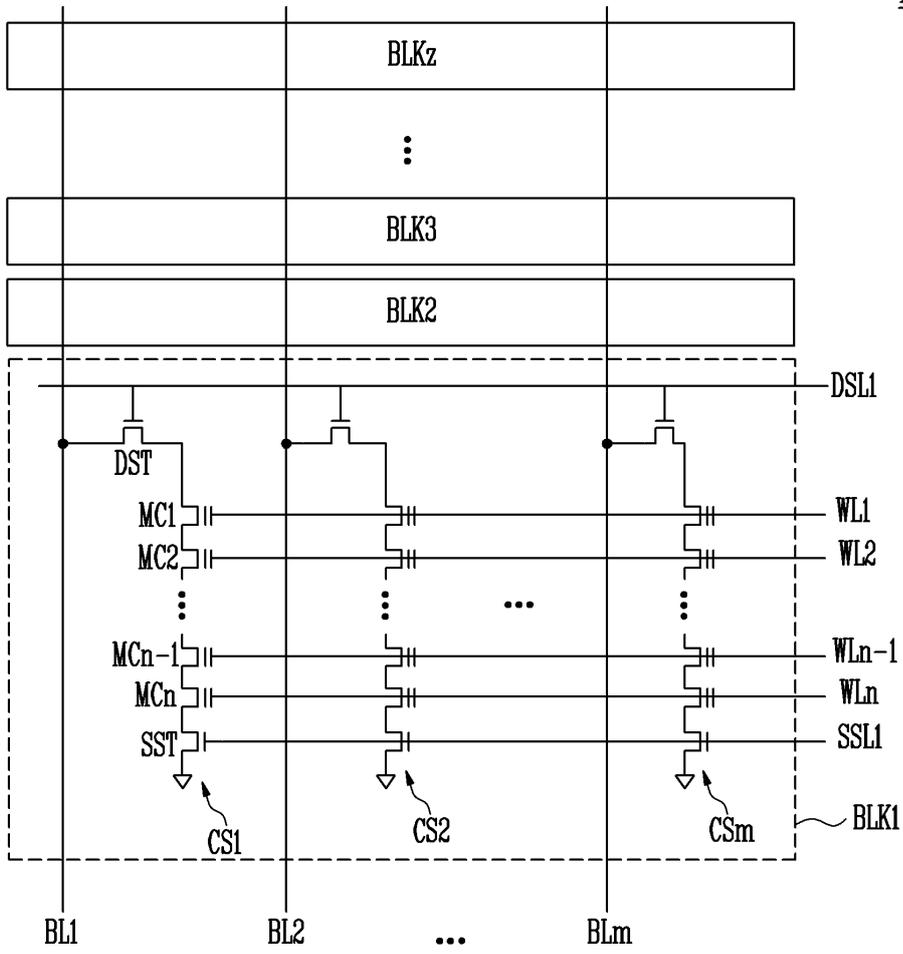


도면2

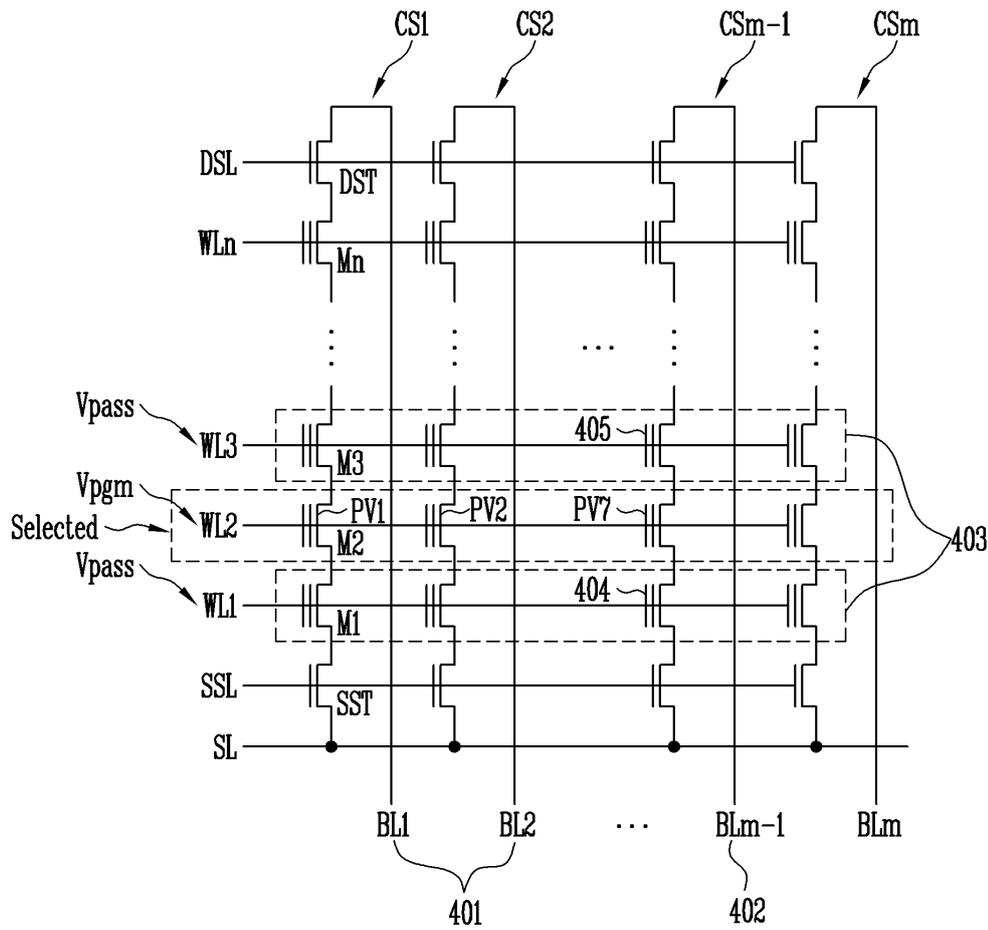


도면3

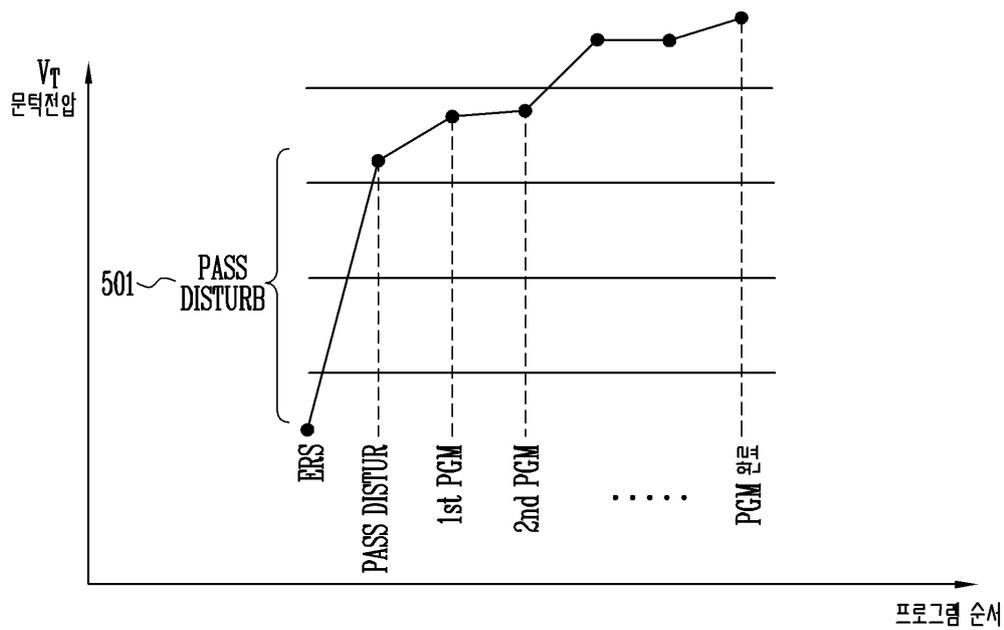
110



도면4



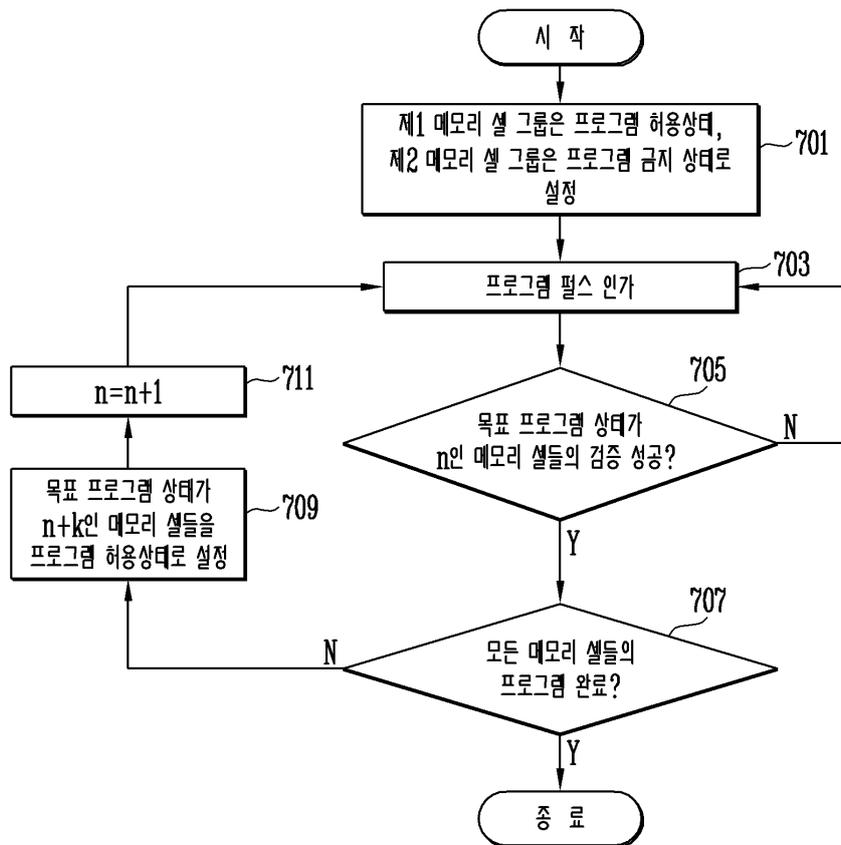
도면5



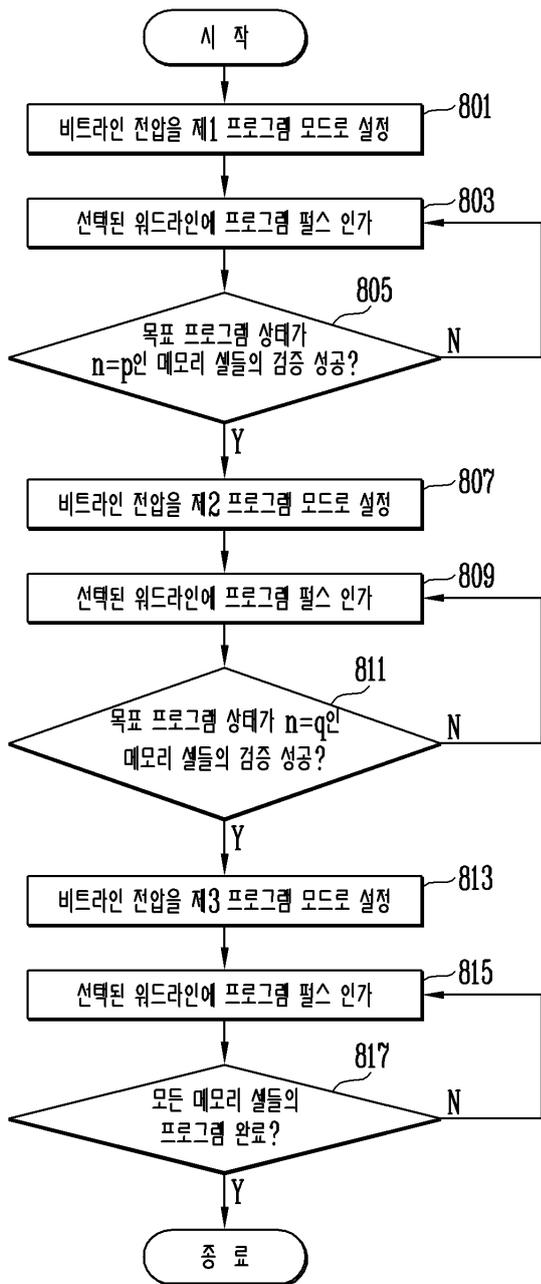
도면6

	601				603		
	PV1	PV2	PV3	PV4	PV5	PV6	PV7
PGM 초기 (610)	PGM MODE	PGM MODE	PGM MODE	PGM MODE	PGM MODE	PGM MODE	PGM MODE
PGM 중기 (620)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE	PGM MODE	PGM MODE
PGM 후기 (630)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE			

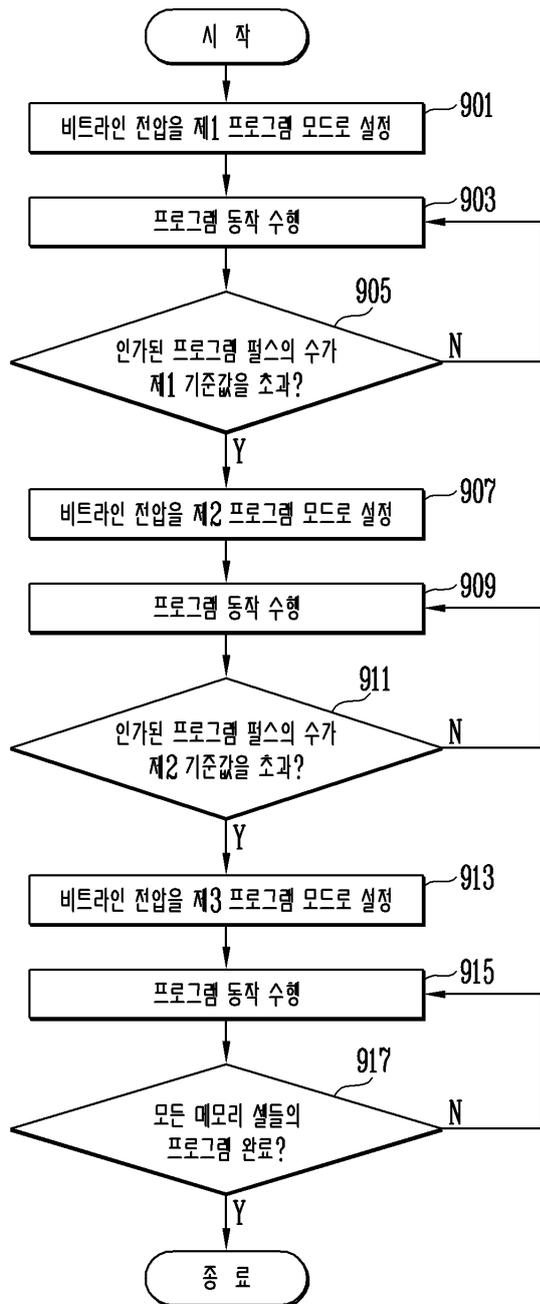
도면7



도면8



도면9



도면10

	PV1	PV2	PV3	PV4	PV5	PV6	PV7
PV1 진행중	PGM MODE	PGM MODE	PGM MODE	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)
PV2 진행중 (PV1 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)
PV3 진행중 (PV1,2 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)
PV4 진행중 (PV1,2,3 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE	INHIBIT MODE (PGM 미완료)
PV5 진행중 (PV1,2,3,4 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE
PV6 진행중 (PV1,2,3,4,5 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE
PV7 진행중 (PV1,2,3,4,5,6 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE

도면11

	PV1	PV2	PV3	PV4	PV5	PV6	PV7
PGM 초기 (1001) 제1 프로그램 모드	PGM MODE	PGM MODE	PGM MODE	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)
PGM 중기 (1003) 제2 프로그램 모드	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)
PGM 후기 (1005) 제3 프로그램 모드	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE

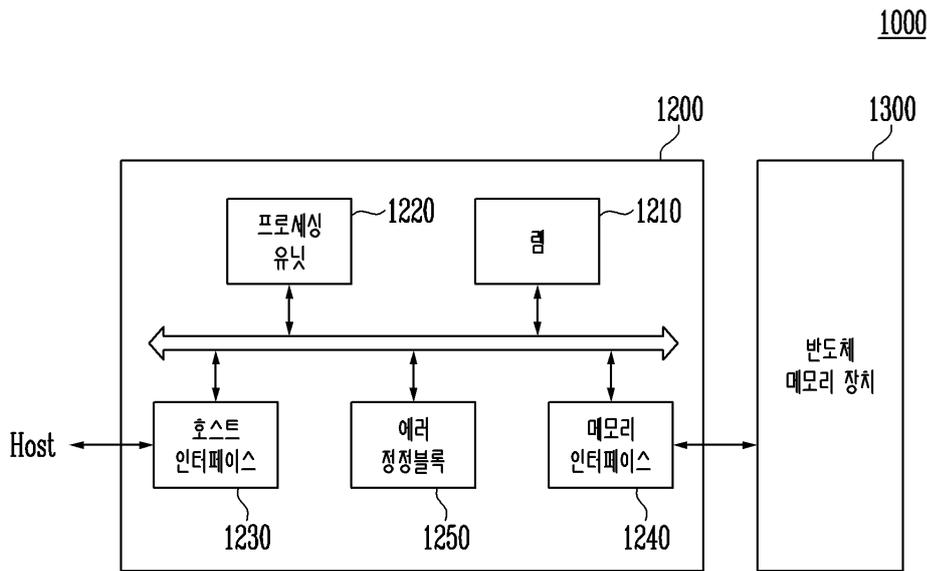
~ PV2 완료시  
 ~ PV4 완료시

도면12

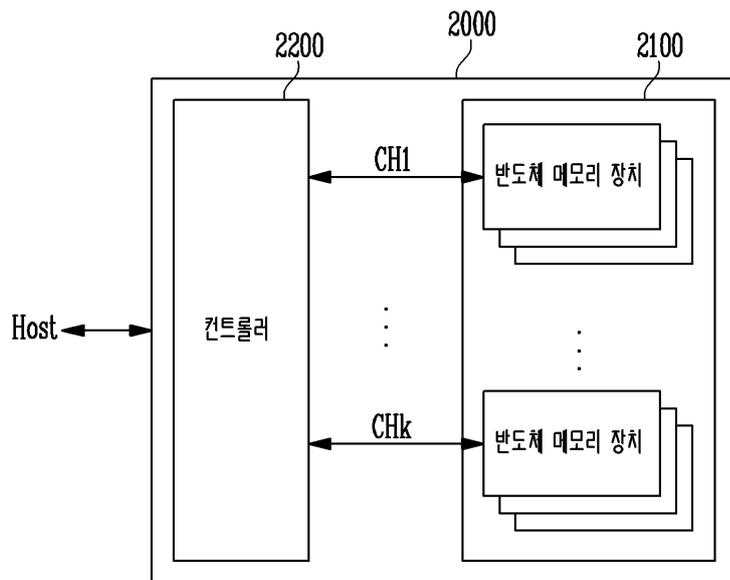
	PV1	PV2	PV3	PV4	PV5	PV6	PV7
PGM 초기 (1101) 제1 프로그램 모드	PGM MODE	PGM MODE	PGM MODE	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)
PGM 중기 (1103) 제2 프로그램 모드	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE	INHIBIT MODE (PGM 미완료)	INHIBIT MODE (PGM 미완료)
PGM 후기 (1105) 제3 프로그램 모드	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	INHIBIT MODE (PGM 완료)	PGM MODE	PGM MODE	PGM MODE

~ 인가된 펄스 수가  
제1 기준값 초과  
 ~ 인가된 펄스 수가  
제2 기준값 초과

도면13



도면14



도면15

