



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0045103
(43) 공개일자 2009년05월07일

- | | |
|---|--|
| <p>(51) Int. Cl.
H04L 27/26 (2006.01) H04J 11/00 (2006.01)
H04B 14/00 (2006.01)</p> <p>(21) 출원번호 10-2008-0107335</p> <p>(22) 출원일자 2008년10월30일
심사청구일자 없음</p> <p>(30) 우선권주장
0721269.9 2007년10월30일 영국(GB)
(뒷면에 계속)</p> | <p>(71) 출원인
소니 가부시키 가이사
일본국 도쿄도 미나토쿠 코난 1-7-1</p> <p>(72) 발명자
테일러, 매튜 폴 애틀
영국 비에이치24 1제이큐 햄프셔 링우드 사우샘프턴 로드 224</p> <p>어팅시리, 사무엘 아산벵
영국 알지21 4비에스 햄프셔 베이싱스토크 시몬스 워크 13</p> <p>윌슨, 존 니콜라스
영국 알지27 9에스지 햄프셔 후크 퀸스 트리 웨이 4</p> <p>(74) 대리인
장수길, 이중희, 박충범</p> |
|---|--|

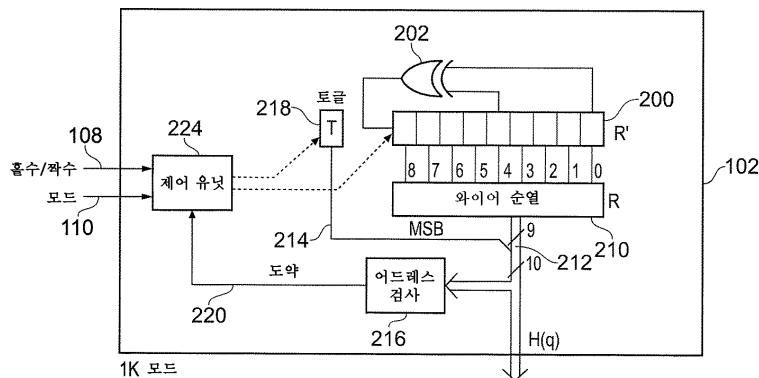
전체 청구항 수 : 총 21 항

(54) 데이터 처리 장치 및 방법

(57) 요약

데이터 프로세서는 직교 주파수 분할 다중화(OFDM) 심볼의 기설정된 개수의 서브 캐리어 신호들로부터 수신된 데이터 심볼들을 출력 스트림에 매핑한다. 상기 데이터 처리 장치는 상기 OFDM 서브 캐리어 신호들로부터 기설정된 개수의 데이터 심볼들을 인터리버 메모리에 리드-인하고, 매핑을 수행하기 위해 데이터 심볼들을 인터리버 메모리로부터 출력 심볼 스트림에 리드-아웃하며, 리드-아웃은 리드-인과 상이한 순서를 가지며, 순서는 리드-아웃은 데이터 심볼들이 OFDM 서브 캐리어 신호들로부터 디인터리브되는 효과를 갖고, 어드레스의 세트로부터 결정된다. 어드레스 생성기는 어드레스의 세트를 생성하도록 배치되며, 어드레스는 수신된 데이터 심볼이 출력 심볼 스트림에 매핑될 OFDM 서브 캐리어 신호를 나타내기 위해서 수신된 데이터 심볼들 각각에 대해서 생성된다. 상기 어드레스들의 세트는 어드레스 생성기로부터 생성되며, 상기 어드레스 생성기는 선형 피드백 시프트 레지스터 및 순열 회로를 포함한다. 선형 피드백 시프트 레지스터에 대한 생성기 다항식은 $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$ 이고 순열 코드는 레지스터 스테이지의 콘텐츠의 순서를 변경하기 위해 제공된다. 순열 코드는 통상의 라디오 채널을 통해서 통신 성능을 최적화하기 위한 시뮬레이션 분석에 의해 구축되었다. 이와 같이, 1k 동작은, 데이터 심볼들을 디지털 비디오 방송(Digital Video Braodcasting) 표준, 예컨대 DVB-지상파2(DVB-T2) 또는 DVB-케이블 2(DVB-C2)와 같은 OFDM 변조 시스템에 대하여 OFDM 심볼의 약 1,000개의 서브 캐리어들에 인터리브할 수 있는 인터리버에 제공된다.

대표도 - 도5



(30) 우선권주장

0721270.7 2007년10월30일 영국(GB)

0722645.9 2007년11월19일 영국(GB)

0722728.3 2007년11월20일 영국(GB)

특허청구의 범위

청구항 1

직교 주파수 분할 다중화(OFDM) 심볼의 기설정된 개수의 서브 캐리어 신호들로부터 수신된 심볼들을 출력 심볼 스트림에 매핑하도록 동작하는 데이터 처리 장치로서,

상기 OFDM 서브 캐리어 신호들로부터의 기설정된 개수의 데이터 심볼들을 인터리버 메모리에 리드-인(read-into)하고 상기 매핑을 수행하기 위해 상기 데이터 심볼들을 상기 메모리로부터 상기 출력 데이터 심볼 스트림으로 리드-아웃(read-out)하여 상기 데이터 심볼들이 상기 OFDM 서브 캐리어 신호들로부터 디인터리브되는 효과를 갖도록 동작가능한 디인터리버 - 상기 리드-아웃은 상기 리드-인과 상이한 순서를 가지며, 상기 순서는 어드레스들의 세트로부터 결정됨 - , 및

상기 어드레스들의 세트를 생성하도록 동작하는 어드레스 생성기 - 상기 어드레스는 상기 수신된 데이터 심볼이 상기 출력 심볼 스트림에 매핑될 OFDM 서브 캐리어 신호를 가리키도록 각각의 상기 수신된 데이터 심볼마다 생성됨 -

을 포함하고,

상기 어드레스 생성기는,

기설정된 개수의 레지스터 스테이지들을 포함하며 생성기 다항식에 따라서 의사 랜덤 비트 시퀀스를 생성하도록 동작하는 선형 피드백 시프트 레지스터,

상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고 순열 코드에 따라서 상기 레지스터 스테이지들에 존재하는 비트들을 순열로 배열하여 상기 OFDM 서브 캐리어들 중 하나의 어드레스를 생성하도록 동작하는 순열 회로, 및

어드레스 검사 회로와 결합하여, 생성된 어드레스가 기설정된 최대 유효 어드레스를 초과할 경우에 어드레스를 재생성하도록 동작하는 제어 유닛을 포함하며,

상기 기설정된 최대 유효 어드레스는 1,024보다 작고,

상기 선형 피드백 시프트 레지스터는 $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$ 와 같은 선형 피드백 시프트 레지스터의 생성기 다항식을 갖는 9개의 레지스터 스테이지들과, 추가 비트인, 다음 표에 따라서 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 비트로부터 i번째 데이터 심볼에 대한 10비트 어드레스 $R_i[n]$ 를 갖는 순열 코드 형태를 갖는 것을 특징으로 하는 데이터 처리 장치.

R' _i 비트위치	8	7	6	5	4	3	2	1	0
R _i 비트위치	4	3	2	1	0	5	6	7	8

청구항 2

제1항에 있어서, 상기 기설정된 최대 유효 어드레스는 실질적으로 700과 1,024 사이의 값인 데이터 처리 장치.

청구항 3

제1항에 있어서, 상기 OFDM 심볼은 공지의 심볼들을 전달하도록 배열된 파일럿 서브 캐리어들을 포함하며, 상기 기설정된 최대 유효 어드레스는 상기 OFDM 심볼에 존재하는 상기 파일럿 서브 캐리어 심볼들의 개수에 따라 결정되는 데이터 처리 장치.

청구항 4

제1항에 있어서,

상기 디인터리버 메모리는, 짝수 OFDM 심볼의 경우, 상기 데이터 심볼들을 순차적 순서에 따라서 리드 인하고 상기 데이터 심볼들을 상기 어드레스 생성기에 의해 생성된 상기 어드레스들의 세트에 따라서 상기 메모리로부터 리드 아웃하며, 홀수 OFDM 심볼의 경우, 상기 심볼들을 어드레스 생성기에 의해 생성된 상기 어드레스들의

세트에 따라서 상기 메모리에 리드 인하고 상기 데이터 심볼들을 순차적 순서에 따라서 상기 메모리로부터 리드 아웃함으로써, 상기 서브 캐리어 심볼들로부터의 수신된 데이터 신호들을 상기 출력 데이터 스트림 상에 매핑하도록 구성된 데이터 처리 장치.

청구항 5

제1항에 있어서,

상기 순열 회로는 상기 레지스터 스테이지들의 비트 순서를 하나의 OFDM 심볼에서 다른 OFDM 심볼로 변경하는 상기 순열 코드를 변경하여 어드레스들을 생성하도록 동작하는 데이터 처리 장치.

청구항 6

제5항에 있어서,

상기 순열 회로는 연속하는 OFDM 심볼들에 대한 상이한 순열 코드 시퀀스가 주기를 이루도록 동작하는 데이터 처리 장치.

청구항 7

제6항에 있어서,

상기 순열 코드 시퀀스는 다음의 두 가지 순열 코드

R' _i 비트위치	8	7	6	5	4	3	2	1	0
R _i 비트위치	4	3	2	1	0	5	6	7	8

및

R' _i 비트위치	8	7	6	5	4	3	2	1	0
R _i 비트위치	3	2	5	0	1	4	7	8	6

를 포함하는 데이터 처리 장치.

청구항 8

제6항 또는 제7항에 있어서,

상기 OFDM 심볼들의 서브 캐리어들은 복수의 동작 모드 중의 하나의 OFDM 심볼들 내의 서브 캐리어들의 최대 개수의 1/2 또는 그보다 적고, 상기 데이터 심볼들은 짝수 OFDM 심볼들로부터 수신된 데이터 심볼들의 제1 세트들 및 홀수 OFDM 심볼들로부터 수신된 데이터 심볼들의 제2 세트들을 포함하며, 상기 데이터 처리 장치는 홀수 인터리빙 처리에 따라서 데이터 심볼들의 상기 제1 세트 및 제2 세트를 상기 출력 데이터 스트림에 디인터리브하도록 동작가능하며,

상기 홀수 인터리빙 처리는,

상기 시퀀스의 순열 코드들 중의 하나로 생성된 어드레스의 세트들에 의해서 결정된 순서에 따라서 상기 짝수 OFDM 심볼들의 서브 캐리어들로부터 수신된 데이터 심볼들의 상기 제1 세트들을 상기 인터리버 메모리의 제1 부분에 라이트하는 단계,

입력 데이터 심볼의 상기 제1 세트의 순차적 순서에 따라서 데이터 심볼의 상기 제1 세트를 상기 인터리버 메모리의 제1 부분으로부터 상기 출력 데이터 스트림에 리드 아웃하는 단계,

상기 시퀀스의 다른 순열 코드들로 생성된 어드레스들의 상기 세트에 의해서 정의된 순서에 따라서 상기 홀수 OFDM 심볼들의 서브 캐리어들로부터 수신된 데이터 심볼들의 상기 제2 세트를 상기 인터리버 메모리의 제2 부분에 라이트하는 단계, 및

입력 데이터 심볼들의 상기 제2 세트들의 순차적 순서에 따라서 데이터 심볼들의 상기 제2 세트들을 상기 인터리버 메모리의 제2 부분으로부터 상기 출력 데이터 스트림에 리드 아웃하는 단계

를 포함하는 데이터 처리 장치

청구항 9

OFDM 변조 신호로부터 데이터를 수신하는 수신기 - 상기 수신기는 기설정된 개수의 OFDM 심볼의 서브 캐리어 신호들로부터 수신된 데이터 심볼들을 출력 심볼 스트림에 매핑하도록 동작가능한 데이터 처리 장치를 포함함 - 로서,

상기 데이터 처리 장치는,

매핑을 수행하기 위해 상기 기설정된 개수의 데이터 심볼들을 상기 OFDM 서브 캐리어 신호들로부터 인터리버 메모리에 리드-인하고, 상기 데이터 심볼들을 상기 인터리버 메모리로부터 상기 출력 심볼 스트림에 리드-아웃하여 상기 데이터 심볼들이 상기 OFDM 서브 캐리어 신호들로부터 디인터리브되는 효과를 갖도록 동작가능한 인터리버 - 상기 리드-아웃은 상기 리드-인과 상이한 순서를 가지며, 상기 순서는 어드레스들의 세트로부터 결정됨 - ,

상기 어드레스들의 세트를 생성하도록 동작가능한 어드레스 생성기 - 상기 어드레스는 상기 데이터 심볼이 수신되어 상기 인터리버 메모리로부터 상기 출력 심볼 스트림에 매핑될 OFDM 서브 캐리어 신호들을 가리키도록 각각의 데이터 심볼들마다 생성됨 -

을 포함하고,

상기 어드레스 생성기는,

기설정된 개수의 레지스터 스테이지들을 포함하며 생성기 다항식에 따라서 의사 랜덤 비트 시퀀스를 생성하도록 동작가능한 선형 피드백 시프트 레지스터,

상기 시프트 레지스터 스테이지의 콘텐츠를 수신하고 순열 코드에 따라서 상기 레지스터 스테이지들에 존재하는 비트들을 변경하여 상기 OFDM 서브 캐리어들 중의 하나의 어드레스를 형성하도록 동작가능한 순열 회로, 및

생성된 어드레스가 기설정된 최대 유효 어드레스를 초과할 경우에 어드레스 검사 회로와 조합하여 어드레스를 재생성하도록 동작가능한 제어 유닛을 포함하며,

상기 기설정된 최대 유효 어드레스는 1,024보다 작고,

상기 선형 피드백 시프트 레지스터는 $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$ 와 같은 선형 피드백 시프트 레지스터의 생성기 다항식을 갖는 9개의 레지스터 스테이지들과, 추가 비트인, 다음 표에 따라서 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 비트들로부터 i번째 데이터 심볼에 대한 10 비트 어드레스 $R_i[n]$ 를 갖는 순열 순서 형태를 갖는 것을 특징으로 하는 수신기.

R'_i 비트위치	8	7	6	5	4	3	2	1	0
R_i 비트위치	4	3	2	1	0	5	6	7	8

청구항 10

제9항에 있어서,

상기 수신기는 디지털 비디오 지상파 방송(Digital Video Broadcasting-Terrestrial), 디지털 비디오 핸드헬드 방송(Digital Video Broadcasting-Handheld) 또는 디지털 비디오 지상파 방송2(Digital Video Broadcasting-Terrestrial2) 표준 또는 디지털 비디오 방송 케이블2(Digital Video Broadcasting-Cable2) 표준과 같은 디지털 비디오 방송 표준에 따라서 변조된 데이터를 수신하도록 동작하는 수신기.

청구항 11

OFDM 심볼의 서브 캐리어들 상에 인터리브된 데이터 심볼들을 수신하는데 사용되는 어드레스 생성기로서, 상기 어드레스 생성기는 어드레스의 세트를 생성하도록 동작가능하며, 각 어드레스는 상기 수신된 데이터 심볼이 인터리버 메모리로부터 출력 데이터 스트림에 매핑될 상기 서브 캐리어 신호들 중의 하나를 가리키도록 각각의 데

이터 심볼들에 대해서 생성되며,

상기 어드레스 생성기는,

기설정된 개수의 레지스터 스테이지들을 포함하며 생성기 다항식에 따라서 의사 랜덤 비트 시퀀스를 생성하도록 동작가능한 선형 피드백 시프트 레지스터,

상기 시프트 레지스터 스테이지의 콘텐츠를 수신하고 순열 코드에 따라서 상기 레지스터 스테이지들에 존재하는 비트들을 변경하여 상기 OFDM 서브 캐리어들 중의 하나의 어드레스를 형성하도록 동작가능한 순열 회로, 및

생성된 어드레스가 기설정된 최대 유효 어드레스를 초과할 경우에 어드레스 검사 회로와 조합하여 어드레스를 재생성하도록 동작가능한 제어 유닛을 포함하며,

상기 기설정된 최대 유효 어드레스는 1,024보다 작고,

상기 선형 피드백 시프트 레지스터는 $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$ 와 같은 선형 피드백 시프트 레지스터의 생성기 다항식을 갖는 9개의 레지스터 스테이지들과, 추가 비트인, 다음 표에 따라서 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 비트들로부터 i번째 데이터 심볼에 대한 10 비트 어드레스 $R_i[n]$ 를 갖는 순열 순서 형태를 갖는 것을 특징으로 하는 어드레스 생성기.

R'_i 비트위치	8	7	6	5	4	3	2	1	0
R_i 비트위치	4	3	2	1	0	5	6	7	8

청구항 12

직교 주파수 분할 다중화(OFDM) 심볼의 기설정된 개수의 서브 캐리어 신호들로부터 수신된 심볼들을 출력 심볼 스트림에 매핑하는 방법으로서,

상기 OFDM 서브 캐리어 신호들로부터의 기설정된 개수의 데이터 심볼들을 인터리버 메모리로 리드-인하는 단계,

상기 매핑을 수행하기 위해 상기 데이터 심볼들을 상기 메모리로부터 상기 출력 심볼 스트림으로 리드-아웃하여 상기 데이터 심볼들이 상기 OFDM 서브 캐리어 신호들로부터 디인터리브되는 효과를 갖게 하는 단계 - 상기 리드-아웃은 상기 리드-인과 상이한 순서를 가지며, 상기 순서는 어드레스들의 세트로부터 결정됨 -, 및

상기 어드레스들의 세트를 생성하는 단계 - 상기 어드레스는 상기 수신된 데이터 심볼이 상기 출력 심볼 스트림에 매핑될 OFDM 서브 캐리어 신호를 가리키도록 각각의 상기 수신된 데이터 심볼들마다 생성됨 -

을 포함하며,

상기 어드레스들의 세트를 생성하는 단계는,

기설정된 개수의 레지스터 스테이지들을 포함하는 선형 피드백 시프트 레지스터를 이용하여 생성기 다항식에 따라서 의사 랜덤 비트 시퀀스를 생성하는 단계,

순열 회로를 이용하여 상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고 순열 순서에 따라서 상기 레지스터 스테이지들에 존재하는 비트들을 변경하여 어드레스를 생성하는 단계, 및

생성된 어드레스가 기설정된 최대 유효 어드레스를 초과할 경우에 어드레스를 재생성하는 단계를 포함하며,

상기 기설정된 최대 유효 어드레스는 1,024보다 작고,

상기 선형 피드백 시프트 레지스터는 $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$ 와 같은 선형 피드백 시프트 레지스터의 생성기 다항식을 갖는 9개의 레지스터 스테이지들과, 추가 비트인, 다음 표에 의해 정의된 코드에 따라서 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 비트들로부터 i번째 데이터 심볼에 대한 10 비트 어드레스 $R_i[n]$ 를 갖는 순열 순서 형태를 갖는 것을 특징으로 하는 방법.

R'_i 비트위치	8	7	6	5	4	3	2	1	0
R_i 비트위치	4	3	2	1	0	5	6	7	8

청구항 13

제12항에 있어서,

상기 기설정된 최대 유효 어드레스는 실질적으로 700과 1,024 사이의 값인 방법.

청구항 14

제12항에 있어서,

상기 OFDM 심볼은 공지의 심볼들을 전달하도록 배열된 파일럿 서브 캐리어들을 포함하며, 상기 기설정된 최대 유효 어드레스는 상기 OFDM 심볼에 존재하는 상기 파일럿 서브 캐리어 심볼들의 개수에 따라 결정되는 방법.

청구항 15

제12항에 있어서,

상기 OFDM 서브 캐리어 신호들로부터 기설정된 개수의 데이터 심볼들을 상기 인터리버 메모리로부터 리드-인하는 단계, 및 매핑을 수행하기 위한 상기 데이터 심볼들을 상기 인터리버 메모리로부터 상기 출력 심볼 스트림으로 리드-아웃하는 단계는,

짝수 OFDM 심볼들에 대해서, 순차적 순서에 따라서 상기 데이터 심볼들을 리드 인하고,

상기 어드레스 생성기에 의해서 생성된 어드레스의 세트에 따라서 상기 인터리버 메모리로부터 상기 데이터 심볼들을 리드 아웃하는 단계, 및

홀수 OFDM 심볼에 대해서, 상기 어드레스 생성기에 의해서 생성된 어드레스의 상기 세트에 따라서 상기 인터리버 메모리에 상기 데이터 심볼들을 리드인하고,

순차적 순서에 따라서 상기 메모리로부터 상기 데이터 심볼들을 리드 아웃하는 단계를 포함하는 방법.

청구항 16

제12항에 있어서,

상기 순열 회로를 이용하여 상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고 순열 코드에 따라서 상기 레지스터 스테이지들에 존재하는 비트들을 변경하여 어드레스를 생성하는 단계는, 상기 레지스터 스테이지들의 비트 순서를 변경하는 상기 순열 코드를 하나의 OFDM 심볼에서 다른 OFDM 심볼로 변경하여 상기 어드레스들을 생성하는 단계를 포함하는 방법.

청구항 17

제16항에 있어서,

상기 레지스터 스테이지들의 비트 순서를 변경하는 상기 순열 코드를 하나의 OFDM 심볼에서 다른 OFDM 심볼로 변경하여 상기 어드레스들을 생성하는 단계는, 연속하는 OFDM 심볼들에 대한 상이한 순열 코드 시퀀스가 주기를 이루도록 하는 단계를 포함하는 방법.

청구항 18

제17항에 있어서,

상기 순열 코드 시퀀스는 다음의 두가지 순열 코드

R _i ' 비트위치	8	7	6	5	4	3	2	1	0
R _i 비트위치	4	3	2	1	0	5	6	7	8

및

R _i ' 비트위치	8	7	6	5	4	3	2	1	0
R _i 비트위치	3	2	5	0	1	4	7	8	6

를 포함하는 방법.

청구항 19

제16항에 있어서,

상기 OFDM 심볼들의 서브 캐리어는 복수의 동작 모드 중의 어느 하나의 OFDM 심볼 내의 최대 개수의 서브 캐리어들의 1/2 또는 그보다 작고,

상기 방법은,

짝수 OFDM 심볼들로부터의 데이터 심볼들의 제1 세트와 홀수 OFDM 심볼들로부터의 데이터 심볼들의 제2 세트를 수신하는 단계를 포함하며,

상기 OFDM 서브 캐리어 신호들로부터 수신된 상기 데이터 심볼들을 상기 인터리버 메모리로부터 리드-인, 및 상기 인터리버 메모리로부터 상기 데이터 심볼들을 상기 출력 심볼 스트림에 리드-아웃하여 매핑을 수행하는 것은 홀수 인터리빙 처리에 따르며,

상기 홀수 인터리빙 처리는,

상기 짝수 OFDM 심볼들의 서브 캐리어로부터 수신된 데이터 심볼들의 제1 세트를, 상기 시퀀스의 순열 코드들 중의 하나로 생성된 상기 어드레스의 세트에 의해 결정된 순서에 따라서 상기 인터리버 메모리의 제1 파트에 라이트하는 단계,

상기 입력 데이터 심볼들의 제1 세트의 순차적 순서에 따라서 상기 데이터 심볼의 제1 세트를 상기 인터리버 메모리의 제1 부분으로부터 상기 출력 데이터 스트림에 리드 아웃하는 단계,

상기 시퀀스의 다른 순열 코드로 생성된 상기 어드레스의 세트에 의해 정의된 순서에 따라서 홀수 OFDM 심볼의 서브 캐리어로부터 수신된 데이터 심볼의 제2 세트를 상기 인터리버 메모리의 제2 부분에 라이트하는 단계, 및

상기 입력 데이터 심볼들의 제2 세트의 순차적 순서에 따라서 상기 데이터 심볼들의 제2 세트를 상기 인터리버 메모리의 제2 부분으로부터 상기 출력 데이터 스트림에 리드 아웃하는 단계

를 포함하는 방법.

청구항 20

직교 주파수 분할 다중화(OFDM) 변조 심볼들로부터 데이터를 수신하는 방법으로서,

상기 OFDM 심볼들로부터의 기설정된 개수의 서브 캐리어 신호들로부터 기설정된 데이터 심볼들을 수신하여 출력 데이터 스트림을 생성하는 단계,

상기 OFDM 서브 캐리어 신호들로부터의 기설정된 개수의 데이터 심볼들을 인터리버 메모리로 리드-인하는 단계,

상기 매핑을 수행하기 위해 상기 데이터 심볼들을 상기 인터리버 메모리로부터 상기 출력 심볼 스트림으로 리드-아웃하여 상기 데이터 심볼들이 상기 OFDM 서브 캐리어 신호들로부터 디인터리브되는 효과를 갖게 하는 단계 - 상기 리드-아웃은 상기 리드-인과 상이한 순서를 가지며, 상기 순서는 어드레스들의 세트로부터 결정됨 - ,

상기 어드레스들의 세트를 생성하는 단계 - 상기 수신된 데이터 심볼이 상기 출력 심볼 스트림에 매핑될 OFDM 서브 캐리어 신호를 가리키는 어드레스가 각각의 상기 수신된 데이터 심볼들 마다 생성됨 -

를 포함하며, 상기 어드레스들의 세트를 생성하는 단계는,

기설정된 개수의 레지스터 스테이지들을 포함하는 선형 피드백 시프트 레지스터를 이용하여 생성기 다항식에 따라서 의사 랜덤 비트 시퀀스를 생성하는 단계,

순열 회로를 이용하여 상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고 순열 코드에 따라서 상기 레지스

터 스테이지들에 존재하는 비트들을 변경하여 어드레스를 생성하는 단계, 및
 생성된 어드레스가 기설정된 최대 유효 어드레스를 초과할 경우에 어드레스를 재생성하는 단계를 포함하며,
 상기 기설정된 최대 유효 어드레스는 1,024보다 작고,

상기 선형 피드백 시프트 레지스터는 $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$ 와 같은 선형 피드백 시프트 레지스터의 생성기 다항식을 갖는 9개의 레지스터 스테이지들과, 추가 비트인, 다음 표에 의해 정의된 코드에 따라서 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 비트들로부터 i번째 데이터 심볼에 대한 10 비트 어드레스 $R_i[n]$ 를 갖는 순열 순서 형태를 갖는 것을 특징으로 하는 방법.

R' _i 비트위치	8	7	6	5	4	3	2	1	0
R _i 비트위치	4	3	2	1	0	5	6	7	8

청구항 21

제19항에 있어서,

상기 데이터 심볼들을 상기 OFDM 심볼들의 서브 캐리어 신호들로부터 수신하는 단계는, 디지털 비디오 지상파 방송(Digital Video Broadcasting-Terrestrial), 디지털 비디오 핸드헬드 방송(Digital Video Broadcasting-Handheld), 디지털 비디오 지상파 방송2(Digital Video Broadcasting-Terrestrial2) 표준 또는 디지털 비디오 방송-케이블2(Digital Video Broadcasting-Cable2) 표준과 같은 디지털 비디오 방송 표준에 따르는 방법.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 OFDM 심볼의 기설정된 개수의 서브 캐리어 신호들로부터 수신된 데이터 심볼들을 출력 심볼 스트림에 매칭하도록 동작하는 데이터 처리 장치에 관한 것이다. 본 발명은 또한 심볼들을 인터리버 메모리에 라이트하고/심볼들을 인터리버 메모리로부터 리드하는데 사용하기 위한 어드레스 생성기들에 관한 것이다.
- <2> 본 발명의 실시예들은 OFDM 수신기를 제공할 수 있다.

배경기술

- <3> 디지털 비디오 지상파 방송(Digital Video Broadcasting-Terrestrial: DVB-T) 표준은 직교 주파수 분할 다중화(OFDM)를 활용하여 비디오 영상 및 사운드를 나타내는 데이터를 방송 라디오 통신 신호를 통해 수신기로 통신한다. DVB-T 표준에는 2k 및 8k 모드 라하는 두가지 모드가 존재하는 것으로 알려져 있다. 2k 모드는 2048 서브 캐리어를 제공하며 반면에 8k 모드는 8192 서브 캐리어를 제공한다. 유사하게, 디지털 비디오 핸드헬드 방송(Digital Video Broadcasting-Handheld: DVB-H) 표준의 경우에는 서브 캐리어의 개수가 4096인 4k 모드가 제공되었다.
- <4> DVB-T 또는 DVB-H를 이용하여 통신되는 데이터의 무결성(integrity)을 향상시키기 위하여, 입력 데이터 심볼들이 OFDM 심볼의 서브 캐리어 신호들 상에 매핑될 때 이들 심볼들을 인터리브하는 심볼 인터리버가 제공된다. 이러한 심볼 인터리버는 어드레스 생성기와 결합하는 인터리버 메모리를 포함한다. 어드레스 생성기는 각각의 입력 심볼마다 어드레스를 생성하며, 각각의 어드레스는 데이터 심볼이 매핑되는 OFDM 심볼의 서브 캐리어 신호 중 하나를 가리킨다. 2k 모드 및 8k 모드의 구성은 매핑 어드레스를 생성하는 DVB-T 표준에 개시된다. 마찬가지로, DVB-H 표준의 4k 모드의 경우, 매핑 어드레스를 생성하는 구성이 제공되었으며, 이와 같은 매핑을 구현하는 어드레스 생성기는 유럽 특허 출원 제 04251667.4 호에 개시되어 있다. 어드레스 생성기는 의사 랜덤 비트 시퀀스(pseudo random bit sequence)를 생성하도록 동작가능한 선형 피드백 시프트 레지스터(linear feed back shift register) 및 순열 회로(permutaiton circuit)를 포함한다. 순열 회로는 어드레스를 생성하기 위해 선형 피드백 시프트 레지스터의 컨텐츠 순서를 순열로 배열한다. 어드레스는, OFDM 심볼의 서브 캐리어 신호중의 하나로 매핑하기 위해서 입력 데이터 심볼을 라이트하거나 입력 데이터 심볼을 인터리버 메모리로부터 리드하는

인터리버 메모리의 메모리 위치의 표시를 제공한다. 마찬가지로, 수신기 내의 어드레스 생성기는, 수신된 데이터 심볼을 라이트하거나 인터리버 메모리로부터 데이터 심볼들을 리드하여 출력 데이터 스트림을 형성하기 위한 인터리버 메모리의 어드레스를 생성하도록 배치된다.

<5> DVB-T2라 하는 보다 발전된 디지털 비디오 방송-지상파 방송 표준에 따르면, 데이터 통신 모드들이 추가로 제공되어야 한다고 제안되었다.

발명의 내용

과제 해결수단

<6> 본 발명의 양태에 따르면, 직교 주파수 분할 다중화(OFDM) 심볼의 기설정된 개수의 서브 캐리어 신호들로부터 수신된 데이터 심볼들을 출력 심볼 스트림에 매핑하도록 동작하는 데이터 처리 장치가 제공된다. 데이터 처리 장치는 OFDM 서브 캐리어 신호들로부터 기설정된 개수의 데이터 심볼들을 인터리버 메모리에 리드-인하고, 매핑을 수행하기 위해 데이터 심볼들을 메모리로부터 출력 심볼 스트림으로 리드-아웃하도록 배치된 디인터리버(de-interleaver)를 포함하며, 리드-아웃은 리드-인과 상이한 순서를 가지며, 순서는 데이터 심볼들이 OFDM 서브 캐리어 신호들로부터 디인터리브되는 효과를 갖고, 어드레스들의 세트로부터 결정된다. 어드레스 생성기는 어드레스들의 세트를 생성하도록 배치되며, 어드레스는 수신된 데이터 심볼이 출력 심볼 스트림으로 매핑되는 OFDM 서브 캐리어 신호를 표시하는 각각의 수신된 데이터 심볼들마다 생성된다.

<7> 어드레스 생성기는 기설정된 개수의 레지스터 스테이지들을 포함하며 생성기 다항식에 따라서 의사 랜덤 비트 시퀀스를 생성하도록 동작하는 선형 피드백 시프트 레지스터, 및 순열 회로 및 제어 유닛을 포함한다. 상기 순열 회로는 상기 시프트 레지스터 스테이지들의 콘텐츠를 수신하고 순열 코드에 따라서 레지스터 스테이지들에 존재하는 비트들을 순열 코드에 따라서 배열하여 OFDM 서브 캐리어들 중 하나의 어드레스를 생성하도록 동작한다.

<8> 상기 제어 유닛은 어드레스 검사 회로와 결합하여 생성된 어드레스가 기설정된 최대 유효 어드레스를 초과할 경우에 어드레스를 재생성하도록 동작한다. 데이터 처리 장치는, 기설정된 최대 유효 어드레스가 1024보다 작고, 선형 피드백 시프트 레지스터는 $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$ 와 같은 선형 피드백 시프트 레지스터의 생성기 다항식을 갖는 9개의 레지스터 스테이지들과, 추가 비트인, 다음표에 따라서 n번째 레지스터 스테이지 $R'_i[n]$ 에 존재하는 비트로부터 i번째 데이터 심볼에 대한 10비트 어드레스 $R_i[n]$ 를 갖는 순열 코드 형태를 갖는 것으로 특징으로 한다.

<9>

R'_i 비트위치	8	7	6	5	4	3	2	1	0
R_i 비트위치	4	3	2	1	0	5	6	7	8

<10> 비록 DVB-T 표준에서 2k 모드 및 8k 모드를 제공하고, DVB-H 표준이 4k 모드를 제공하는 것으로 알려져 있지만, DVB-T2에서는 1k 모드가 제안되었다. 8k 모드가 보호 구간이 충분한 단일의 주파수 네트워크를 구축하여 DVB 송신기들 사이에서 더 큰 전파 지연을 수용하는 구성을 제공하지만, 2k 모드가 무선 응용예에서 이점을 제공하는 것으로 알려져 있다. 이것은 2k 심볼 주기가 단지 8k 심볼 주기의 1/4에 불과하여, 채널 추정을 더욱 빈번하게 갱신하여 수신기가 도플러 및 다른 효과로 인한 채널의 시간 당 변화를 보다 정확히 추적할 수 있도록 해주기 때문이다. 따라서 2k 모드는 무선 응용예에서 유리하다. 그러나, DVB-T2 표준에 따른 OFDM 통신 시스템이 보다 열악한 환경에서 통신할 것이 요구되며, 수신기가 모바일 애플리케이션과 같은 통신 채널에서 보다 많은 시간 변이를 갖고 실행될 것을 요구하는 것이 제안되어 있다. 따라서, 1k 모드를 갖는 다수의 주파수 네트워크가 송신기의 배치를 복잡하게 하여 방송 시스템을 제공하는 것이 요구되었지만, 1k 모드가 제안되어 있다. 그러나, 1k 모드를 제공하기 위해서, 심볼 인터리버는 입력 데이터 심볼들을 OFDM 심볼의 서브 캐리어 신호들에 매핑하도록 제공되어야 한다.

<11> 본 발명의 실시예들은 OFDM 심볼로부터 수신된 데이터 심볼들을 출력 데이터 스트림에 매핑하기 위한 심볼 인터리버로서 동작가능하고, 데이터 심볼들을 전달하는 OFDM 심볼의 서브 캐리어들의 개수가 실질적으로 1,000 서브 캐리어 신호들인 데이터 처리 장치를 제공할 수 있다. 일 실시예에서, 서브 캐리어 신호들의 개수는 실질적으로 700과 1,024 사이의 값일 수 있다. 또한, 상기 OFDM 심볼들은 공지의 심볼들을 전달하도록 배열된 파일럿 서브 캐리어들을 포함할 수 있으며, 상기 기설정된 최대 유효 어드레스는 상기 OFDM 심볼에 존재하는 파일럿 서

브 캐리어 심볼들의 개수에 따라 결정된다. 이와 같이, 1k 모드는, 예를 들어, DVB-T2, DVB-Cable2, DVB-T 또는 DVB-H와 같은 DVB 표준에 제공될 수 있다.

- <12> 서브 캐리어 신호들의 개수가 약 1,000인, OFDM 심볼의 서브 캐리어들에 전송되고 이로부터 수신될 데이터 심볼들을 매핑하려면, 선형 피드백 시프트 레지스터 및 순열 순서에 적합한 생성기 다항식을 구축하기 위해 시뮬레이션 분석과 시험을 필요로 하는 기술적 문제를 보인다. 이것은 에러 정정 코딩 방식의 성능을 최적하기 위해, 상기 매핑이 입력 데이터 스트림으로부터의 연속하는 심볼들을 가능한 가장 큰 양만큼 주파수 분리하는 효과를 갖고, 심볼들을 서브 캐리어 신호들 상에 인터리브하는 것을 필요로하기 때문이다.
- <13> DVB-T2에서 제안된 LDPC/BCH 코딩과 같은 에러 정정 코딩 방식들은 통신으로 인해 발생하는 심볼값들의 노이즈와 열화가 독립적일 경우에 더 잘 수행된다. 지상과 방송 채널들은 시간 및 주파수 도메인에서 상관 페이딩 영향을 받을 수 있다. 이와 같이 인코딩된 심볼들을 OFDM 심볼의 상이한 서브 캐리어 신호들 상에 가능한 많이 분리시킴으로써, 에러 정정 코딩 방식의 성능이 향상될 수 있다.
- <14> 설명되는 바와 같이, 시뮬레이션 성능 분석에서, 전술한 순열 회로 순서와 조합하는 선형 피드백 시프트 레지스터의 생성기 다항식이 양호한 성능을 제공하는 것으로 발견되었다. 더욱이, 선형 피드백 시프트 레지스터의 생성기 다항식의 탭들과 순열 순서를 변경함으로써, 각각의 2k 모드, 4k 모드 및 8k 모드에 대해 어드레스 생성을 구현할 수 있는 구성을 제공함으로써, 1k 모드에 대한 심볼 인터리버의 구현예가 비용 효과적으로 제공될 수 있다. 또한, 송신기 및 수신기는 생성기 다항식 및 순열 코드를 변경함으로써 1k 모드, 2k 모드, 4k 모드, 8k 모드 및 16k 모드 사이에서 변경될 수 있다. 이것은 소프트웨어로 (또는 임베디드 시그널링으로) 실현될 수 있어서, 적응적 구현예가 제공될 수 있다.
- <15> 선형 피드백 시프트 레지스터의 컨테츠로부터 어드레스를 생성하는데 사용되는 부가 비트는, 토글 회로에 의해 생성될 수 있으며, 이 토글 회로는 어드레스가 기설정된 최대 유효 어드레스를 초과하는 경우, 다음 어드레스가 유효 어드레스가 될 가능성을 줄이기 위해 각 어드레스를 1에서 0으로 변경한다. 일 예에서, 부가 비트는 최상위 비트이다.
- <16> 일 예에서, 상기 순열 코드는 연속하는 OFDM 심볼들에 대한 인터리빙을 수행하는 어드레스들을 생성하는데 사용된다. 다른 예에서, 상기 순열 코드는 연속적이거나 입력 데이터 스트림에서 순서가 근접한 데이터 비트들을 OFDM 심볼의 동일 서브 캐리어 상에 매핑할 가능성을 줄이기 위해 다수의 순열 코드들 중에서 변경되는 하나의 순열 코드이다. 일례에서, 연속하는 OFDM 심볼들 사이에서 인터리빙을 수행하는 데에 상이한 순열 코드가 사용된다. 연속하는 OFDM 심볼들에 상이한 순열 코드들을 사용하면, 데이터 처리 장치가, 송신기에 대해서 단지 데이터 심볼들을 순차적 순서로 메모리에 리드 인하고 어드레스 생성기에 의해 생성된 어드레스의 세트에 따라서 메모리로부터 데이터 심볼들을 리드 아웃하고, 수신기에 대해서 어드레스 생성기에 의해 생성된 어드레스의 세트에 따라서 단지 데이터 심볼들을 메모리에 리드 인하고 순차적 순서로 메모리로부터 데이터 심볼들을 리드 아웃함으로써, 짝수 및 홀수 OFDM 심볼들 모두의 서브 캐리어 신호들에 입력 데이터 심볼들을 인터리브하도록 동작가능하다는 이점을 제공한다.
- <17> 본 발명의 다양한 양태들 및 특징들은 첨부된 특허청구범위에서 규정된다. 본 발명의 추가적인 양태들은 직교 주파수 분할 다중화(OFDM) 심볼의 기설정된 개수의 서브 캐리어 신호들로부터 수신된 심볼들을 출력 심볼 스트림에 매핑하는 방법, 및 수신기를 포함한다.

발명의 실시를 위한 구체적인 내용

- <18> 이제 유사한 구성 요소가 대응하는 참조 부호로 제공되는 첨부 도면을 참조하여 본 발명의 실시예들을 단지 예로서 설명할 것이다.
- <19> DVB-T2 표준에서 이용가능한 모드들의 개수를 1k 모드, 16k 모드 및 32k 모드를 포함하도록 확장하는 것을 제안하였다. 다음의 설명은 비록 심볼 인터리버가 다른 모드들 및 다른 DVB 표준들과 함께 사용될 수 있음이 인식될지라도 본 발명의 기술에 따라서 심볼 인터리버의 동작을 예시하는 것으로 제공된다.
- <20> 도 1은, 예를 들어, DVB-T2 표준에 따라서 비디오 영상 및 오디오 신호를 전송하는데 이용될 수 있는 OFDM(COFDM) 송신기의 예시적인 블럭도를 제공한다. 도 1에서, 프로그램 소스는 COFDM 송신기에 의해 전송될 데이터를 생성한다. 비디오 디코더(2), 오디오 코더(4) 및 데이터 코더(6)는 전송될 비디오, 오디오 및 다른 데이터를 생성하며, 이들은 프로그램 다중화기(10)로 전달된다. 프로그램 다중화기(10)의 출력은 비디오, 오디오 및 다른 데이터를 통신하는데 필요한 다른 정보와 다중화된 스트림을 형성한다. 다중화기(10)는 연결 채널

(12) 상에 스트림을 제공한다. 이와 같은 많은 다중화된 스트림들이 상이한 분기들(A, B 등)에 전달될 수 있다. 간단하게 하기 위해, 단지 분기 A만 설명될 것이다.

<21> 도 1에 도시된 바와 같이, OFDM 송신기(20)는 다중화기 적응 및 에너지 분산 블록(22)에서 스트림을 수신한다. 다중화기 적응 및 에너지 분산 블록(22)은 데이터를 랜덤화하고 적합한 데이터를 전방 에러 정정 인코더(24)로 제공하여 스트림에 대한 에러 정정 인코딩을 수행한다. 비트 인터리버(26)는 DVB-T2를 예로 들면 LDPC/BCH 인코더의 출력인 인코딩된 데이터 비트들을 인터리브하기 위해 제공된다. 비트 인터리버(26)로부터의 출력은 비트 인투 성상 매핑기(bit into constellation mapper)(28)로 전달되며, 이 매핑기에서 비트 그룹들을 인코딩된 데이터 비트들을 전달하는데 사용될 성상점(constellation point) 상에 매핑한다. 비트 인투 성상 매핑기(28)로부터의 출력은 실수 및 허수 성분을 나타내는 성상점 라벨들이다. 이들 성상점 라벨은 사용되는 변조 방식에 따라 두개 이상의 비트로부터 형성된 데이터 심볼들을 나타낸다. 이들은 데이터 셀들로 지칭될 것이다. 이들 데이터 셀들은 시간 인터리버(30)를 통하여 다수의 LDPC 코드 워드로부터 얻어지는 데이터 셀들을 인터리브한다.

<22> 데이터 셀들은 다른 채널들(31)을 통해 프레임 구축기(32)에 의해 수신되고, 도 1에서 데이터 셀들은 분기(B) 등에 의해 생성된다. 그 다음 프레임 구축기(32)는 다수의 데이터 셀들을 OFDM 심볼들로 전달될 시퀀스들로 형성하며, 여기서 하나의 OFDM 심볼은 다수의 데이터 셀들을 포함하며, 각 데이터 셀은 서브 캐리어들 중 하나의 서브 캐리어 상에 매핑된다. 서브 캐리어의 개수는 시스템의 동작 모드에 따라 결정되며, 이 모드는 1k, 2k, 4k, 8k, 16k, 또는 32k 중 하나일 수 있고, 이들의 각각은, 예를 들어, 다음 테이블에 따라서 상이한 개수의 서브 캐리어를 제공한다.

모드	서브 캐리어
1k	756
2k	1512
4k	3024
8k	6048
16k	12096
32k	24192

<24> DVB-T/H에 채택된 서브 캐리어의 개수

<25> 이와 같이, 일 예에서, 1k 모드의 서브 캐리어의 개수는 756이다. DVB-T2 시스템의 경우, OFDM 심볼 당 서브 캐리어의 개수는 파일럿 및 다른 예비 캐리어의 개수에 따라 변경될 수 있다. 따라서, DVB-T에서와 달리, DVB-T2에서는 데이터를 전달하는 서브 캐리어의 개수는 일정하지 않다. 방송국들은 1k, 2k, 4k, 8k, 16k, 또는 32k 중에서 동작 모드들 중 하나를 선택할 수 있으며, 각 모드는 OFDM 심볼당 데이터에 일정 범위의 서브 캐리어들을 제공하며, 각각의 이들 모드에 이용가능한 최대수는 각기 1024, 2048, 4096, 8192, 16384, 32768이다. DVB-T2에서, 물리층 프레임은 다수의 OFDM 심볼들로 구성된다. 전형적으로, 프레임은 하나 이상의 프리앰블 또는 P2 OFDM 심볼에서 시작하고, 이어서 OFDM 심볼들을 전달하는 다수의 페이로드가 뒤따른다. 물리층 프레임의 마지막에는 심볼들을 종료하는 프레임으로 표시된다. 각 동작 모드에서, 서브 캐리어의 개수는 각 심볼 유형별로 상이할 수 있다. 더욱이, 이것은 밴드폭 확장의 선택 유무에 따라, 톤 예약의 인에이블 유무, 그리고 어떤 파일럿 서브 캐리어 패턴이 선택되었는지에 따라서 각각에 대해 변경될 수 있다. 이와 같이 OFDM 심볼 당 특정 개수의 서브 캐리어를 일반화하는 것은 어렵다. 그러나, 각 모드의 주파수 인터리버는 서브 캐리어의 개수가 소정 모드의 이용가능한 최대의 서브 캐리어 개수보다 작거나 같은 임의의 심볼을 인터리브할 수 있다. 예를 들어, 1k 모드에서, 인터리버는 1024보다 적거나 같은 개수의 서브 캐리어로, 그리고 16k 모드의 경우 16384보다 적거나 같은 개수의 서브 캐리어로 심볼들을 처리할 것이다.

<26> 그 다음 각 COFDM 심볼에서 전달될 데이터 셀들의 시퀀스는 심볼 인터리버(33)로 전달된다. 그런 다음 COFDM 심볼은 파일럿 및 임베디드 신호 생성기(36)로부터 제공되는 파일럿 및 동기화 신호들을 도입하는 COFDM 심볼 구축기 블록(37)에 의해 생성된다. 그 다음 OFDM 변조기(38)는 시간 도메인에서 OFDM 심볼을 형성하여 보호 삽입(guard insertion) 처리기(40)로 전달되어 심볼 사이에 보호 구간을 생성한 다음, 디지털-아날로그 변환기(42)로 전달되고, 마지막으로 RF 프론트 엔드(44) 내 RF 증폭기로 전달되어 최종적으로 COFDM 송신기에 의해 안테나(46)로부터 방송을 하게 된다.

<27> **1k 모드의 제공**

- <28> 새로운 1k 모드를 생성하기 위해, 몇가지 구성 요소들이 정의될 것이며, 이들 중 하나가 1k 심볼 인터리버(33)이다. 비트 투 성상 매핑기(28), 심볼 인터리버(33) 및 프레임 구축기(32)가 도 2에 보다 상세히 도시되어 있다.
- <29> 전술한 바와 같이, 본 발명은 데이터 심볼들을 OFDM 서브 캐리어 신호들 상에 의사-최적(quasi-optimal)으로 매핑하는 것을 용이하게 해준다. 예시적인 기술에 따르면, 심볼 인터리버는 순열 코드 및 생성기 다항식에 따라 입력 데이터 심볼들을 COFDM 서브 캐리어 신호들 상에 최적으로 매핑하도록 제공되며, 이것은 시뮬레이션 분석에 의해 확인되었다.
- <30> 도 2에 도시된 바와 같이, 본 발명의 기술의 예시적인 실시예를 설명하는 비트 투 심볼 성상 매핑기(28) 및 프레임 구축기(32)의 보다 상세한 예가 제공된다. 비트 인터리버(26)로부터 채널(62)을 통해 수신된 데이터 비트들은 변조 방식에 따라 제공되는 심볼 당 비트 개수에 따라서 데이터 셀 상에 매핑될 비트 세트들로 그룹화된다. 데이터 워드를 형성하는 비트 그룹들은 데이터 채널(64)을 통해 병렬로 매핑 처리기(66)로 전달된다. 그 다음 매핑 처리기(66)는 미리 지정된 매핑에 따라서 데이터 심볼 중 하나를 선택한다. 실수 및 허수 성분으로 나타낸 성상점은 프레임 구축기(32)로의 입력들의 세트 중 하나로서 출력 채널(29)로 제공된다.
- <31> 프레임 구축기(32)는 비트 투 성상 매핑기(28)로부터 채널(29)을 통한 데이터 셀들과 함께, 다른 채널(31)로부터의 데이터 셀들을 수신한다. 다수의 COFDM 셀 시퀀스들로 이루어진 프레임을 구축한 후, 각 COFDM 심볼의 셀들은 어드레스 생성기(102)에 의해 생성된 라이트 및 리드 어드레스에 따라 인터리버 메모리(100)에 라이트되고 인터리버 메모리(100)로부터 리드된다. 라이트-인 및 리드-아웃 순서에 따라, 적합한 어드레스를 생성함으로써 데이터 셀들이 인터리빙된다. 어드레스 생성기(102) 및 인터리버 메모리(100)의 동작은 곧이어서 도 3, 도 4 및 도 5를 참조하여 더욱 상세히 설명될 것이다. 그 다음 인터리브된 데이터 셀들은 파일럿 및 임베디드 시그널링 형성기(36)로부터 OFDM 심볼 구축기(37)에 수신된 파일럿 및 동기화 심볼들과 조합되어 COFDM 심볼을 형성하여 전술한 OFDM 변조기(38)로 전달된다.
- <32> **인터리버**
- <33> 도 3은 심볼 인터리버(33)의 구성 요소를 예시하는 것으로서, 심볼들을 인터리빙하는 본 발명의 기술을 예시한다. 도 3에서, 프레임 구축기(32)로부터의 입력 데이터 셀들은 인터리버 메모리(100)에 라이트된다. 이들 데이터 셀들은 어드레스 생성기(102)로부터 채널(104)을 통해 전달된 라이트 어드레스에 따라서 인터리버 메모리(100)에 라이트되며, 어드레스 생성기(102)로부터 채널(106)을 통해 전달된 리드 어드레스에 따라서 인터리버 메모리(100)로부터 리드 아웃된다. 어드레스 생성기(102)는, 이하에서 설명되는 바와 같이, COFDM 심볼이 홀수인지 짝수인지에 따라서(이것은 채널(110)로부터 전달된 신호로부터 식별됨), 그리고 채널(110)로부터 전달된 신호로부터 식별되는 선택 모드에 따라서 라이트 어드레스 및 리드 어드레스를 생성한다. 설명된 바와 같이, 모드는 1k 모드, 2k 모드, 4k 모드, 8k 모드, 16k 모드 또는 32k 모드 중 하나일 수 있다. 이하에서 설명되는 바와 같이, 라이트 어드레스 및 리드 어드레스는 인터리버 메모리(100)의 구현예를 예시하는 도 4를 참조하여 설명된 바와 같이 홀수 및 짝수 심볼별로 상이하게 생성된다.
- <34> 도 4에 도시된 예에서, 인터리버 메모리는 송신기의 인터리버 메모리의 동작을 예시하는 상부(100)와 수신기의 디인터리버 메모리의 동작을 예시하는 하부(340)를 포함하는 것으로 도시된다. 인터리버(100) 및 디인터리버(340)는 도 4에서 이들의 동작을 용이하게 이해하기 위해 함께 도시되어 있다. 도 4에 도시된 바와 같이, 다른 장치들을 통해서 그리고 전송 채널을 통해서 이루어지는 인터리버(100) 및 디인터리버(340) 간의 통신을 인터리버(100) 및 디인터리버(340) 사이에서 간단히 섹션(140)으로 나타냈다. 인터리버(100)의 동작은 다음 단락들에서 설명된다.
- <35> 비록 도 4가 일예로 COFDM 심볼의 4개의 서브 캐리어 신호 상에 단지 4개의 입력 데이터 셀을 예시적으로 제공하지만, 도 4에 예시된 기술이, 1k 모드에는 756, 2k 모드에는 1512, 4k 모드에는 3024, 8k 모드에는 6048, 16k 모드에는 12096, 그리고 32k 모드에는 24192 같이, 더 큰 개수의 서브 캐리어로 확장될 수 있음이 인식될 것이다.
- <36> 도 4에는 홀수 및 짝수 심볼들에 대한 인터리버 메모리(100)의 입력 및 출력 어드레싱이 도시되어 있다. 짝수 COFDM 심볼의 경우, 어드레스 생성기(102)에 의해 각 COFDM 심볼마다 생성된 어드레스들의 시퀀스에 따라서 데이터 셀들이 입력 채널(77)로부터 입력되어 인터리버 메모리(124.1)에 라이트된다. 짝수 심볼에 대한 라이트 어드레스가 인가되어서 예시된 바와 같이 라이트-인 어드레스의 셔플링에 의해 인터리빙이 수행된다. 따라서, 각각의 인터리브된 심볼은 $y(h(q))=y'(q)$ 가 된다.

<37> 홀수 심볼들의 경우, 동일한 인터리버 메모리(124.2)가 사용된다. 그러나, 도 4에 도시된 바와 같이, 홀수 심볼의 경우 라이트-인 순서(132)는 전술한 짝수 심볼(126)을 리드하는데 사용된 어드레스 시퀀스와 같다. 이러한 특징에 의해, 만일 소정의 어드레스에 대한 리드-아웃 동작이 라이트-인 동작에 앞서서 수행된다면, 홀수 및 짝수 심볼 인터리버의 구현예들은 단지 하나의 인터리버 메모리(100)만 사용할 수가 있다. 인터리버 메모리(124)에 라이트된 홀수 심볼들에 대한 데이터 셀들은 어드레스 생성기(102)에 의해 생성된 다음의 짝수 COFDM 심볼 등에 대한 시퀀스(134)로 리드된다. 따라서, 심볼마다 단지 하나의 어드레스가 생성되며, 홀수/짝수 COFDM 심볼에 대한 리드-인 및 라이트-아웃은 동시에 수행된다.

<38> 요약하면, 도 4에 나타난 바와 같이, 일단 모든 액티브 서브 캐리어의 어드레스들의 세트(H(q))가 계산되었다면, 입력 벡터 $Y'=(y_0', y_1', y_2', \dots, y_{N_{max}-1}')$ 가 처리되어 다음과 같이 정의된 인터리브된 벡터 $Y=(y_0, y_1, y_2, \dots, y_{N_{max}-1})$ 가 생성된다.

<39> $yH(q)=y'q$ (짝수 심볼, $q=0, \dots, N_{max}-1$)

<40> $yq=y'H(q)$ (홀수 심볼, $q=0, \dots, N_{max}-1$)

<41> 다시 말하면, 짝수 OFDM 심볼들의 경우 입력 워드들은 순열 방식으로 메모리에 라이트되고 다시 순차적 방식으로 리드되며, 반면에 홀수 심볼들의 경우 이들은 순차적으로 라이트되고 다시 순열 방식으로 리드된다. 상기의 경우에, 순열 함수 H(q)는 다음의 표와 같이 정의된다.

표 1

<42> $N_{max}=4$ 인 간단한 경우의 순열

q	0	1	2	3
H(q)	1	3	0	2

<43> 도 4에 도시된 바와 같이, 디인터리버(340)는 동일한 어드레스 생성기에 의해 생성된 동일한 어드레스들의 세트를 적용하지만, 라이트-인 및 리드-아웃 어드레스를 반대로 적용함으로써, 인터리버(100)서 적용된 인터리빙을 역으로 동작한다. 이와 같이, 짝수 심볼의 경우, 라이트-인 어드레스(342)는 순차적 순서인 반면에, 리드-아웃 어드레스(344)는 어드레스 생성기에 의해 제공된다. 이에 대응되게, 홀수 심볼들의 경우, 라이트-인 순서(346)는 어드레스 생성기에 의해 생성되는 어드레스들의 세트로부터 결정되며, 반면에 리드-아웃(348)은 순차적 순서로 이루어진다.

<44> 1k 모드에 대한 어드레스 생성

<45> 1k 모드의 순열 함수(permutation function) H(q)를 생성하는데 사용되는 알고리즘의 개략적인 블록도가 도 5에 도시된다.

<46> 1k 모드용의 어드레스 생성기(102)의 구현예가 도 5에 도시된다. 도 5에서, 선형 피드백 시프트 레지스터는 9개의 레지스터 스테이지(200) 및 생성기 다항식(generator polynomial)에 따라서 시프트 레지스터의 스테이지에 연결된 xor-게이트(202)로 구성된다. 그러므로, 시프트 레지스터(200)의 콘텐츠에 따라서, 시프트 레지스터의 다음 비트는 아래의 생성기 다항식에 따라서 시프트 레지스터 R[0] 및 레지스터 스테이지 R[4]의 콘텐츠를 배타적 논리합(xor)함으로써 xor-게이트(202)의 출력으로부터 제공된다.

<47> $R'_i[8]=R'_{i-1}[0] \oplus R'_{i-1}[4]$

<48> 생성기 다항식에 따라서, 시프트 레지스터(200)의 콘텐츠로부터 의사 랜덤 비트 시퀀스가 생성된다. 그러나, 예시된 바와 같은 1k 모드의 어드레스를 제공하기 위하여, 순열 회로(210)가 제공되며, 이것은 순열 회로(210)의 출력에서 순서 $R'_i[n]$ 부터 순서 $R_i[n]$ 까지 시프트 레지스터(200)내 비트들의 순서를 효과적으로 변경한다. 그 다음에 순열 회로(210)의 출력으로부터의 9개의 비트는 연결 채널(212)로 전달되고, 이 비트에 토글 회로(218)에 의해 채널(214)을 통해 제공된 최상위 비트가 부가된다. 따라서, 10비트 어드레스가 채널(212) 상에 생성된다. 그러나, 어드레스의 신뢰성을 보장하기 위하여, 어드레스 검사 회로(216)는 생성된 어드레스를 분석하여 기설정된 최대값을 초과하는지 여부를 판단한다. 기설정된 최대값은 사용되는 모드에 이용가능한 COFDM 심볼 내 데이터 심볼에 이용가능한 서브 캐리어 신호들의 최대 개수에 상당할 수 있다. 하지만, 1k 모드용 인터리버는 다른 모드용으로도 사용될 수 있어서, 어드레스 생성기(102) 또한 최대 유효 어드레스의 개수를 그에

따라 적절히 조절함으로써 2k 모드, 4k 모드, 8k 모드 및 16k 모드에도 사용될 수 있다.

<49> 만일 생성된 어드레스가 기설정된 최대값을 초과하면, 어드레스 검사 유닛(216)에 의해 제어 신호가 생성되어 연결 채널(220)을 통해 제어 유닛(224)으로 전달된다. 만일 생성된 어드레스가 기설정된 최대값을 초과하면, 이 어드레스는 거부되고 특정 심볼에 대한 새로운 어드레스가 재생성된다.

<50> 1k 모드에서, (N_r-1) 비트 워드 R'_i 가 정의되며, 여기서 $N_r = \log_2 M_{max}$ 이고, $M_{max} = 1024$ 이며, LFSR(Linear Feedback Shift Register)가 사용된다.

<51> 이와 같은 시퀀스를 생성하는데 사용되는 다항식은 다음과 같다.

<52>
$$1K \text{ mode: } R'_i[8] = R'_{i-1}[0] \oplus R'_{i-1}[4]$$

<53> 여기서 i 는 1부터 $M_{max}-1$ 까지 값을 갖는다.

<54> 일단 하나의 R'_i 워드가 생성되었다면, 이 R'_i 워드는 순열을 통해 R_i 라 하는 또 다른 (N_r-1) 비트 워드를 생성하며, R_i 는 다음과 같이 부여된 비트 순열에 의해 R'_i 로부터 유도된다.

<55>

R'_i 비트위치	8	7	6	5	4	3	2	1	0
R_i 비트위치	4	3	2	1	0	5	6	7	8

<56> 1k 모드의 비트 순열

<57> 일 예로서, 이것은 1k 모드에서 R'_i 의 비트수 8은 R_i 의 비트 위치 수 8로 전송됨을 의미한다.

<58> 그 다음 아래 수학적식을 통해 어드레스 $H(q)$ 가 R_i 로부터 유도된다.

<59>
$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

<60> 수학적식의 $(i \bmod 2) \cdot 2^{N_r-1}$ 성분은 도 5에서 토글 블럭 T(218)로 도시된다.

<61> 그런 다음 $H(q)$ 에 대해 어드레스 검사가 수행되어 생성된 어드레스가 허용가능한 어드레스의 범위 내에 존재하는지를 확인한다: 만일 $H(q) < N_{max}$ 이라면(여기서 1k 모드에서 예를 들면 $N_{max} = 756$ 임), 이 어드레스는 유효하다. 만일 어드레스가 유효하지 않으면, 제어 유닛은 통보를 받고 인덱스 i 를 증분함으로써 새로운 $H(q)$ 를 생성할 것이다.

<62> 토글 블럭의 역할은 한 행에서 두번 N_{max} 를 초과하는 어드레스를 생성하지 않도록 하는 것이다. 실제로, 만일 초과하는 값이 생성되었다면, 이것은 어드레스 $H(q)$ 의 MSB(즉, 토글 비트)가 1이었음을 의미한다. 그래서 생성된 다음값은 MSB가 0으로 설정되어, 유효 어드레스의 생성을 보장할 것이다.

<63> 아래 수학적식은 전체 거동을 개괄하고 이 알고리즘의 루프 구조의 이해를 돕는다.

$q = 0;$

for ($i = 0; i < M_{max}; i = i + 1$)

$\{ H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j;$

if ($H(q) < N_{max}$) $q = q + 1;$ }

<64>

<65> 끝이여 설명되는 바와 같이, 어드레스 생성기의 일 예에서, 전술한 순열 코드는 모든 OFDM 심볼들에 대한 어드레스들을 생성하는데 사용된다. 또 다른 예에서, 순열 코드들은 연속하는 OFDM 심볼들에 대한 순열 코드들의

세트가 주기를 이룬다는 효과를 갖고, 심볼들 사이에서 변결될 수 있다. 이를 위해, OFDM 심볼이 홀수인지 짝수인지를 표시하며 현재 모드의 표시를 제공하는 제어 라인들(108, 110)은 순열 코드를 선택하는데 사용된다. 복수의 순열 코드들이 주기를 이루는 이와 같은 예시적인 모드는 특히 홀수 인터리버만이 사용되는 후술하는 예에 적합하다. 상이한 순열 코드를 사용해야 함을 나타내는 신호가 제어 채널(111)을 통해 제공된다. 일 예에서, 가능한 순열 코드들은 순열 코드 회로(210)에 미리 저장된다. 또 다른 예에서, 제어 유닛(224)은 OFDM 심볼에 사용될 새로운 순열 코드를 제공한다.

<66>

<67> **1k 모드용 어드레스 생성기를 지원하는 분석**

<68> 1k 모드의 어드레스 생성기(102)를 위해 전술한 다항식 생성기 및 순열 코드를 선택하는 것은 인터리버의 상대적 성능에 대한 시뮬레이션 분석에 따라 확인되었다. 인터리버의 상대적 성능은 연속하는 심볼들을 분리하는 인터리버의 상대적 역량 또는 "인터리빙의 품질"을 이용하여 평가되었다. 전술한 바와 같이, 단일 인터리버 메모리를 이용하기 위해서는 홀수 및 짝수 심볼에 대한 인터리빙이 효과적으로 수행되어야 한다. 인터리버 품질의 상대적 척도는 (서브 캐리어들의 개수의) 거리 D를 정의함으로써 결정된다. 인터리버의 입력에서 D와 같거나 작은 거리에 있었던 인터리버의 출력에서 D와 같거나 작은 거리에 있는 서브 캐리어의 개수를 확인하기 위한 기준 C가 선택되며, 각 거리 D의 서브 캐리어의 개수는 상대적 거리에 대하여 가중된다. 그 기준 C는 홀수 및 짝수 COFDM 심볼들 모두에 대해 평가된다. C를 최소화하면 양호한 품질의 인터리버를 만들수 있다.

$$C = \sum_1^{d=D} N_{even}(d) / d + \sum_1^{d=D} N_{odd}(d) / d$$

<69>

<70> 여기서 $N_{even}(d)$ 및 $N_{odd}(d)$ 는 인터리버의 출력에서 각기 서로의 d의 서브 캐리어 공간 내에 남아 있는 짝수 및 홀수 심볼의 서브 캐리어의 개수이다.

<71> 1k 모드에 대해 앞에서 확인된 D=5의 값에 대한 인터리버의 분석은 짝수 COFDM 심볼에 대해서는 도 6a에 도시되고 홀수 COFDM 심볼에 대해서는 도 6b에 도시된다. 상기 분석에 따르면, 1k 모드에 대해 앞에서 확인된 순열 코드에 대한 C 값은 C=24의 값을 생성하였으며, 즉 출력에서 상기 수학적식에 따라서 5 이하로 분리된 심볼들에 가중된 서브 캐리어의 개수는 24이었다.

<72> 도 6c의 짝수 COFDM 심볼들과 도 6d의 홀수 COFDM 심볼들에 대한 대안의 순열 코드에 대해 대응되게 분석된다. 도 6a 및 도 6b에 예시된 결과와 비교하여 알수 있는 바와 같이, 앞에서 확인된 1k 모드의 심볼 인터리버에 대한 순열 코드가 양호한 품질의 인터리버를 생성하는 것을 예시하는 도 6a 및 도 6b에 도시된 결과와 비교할 때, D=1, 및 D=2와 같이 약간의 거리만큼 떨어져 있는 심볼들을 나타내는 성분들이 더 많이 존재한다.

<73> **대안의 순열 코드**

<74> 앞에서 확인된 기준 C에 의해 결정된 양호한 품질을 갖는 심볼 인터리버를 제공하는 다음의 대안의 가능한 10개 코드($[n]R_i$ 비트 위치, n은 1 내지 10)가 발견되었다.

<75>

R'_i 비트위치	8	7	6	5	4	3	2	1	0
[1] R_i 비트위치	5	3	2	1	0	6	7	4	8
[2] R_i 비트위치	4	3	2	1	0	6	7	5	8
[3] R_i 비트위치	4	3	2	1	0	5	7	6	8
[4] R_i 비트위치	3	2	1	5	0	6	4	7	8
[5] R_i 비트위치	4	2	3	0	1	7	5	8	6
[6] R_i 비트위치	4	2	3	0	1	5	7	8	6
[7] R_i 비트위치	4	2	3	0	1	5	6	8	7
[8] R_i 비트위치	3	2	5	0	1	4	7	8	6
[9] R_i 비트위치	4	2	3	0	1	5	7	8	6
[10] R_i 비트위치	4	3	2	1	0	5	6	7	8

<76> 1k 모드의 비트 순열

<77> **수신기**

<78> 도 7은 본 발명의 기술과 함께 사용될 수 있는 수신기의 예를 예시한다. 도 7에 도시된 바와 같이, COFDM 신호는 안테나(300)에 의해 수신되어 튜너(302)에 의해 검출되고 아날로그-디지털 변환기(304)에 의해 디지털 형태로 변환된다. 보호 구간 제거 처리기(306)는 수신된 COFDM 심볼로부터 보호 구간을 제거한 다음에, 공지 기술에 따라서 임베디드-시그널링 디코딩 유닛(311)과 협력하는 채널 추정기 및 정정(310)과 결합하여 고속 푸리에 변환(FFT) 처리기(308)를 이용하여 COFDM 심볼로부터 데이터를 복구한다. 복조된 데이터는 디매퍼(312)로부터 복구되어 심볼 디인터리버(314)에 전달되며, 이 심볼 디인터리버는 수신된 데이터 심볼의 역매핑을 수행하여 데이터가 디인터리브된 출력 데이터 스트림을 재생성하도록 동작한다.

<79> 심볼 디인터리버(314)는 도 7에 도시된 바와 같이 인터리버 메모리(540) 및 어드레스 생성기(542)를 구비한 데이터 처리 장치로부터 형성된다. 인터리버 메모리는 도 4에 도시된 바와 같고 앞에서 이미 설명된 바와 같이 어드레스 생성기(542)에 의해 생성된 어드레스의 세트들을 활용하여 디인터리빙을 수행하도록 동작한다. 어드레스 생성기(542)는 도 8에 도시된 바와 같이 형성되어 해당 어드레스를 생성하여 각각의 COFDM 서브 캐리어 신호들로부터 복구된 데이터 심볼들을 출력 데이터 스트림으로 매핑하도록 배치된다.

<80> 도 7에 도시된 COFDM 수신기의 나머지 요소들은 에러 정정 디코딩(318)을 수행하여 에러를 정정하고 소스 데이터의 추정치를 복구하도록 제공된다.

<81> 본 발명의 기술에 의해 제공되는 수신기 및 송신기의 한가지 강점은 수신기 및 송신기에서 동작하는 심볼 인터리버 및 심볼 디인터리버가 1k, 2k, 4k, 8k, 16k 및 32k 모드 사이에서 전환될 수 있다는 것이다. 따라서, 도 8에 도시된 어드레스 생성기(542)는 모드를 가리키는 입력(544)과, 홀수/짝수 COFDM 심볼의 존재 여부를 가리키는 입력(546)을 포함한다. 이에 의해 적응적 구현예가 제공되는데, 이것은 심볼 인터리버 및 디인터리버가, 도 5에 예시된 바와 같은 어드레스 생성기와 함께, 도 3 및 8에 도시된 바와 같이 생성될 수 있기 때문이다. 따라서, 어드레스 생성기는 생성기 다항식 및 각각의 모드에 대해 지정된 순열 순서로 변경함으로써 다른 모드들에 적용될 수 있다. 예를 들어, 이것은 소프트웨어를 변경함으로써 수행될 수 있다. 대안으로, 다른 실시예에서, DVB-T2 전송의 모드를 가리키는 임베디드 신호가 임베디드-시그널링 처리 유닛(311) 내 수신기에서 검출되고 검출된 모드에 따라서 심볼 디인터리버를 자동적으로 구성하는데 사용될 수 있다.

<82>

<83> **홀수 인터리버의 최적 사용**

<84> 도 4에 도시된 바와 같이, 하나가 짝수 COFDM 심볼용이고 다른 하나는 홀수 OFDM 심볼용인 두가지 심볼 인터리빙 처리기는 인터리빙 동안에 사용되는 메모리량을 줄여준다. 도 4에 도시된 예에서 홀수 심볼의 라이트 인 순서는 짝수 심볼의 리드 아웃 순서와 같으며, 홀수 심볼이 메모리로부터 리드되는 동안에 짝수 심볼이 리드된 바로 그 위치에 라이트될 수 있으며, 이어서 그 짝수 심볼이 메모리로부터 리드될 때, 다음의 홀수 심볼이 리드된 바로 그 위치에 라이트될 수 있다.

<85> 전술한 바와 같이, (앞에서 정의된 기준 C를 이용하고 도 9(a) 및 도 9(b)에 도시된) 인터리버의 성능을 실험 분석하는 동안에, DVB-T의 2k 및 8k 심볼 인터리버와 DVB-H의 4k 심볼 인터리버 용의 인터리빙 방식이 짝수 심볼보다 홀수 심볼에 더 잘 동작함을 발견하였다. 따라서, 예를 들어, 도 9(a) 및 도 9(b)에 예시된 바와 같이, 인터리버의 성능 평가 결과로부터 홀수 인터리버가 짝수 인터리버보다 더 잘 동작함이 밝혀졌다. 이것은 짝수 심볼의 인터리버 결과를 나타내는 도 9(a)와 홀수 심볼의 결과를 예시하는 도 9(b)를 비교함으로써 알수가 있었다. 즉, 인터리버의 입력에서 인접했었던 서브 캐리어의 인터리버 출력에서의 평균 거리는 짝수 심볼의 인터리버보다 홀수 심볼의 인터리버가 더 크다는 것을 알 수가 있었다.

<86> 인식되는 바와 같이, 심볼 인터리버를 구현하는데 필요한 인터리버 메모리량은 COFDM 캐리어 심볼 상에 매핑될 데이터 심볼의 개수에 따라 결정된다. 따라서, 16k 모드 심볼 인터리버는 32k 모드의 심볼 인터리버를 구현하는데 필요한 메모리의 1/2이 필요하며, 유사하게 8k 심볼 인터리버를 구현하는데 필요한 메모리량은 16k 인터리버를 구현하는데 필요한 메모리의 1/2이다. 그러므로, 송신기 또는 수신기는 소정 모드의 심볼 인터리버를 구현하도록 구성되고, 이것은 OFDM 심볼 당 전달될 수 있는 최대 데이터 심볼의 개수를 설정하며, 그 수신기 또는 송신기는 어떤 다른 모드의 두가지 홀수 인터리빙 처리들을 구현하는데 충분한 메모리를 포함할 것이며, 이것은

그 소정의 최대의 모드에서 OFDM 심볼 당 서브 캐리어의 개수의 1/2이거나 그보다 적게 해준다. 예를 들어, 32k 인터리버를 포함하는 수신기 또는 송신기는 각기 자신의 16k 메모리를 갖는 두가지 16k 홀수 인터리빙 처리들을 수용하기에 충분한 메모리를 구비할 것이다.

<87> 따라서, 홀수 인터리빙 처리의 성능을 더욱 양호하게 개발하기 위하여, 다수의 변조 모드를 수용할 수 있는 심볼 인터리버는 OFDM 심볼 당 최대 개수의 서브 캐리어를 나타내는 최대 모드의 서브 캐리어의 개수의 1/2 또는 그보다 적은 모드인 경우, 단지 홀수 심볼 인터리빙 처리가 사용되도록 구성될 수 있다. 이에 의해, 이와 같은 최대 모드는 최대의 메모리 크기를 설정한다. 예를 들어, 32k 모드가 가능한 송신기/수신기에서 더 적은 캐리어(즉, 16k, 8k, 4k, 또는 1k)를 갖는 모드로 동작할 때, 개별의 홀수 및 짝수 심볼 인터리빙 처리들을 채용하는 것 보다 2개의 홀수 인터리버가 사용될 것이다.

<88> 도 10에는 단지 홀수 인터리빙 모드에서 입력 데이터 심볼들을 OFDM 심볼의 서브 캐리어들 상에 인터리빙할 때 도 3에서 도시된 심볼 인터리버(33)의 적응예가 도시된다. 심볼 인터리버(33.1)는 어드레스 생성기(102.1)가 홀수 인터리빙 처리만을 수행하도록 적응된 것 외에는 도 3에 도시된 심볼 인터리버(33)에 정확하게 대응한다. 도 10에 도시된 예에서, 심볼 인터리버(33.1)는 OFDM 심볼 당 전달될 수 있는 데이터 심볼의 개수가 OFDM 심볼 당 가장 큰 개수의 서브 캐리어를 갖는 모드에서 OFDM 심볼에 의해 전달될 수 있는 최대 개수의 1/2보다 적은 모드로 동작한다. 이와 같이, 심볼 인터리버(33.1)는 인터리버 메모리(100)를 분할하도록 구성되었다. 도 10에 도시된 본 발명의 예에서, 인터리버 메모리(100)는 2개 부분(401, 402)으로 분할된다. 홀수 인터리빙 처리를 이용하여 데이터 심볼들을 OFDM 심볼들 상에 매핑하는 모드에서 동작하는 심볼 인터리버(33.1)의 일 예로서, 도 10은 인터리버 메모리(401, 402)의 각각의 절반의 확대도를 제공한다. 확대도는 도 4에서 재생된 4개의 심볼(A, B, C, D)에 대해 송신기 측에 나타난 홀수 인터리빙 모드의 일 예를 제시한다. 그러므로, 도 10에 도시된 바와 같이, 연속하는 제1 및 제2 데이터 심볼 세트들의 경우 데이터 심볼들이 어드레스 생성기(102)에 의해 생성되는 어드레스에 따라 순차적 순서로 인터리버 메모리(402)에 라이트되고 전송한 바와 같은 어드레스 생성기에 의해 생성된 어드레스에 따라 순열 순서로 리드된다. 그래서, 도 10에 예시된 바와 같이, 연속하는 제1 및 제2 데이터 심볼 세트들에 대한 홀수 인터리빙 처리가 수행되므로, 인터리버 메모리는 2개 부분으로 분할되어야 한다. 제1 데이터 심볼 세트로부터의 심볼들은 인터리버 심볼(401)의 전반부에 라이트되고 제2 데이터 심볼 세트로부터의 심볼들은 인터리버 메모리(402)의 후반부에 라이트되는데, 이는 심볼 인터리버가 홀수 및 짝수 인터리빙 모드에서 동작할 때 수용될 수 있는 심볼 인터리버 메모리의 동일 부분들을 더 이상 다시 사용할 수 없기 때문이다.

<89> 도 11에는 도 8에 존재하지만 단지 홀수 인터리빙 처리를 동작하도록 구성된 수신기 내 인터리버의 대응예가 도시된다. 도 11에 도시된 바와 같이, 인터리버 메모리(540)는 2개의 절반부(410, 412)로 분할되며, 그리고 어드레스 생성기(542)는 연속적인 데이터 심볼의 세트들이 홀수 인터리빙 처리만을 구현하도록 데이터 심볼들을 인터리버 메모리에 라이트하고 데이터 심볼들을 인터리버 메모리로부터 각각의 메모리 부분(410, 412)으로 리드한다. 그러므로, 도 10에 도시된 표현에 따라서, 도 11은 인터리빙 메모리(410, 412)의 전반부 및 후반부에 대해 동작하는 확대도로서 수신기에서 수행되고 도 4에 예시된 인터리빙 처리의 매핑을 도시한다. 따라서, 제1 데이터 심볼 세트는 1, 3, 0, 2의 라이트 시퀀스를 제공하는 데이터 심볼들의 라이트 순서로 예시된 바와 같이 어드레스 생성기(542)에 의해 생성되는 어드레스에 따라서 정의된 순열 순서로 인터리버 메모리(410)의 제1 부분에 라이트된다. 예시된 바와 같이, 데이터 심볼들을 순차적 순서로 인터리버 메모리(410)의 제1 부분으로부터 리드하여서 원래의 시퀀스(A, B, C, D)를 복구한다.

<90> 이에 대응되게, 연속하는 OFDM 심볼로부터 복구된 제2의 후속 데이터 심볼 세트가 어드레스 생성기(542)에 의해 생성된 어드레스에 따라서 순열 순서로 인터리버 메모리(412)의 후반부에 라이트되고 순차적 순서로 출력 데이터 스트림으로 리드된다.

<91> 일 예에서, 제1 데이터 심볼 세트를 인터리버 메모리(410)의 전반부에 라이트하기 위해 생성된 어드레스들은 제2의 후속 데이터 심볼 세트를 인터리버 메모리(412)에 라이트하는데 재사용될 수 있다. 이에 대응되게, 송신기 도 메모리의 후반부에 순차적 순서로 라이트되는 제2 데이터 심볼 세트를 리드하기 위해 제1 데이터 심볼 세트에 대한 인터리버의 절반부용으로 생성된 어드레스를 재사용할 수 있다.

<92> **육셋을 갖는 홀수 인터리버**

<93> 단일의 홀수 전용 인터리버라기 보다 홀수 전용 인터리버 시퀀스를 이용함으로써 2개의 홀수 인터리버를 이용하는 인터리버의 성능이 더욱 향상되어서, 상기 인터리버로 입력되는 모든 데이터 비트는 항상 OFDM 심볼 내 동일한 캐리어를 변조하지 않는다.

- <94> 홀수 전용 인터리버 시퀀스는,
- <95> · 데이터 캐리어들의 개수로 모듈로 한 인터리버 어드레스에 오프셋을 더하거나,
- <96> · 인터리버 내 순열 시퀀스를 이용함으로써 실현될 수 있다.
- <97> **오프셋 부가**
- <98> 데이터 캐리어들의 개수로 모듈로 한 인터리버 어드레스에 오프셋을 더하면 OFDM 심볼을 효과적으로 시프트하고 랩 어라운드하여서, 상기 인터리버로 입력되는 모든 데이터 비트는 OFDM 심볼 내 동일한 캐리어를 항상 변조하지 않는다. 그러므로, 어드레스 생성기는 어드레스 생성기에 의해 생성된 어드레스의 오프셋을 출력 채널 H(q) 상에 생성하는 오프셋 생성기를 선택적으로 포함할 수 있다.
- <99> 상기 오프셋은 각각의 심볼을 변경할 것이다. 예를 들어, 이러한 오프셋은 주기적 시퀀스(cyclic sequence)일 수 있다. 이러한 주기적 시퀀스는, 예를 들어, 길이 4로 구성될 수 있으며, 그리고 예를 들어, 소수로 구성될 수 있다. 예를 들어, 이러한 시퀀스는 다음과 같을 수 있다:
- <100> 0, 41, 97, 157
- <101> 또한, 상기 오프셋은 유사한 OFDM 심볼 인터리버로부터 또 다른 어드레스 생성기에 의해 생성될 수 있는 랜덤 시퀀스일 수 있으며, 또는 어떤 다른 수단에 의해 생성될 수 있다.
- <102> **순열 시퀀스의 사용**
- <103> 도 5에 도시된 바와 같이, 제어 라인(111)은 어드레스 생성기의 제어 유닛으로부터 순열 회로까지 연장된다. 전술한 바와 같이, 일예에서, 어드레스 생성기는 연속하는 OFDM 심볼들에 대한 순열 코드들의 세트와 상이한 순열 코드를 적용할 수 있다. 인터리버 어드레스 생성기에서 순열 시퀀스를 사용하면 인터리버로 입력되는 임의의 데이터 비트가 OFDM 심볼 내에서 동일한 서브 캐리어를 항상 변조할 가능성을 줄여준다.
- <104> 예를 들어, 이것은 시퀀스 내 순열 코드들의 세트에서 상이한 순열 코드가 연속하는 OFDM 심볼들에 사용되도록 주기적 시퀀스일 수 있다. 이와 같은 주기적 시퀀스는, 예를 들어, 2 또는 4의 길이로 구성될 수 있다. 16k 심볼 인터리버를 예로 들면, OFDM 심볼마다 주기를 이루는 2개의 순열 코드로 이루어진 시퀀스는 예를 들어 다음과 같다.
- <105> 8 4 3 2 0 11 1 5 12 10 6 7 9
- <106> 7 9 5 3 11 1 4 0 2 12 10 8 6
- <107> 반면에 4개의 순열 코드로 이루어진 시퀀스는 다음과 같다.
- <108> 8 4 3 2 0 11 1 5 12 10 6 7 9
- <109> 7 9 5 3 11 1 4 0 2 12 10 8 6
- <110> 6 11 7 5 2 3 0 1 10 8 12 9 4
- <111> 5 12 9 0 3 10 2 4 6 7 8 11 1
- <112> 하나의 순열 코드를 또 다른 순열 코드로 전환하는 것은 제어 채널(108) 상에 표시된 홀수/짝수 신호가 변경시 이에 응답하여 수행될 수 있다. 이에 응답하여, 제어 유닛(224)은 제어 라인(111)을 통해 순열 코드 회로(210) 내 순열 코드를 변경한다.
- <113> 1k 심볼 인터리버를 예로 들면, 2개의 순열 코드는 다음과 같다.
- <114> 4 3 2 1 0 5 6 7 8
- <115> 3 2 5 0 1 4 7 8 6
- <116> 반면에 4개의 순열 코드들은 다음과 같다.
- <117> 4 3 2 1 0 5 6 7 8
- <118> 3 2 5 0 1 4 7 8 6
- <119> 7 5 3 8 2 6 1 4 0

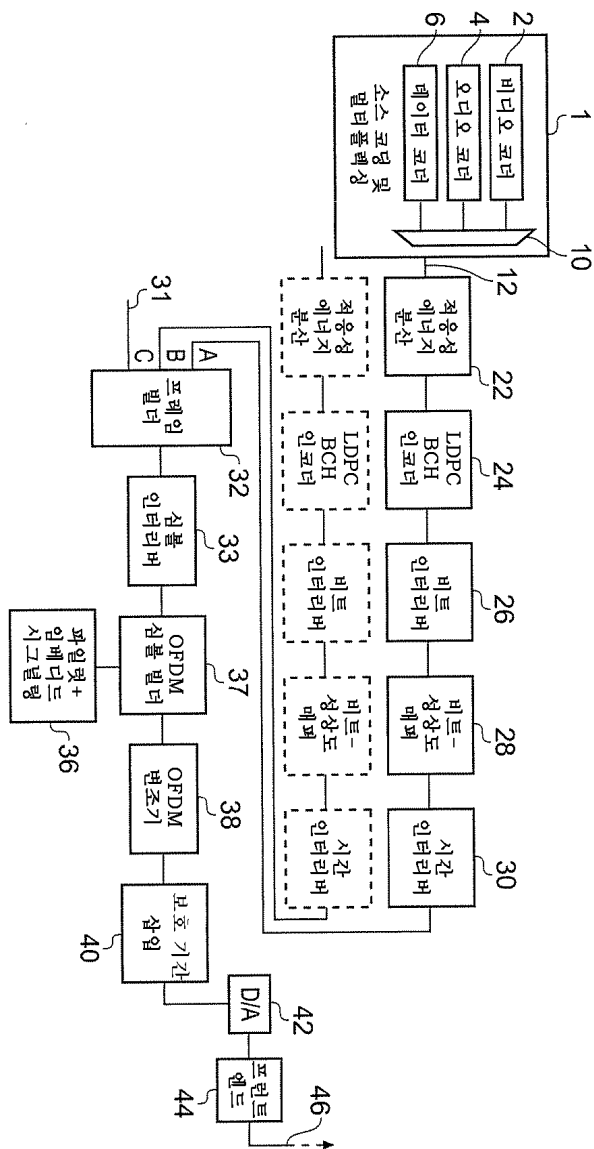
- <120> 1 6 8 2 5 3 4 0 7
- <121> 2k, 4k 및 8k 캐리어 모드 또는 0.5k 캐리어 모드에서는 다른 시퀀스의 조합들이 가능할 수 있다. 예를 들어, 각각의 0.5k, 2k, 4k 및 8k 에서 다음의 순열 코드들은 심볼들의 디코릴레이션을 양호하게 해주며 주기적으로 사용되어 어드레스 생성기에 의해 다음의 각각의 모드들에서 생성된 어드레스에 대한 읍셋을 생성할 수 있다.
- <122> 2k 모드:
- <123> 0 7 5 1 8 2 6 9 3 4 *
- <124> 4 8 3 2 9 0 1 5 6 7
- <125> 8 3 9 0 2 1 5 7 4 6
- <126> 7 0 4 8 3 6 9 1 5 2
- <127> 4k 모드:
- <128> 7 10 5 8 1 2 4 9 0 3 6 **
- <129> 6 2 7 10 8 0 3 4 1 9 5
- <130> 9 5 4 2 3 10 1 0 6 8 7
- <131> 1 4 10 3 9 7 2 6 5 0 8
- <132> 8k 모드:
- <133> 5 11 3 0 10 8 6 9 2 4 1 7 *
- <134> 10 8 5 4 2 9 1 0 6 7 3 11
- <135> 11 6 9 8 4 7 2 1 0 10 5 3
- <136> 8 3 11 7 9 1 5 6 4 0 2 10
- <137> 상기에 표시된 순열 코드에서, 첫번째 2개는 2 시퀀스 주기로 사용될 수 있으며, 반면에 4개 모두는 4 시퀀스 주기에 사용될 수 있다. 또한, 인터리브된 심볼들(몇몇은 상기와 공통임)에서 양호한 디코릴레이션을 위해 어드레스 생성기의 읍셋을 제공하도록 주기를 이루는 4개의 순환 코드들로 이루어진 약간의 추가적인 시퀀스들이 아래에 제공된다.
- <138> 0.5k 모드:
- <139> 3 7 4 6 1 2 0 5
- <140> 4 2 5 7 3 0 1 6
- <141> 5 3 6 0 4 1 2 7
- <142> 6 1 0 5 2 7 4 3
- <143> 2k 모드:
- <144> 0 7 5 1 8 2 6 9 3 4 *
- <145> 3 2 7 0 1 5 8 4 9 6
- <146> 4 8 3 2 9 0 1 5 6 7
- <147> 7 3 9 5 2 1 0 6 4 8
- <148> 4k 모드:
- <149> 7 10 5 8 1 2 4 9 0 3 6 **
- <150> 6 2 7 10 8 0 3 4 1 9 5
- <151> 10 3 4 1 2 7 0 6 8 5 9

- <152> 0 8 9 5 10 4 6 3 2 1 7
 - <153> 8k 모드:
 - <154> 5 11 3 0 10 8 6 9 2 4 1 7 *
 - <155> 8 10 7 6 0 5 2 1 3 9 4 11
 - <156> 11 3 6 9 2 7 4 10 5 1 0 8
 - <157> 10 8 1 7 5 6 0 11 4 2 9 3
 - <158> * 이것은 DVB-T 표준에서 순열이다
 - <159> ** 이것은 DVB-H 표준에서 순열이다.
 - <160> 2k, 4k 및 8k 모드의 어드레스 생성기, 및 대응하는 인터리버의 예는 유럽 특허 출원 제 04251667.4 호에 개시되며, 이 출원의 콘텐츠는 본 명세서에서 참조문헌으로 인용된다. 0.5k 모드의 어드레스 생성기는 본 출원인에 의해 계류중인 UK 특허 출원 제 0722553.5 호에 개시된다.
 - <161> 본 발명의 범주로부터 이탈함이 없이 전술한 실시예에 대한 각종 변형이 있을 수 있다. 특히, 본 발명의 양태를 나타내기 위해 사용된 생성기 다항식 및 순열 순서의 예시적인 표현은 생성기 다항식 및 순열 순서를 제한하는 것으로 의도하지 않으며 그의 등가의 형태로 확장하는 것으로 의도한다.
 - <162> 인식되는 바와 같이, 도 1 및 도 7에서 각기 도시된 송신기 및 수신기는 단지 예시적인 것으로 제공되고 제한하는 것으로 의도하지 않는다. 예를 들어, 비트 인터리버 및 매핑기 및 디매핑기에 대한 심볼 인터리버 및 디인터리버의 위치는 변경될 수 있음이 인식될 것이다. 비록 인터리버가 v-비트 벡터 대신에 I/Q 심볼을 인터리빙 할지라도, 인터리버 및 디인터리버의 효과는 그들의 상대적 위치에 의해 변경되지 않는다. 수신기에서 대응하는 변경이 있을 수 있다. 따라서, 인터리버 및 디인터리버는 상이한 데이터 형태에 대해 동작할 수 있으며, 예시적인 실시예에서 설명된 위치와 다르게 배치될 수 있다.
 - <163> 전술한 바와 같이, 특정 모드의 구현예를 참조하여 설명된 상기 인터리버의 순열 코드 및 생성기 다항식은 그 모드의 서브 캐리어들의 개수에 따라서 기설정된 최대 허용 어드레스를 변경함으로써 다른 모드들에 동일하게 적용될 수 있다.
 - <164> 전술한 바와 같이, 본 발명의 실시예들은 본 명세서에서 참조문헌으로 인용된 DVB-T, DVB-T2 및 DVB-H와 같은 DVB 표준을 응용한다. 예를 들어, 본 발명의 실시예들은 핸드헬드 이동 단말기에서 DVB-H 표준에 따라서 동작하는 송신기 또는 수신기에서 사용될 수 있다. 이들 이동 단말기들은, 예를 들어, 이동 전화기(제2, 제3, 또는 그 이상의 세대) 또는 휴대용 정보 단말기(Personal Digital Assistants) 또는 타블렛 PC와 통합될 수 있다. 이러한 이동 단말기들은 빌딩 내에서, 또는 예를 들어, 자동차 또는 열차가 고속으로 이동 중에도 DVB-H 또는 DVB-T 호환 가능한 신호들을 수신할 수 있다. 이들 이동 단말기들은, 예를 들어, 배터리, 메인 전력 또는 저전압 DC 전원예에 의해 작동될 수 있으며 또는 자동차 배터리에 의해 작동될 수 있다. DVB-H에 의해 제공될 수 있는 서비스들은 음성, 메시징, 인터넷 브라우징, 라디오, 정지 및/또는 동영상, 텔레비전 서비스, 인터랙티브 서비스, 주문형 및 선택형 비디오 또는 유사 주문형 및 선택형 비디오(video or near-video on demand and option) 서비스가 있을 수 있다. 이들 서비스들은 서로 결합하여 동작할 수 있다. 다른 예에서, 본 발명의 실시예들은 ESTI 표준 EN 302 755에 따라서 특정된 바와 같은 DVB-T2 표준을 응용한다. 다른 실시예에서, 본 발명의 실시예들은 DVB-C2라 하는 케이블 전송 표준을 응용한다. 그러나, 본 발명이 DVB의 응용으로 국한되지 않고 다른 고정식 및 이동식의 전송 또는 수신 표준들로 확장될 수 있음을 인식할 것이다.
- 도면의 간단한 설명**
- <165> 이제 본 발명의 실시예들은 첨부한 도면을 참조해서만 예시로서 기술될 것이며, 유사한 부분들은 대응하는 참조번호로 제공된다.
 - <166> 도 1은, 예를 들어, DVB-T2 표준과 함께 사용될 수 있는 부호화된(Coded) OFDM 송신기의 개략적인 블럭도이다.
 - <167> 도 2는 심볼 매핑기 및 프레임 구축기가 인터리버의 동작을 예시하는 도 1에 도시된 송신기의 구성 요소의 개략적인 블럭도이다.

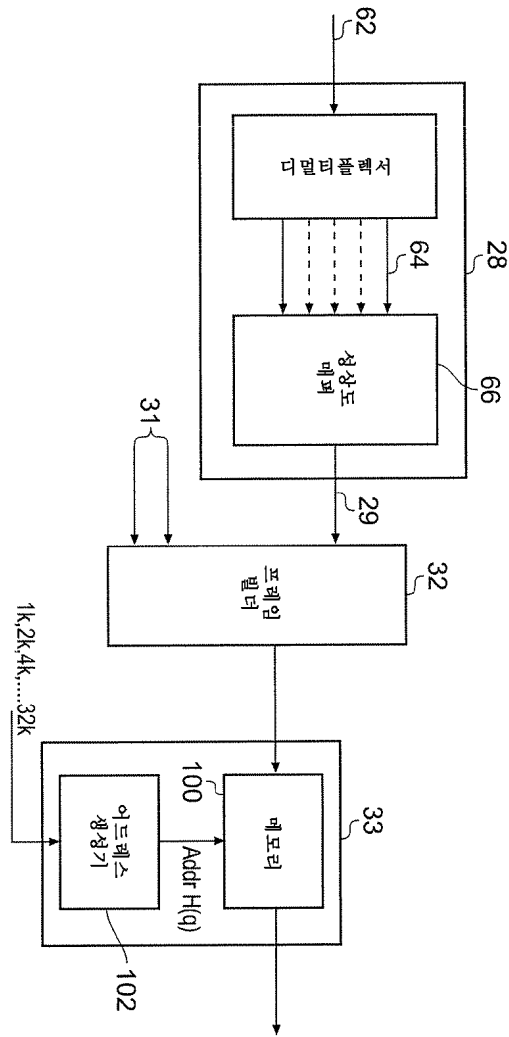
- <168> 도 3은 도 2에 도시된 심볼 인터리버의 개략적인 블록도이다.
- <169> 도 4는 도 3에 도시된 인터리버 메모리 및 수신기 내 대응하는 심볼 디인터리버의 개략적인 블록도이다.
- <170> 도 5는 도 3에 도시된 1k 모드의 어드레스 생성기의 개략적인 블록도이다.
- <171> 도 6a는 도 5에 도시된 짝수 심볼에 대한 어드레스 생성기를 이용한 인터리버의 결과를 예시하는 도면이고 도 6b는 홀수 심볼에 대한 디자인 시뮬레이션 결과를 예시하는 도면이며, 반면에 도 6c는 짝수 심볼에 다른 순열 코드를 이용한 어드레스 생성기의 비교 결과를 예시하는 도면이고 도 6d는 홀수 심볼의 대응하는 도면이다.
- <172> 도 7은, 예를 들어, DVB-T2 표준과 함께 사용될 수 있는 부호화된 OFDM 수신기의 개략적인 블록도이다.
- <173> 도 8은 도 7에 도시된 심볼 디인터리버의 개략적인 블록도이다.
- <174> 도 9a는 짝수 OFDM 심볼들에 대한 인터리버의 결과를 도시하는 도면이고, 도 9b는 홀수 OFDM 심볼에 대한 결과를 예시하는 도면이다.
- <175> 도 10은 도 3에 도시된 심볼 인터리버의 개략적인 블록도를 제공하는 것으로서, 단지 홀수 인터리빙 모드에 따라서 인터리빙을 수행하는 동작 모드를 예시하는 도면이다.
- <176> 도 11은 도 8에 도시된 심볼 디인터리버의 개략적인 블록도를 제공하는 것으로서, 단지 홀수 인터리빙 모드에 따라서 인터리빙을 수행하는 동작 모드를 예시하는 도면이다.
- <177> <도면의 주요 부분에 대한 부호의 설명>
- <178> 2: 비디오 코더
- <179> 4: 오디오 코더
- <180> 6: 데이터 코더
- <181> 30: 시간 인터리버
- <182> 32: 프레임 구축기
- <183> 33: 심볼 인터리버
- <184> 38: OFDM 변조기
- <185> 100: 메모리
- <186> 102: 어드레스 생성기
- <187> 302: 튜너

도면

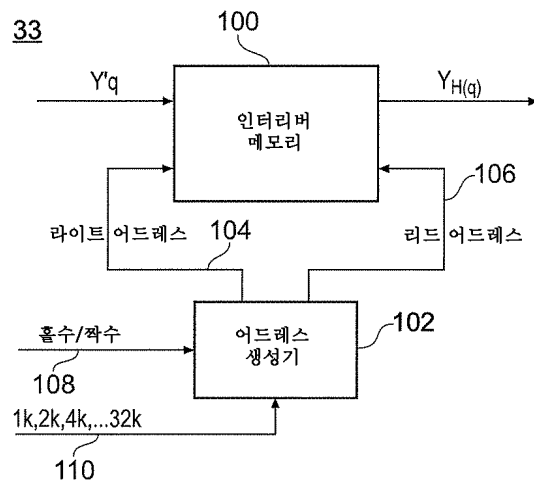
도면1



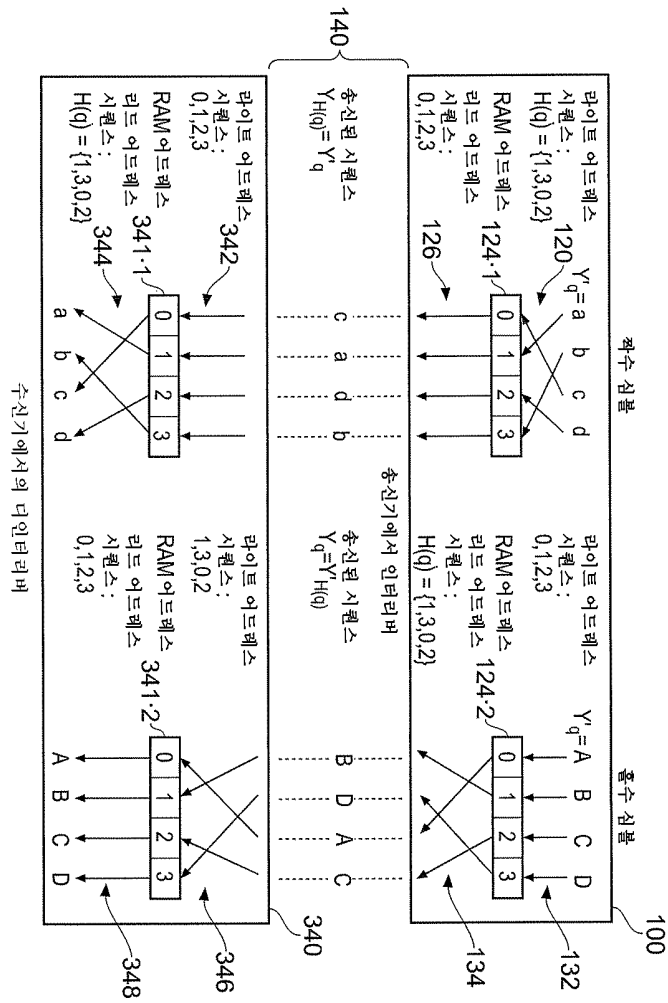
도면2



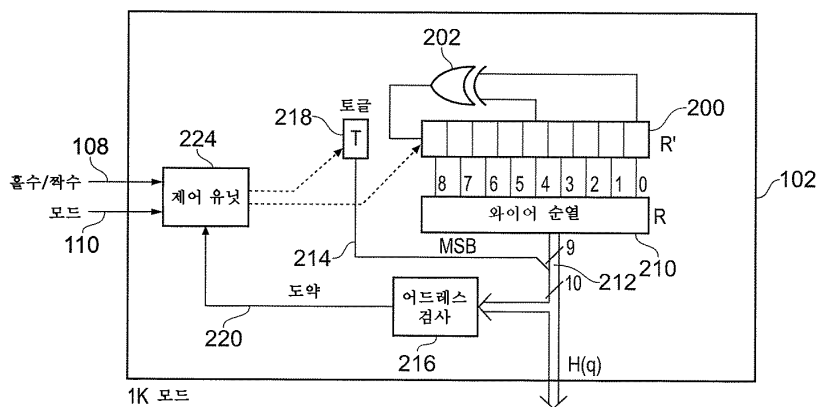
도면3



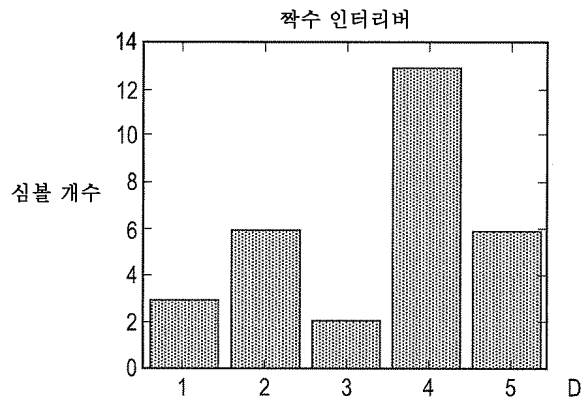
도면4



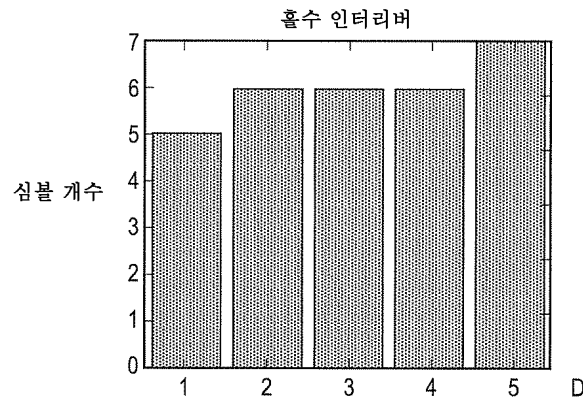
도면5



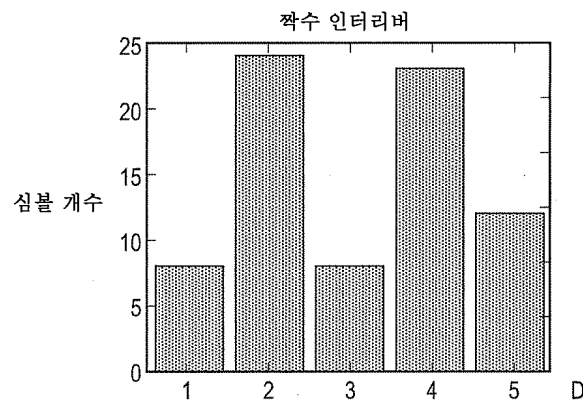
도면6a



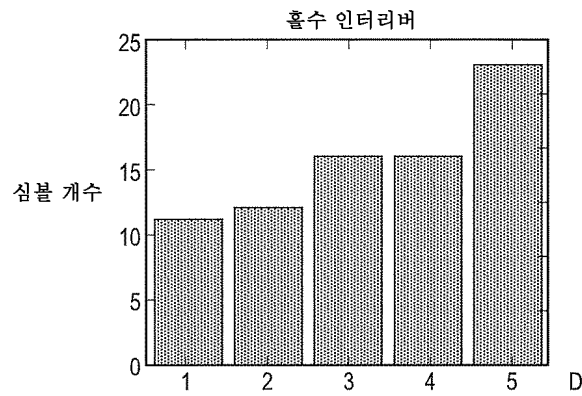
도면6b



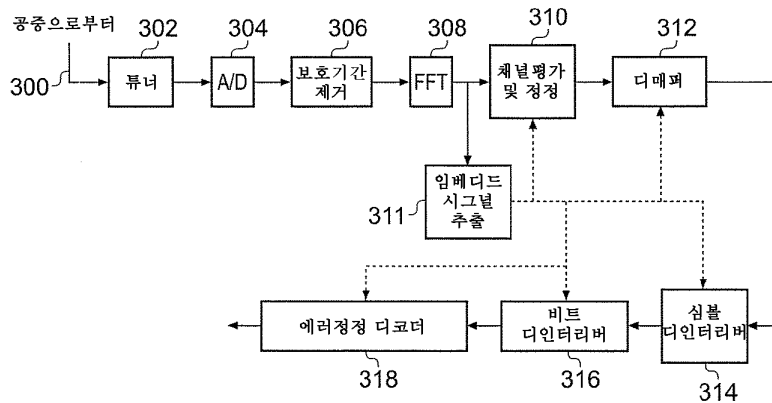
도면6c



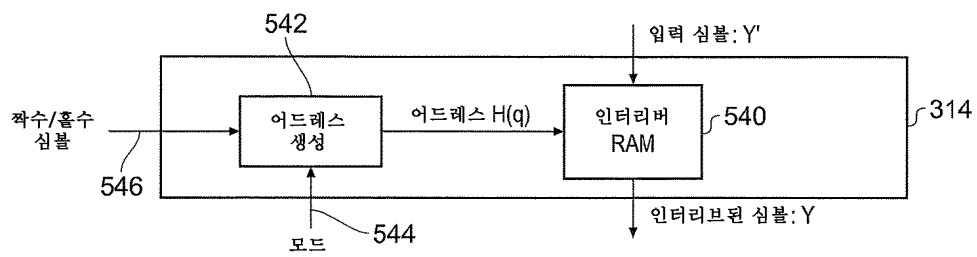
도면6d



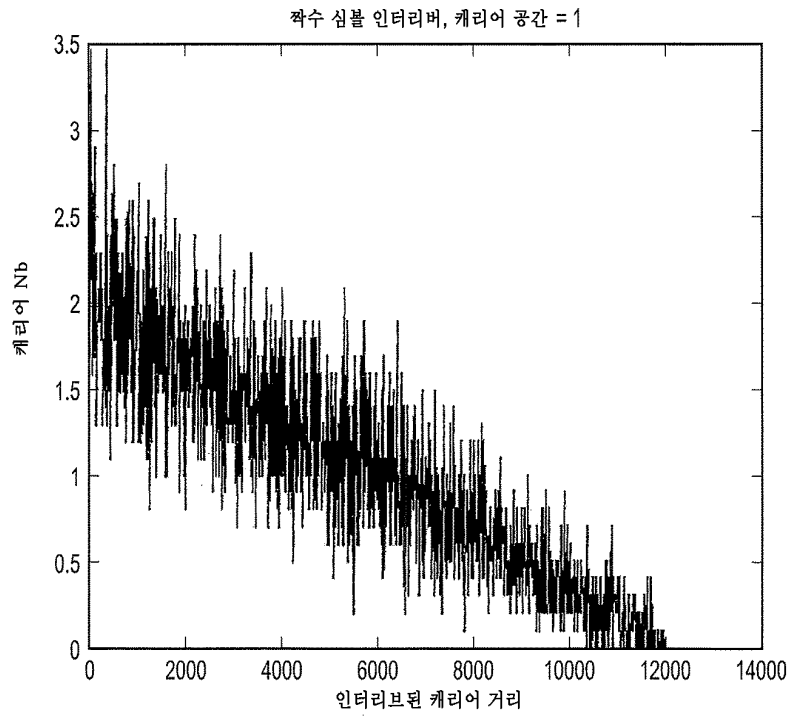
도면7



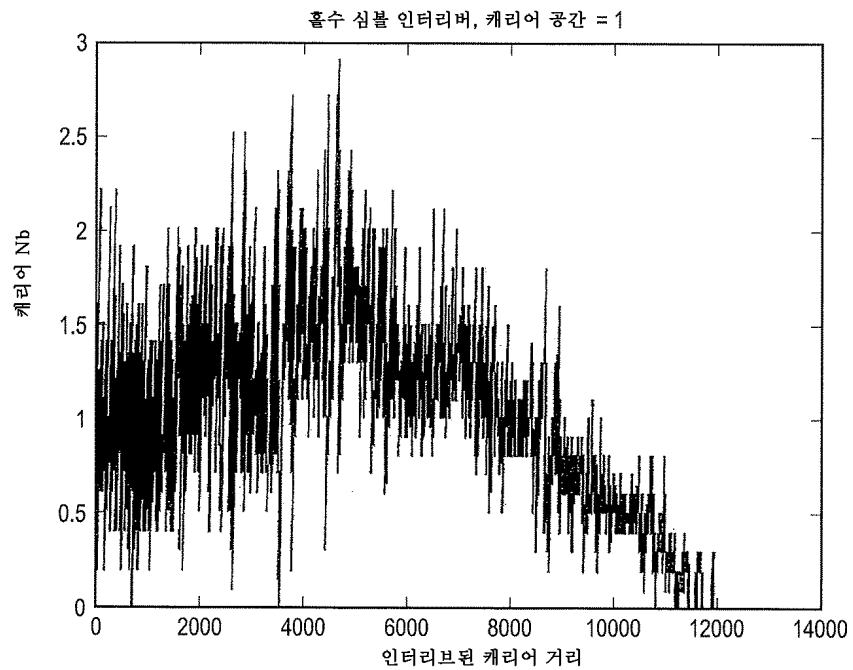
도면8



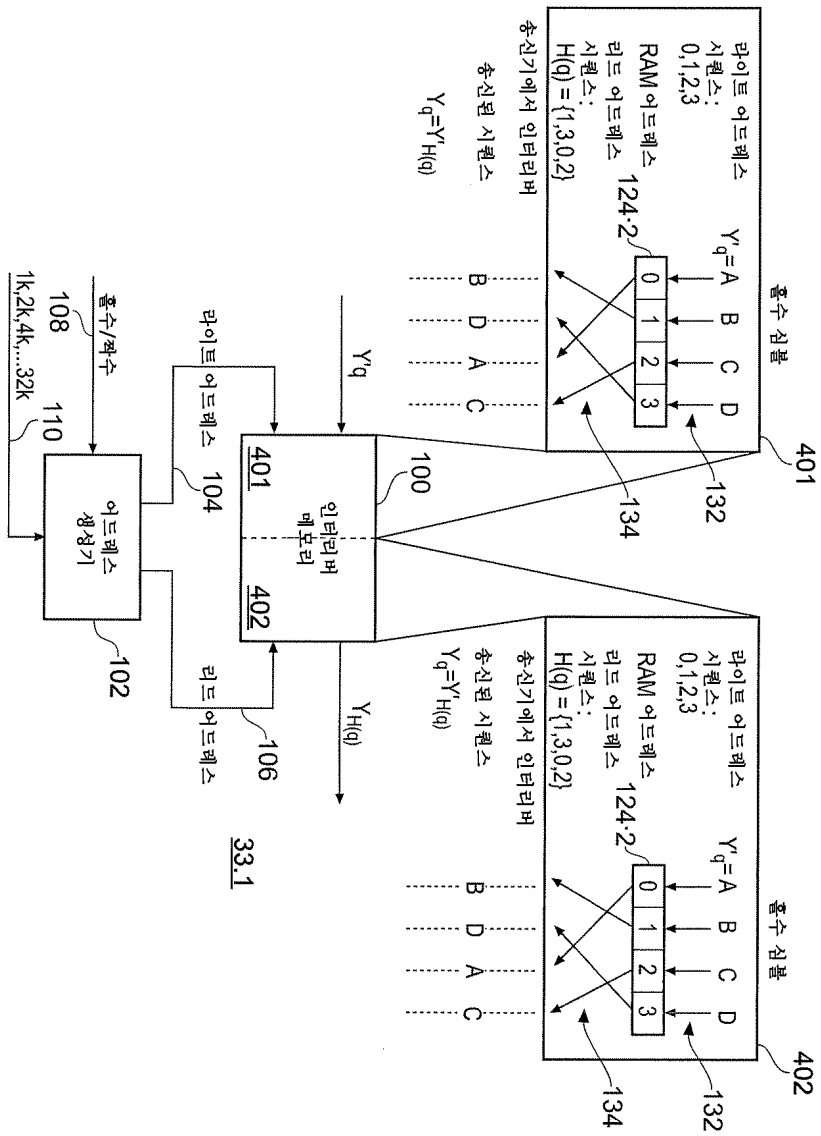
도면9a



도면9b



도면10



도면11

