

【特許請求の範囲】**【請求項 1】**

第 1、第 2 の入力信号がゲートに与えられ、差動対を構成する第 1、第 2 のトランジスタと、

前記第 1、第 2 のトランジスタが出力する第 1、第 2 の電流に基づき電圧レベルが決定される第 1、第 2 の出力信号が出力される第 1、第 2 の出力端子と、

イネーブル状態のリセット制御信号に応じて前記第 1、第 2 のトランジスタのドレインの電圧を第 1 の電源から供給される第 1 の電圧とする第 1、第 2 のリセットトランジスタと、

ディスイネーブル状態の前記リセット制御信号に応じて前記差動対の動作電流を生成する電流源と、

前記第 1、第 2 のトランジスタのソース間に設けられる抵抗と、

前記第 1 のトランジスタのソースと第 2 のトランジスタのソースとの少なくとも一方に接続される容量と、を有し、

前記抵抗の抵抗値及び前記容量の容量値の少なくとも一方は、オフセット調整信号に基づき変更されるダイナミック増幅器。

【請求項 2】

前記抵抗は、第 1、第 2 の抵抗を含み、

前記第 1 の抵抗は、前記第 1 のトランジスタのソースと前記電流源との間に接続され、

前記第 2 の抵抗は、前記第 2 のトランジスタのソースと前記電流源との間に接続され、

前記第 1 の抵抗と前記第 2 の抵抗との少なくとも一方は、前記オフセット調整信号に基づき抵抗値を変更する請求項 1 に記載のダイナミック増幅器。

【請求項 3】

前記容量は、第 1、第 2 の容量を含み、

前記第 1 の容量は、前記第 1 のトランジスタのソースに接続され、

前記第 2 の容量は、前記第 2 のトランジスタのソースに接続され、

前記第 1 の容量と前記第 2 の容量との少なくとも一方は、前記オフセット調整信号に基づき容量値を変更する請求項 2 に記載のダイナミック増幅器。

【請求項 4】

前記容量は、第 1、第 2 の容量を含み、

前記第 1 の容量は、前記第 1 のトランジスタのソースに接続され、

前記第 2 の容量は、前記第 2 のトランジスタのソースに接続され、

前記第 1 の容量と前記第 2 の容量との少なくとも一方は、前記オフセット調整信号に基づき容量値を変更する請求項 1 に記載のダイナミック増幅器。

【請求項 5】

前記容量は、ソース及びドレインが前記第 1 のトランジスタのソース又は前記第 2 のトランジスタのソースに接続され、ゲートに前記オフセット調整信号が与えられる複数のトランジスタにより形成される請求項 4 のダイナミック増幅器。

【請求項 6】

前記電流源は、第 1、第 2 の電流源を含み、

前記第 1 の電流源は、前記第 1 のトランジスタのソースと第 2 の電源との間に接続され、

前記第 2 の電流源は、前記第 2 のトランジスタのソースと前記第 2 の電源との間に接続され、

前記抵抗は、前記第 1 のトランジスタのソースと前記第 2 のトランジスタのソースとの間に接続される請求項 1、4 又は 5 に記載のダイナミック増幅器。

【請求項 7】

前記第 1 のトランジスタのドレインに一方の端子が接続され、他方の端子に前記オフセット調整信号が入力される第 3 の容量と、

前記第 2 のトランジスタのドレインに一方の端子が接続され、他方の端子に前記オフセ

10

20

30

40

50

ット調整信号が入力される第 4 の容量と、を有し、

前記第 3、第 4 の容量は、前記オフセット調整信号に応じて容量値が制御される請求項 1 乃至 6 のいずれか 1 項に記載のダイナミック増幅器。

【請求項 8】

出力が前記第 1、第 2 の出力端子に接続され、前記第 1、第 2 の電流の電流差に応じて前記第 1、第 2 の出力信号の論理レベルを切り替えるラッチ回路と、

イネーブル状態のリセット制御信号に応じて前記第 1、第 2 の出力端子を前記第 1 の電圧とする第 2 のリセットトランジスタと、

を有する請求項 1 乃至 7 のいずれか 1 項のダイナミック増幅器。

【請求項 9】

前記ダイナミック増幅器は、コンパレータとして動作する請求項 8 に記載のダイナミック増幅器。

【請求項 10】

第 1、第 2 の入力信号がゲートに与えられ、差動対を構成する第 1、第 2 のトランジスタと、

前記第 1、第 2 のトランジスタが出力する第 1、第 2 の電流に基づき電圧レベルが決定される第 1、第 2 の出力信号が出力される第 1、第 2 の出力端子と、

前記第 1、第 2 のトランジスタのドレインと第 1 の電源との間に設けられ、イネーブル状態のリセット制御信号に応じて前記ドレインの電圧を第 1 の電源とする第 1、第 2 のリセットトランジスタと、

ディスイネーブル状態の前記リセット制御信号に応じて前記差動対の動作電流を生成する電流源と、

前記第 1、第 2 のトランジスタのソース間に設けられる抵抗と、

前記第 1 のトランジスタのソースと第 2 のトランジスタのソースとの少なくとも一方に接続される容量と、

前記抵抗の抵抗値と前記容量の容量値との少なくとも一方を制御して前記第 1、第 2 のトランジスタとの間の入力オフセット電圧を制御するオフセット制御回路と、

を有するダイナミック増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は増幅器に関し、特に入力オフセット電圧を調節可能なダイナミック増幅器に関する。

【背景技術】

【0002】

増幅器は、2つの入力信号の電圧差を増幅して出力する。また、増幅器のうち2つの入力信号の大小関係に応じて出力信号の論理レベルを切り替えるものをコンパレータと称す。増幅器は、増幅器を構成するトランジスタ等の特性ばらつきによって、入力オフセット電圧を有する。そのため、微少な電圧差を増幅して、出力信号の電圧レベルの大小を決定する増幅器では、この入力オフセット電圧の大きさが、増幅器の変換精度に大きく影響する。そこで、増幅器の入力オフセット電圧を調節する技術の一例が特許文献 1 に開示されている。

【0003】

特許文献 1 に記載のコンパレータ 100 の回路図を図 15 に示す。図 15 に示すようにコンパレータ 100 は、NMOS トランジスタ M1、M2 により差動対を構成する。また、NMOS トランジスタ MCLK により差動対への動作電流の供給を行う。NMOS トランジスタ M1、M2 は、入力信号 Vin1、Vin2 の電圧差に応じて電流 I1、I2 の電流差（電流比）を制御する。コンパレータ 100 は、差動対と電源端子（電源電圧 VDD を供給する端子）との間にラッチ回路を有する。ラッチ回路は、NMOS トランジスタ M3、M4、PMOS トランジスタ M5、M6 により構成される。ラッチ回路は、電流 I

10

20

30

40

50

1、I 2の大小関係に基づき出力信号Vout 1、Vout 2の論理レベルを切り替える。

【0004】

また、コンパレータ100では、NMOSトランジスタM1のドレインには、可変容量素子FC1が接続され、NMOSトランジスタM2のドレインには、可変容量素子FC2が接続される。可変容量素子FC1、FC2は、それぞれ複数のコンデンサにより構成される。また、このコンデンサはそれぞれトランジスタにより構成される。そして、可変容量素子FC1を構成する複数のトランジスタのゲートには、信号L0～L5が入力される。可変容量素子FC2を構成する複数のトランジスタのゲートには信号R0～R5が入力される。複数のトランジスタは、それぞれ対応する信号に応じて有効と無効とが切り換えられる。つまり、複数のトランジスタは、可変容量素子として機能する。なお、PMOSトランジスタS1、S2は、クロック信号CLKに応じて出力信号Vout 1、Vout 2の電圧レベルを初期化するものである。PMOSトランジスタS3、S4は、クロック信号CLKに応じて複数のコンデンサの電荷量をリセットするものである。

10

【0005】

コンパレータ100では、NMOSトランジスタM1のドレインに接続される有効なコンデンサにより決まる容量値と、NMOSトランジスタM2のドレインに接続される有効なコンデンサにより決まる容量値と、を制御することで、コンパレータ100の入力オフセット電圧を制御する。このオフセット電圧についてさらに詳細に説明する。オフセット電圧をdVとすると、オフセット電圧dVは、(1)式によって表される。

20

【数1】

$$dV = \frac{I}{gm1} \cdot \frac{dC}{C} = \frac{V_{gs} - V_{th}}{2} \cdot \frac{dC}{C} \dots (1)$$

ここで、IはNMOSトランジスタM0のドレイン電流、gm1はNMOSトランジスタM1のトランスコンダクタンス、dC=(FC1-FC2)、C=(FC1+FC2)/2、VgsはNMOSトランジスタM1のゲートソース間電圧、VthはNMOSトランジスタM1の閾値電圧である。また、可変容量素子FC1の容量値をFC1と表し、可変容量素子FC2の容量値をFC2と表した。つまり、コンパレータ100では、(1)式に基づき入力オフセット電圧を調節することが可能である。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許出願公開第2009/0066555号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

コンパレータ100では、可変容量素子FC1、FC2をトランジスタの空乏層を利用したコンデンサにより構成する。そのため、コンパレータ100では、このコンデンサの単位容量が半導体装置の製造プロセスによって決まる。従って、コンパレータ100では、入力オフセット電圧の最小調整幅が製造プロセスで決まる単位容量に依存し、入力信号の比較精度を十分に向上させられない問題がある。

40

【0008】

この問題をより具体的に説明する。まず、可変容量素子FC1、FC2の単位容量値Cunitは、(2)式により表される。

【数2】

$$C_{unit} = W_{min} \cdot L_{min} \cdot Cox \dots (2)$$

50

ここで、 W_{min} はトランジスタの最小ゲート幅、 L_{min} はトランジスタの最小ゲート長、 C_{ox} は単位面積あたりのゲート容量値である。そして、(1)(2)式から入力オフセット電圧の単位調整電圧 dV_{unit} を求めると、単位調整電圧 dV_{unit} は(3)式にて表される。

【数3】

$$dV_{unit} = \frac{I}{gm1} \cdot \frac{W_{min} \cdot L_{min} \cdot Cox}{C} \dots (3)$$

(3)式より、例えば、コンパレータ100の設計による設定が、 $I = 80 \mu A$ 、 $gm1 = 300 \mu S$ 、 $W_{min} = 0.22 \mu m$ 、 $L_{min} = 0.1 \mu m$ 、 $C_{ox} = 10 fF / \mu m^2$ 、 $C = 10 fF$ であった場合、 $dV = 5.9 mV$ となる。つまり、本設計では、コンパレータ100は、 $5.9 mV$ よりも小さなステップで入力オフセット電圧を調節できないこととなる。

10

【0009】

このとき、例えば、電流 I をさらに小さくすることで、調整幅をさらに小さくすることができるが、この場合、コンパレータ100の動作速度の低下を招くことになり、コンパレータ100の機能を十分に発揮できない問題がある。また、その他のパラメータは、製造プロセスで決まるものであるため、設定を変更することができない。つまり、コンパレータ100では、十分な機能を発揮させながら、入力オフセット電圧を高精度に設定することができない問題がある。

20

【課題を解決するための手段】

【0010】

本発明にかかるダイナミック増幅器の一態様は、第1、第2の入力信号がゲートに与えられ、差動対を構成する第1、第2のトランジスタと、前記第1、第2のトランジスタが出力する第1、第2の電流に基づき電圧レベルが決定される第1、第2の出力信号が出力される第1、第2の出力端子と、イネーブル状態のリセット制御信号に応じて前記第1、第2のトランジスタのドレインの電圧を第1の電源から供給される第1の電圧とする第1、第2のリセットトランジスタと、ディスイネーブル状態の前記リセット制御信号に応じて前記差動対の動作電流を生成する電流源と、前記第1、第2のトランジスタのソース間に設けられる抵抗と、前記第1のトランジスタのソースと第2のトランジスタのソースとの少なくとも一方に接続される容量と、を有し、前記抵抗の抵抗値及び前記容量の容量値の少なくとも一方は、オフセット調整信号に基づき変更される。

30

【0011】

本発明にかかるダイナミック増幅器の別の態様は、第1、第2の入力信号がゲートに与えられ、差動対を構成する第1、第2のトランジスタと、前記第1、第2のトランジスタが出力する第1、第2の電流に基づき電圧レベルが決定される第1、第2の出力信号が出力される第1、第2の出力端子と、前記第1、第2のトランジスタのドレインと第1の電源との間に設けられ、イネーブル状態のリセット制御信号に応じて前記ドレインの電圧を第1の電源とする第1、第2のリセットトランジスタと、ディスイネーブル状態の前記リセット制御信号に応じて前記差動対の動作電流を生成する電流源と、前記第1、第2のトランジスタのソース間に設けられる抵抗と、前記第1のトランジスタのソースと第2のトランジスタのソースとの少なくとも一方に接続される容量と、前記抵抗の抵抗値と前記容量の容量値との少なくとも一方を制御して前記第1、第2のトランジスタとの間の入力オフセット電圧を制御するオフセット制御回路と、を有する。

40

【0012】

本発明にかかるダイナミック増幅器では、第1、第2のトランジスタのソース間に設けられる抵抗と、第1のトランジスタのソースと第2のトランジスタのソースとの少なくとも一方に接続される容量と、を有する。そして、抵抗の容量値と容量の容量値とを調節することで入力オフセット電圧を調節する。このような構成により、本発明にかかるダイナ

50

ミック増幅器では、入力オフセット電圧の調整ステップを製造プロセスにより決まるパラメータ以外のパラメータ（例えば、設計により変更可能なパラメータ）により調節することを可能にする。

【発明の効果】

【0013】

本発明にかかるダイナミック増幅器は、入力オフセット電圧を高精度に調整することを可能にする。

【図面の簡単な説明】

【0014】

【図1】実施の形態1にかかるダイナミックコンパレータの回路図である。

10

【図2】実施の形態1にかかる可変容量素子の詳細な回路図である。

【図3】実施の形態1にかかる可変容量素子の詳細な回路図である。

【図4】実施の形態1にかかるダイナミックコンパレータの動作を示すタイミングチャートである。

【図5】実施の形態1にかかるダイナミックコンパレータの変形例を示す回路図である。

【図6】実施の形態1にかかるダイナミックコンパレータの変形例を示す回路図である。

【図7】実施の形態2にかかるダイナミックコンパレータの回路図である。

【図8】実施の形態2にかかるダイナミックコンパレータの変形例を示す回路図である。

【図9】実施の形態2にかかるダイナミックコンパレータの変形例を示す回路図である。

【図10】実施の形態3にかかるダイナミックコンパレータの回路図である。

20

【図11】実施の形態4にかかるダイナミックコンパレータの回路図である。

【図12】実施の形態5にかかるダイナミック増幅器の回路図である。

【図13】実施の形態5にかかるダイナミック増幅器の動作を示すタイミングチャートである。

【図14】実施の形態6にかかるダイナミック増幅器の回路図である。

【図15】特許文献1にかかるコンパレータの回路図である。

【発明を実施するための形態】

【0015】

実施の形態1

以下、図面を参照して本発明の実施の形態について説明する。本発明は、ダイナミック増幅器に関するものであるが、実施の形態1では、増幅器の一形態であるコンパレータについて説明する。コンパレータは、2つの入力信号の大小関係を比較して出力信号の論理レベルを切り替えるものである。つまり、コンパレータは、理想的な増幅率が無限大の増幅器として考えることができる。また、以下で説明するダイナミックコンパレータは、リセット制御信号がディスイネーブル状態の期間に動作状態となり、イネーブル期間に非動作状態となるものとする。また、ダイナミックコンパレータでは、リセット制御信号としてクロック信号CLKを用い、クロック信号のハイレベル状態がリセット制御信号のディスイネーブル状態に対応し、クロック信号のロウレベル状態がリセット制御信号のイネーブル状態に対応するものとする。

30

【0016】

40

図1に、実施の形態1にかかるダイナミックコンパレータ1の回路図を示す。図1に示すように、ダイナミックコンパレータ1は、差動対、電流源、ラッチ回路、リセットトランジスタ、抵抗10、11、可変容量素子20、21、オフセット制御回路30を有する。なお、ダイナミックコンパレータ1には、入力信号として第1の入力信号VINP及び第2の入力信号VINNが入力される。そして、ダイナミックコンパレータ1、第1の入力信号VINPと第2の入力信号VINNとの電圧差（大小関係）に基づき第1の出力信号VOUTN及び第2の出力信号VOUTPの論理レベルを切り替える。

【0017】

差動対は、第1の入力信号VINPと第2の入力信号VINNとの電圧差に基づき第1の電流I1と第2の電流I2との差（例えば、電流比）を設定する。差動対は、第1のト

50

ランジスタ（例えば、NMOSトランジスタMN1）と、第2のトランジスタ（例えば、NMOSトランジスタMN2）とにより構成される。NMOSトランジスタMN1は、ゲートに第1の入力信号VINPが入力され、ドレインがノードNDnに接続され、ソースが抵抗10を介してノードNDcに接続される。なお、NMOSトランジスタMN1のソースはノードNDaとなる。NMOSトランジスタMN2は、ゲートに第2の入力信号VINNが入力され、ドレインがノードNDpに接続され、ソースが抵抗11を介してノードNDcに接続される。なお、NMOSトランジスタMN2のソースはノードNDbとなる。

【0018】

ノードNDcと接地電圧VSSを供給する接地端子との間には、電流源として機能するNMOSトランジスタMN0が接続される。NMOSトランジスタMN0のゲートには、クロック信号CLKが入力される。NMOSトランジスタMN0は、クロック信号CLKがハイレベルの期間に、差動対に動作電流I0を出力する。また、NMOSトランジスタMN0は、クロック信号CLKがロウレベルの期間に差動対への動作電流I0の供給を停止する。

10

【0019】

ラッチ回路は、第1の電流I1と第2の電流I2の電流差に応じて第1の出力信号VOUTNと第2の出力信号VOUTPとの論理レベルを切り替える。ラッチ回路は、NMOSトランジスタMN3、MN4、PMOSトランジスタMP1、MP2を有する。

【0020】

NMOSトランジスタMN3とPMOSトランジスタMP1は、ノードNDnと電源電圧VDDを供給する電源端子との間に直列に接続される。また、NMOSトランジスタMN3とPMOSトランジスタMP1のゲートは互いに接続され、かつ、後述する第2の出力端子に接続される。NMOSトランジスタMN3のドレインとPMOSトランジスタMP1のドレインが接続されるノードは、第1の出力端子に接続される。当該第1の出力端子からは、第1の出力信号VOUTNが出力される。NMOSトランジスタMN4とPMOSトランジスタMP2は、ノードNDpと電源端子との間に直列に接続される。また、NMOSトランジスタMN4とPMOSトランジスタMP2のゲートは互いに接続され、かつ、第1の出力端子に接続される。NMOSトランジスタMN4のドレインとPMOSトランジスタMP2のドレインが接続されるノードは、第2の出力端子に接続される。当該第2の出力端子からは、第2の出力信号VOUTPが出力される。

20

30

【0021】

本実施の形態では、リセットトランジスタとして、PMOSトランジスタMP3～MP6を有する。PMOSトランジスタMP3～MP6のゲートには、クロック信号CLKが入力される。PMOSトランジスタMP3は、第1の出力端子と電源端子との間に接続される。PMOSトランジスタMP4は、第2の出力端子と電源端子との間に接続される。PMOSトランジスタMP5は、ノードNDnと電源端子との間に接続される。PMOSトランジスタMP6は、ノードNDpと電源端子との間に接続される。

【0022】

可変容量素子20は、オフセット調整信号FLの値に応じて容量値が決定される。可変容量素子20は、一方の端子がNMOSトランジスタMN1のソース（ノードNDa）に接続され、他方の端子にオフセット調整信号FLが入力される。オフセット調整信号FLは、nビットの信号である。可変容量素子21は、オフセット調整信号FRの値に応じて容量値が決定される。可変容量素子21は、一方の端子がNMOSトランジスタMN2のソース（ノードNDb）に接続され、他方の端子にオフセット調整信号FRが入力される。オフセット調整信号FRは、nビットの信号である。

40

【0023】

ここで、可変容量素子20、21の詳細について説明する。本実施の形態では、可変容量素子20、21は、それぞれ複数のコンデンサにより構成される。また、このコンデンサは、それぞれトランジスタにより構成される。そこで、可変容量素子20の回路図を図

50

2 に示す。

【 0 0 2 4 】

図 2 に示すように、可変容量素子 2 0 は、トランジスタ $CL_0 \sim CL_{n-1}$ を有する。トランジスタ $CL_0 \sim CL_{n-1}$ は、ソースとドレインが互いに接続され、ゲートにオフセット調整信号 $FL_0 \sim FL_{n-1}$ が入力される。そして、トランジスタ $CL_0 \sim CL_{n-1}$ のソース及びドレインは、それぞれ NMOS トランジスタ MN 1 のソースに接続される。なお、オフセット調整信号 FL は、オフセット調整信号 FL_0 がオフセット調整値の最下位ビットに相当し、オフセット調整信号 FL_{n-1} がオフセット調整値の最上位ビットに相当する。そして、トランジスタ $CL_0 \sim CL_{n-1}$ は、入力されるオフセット調整信号のビットレベルに応じた重み付けがなされている。例えば、トランジスタ CL_1 はトランジスタ CL_0 の容量値の 2 倍の容量値を有し、トランジスタ CL_{n-1} はトランジスタ CL_0 の容量値の 2 の n 乗倍の容量値を有する。

10

【 0 0 2 5 】

続いて、可変容量素子 2 1 の回路図を図 3 に示す。図 3 に示すように、可変容量素子 2 1 は、トランジスタ $CR_0 \sim CR_{n-1}$ を有する。トランジスタ $CR_0 \sim CR_{n-1}$ は、ソースとドレインが互いに接続され、ゲートにオフセット調整信号 $FR_0 \sim FR_{n-1}$ が入力される。そして、トランジスタ $CR_0 \sim CR_{n-1}$ のソース及びドレインは、それぞれ NMOS トランジスタ MN 2 のソースに接続される。なお、オフセット調整信号 FR は、オフセット調整信号 FR_0 がオフセット調整値の最下位ビットに相当し、オフセット調整信号 FR_{n-1} がオフセット調整値の最上位ビットに相当する。そして、トランジスタ $CR_0 \sim CR_{n-1}$ は、入力されるオフセット調整信号のビットレベルに応じた重み付けがなされている。例えば、トランジスタ CR_1 はトランジスタ CR_0 の容量値の 2 倍の容量値を有し、トランジスタ CR_{n-1} はトランジスタ CR_0 の容量値の 2 の n 乗倍の容量値を有する。

20

【 0 0 2 6 】

オフセット制御回路 3 0 は、内部の設定値又は他の回路（不図示）から与えられるオフセット変更指示信号に基づきオフセット調節信号 FL、FR の値を変更する。つまり、オフセット制御回路 3 0 は、抵抗 1 0、1 1 の抵抗値と可変容量素子 2 0、2 1 の容量値との少なくとも 1 つを制御して NMOS トランジスタ MN 1、MN 2 の間の入力オフセット電圧を制御する。

30

【 0 0 2 7 】

続いて、ダイナミックコンパレータ 1 の動作について説明する。そこで、図 4 にダイナミックコンパレータ 1 の動作を示すタイミングチャートを示す。図 4 に示すように、ダイナミックコンパレータ 1 は、クロック信号 CLK がロウレベルの期間は、PMOS トランジスタ MP 3 ~ MP 6 が導通状態となるため、第 1 の出力信号 VOUTN、第 2 の出力信号 VOUTP、ノード NDn の電圧 VN、ノード NDp の電圧 VP が、電源電圧 VDD となる。また、クロック信号 CLK がロウレベルの期間は、NMOS トランジスタ MN 0 が遮断状態となるため、ノード NDc の電圧 Vc、ノード NDa の電圧 Va、ノード NDb の電圧 Vb は電源電圧 VDD と接地電圧 VSS の間の中間電圧となる。

40

【 0 0 2 8 】

そして、クロック信号 CLK の電圧レベルが上昇すると、NMOS トランジスタ MN 0 が導通状態となり、動作電流 I 0 の出力を開始する。そして、動作電流 I 0 の出力に応じて電圧 Va、Vb、Vc が低下する。このとき、ダイナミックコンパレータ 1 では判定動作の開始直後に電圧 Vc が時間変化率 dV_c / dt で降下する。また、図 4 に示す例では、可変容量素子 2 0、2 1 を同じ容量値としたため、同じ時間変化率で電圧 Va、Vb が低下する。また、PMOS トランジスタ MP 3 ~ MP 6 が遮断状態となると、電圧 VN、VP は、NMOS トランジスタ MN 1、MN 2 を介して流れる電流 I 1、I 2 に応じて低下する。そして、ラッチ回路は、電流 I 1、I 2 の電流差に応じて第 1 の出力信号 VOUTN 及び第 2 の出力信号 VOUTP の論理レベルを切り替える。

【 0 0 2 9 】

50

なお、可変容量素子 20、21 に蓄積された電荷は、ダイナミックコンパレータ 1 の判定動作が行われる度に放電される。しかし、クロック信号 CLK がロウレベルとなると、可変容量素子 20、21 に蓄積される電荷がリセットされる。

【0030】

図 4 に示す例では、可変容量素子 20、21 の容量値を同じに設定したが、ダイナミックコンパレータ 1 は、可変容量素子 20、21 の容量値の差に応じて入力オフセット電圧を調節することが可能である。より具体的には、ダイナミックコンパレータ 1 は、比較動作の開始時に電圧 Va、Vb がノード NDa の時定数とノード ND b の時定数に基づき低下するが、可変容量素子 20、21 に容量値の差を設けることで、ノード NDa の時定数とノード ND b の時定数に差が生じる。そして、ダイナミックコンパレータ 1 では、この時定数の差に基づき入力オフセット電圧を調整する。

10

【0031】

そこで、ダイナミックコンパレータ 1 における入力オフセット電圧の調整幅について説明する。ダイナミックコンパレータ 1 では、抵抗 10、11 と可変容量素子 20、21 とにより決まる入力オフセット電圧 dVoff は、(4) 式によって表される。

【数 4】

$$dV_{off} = -R \cdot dC \cdot \frac{dV_c}{dt} \dots (4)$$

20

ここで、R は抵抗 10、11 の抵抗値 R の平均値であり、dC は可変容量素子 20、21 の容量値 FC1、FC2 の差（例えば、FC1 - FC2）、dVc / dt は判定動作開始直後の電圧 Vc の時間変化率である。なお、本実施の形態では、dVc / dt は負の値となるため、dC が正の値であれば、入力オフセット電圧 dVin は正の値となる。つまり、FC1 > FC2 となる場合、VINP > INN となる状態でダイナミックコンパレータ 1 の第 1 の出力信号 VOUTN がロウレベルとなるように入力オフセット電圧が調節される。

【0032】

続いて、ダイナミックコンパレータ 1 における入力オフセット電圧の単位調整幅について説明する。可変容量素子 20、21 の単位容量値 Cunit は、トランジスタの最小ゲート幅を Wmin、トランジスタの最小ゲート長を Lmin、単位面積あたりのゲート容量値を Cox とすると (5) 式で表される。

30

【数 5】

$$C_{unit} = W_{min} \cdot L_{min} \cdot C_{ox} \dots (5)$$

そして、(4)、(5) 式より、ダイナミックコンパレータ 1 の入力オフセット電圧の単位調整幅 dVoff_unit は、(6) 式により表される。

【数 6】

$$dV_{off_unit} = -R \cdot (W_{min} \cdot L_{min} \cdot C_{ox}) \cdot \frac{dV_c}{dt} \dots (6)$$

40

つまり、ダイナミックコンパレータ 1 では、入力オフセット電圧の単位調整幅 dVoff_unit は抵抗 10、11 の抵抗値 R の平均値の設定を変更することでコンデンサの単位容量値に関わらず小さく設定することができる。また、(6) 式より、ダイナミックコンパレータ 1 では、入力オフセット電圧の単位調整幅 dVoff_unit を小さく設定しても動作電流 I0 を小さくする必要がないため、コンパレータの動作速度を十分に高速に設定することができる。

【0033】

50

ダイナミックコンパレータ 1 では、例えば、抵抗 10、11 の抵抗値を 100 ohm、最小ゲート幅 W_{min} を 0.22 μm 、最小ゲート長 L_{min} を 0.1 μm 、単位面積あたりのゲート容量値 C_{ox} を 10 fF/ μm^2 、電圧 V_c の時間変化率 dV_c/dt を -20 mV/ps と設定した場合、 dV_{off_unit} を 0.44 mV に設定することができる。この値は、上記従来例に比べて 10 分の 1 以下の値である。

【0034】

上記説明より、実施の形態 1 にかかるダイナミックコンパレータ 1 では、差動対を構成する NMOS トランジスタ MN1、MN2 のソース側に抵抗 10、11 及び可変容量素子 20、21 を有する。そして、ダイナミックコンパレータ 1 では、(6) 式に示すように、入力オフセット電圧の単位調整幅を、抵抗 10、11、可変容量素子 20、21 の容量値及びノード NDc の電圧 V_c の時間変化率により設定する。このとき、抵抗 10、11 には、抵抗値に製造プロセスにより決まる下限値がない。そのため、ダイナミックコンパレータ 1 では、可変容量素子 20、21 の単位容量値 C_{unit} で決まる入力オフセット電圧の調整幅よりも小さな調整幅を設定することができる。これにより、ダイナミックコンパレータ 1 では、従来例よりも高精度に入力オフセット電圧を調整することが可能になる。

10

【0035】

また、抵抗 10、11 は、設計においてコンデンサよりも値の設定を柔軟に行うことができる。つまり、ダイナミックコンパレータ 1 では、コンデンサのみによって入力オフセット電圧の単位調整幅を設定する場合に比べて柔軟に単位調整幅を設定することができる。

20

【0036】

また、実施の形態 1 にかかるダイナミックコンパレータ 1 では、入力オフセット電圧の単位調整幅を決定する際に動作電流 I_0 の影響を受けない。これにより、ダイナミックコンパレータ 1 は、入力オフセット電圧の単位調整幅を小さくするために動作電流 I_0 の設定を変更する必要がないため、動作速度を犠牲にすることがない。

【0037】

上記実施の形態では、抵抗 10、11、可変容量素子 20、21 を用いてダイナミックコンパレータ 1 を構成したが、これらの素子は、形態を変更することも可能である。そこで、ダイナミックコンパレータ 1 の変形例を図 5、図 6 に示す。

30

【0038】

図 5 に示す変形例 (例えば、ダイナミックコンパレータ 1a) は、抵抗 10、11 に代えてトランジスタ 12、13 を用いるものである。トランジスタ 12、13 は、例えば、NMOS トランジスタで形成される。トランジスタ 12 は、ソースがノード NDc に接続され、ドレインが NMOS トランジスタ MN1 のソースに接続される。トランジスタ 13 は、ソースがノード NDc に接続され、ドレインが NMOS トランジスタ MN2 のソースに接続される。また、トランジスタ 12、13 は、ゲートにバイアス電圧 V_{bias} が与えられる。そして、トランジスタ 12、13 は、バイアス電圧 V_{bias} の電圧レベルに応じてソース・ドレイン間のオン抵抗が決定される。つまり、ダイナミックコンパレータ 1a では、バイアス電圧 V_{bias} によって、トランジスタ 12、13 のオン抵抗を R に設定することで、ダイナミックコンパレータ 1 と同様に精度の高い入力オフセット電圧の調整を可能にする。なお、ダイナミックコンパレータ 1a では、可変容量素子 20、21 による入力オフセット電圧の調整に加え、トランジスタ 12、13 のオン抵抗の抵抗値に基づく入力オフセット電圧の調整も可能になる。

40

【0039】

図 6 に示す変形例 (例えば、ダイナミックコンパレータ 1b) は、可変容量素子 20、21 に代えて固定の容量値 C_1 、 C_2 を有するコンデンサ 22、23 を用いる。また、ダイナミックコンパレータ 1b は、抵抗 10、11 に代えて可変抵抗 14、15 を用いる。可変抵抗 14 は、ノード NDc とノード NDa との間に接続される。可変抵抗 15 は、ノード NDc とノード NDb との間に接続される。そして、可変抵抗 14、15 は、オフセ

50

ット調整信号 F L、F R の値に応じて抵抗値が可変するものである。このように、ダイナミックコンパレータ 1 b では、可変抵抗 1 4、1 5 の抵抗値により入力オフセット電圧の大きさを設定する。ここで、ダイナミックコンパレータ 1 b の入力オフセット電圧の単位調整幅は、可変抵抗 1 4、1 5 の抵抗値を $V R 1$ 、 $V R 2$ 、コンデンサ 2 2、2 3 の容量値を $C 1$ 、 $C 2$ とすると、(7) 式により表される。

【数 7】

$$dV_{off_unit} = -(V R 1 - V R 2) \cdot \frac{(C 1 + C 2)}{2} \cdot \frac{dV_c}{dt} \dots (7)$$

10

【 0 0 4 0 】

実施の形態 2

実施の形態 2 にかかるダイナミックコンパレータ 2 の回路図を図 7 に示す。図 7 に示すように、ダイナミックコンパレータ 2 は、実施の形態 1 にかかるダイナミックコンパレータ 1 の差動対の構成を変更したものである。以下の説明では、実施の形態 1 と同じ構成要素については、実施の形態 1 と同じ符号を付して説明を省略する。

【 0 0 4 1 】

ダイナミックコンパレータ 2 は、電流源を 2 つ有する。図 7 に示す例では、N M O S トランジスタ M N 0 a、M N 0 b により電流源が構成される。N M O S トランジスタ M N 0 a は、ソースが接地端子に接続され、ドレインが N M O S トランジスタ M N 1 のソースに接続され、ゲートにクロック信号 C L K が入力される。N M O S トランジスタ M N 0 b は、ソースが接地端子に接続され、ドレインが N M O S トランジスタ M N 2 のソースに接続され、ゲートにクロック信号 C L K が入力される。なお、N M O S トランジスタ M N 0 a、M N 0 b のトランジスタサイズは、N M O S トランジスタ M N 0 の半分程度に設定される。つまり、N M O S トランジスタ M N 0 a、M N 0 b が生成する動作電流 $I 0 a$ 、 $I 0 b$ は、N M O S トランジスタ M N 0 が生成する動作電流 $I 0$ のほぼ半分の電流値となる。

20

【 0 0 4 2 】

また、ダイナミックコンパレータ 2 では、N M O S トランジスタ M N 1、M N 2 のソース間に接続される抵抗が 1 つである。図 7 に示す例では、抵抗 1 6 が N M O S トランジスタ M N 1、M N 2 のソース間に接続される。ダイナミックコンパレータ 2 では、抵抗 1 6 の抵抗値を R の 2 倍の抵抗値となる $2 R$ に設定した。これにより、ダイナミックコンパレータ 2 は、ダイナミックコンパレータ 1 と同じく (6) 式に基づく単位調整幅を設定することができる。

30

【 0 0 4 3 】

続いて、ダイナミックコンパレータ 2 の動作について説明する。ダイナミックコンパレータ 2 では、各電流の関係は、 $I 0 = I 0 a + I 0 b = I 1 + I 2$ となる。そして、電流 $I 1$ 、 $I 2$ の電流量は、第 1 の入力信号 $V I N P$ 、第 2 の入力信号 $V I N N$ の電圧差に応じて変動する。このとき、 $I 1 > I 2$ となった場合、抵抗 1 6 に流れる電流 $I e$ は、 $I e = I 1 - I 0 a$ となる。そして、N M O S トランジスタ M N 0 b には、 $I 0 b = I 2 + I e$ となる電流が流れる。ダイナミックコンパレータ 2 では、電流 $I 0 a$ 、 $I 0 b$ を電流 $I 0$ の半分の電流量とすることで、ダイナミックコンパレータ 1 と等価な動作を得ることができる。

40

【 0 0 4 4 】

また、ダイナミックコンパレータ 2 では、抵抗 1 6 の抵抗値を $2 R$ に設定した。これにより、ノード N D a、N D b の時定数の差は、ダイナミックコンパレータ 1 のノード N D a、N D b の時定数の差と等しくなる。つまり、ダイナミックコンパレータ 2 では、ダイナミックコンパレータ 1 と同様の単位調整幅を得ることができる。

【 0 0 4 5 】

上記説明より、実施の形態 2 にかかるダイナミックコンパレータ 2 においても、実施の形態 1 にかかるダイナミックコンパレータ 1 と同様に、精度の高い入力オフセット電圧の

50

調節が可能となる。なお、ダイナミックコンパレータ 2 においても、実施の形態 1 と同様の变形例を考えることができる。そこで、ダイナミックコンパレータ 2 の变形例を図 8、図 9 に示す。

【 0 0 4 6 】

図 8 に示す变形例（例えば、ダイナミックコンパレータ 2 a）は、抵抗 1 6 に代えてトランジスタ 1 7 を用いるものである。トランジスタ 1 7 は、例えば、NMOS トランジスタで形成される。トランジスタ 1 7 は、ソースとドレインの一方が NMOS トランジスタ MN 1 のソースに接続され、ソースとドレインの他方が NMOS トランジスタ MN 2 のソースに接続される。また、トランジスタ 1 7 は、ゲートにバイアス電圧 V_{bias} が与えられる。そして、トランジスタ 1 7 は、バイアス電圧 V_{bias} の電圧レベルに応じてソース・ドレイン間のオン抵抗が決定される。つまり、ダイナミックコンパレータ 2 a では、バイアス電圧 V_{bias} によって、トランジスタ 1 7 のオン抵抗を $2R$ に設定することで、ダイナミックコンパレータ 1 と同様に精度の高い入力オフセット電圧の調整を可能にする。なお、ダイナミックコンパレータ 2 a では、可変容量素子 2 0、2 1 による入力オフセット電圧の調整に加え、トランジスタ 1 7 のオン抵抗の抵抗値に基づく入力オフセット電圧の調整も可能になる。

10

【 0 0 4 7 】

図 9 に示す变形例（例えば、ダイナミックコンパレータ 2 b）は、可変容量素子 2 0、2 1 に代えて固定の容量値 C_1 、 C_2 を有するコンデンサ 2 2、2 3 を用いる。また、ダイナミックコンパレータ 2 b は、抵抗 1 6 に代えて可変抵抗 1 8 を用いる。可変抵抗 1 8 は、NMOS トランジスタ MN 1、MN 2 のソースの間に接続される。そして、可変抵抗 1 8 は、オフセット調整信号 F の値に応じて抵抗値が可変するものである。このように、ダイナミックコンパレータ 2 b では、可変抵抗 1 8 の抵抗値により入力オフセット電圧の大きさを設定する。ここで、ダイナミックコンパレータ 2 b の入力オフセット電圧の単位調整幅は、可変抵抗 1 8 の抵抗値を V_R 、コンデンサ 2 2、2 3 の容量値を C_1 、 C_2 とすると、(8) 式により表される。

20

【 数 8 】

$$dV_{off_unit} = -V_R \cdot (C_1 - C_2) \cdot \frac{dV_c}{dt} \dots (8)$$

30

【 0 0 4 8 】

実施の形態 3

実施の形態 3 にかかるダイナミックコンパレータ 3 の回路図を図 1 0 に示す。図 1 0 に示すように、ダイナミックコンパレータ 3 は、実施の形態 1 にかかるダイナミックコンパレータ 1 に可変容量素子 2 4、2 5 を追加したものである。なお、以下の説明では、実施の形態 1 と同じ構成要素については、実施の形態 1 と同じ符号を付して説明を省略する。

【 0 0 4 9 】

可変容量素子 2 4、2 5 は、オフセット調整信号 L 、 R が入力される。そして、可変容量素子 2 4、2 5 は、オフセット調整信号 L 、 R の値に応じて容量値が設定される。可変容量素子 2 4 は、一方の端子が NMOS トランジスタ MN 1 のドレイン（ノード ND_n ）に接続され、他方の端子にオフセット調整信号 L が入力される。可変容量素子 2 5 は、一方の端子が NMOS トランジスタ MN 2 のドレイン（ノード ND_p ）に接続され、他方の端子にオフセット調整信号 R が入力される。この可変容量素子 2 4、2 5 は、図 2、図 3 に示した可変容量素子 2 0、2 1 と実質的に同じものであるため、ここでは詳細な説明を省略する。

40

【 0 0 5 0 】

なお、ダイナミックコンパレータ 3 では、オフセット制御回路 3 0 に代えて、オフセット制御回路 3 1 を用いる。オフセット制御回路 3 1 は、オフセット調整信号 FL 、 FR に加えて、オフセット調整信号 L 、 R を生成する。また、オフセット制御回路 3 1 は、内部

50

の設定値又は他の回路（不図示）から与えられるオフセット変更指示信号に基づきオフセット調節信号 F L、F R、L、R の値を変更する。

【 0 0 5 1 】

可変容量素子 2 0、2 1 は、実施の形態 1 にかかるダイナミックコンパレータ 1 と同様に小さな単位調整幅で入力オフセット電圧を設定する。一方、可変容量素子 2 4、2 5 は、可変容量素子 2 0、2 1、抵抗 1 0、1 1 により設定される単位調整幅よりも大きな単位調整幅で入力オフセット電圧を設定する。ここで、可変容量素子 2 4、2 5 により設定される単位調整幅 V_{off2_unit} は、(9) 式により表される。

【 数 9 】

$$V_{off2_unit} = \frac{I_0}{g_{m1}} \cdot \frac{W_{min} \cdot L_{min} \cdot C_{ox}}{C} \dots (9)$$

(9) 式において、 I_0 は N M O S トランジスタ M N 0 のドレイン電流、 g_{m1} は N M O S トランジスタ M 1 のトランスコンダクタンス、 $C = (C C 1 + C C 2) / 2$ 、 W_{min} は可変容量素子 2 4、2 5 を構成するトランジスタの最小ゲート幅、 L_{min} は可変容量素子 2 4、2 5 を構成するトランジスタの最小ゲート長、 C_{ox} は単位面積あたりのゲート容量値である。また、可変容量素子 2 4 の容量値を $C C 1$ と表し、可変容量素子 2 5 の容量値を $C C 2$ と表した。この (9) 式は、上記 (3) 式に対応したものである。

【 0 0 5 2 】

つまり、(9) 式で示される単位調整幅 V_{off2_unit} は、下限値が製造プロセスで決まる。そこで、単位調整幅 V_{off_unit} を単位調整幅 V_{off2_unit} より小さく設定することで、ダイナミックコンパレータ 3 では、入力オフセット電圧の粗調整機能と微調整機能とを有する。

【 0 0 5 3 】

上記説明より、ダイナミックコンパレータ 3 では、入力オフセット電圧の粗調整機能と微調整機能とを有することで、動作速度を犠牲にすることなく入力オフセット電圧の高精度な調整を行うことが可能になる。

【 0 0 5 4 】

実施の形態 4

実施の形態 4 にかかるダイナミックコンパレータ 4 の回路図を図 1 1 に示す。図 1 1 に示すように、ダイナミックコンパレータ 4 は、実施の形態 2 にかかるダイナミックコンパレータ 2 に実施の形態 3 にかかるダイナミックコンパレータ 3 の可変容量素子 2 4、2 5 を適用したものである。ダイナミックコンパレータ 2 は、実施の形態 1 にかかるダイナミックコンパレータ 1 と同様の動作をするものである。そのため、ダイナミックコンパレータ 2 に可変容量素子 2 4、2 5 を追加したダイナミックコンパレータ 4 は、粗調整機能と微調整機能を有する。つまり、ダイナミックコンパレータ 4 は、実施の形態 3 にかかるダイナミックコンパレータ 3 と同様に、粗調整機能と微調整機能とにより動作速度を犠牲にすることなく入力オフセット電圧の高精度な調整を行うことが可能になる。

【 0 0 5 5 】

実施の形態 5

実施の形態 5 にかかるダイナミック増幅器 5 の回路図を図 1 2 に示す。ダイナミック増幅器 5 は、第 1 の入力信号 V_{INP} と第 2 の入力信号 V_{INN} との電圧差を増幅して第 1 の出力信号 V_{OUTN} と第 2 の出力信号 V_{OUTP} との電圧差を設定する。具体的には、ダイナミック増幅器 5 が出力する第 1 の出力信号 V_{OUTN} と第 2 の出力信号 V_{OUTP} とは、ハイレベルとロウレベルとのいずれかの論理レベルとなるのではなく、電源電圧 V_{DD} と接地電圧 V_{SS} の中間的な電圧となる。また、ダイナミック増幅器 5 は、第 1 の出力信号 V_{INP} と第 2 の入力信号 V_{INN} との大小関係に基づき第 1 の出力信号 V_{OUTN} と第 2 の出力信号 V_{OUTP} との大小関係を決定する。ダイナミック増幅器 5 は、差動、電流源、負荷トランジスタ、抵抗 1 0、1 1、可変容量素子 2 0、2 1、オフセット

10

20

30

40

50

制御回路 30 を有する。

【0056】

差動対は、第 1 の入力信号 V_{INP} と第 2 の入力信号 V_{INN} との電圧差に基づき第 1 の電流 I_1 と第 2 の電流 I_2 との差（例えば、電流比）を設定する。差動対は、第 1 のトランジスタ（例えば、NMOS トランジスタ MN_1 ）と、第 2 のトランジスタ（例えば、NMOS トランジスタ MN_2 ）とにより構成される。NMOS トランジスタ MN_1 は、ゲートに第 1 の入力信号 V_{INP} が入力され、ドレインが第 1 の出力端子に接続され、ソースが抵抗 10 を介してノード ND_c に接続される。なお、NMOS トランジスタ MN_1 のソースはノード ND_a となる。NMOS トランジスタ MN_2 は、ゲートに第 2 の入力信号 V_{INN} が入力され、ドレインが第 2 の出力端子に接続され、ソースが抵抗 11 を介してノード ND_c に接続される。なお、NMOS トランジスタ MN_2 のソースはノード ND_b となる。

10

【0057】

ノード ND_c と接地電圧 V_{SS} を供給する接地端子との間には、電流源として機能する NMOS トランジスタ MN_0 が接続される。NMOS トランジスタ MN_0 のゲートには、クロック信号 CLK が入力される。NMOS トランジスタ MN_0 は、クロック信号 CLK がハイレベルの期間に、差動対に動作電流 I_0 を出力する。また、NMOS トランジスタ MN_0 は、クロック信号 CLK がロウレベルの期間に差動対への動作電流 I_0 の供給を停止する。

20

【0058】

負荷トランジスタは、PMOS トランジスタ MP_7 、 MP_8 により構成される。PMOS トランジスタ MP_7 は、ゲートにクロック信号 CLK が入力され、ソースが電源端子に接続され、ドレインが第 1 の出力端子に接続される。PMOS トランジスタ MP_8 は、ゲートにクロック信号 CLK が入力され、ソースが電源端子に接続され、ドレインが第 2 の出力端子に接続される。PMOS トランジスタ MP_7 、 MP_8 は、クロック信号 CLK に応じて導通状態と非導通状態が切り替えられる。ここで、PMOS トランジスタ MP_7 、 MP_8 は、導通状態になることで第 1 の出力信号 V_{OUTN} 及び第 2 の出力信号 V_{OUTP} を電源電圧 V_{DD} とする。つまり、PMOS トランジスタ MP_7 、 MP_8 はリセットトランジスタとしても機能する。

30

【0059】

オフセット制御回路 30 は、内部の設定値又は他の回路（不図示）から与えられるオフセット変更指示信号に基づきオフセット調節信号 FL 、 FR の値を変更する。つまり、オフセット制御回路 30 は、抵抗 10、11 の抵抗値と可変容量素子 20、21 の容量値との少なくとも 1 つを制御して NMOS トランジスタ MN_1 、 MN_2 の間の入力オフセット電圧を制御する。

【0060】

続いて、ダイナミック増幅器 5 の動作について説明する。ダイナミック増幅器 5 の動作を示すタイミングチャートを図 13 に示す。図 13 に示すように、ダイナミック増幅器 5 では、クロック信号 CLK がロウレベルの期間は、PMOS トランジスタ MP_7 、 MP_8 が導通状態となり、第 1 の出力信号 V_{OUTN} 及び第 2 の出力信号 V_{OUTP} をハイレベルとする。一方、ダイナミック増幅器 5 は、クロック信号 CLK がハイレベルの期間に増幅動作を行う。

40

【0061】

ダイナミック増幅器 5 は、クロック信号 CLK の立ち上がりに応じて増幅動作を開始する。そして、増幅動作の開始直後では、まず、ノード ND_c の電圧 V_c 、ノード ND_a の電圧 V_a 、ノード ND_b の電圧 V_b が所定の時定数をもって降下する。電圧 V_a 、 V_b 、 V_c の電圧降下は、電流源として動作する NMOS トランジスタ MN_0 が導通状態となり、動作電流 I_0 を安定的に供給できるまでの期間の間で大きくなる。そして、動作電流 I_0 が十分に差動対に供給されると、差動対は、第 1 の入力信号 V_{INP} 、第 2 の入力信号 V_{INN} の電圧差に基づき電流 I_1 、 I_2 をそれぞれ出力する。増幅動作の期間中は、P

50

M O S トランジスタ M P 7、M P 8 は、遮断状態であり、負荷トランジスタとして機能する。そして、電流 I_1 、 I_2 の大きさに比例した時間変化率で第 1 の出力信号 $V O U T N$ 及び第 2 の出力信号 $V O U T P$ の電圧が低下する。図 1 3 に示す例では、第 1 の出力信号 $V O U T N$ の電圧降下速度が、第 2 の出力信号 $V O U T P$ の電圧降下速度よりも大きい。つまり、図 1 3 に示す例では、第 1 の入力信号 $V I N P$ が第 2 の入力信号 $V I N N$ よりも大きい。

【 0 0 6 2 】

このように、ダイナミック増幅器 5 では、入力信号の電圧差に応じて第 1 の出力信号 $V O U T N$ と第 2 の出力信号 $V O U T P$ の電圧降下速度に差を設けることで、入力信号の電圧差を増幅して第 1 の出力信号 $V O U T N$ と第 2 の出力信号 $V O U T P$ の電圧差とする。このとき、ダイナミック増幅器 5 においても、ダイナミックコンパレータ 1 と同様にノード $N D a$ の時定数とノード $N D b$ の時定数との差に基づき入力オフセット電圧を調整する。つまり、ダイナミック増幅器 5 においても上記 (6) 式に基づき単位調整幅を設定する。

10

【 0 0 6 3 】

上記説明より、実施の形態 5 にかかるダイナミック増幅器 5 においても、実施の形態 5 にかかるダイナミックコンパレータ 1 と同様に高精度な入力オフセット電圧の調整が可能になる。

【 0 0 6 4 】

実施の形態 6

20

実施の形態 6 にかかるダイナミック増幅器 6 の回路図を図 1 4 に示す。図 1 4 に示すように、ダイナミック増幅器 6 は、実施の形態 4 にかかるダイナミックコンパレータ 4 で用いられる可変容量素子 2 4、2 5 を実施の形態 5 にかかるダイナミック増幅器 5 に追加したものである。ダイナミック増幅器 6 では、可変容量素子 2 4 が N M O S トランジスタ M N 1 のドレイン (又は第 1 の出力端子) に接続され、可変容量素子 2 5 が N M O S トランジスタ M N 2 のドレイン (又は第 2 の出力端子) に接続される。

【 0 0 6 5 】

可変容量素子 2 4、2 5 は、ダイナミックコンパレータ 4 と同様にダイナミック増幅器 6 に入力オフセット電圧の粗調整機能を追加するものである。この粗調整機能により、ダイナミック増幅器 6 は、実施の形態 5 にかかるダイナミック増幅器 5 よりも高精度な入力オフセット電圧の調整を可能にする。

30

【 0 0 6 6 】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、オフセット調整のために設けられる可変容量は、N M O S トランジスタ M N 1、M N 2 のソースのいずれか一方に設けることも可能である。この場合、入力オフセット電圧は一方向のみで調整できる。

【 符号の説明 】

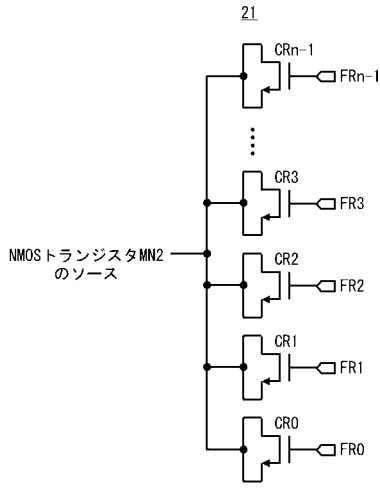
【 0 0 6 7 】

- 1、1 a、1 b ダイナミックコンパレータ
- 2、2 a、2 b ダイナミックコンパレータ
- 3、4 ダイナミックコンパレータ
- 5、6 ダイナミック増幅器
- 1 0、1 1、1 6 抵抗
- 1 2、1 3、1 7 トランジスタ
- 1 4、1 5、1 8 可変抵抗
- 2 0、2 1、2 4、2 5 可変容量素子
- 2 2、2 3 コンデンサ
- 3 0、3 1 オフセット制御回路
- $V I N P$ 第 1 の入力信号
- $V I N N$ 第 2 の入力信号

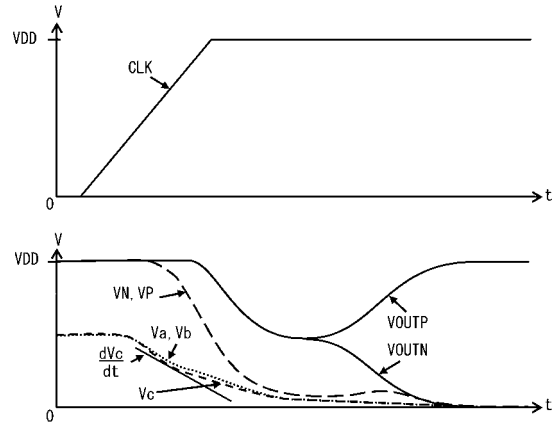
40

50

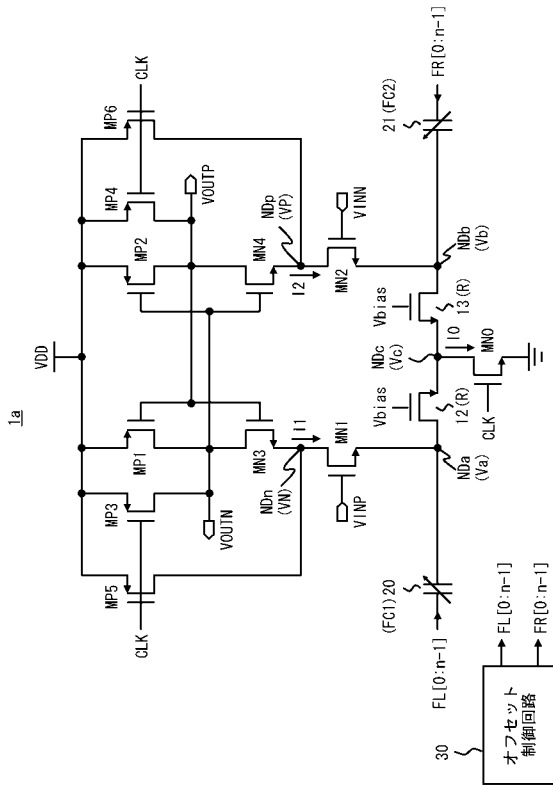
【 図 3 】



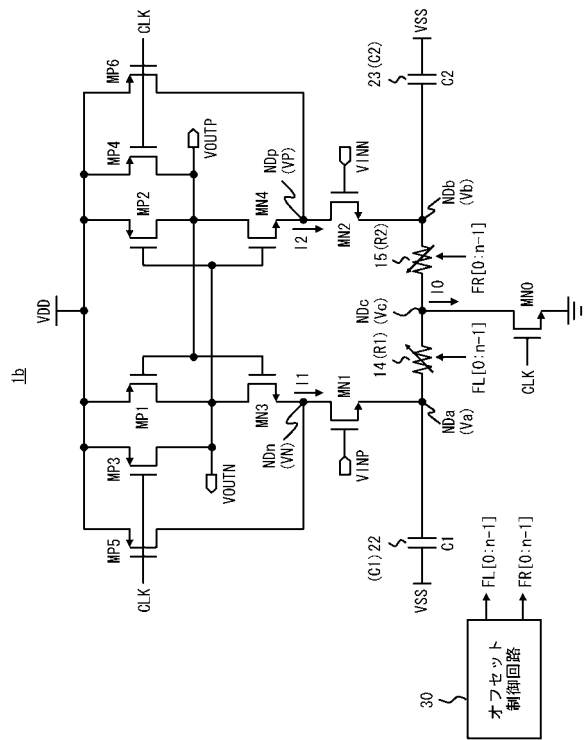
【 図 4 】



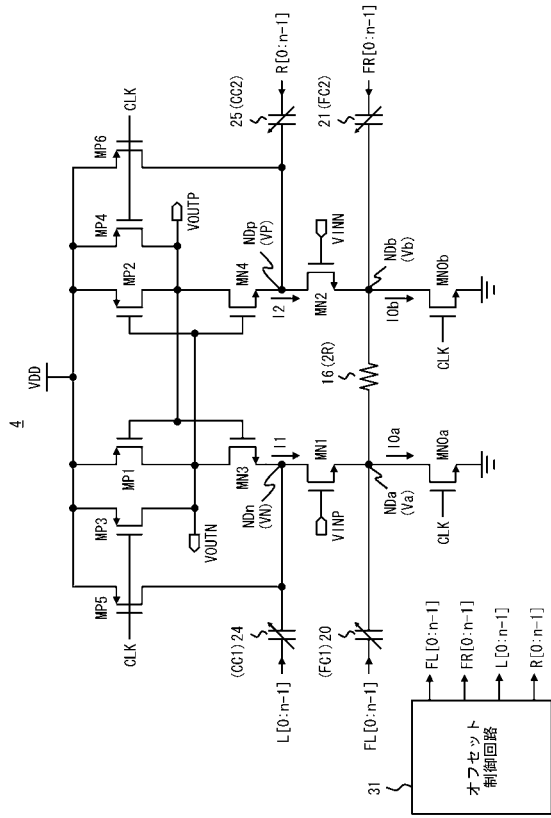
【 図 5 】



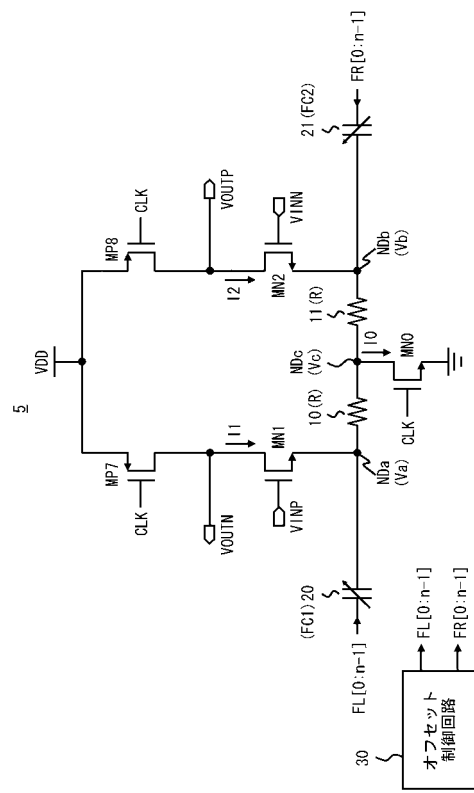
【 図 6 】



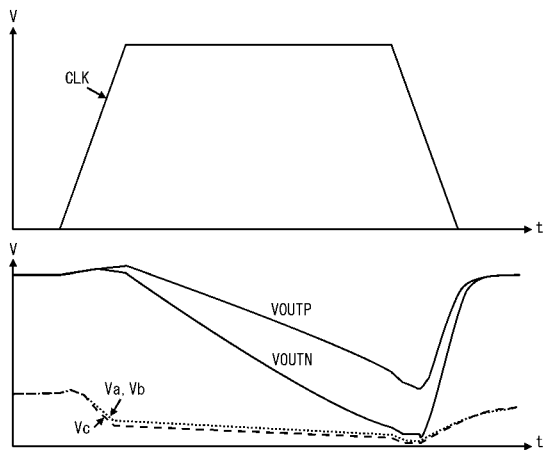
【図 1 1】



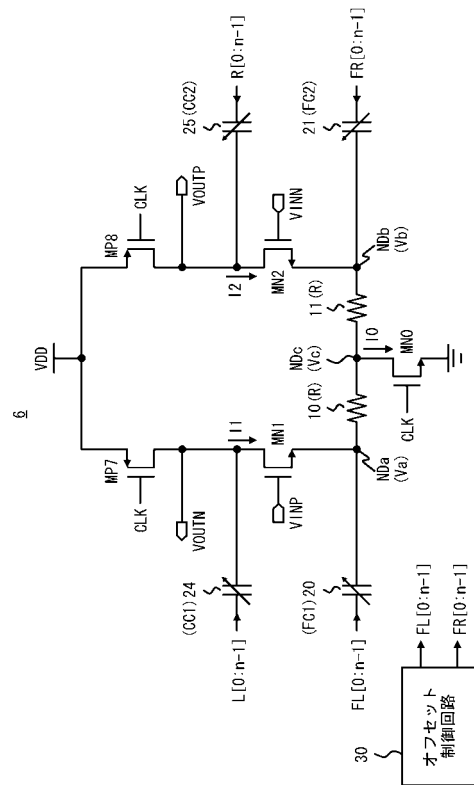
【図 1 2】



【図 1 3】



【図 1 4】



【 図 1 5 】

