

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-71289

(P2009-71289A)

(43) 公開日 平成21年4月2日(2009.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 E	5 F 1 1 0
	HO 1 L 29/78 6 1 8 F	
	HO 1 L 29/78 6 1 8 G	

審査請求 未請求 請求項の数 9 O L (全 26 頁)

(21) 出願番号 特願2008-204376 (P2008-204376)
 (22) 出願日 平成20年8月7日(2008.8.7)
 (31) 優先権主張番号 特願2007-213058 (P2007-213058)
 (32) 優先日 平成19年8月17日(2007.8.17)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 古野 誠
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

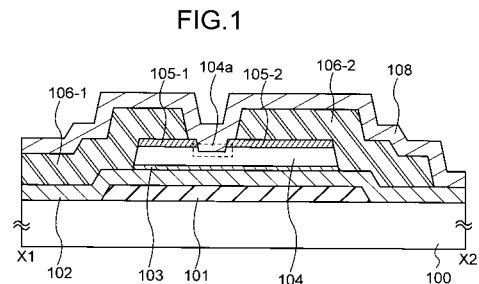
(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 微結晶半導体でなるチャンネル形成領域を有する薄膜トランジスタの電気特性を向上させる。

【解決手段】 ゲート電極と、ゲート電極上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられ微結晶半導体でなる第1の半導体層と、第1の半導体層上に設けられ非晶質半導体を有する第2の半導体層と、第2の半導体層上に設けられたソース領域およびドレイン領域とを薄膜トランジスタに設ける。第1の半導体層には、オン状態でチャンネルが形成され、アクセプタとなる不純物元素を含んでいる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート電極、チャネル形成領域、ソース領域およびドレイン領域を含む薄膜トランジスタを有する半導体装置であって、

前記薄膜トランジスタは

前記ゲート電極を含む第 1 の導電層、

前記ゲート電極上に形成されたゲート絶縁層と、

前記ゲート絶縁層上に設けられ、アクセプタ不純物元素を含む微結晶半導体でなり、かつ前記チャネル形成領域を含む第 1 の半導体層と、

前記ゲート絶縁層上に設けられ、非晶質半導体でなる第 2 の半導体層と、

前記第 2 の半導体層上に設けられた前記ソース領域または前記ドレイン領域を含む一対の第 3 の半導体層と、を有することを特徴とする半導体装置。 10

【請求項 2】

請求項 1 において、

前記アクセプタ不純物元素はボロンであることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記第 1 の半導体層の酸素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下であることを特徴とする半導体装置。 20

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 2 の半導体層は、前記一対の第 3 の半導体層と重ならない領域に凹部を有することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の半導体層は前記第 2 の半導体層よりも薄いことを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 の半導体層は、微結晶シリコン層であり、

前記第 2 の半導体層は非晶質シリコン層であることを特徴とする半導体装置。 30

【請求項 7】

ゲート電極、チャネル形成領域、ソース領域およびドレイン領域を含む薄膜トランジスタを有する半導体装置であって、

前記薄膜トランジスタは

前記ゲート電極と、

前記ゲート電極上に形成されたゲート絶縁層と、

前記ゲート絶縁層上に設けられ、アクセプタ不純物元素および酸素を含む微結晶半導体でなり、かつ前記チャネル形成領域を含む第 1 の半導体層と、

前記ゲート絶縁層上に設けられ、非晶質半導体でなる第 2 の半導体層と、

前記第 2 の半導体層上に設けられた前記ソース領域または前記ドレイン領域を含む一対の第 3 の半導体層と、を有し、 40

前記第 1 の半導体層を形成する工程は、

前記アクセプタ不純物元素を含むドーパントガス、およびシリコンソースガスを含むプロセスガスを用いて、化学気相成長法により、前記アクセプタ不純物元素および酸素を含む微結晶半導体層を形成することを含むことを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 7 において、

記第 1 の半導体層は前記第 2 の半導体層よりも薄いことを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 7 又は 8 において、

前記アクセプタ不純物元素はボロンであり、

前記ドーパントガスは、トリメチルボロン、 B_2H_6 、 BF_3 、 BCl_3 、および BBr_3 から選ばれるガスであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタを有する半導体装置およびその作製方法に関する。

【背景技術】

【0002】

絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタを作製する技術が知られている。薄膜トランジスタは集積回路やアクティブマトリクス型液晶表示装置のような電子デバイスに広く応用されている。アクティブマトリクス型液晶表示装置では、画素のスイッチング素子として、薄膜トランジスタが用いられている。この薄膜トランジスタの半導体薄膜には、非晶質シリコン膜、多結晶シリコン膜、微結晶シリコン膜などが用いられている。

【0003】

薄膜トランジスタに用いられる非晶質シリコン膜は、一般的にプラズマ励起化学気相成長法で形成される。また、多結晶シリコン膜は、プラズマ励起化学気相成長法（以下、「PECVD法」と記す。）で非晶質シリコン膜を形成し、非晶質シリコン膜を結晶化することで形成される。代表的な結晶化方法としては、エキシマレーザビームを光学系により線状に加工し、線状ビームを走査させながら、非晶質シリコン膜に照射する方法がある。

【0004】

また、本願出願人は、半導体薄膜にセミアモルファス半導体膜を用いた薄膜トランジスタを開発している（特許文献 1、特許文献 2 および特許文献 3 参照）。

【0005】

また、微結晶シリコン膜はプラズマ励起化学気相成長法、スパッタ法などの物理気相成長法で形成することができるが、非特許文献 1 のように、非晶質シリコン膜を結晶化することで、微結晶シリコン膜を形成することができる。非特許文献 1 の結晶化方法は次の通りである。非晶質シリコン膜を形成した後、その上面に金属膜を形成する。ダイオードレーザから発振された波長 800 nm のレーザビームを金属膜に照射する。金属膜は光を吸収し加熱される。そして、金属膜からの伝導加熱により非晶質シリコン膜が加熱され、微結晶シリコン膜に改質される。金属膜は、光エネルギーを熱エネルギーに変換するためのものである。この金属膜は、薄膜トランジスタの作製過程で除去される。

【特許文献 1】特開平 4 - 242724 号公報

【特許文献 2】特開 2005 - 49832 号公報

【特許文献 3】米国特許 5,591,987 号明細書

【非特許文献 1】Toshiaki Arai、他 13 名、「Micro Silicon Technology for Active Matrix OLED Display」、SOCIETY FOR INFORMATION DISPLAY 2007 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS、p. 1370 - 1373

【発明の開示】

【発明が解決しようとする課題】

【0006】

多結晶半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタに比べて移動度が 2 桁以上高く、表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜をレーザビームで結晶化して、多結晶半導体膜を形成するため、均一な結晶構造の膜を得るのが非常に困難であり、同一基板上でも TFT ごとに電気特性が異なるという問題がある。

10

20

30

40

50

【0007】

また、微結晶半導体膜の結晶粒の表面は、酸化されやすいという問題がある。このため、チャンネル形成領域の結晶粒が酸化されると、結晶粒の表面に酸化膜が形成されてしまい、当該酸化膜がキャリアの移動の障害となり、薄膜トランジスタの電界効果移動度などの電気特性が低下してしまう。

【0008】

上述した問題に鑑み、本発明は、電気特性を向上させた微結晶半導体層を有する薄膜トランジスタを含む半導体装置およびその作製方法を提供することを課題の一つとする。

【課題を解決するための手段】

【0009】

本発明の1つは、ゲート電極、チャンネル形成領域、ソース領域およびドレイン領域を含む薄膜トランジスタを有する半導体装置である。その薄膜トランジスタは、ゲート電極を含む第1の導電層、ゲート電極上に形成されたゲート絶縁層と、ゲート絶縁層上に設けられ、アクセプタ不純物元素を含む微結晶半導体であり、かつチャンネル形成領域を含む第1の半導体層と、ゲート絶縁層上に設けられ、非晶質半導体である第2の半導体層と、第2の半導体層上に設けられたソース領域またはドレイン領域を含む一対の第3の半導体層とを有する。

10

【0010】

アクセプタ不純物元素には、ボロンを用いることができる。また、第1の半導体層の酸素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下であることが好ましい。

20

【0011】

本発明の1つは、ゲート電極、チャンネル形成領域、ソース領域およびドレイン領域を含む薄膜トランジスタを有する半導体装置の作製方法である。作製される薄膜トランジスタは、ゲート電極と、ゲート電極上に形成されたゲート絶縁層と、ゲート絶縁層上に設けられ、アクセプタ不純物元素および酸素を含む微結晶半導体であり、かつチャンネル形成領域を含む第1の半導体層と、ゲート絶縁層上に設けられ、非晶質半導体である第2の半導体層と、第2の半導体層上に設けられたソース領域またはドレイン領域を含む一対の第3の半導体層とを有する。さらに、第1の半導体層を形成する工程は、アクセプタ不純物元素を含むドーパントガス、およびシリコンソースガスを含むプロセスガスを用いて、化学気相成長法により、アクセプタ不純物元素および酸素を含む微結晶半導体層を形成することを含む。

30

【0012】

アクセプタ不純物元素を含む微結晶半導体層を形成することで、薄膜トランジスタのしきい値電圧を制御することができ、アクセプタ不純物元素の添加はn型の薄膜トランジスタに有効である。例えば、ドーパントガスに、トリメチルボロン、 B_2H_6 、 BF_3 、 BCl_3 、および BBr_3 から選ばれるガスを用いることができ、アクセプタ不純物元素として、ボロンが微結晶半導体層に添加される。

【発明の効果】

【0013】

本発明により、微結晶半導体層にチャンネル形成領域を有し、かつ電気特性が向上された薄膜トランジスタを有する半導体装置、およびその作製方法を提供することができる。

40

【発明を実施するための最良の形態】

【0014】

以下に、本発明を説明する。本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨およびその範囲から逸脱することなく、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は実施形態の記載内容に限定して解釈されるものではない。また、異なる図面間で同じ参照符号が付されている要素は同じ要素を表しており、材料、形状、作製方法などについて繰り返しになる説明は省略している。

【0015】

50

(実施形態1)

本実施形態では、本発明の半導体装置に用いられる薄膜トランジスタの構成、およびその作製方法について説明する。本実施形態では、トランジスタとしてボトムゲート型で、チャンネルエッチ構造の薄膜トランジスタ(TFT)およびその作製方法について説明する。

【0016】

図1は、TFTの構成の一例を示す断面図であり、図2は、その上面図である。図2のX1-X2切断線に沿った断面が図1に図示されている。

【0017】

TFTは、基板100上に形成され、基板側から、第1の導電層101、絶縁層102、第1の半導体層103、第2の半導体層104、一对の第3の半導体層105-1、105-2が積層されている。第1の導電層101は、TFTのゲート電極を構成する導電層である。絶縁層102はTFTのゲート絶縁層を構成する。第1の半導体層はアクセプタとなる不純物元素を含む微結晶半導体であり、TFTのチャンネル形成領域を含む半導体層である。第2の半導体層104は非晶質半導体である。一对の第3の半導体層105-1、105-2は、それぞれ、n型またはp型の半導体であり、ソース領域またはドレイン領域として機能する。

【0018】

第1の半導体層103は、代表的には微結晶シリコン層であり、第2の半導体層104は、代表的には非晶質シリコン層である。また第3の半導体層105-1、105-2は、微結晶シリコン層または非晶質シリコン層である。第1の半導体層103は、結晶性に短距離秩序を持つ微結晶半導体層であり、結晶の粒径が0.5nm以上20nm以下の微細な結晶粒が非晶質半導体中に分散して存在している半導体層である。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520.6 cm^{-1} よりも低波数側にシフトしている。微結晶シリコンのラマンスペクトルは、代表的には 481 cm^{-1} 以上 520.6 cm^{-1} 以下の範囲に存在している。第1の半導体層103には、未結合手(ダングリングボンド)を終端するために、水素またはハロゲンを少なくとも1原子%またはそれ以上含ませることが好ましい。さらに、第1の半導体層103を構成する微結晶シリコンは格子歪みを有してもよい。ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて、さらに格子歪みを助長させることで、安定性が増し良好な微結晶半導体を得られる。

【0019】

TFTには、ソース電極またドレイン電極として機能する一对の第2の導電層106-1、106-2が電気的に接続されている。第3の半導体層105-1、105-2上に、それぞれ、第2の導電層106-1、106-2が形成されている。また、TFTは、パッシベーション膜として機能する絶縁層108に覆われている。

【0020】

また、第1の半導体層103は微結晶半導体で構成され、第2の半導体層104は、非晶質半導体で構成される。非晶質半導体は微結晶半導体よりもバンドギャップが大きく、抵抗が大きい。例えば、微結晶シリコンのバンドギャップは $1.1\text{ eV} \sim 1.5\text{ eV}$ 程度であり、非晶質シリコンのバンドギャップは $1.6 \sim 1.8\text{ eV}$ 程度である。また非晶質半導体は、キャリア移動度が低く、微結晶半導体の $1/5 \sim 1/10$ である。第1の半導体層103を微結晶半導体層で構成することで、微結晶半導体によりチャンネル形成領域が構成される。また、第2の半導体層104は高抵抗領域として機能し、オフ状態でのリーク電流の低減、TFTの劣化の抑制の効果が得られる。

【0021】

例えば、TFTが一对の第3の半導体層105-1、105-2がn型半導体層で構成されたnチャンネル型TFTであり、第3の半導体層105-1がソース領域であり、第3の半導体層105-2がドレイン領域の場合を想定し、TFTの動作について説明する。

【0022】

10

20

30

40

50

第1の導電層101に、しきい値電圧値以上の電圧を印加して、TFTをオン状態にすると、第1の半導体層103にチャンネルが形成され、キャリア（この場合は電子）が第3の半導体層105-1（ソース領域）から、第2の半導体層104および第1の半導体層103を通り、第3の半導体層105-2（ドレイン領域）に移動する。すなわち、第3の半導体層105-2から第3の半導体層105-1へと電流が流れる。

【0023】

第1の半導体層103が微結晶半導体でなるため、チャンネルが非晶質半導体でなるTFTよりも、図1、図2のTFTは電界効果移動度が高く、かつオン状態で流れる電流も高くなる。これは、微結晶半導体のほうが非晶質半導体よりも、結晶性が高いため、抵抗が低くなるからである。なお、結晶性とは、固体を構成する原子配列の規則性の度合いを表現するものである。結晶性を評価する方法として、ラマン分光法、X線回折法などがある。

10

【0024】

なお、微結晶半導体膜は、価電子制御を目的とした不純物元素を意図的に添加しないときは、真性半導体膜ではなく、弱いn型の電気伝導性を示す半導体膜となる。その理由は、微結晶半導体膜に未結合手や欠陥があるため、自由電子が半導体に生じるからである。さらに、微結晶半導体膜を弱いn型とする原因の1つに、酸素が含まれることがある。

【0025】

TFTを作製する工程では、気密性が保たれた反応室内で、化学気相成長法（以下、「CVD法」という。）または物理気相成長法（以下、「PVD法」という。）で基板上に微結晶半導体膜成長させているが、大気成分の酸素が全く取り込まれないように基板上に微結晶半導体膜を成長させることは非常に困難であり、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以上の酸素が微結晶半導体膜に混入してしまう。酸素が混入すると、微結晶半導体膜の結晶に欠陥が生じ、その欠陥により自由電子が生ずる。すなわち、微結晶半導体膜に対して、酸素はドナー不純物元素として働いている。

20

【0026】

よって、薄膜トランジスタのチャンネル形成領域として機能する第1の半導体層103には、アクセプタとなる不純物元素を添加し、実質的に真性半導体膜となるようにすることが好ましい。アクセプタとなる不純物元素を第1の半導体層103に添加することで、TFTのしきい値電圧を制御することが可能となる。その結果、同一基板上にnチャンネル型TFTおよびpチャンネル型TFTを形成した場合、双方のTFTともエンハンスメント型のトランジスタとすることができる。なお、nチャンネル型TFTをエンハンスメント型のトランジスタとするには、第1の半導体層103の導電性を真性または弱いp型とすればよい。

30

【0027】

第14族元素からなる微結晶半導体膜の場合、アクセプタとなる不純物元素は代表的には、ボロンである。第1の半導体層103を真性半導体または弱いp型の導電性を示す半導体とするためには、第1の半導体層103のアクセプタ不純物元素の濃度は、 $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とするとよい。また酸素はドナー不純物元素として機能するだけでなく、半導体膜を酸化してTFTの電界効果移動度を低下させる原因となるため、第1の半導体層103の酸素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下が好ましく、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下がより好ましい。

40

【0028】

第1の導電層101の電位をしきい値電圧値よりも低くすることで、TFTはオフ状態となる。オフ状態ではTFTのソース領域とドレイン領域間に電流が流れないことが理想的である。オフ状態でソース領域とドレイン領域間を流れる電流はリーク電流と呼ばれる。図1、図2に示すような第1の半導体層103と第2の半導体層104が積層された半導体膜を有するTFTは、オフ状態では、第1の導電層101が作る電界の作用により、その半導体膜上部がリーク電流を発生するキャリアの経路となる。そこで、TFTの半導体膜のリーク電流が流れやすい部分を、非晶質半導体でなる第2の半導体層104で構成

50

することで、微結晶半導体でなるチャネル形成領域を有するTFTのリーク電流を低減することができる。

【0029】

つまり、図1、図2に示すTFTにおいて、チャネル形成領域が形成される半導体膜のゲート電極側（ゲート絶縁層側）を微結晶半導体層とし、ソース領域およびドレイン領域と接する側を非晶質半導体層とすることで、オン状態で流れる電流を大きくし、かつオフ状態で流れる電流を小さくすることができる。

【0030】

第2の半導体層104はバッファ層として機能する。チャネルが形成される第1の半導体層103の酸化を防止する役割を果たす。第1の半導体層103の酸化を防止することで、TFTの電界効果移動度が低下することを防止できる。よって、チャネル形成領域を含む第1の半導体層103を薄く形成することができる。第1の半導体層103の厚さは5nmよりも厚ければよく、その膜厚は50nm以下が好ましく、20nm以下がより好ましい。

【0031】

また、第1の半導体層103と一对の第3の半導体層105-1、105-2（ソース領域およびドレイン領域）の間に、非晶質半導体でなる第2の半導体層104を形成することで、TFTの絶縁耐圧性を向上させることができるため、TFTの劣化が抑制され、TFTの信頼性を向上させることができる。

【0032】

また、第1の半導体層103と一对の第3の半導体層105-1、105-2（ソース領域およびドレイン領域）の間に、非晶質半導体でなる第2の半導体層104を形成することで、寄生容量を低減することができる。

【0033】

第2の半導体層104は、凹部104aが形成されているが、第3の半導体層105-1、105-2と重なる部分の厚さは、第1の半導体層103よりも厚く、100nm以上500nm以下とすることができる。その厚さは、200nm以上300nm以下が好ましい。ゲート電極に高い電圧（例えば15V程度）を印加してTFTを動作させるような場合でも、第2の半導体層104を100nm以上500nm以下と厚く形成することができる。つまり、TFTが劣化することを抑制することができる。

【0034】

また、非晶質半導体でなる第2の半導体層104を形成することで、TFTの電気的特性を向上させ、かつ信頼性を向上させることが、半導体膜の酸化による薄膜トランジスタの電気特性の低下、薄膜トランジスタの寄生容量の増大、および、高電圧を印加した際の薄膜トランジスタの劣化を抑制しつつ、チャネル形成領域となる第1の半導体層103の薄膜化が可能となる。

【0035】

次に、図3および図4を参照して、図1、図2の薄膜トランジスタの作製方法を説明する。

【0036】

まず、基板100を用意する。基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐える耐熱性を有するプラスチック基板などを用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。

【0037】

次に、基板100上に第1の導電層101を形成する（図3（A）参照）。まず、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属またはこれらの金属を含む合金から選択される導電性材料でなる単層構造または積層構造の導電膜を形成する。この導電膜の形成には、スパッタ法や真空蒸着法を用いることができる。そし

10

20

30

40

50

て、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、所定の形状を有する第1の導電層101が形成される。

【0038】

また、エッチング処理を行わないで第1の導電層101を形成することが可能である。銀、金、銅などの導電性ナノペーストをインクジェット法により、所定の形状になるように吐出し、しかる後焼成して、所定の形状を有する第1の導電層101を形成することもできる。なお、第1の導電層101の密着性向上、および金属元素の拡散を防ぐバリア層として、金属の窒化物膜を、基板100および第1の導電層101の間に設けることもできる。バリア層は、チタン、モリブデン、クロム、タンタル、タングステン、またはアルミニウムの窒化物膜で形成することができる。

10

【0039】

第1の導電層101上には半導体膜や配線を形成するので、これらの段切れ防止のため、第1の導電層101の端部がテーパ状になるように加工することが望ましい。図3では、第1の導電層101の端部をテーパ状に加工している。

【0040】

次に、絶縁層102、第1の半導体層103を構成する微結晶半導体層123、非晶質半導体層124、および、n型またはp型の半導体層125の順に、各層を第1の導電層101上に形成する(図3(B)参照)。微結晶半導体層123の厚さは5nmよりも厚ければよく、その膜厚は、50nm以下、好ましくは20nm以下である。非晶質半導体層124は、100nm以上500nm以下、好ましくは200nm以上300nm以下の厚さで形成する。

20

【0041】

絶縁層102、微結晶半導体層123、非晶質半導体層124、n型またはp型の半導体層125は、連続的に形成することが好ましい。すなわち、絶縁層102を形成した後、基板100を大気に触れさせることなく、半導体層123~125を連続成膜する。このように形成することで、酸素、窒素などの大気成分元素、大気中に浮遊する汚染不純物元素で各層の界面が汚染されることを防止できるため、電気特性のTFTごとのばらつきを低減することができる。

【0042】

絶縁層102は酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、または窒化酸化シリコン膜で形成することができる。これらの絶縁膜は、それぞれ、CVD法やスパッタ法で形成することができる。CVD法でこれらの絶縁膜を形成する場合、PECVD法が好ましく、特に周波数が1GHz以上のマイクロ波でプロセスガスを励起してプラズマを生成することが好ましい。マイクロ波励起のプラズマを用いて気相成長させた酸化窒化シリコン膜、窒化酸化シリコン膜は、絶縁耐圧が高いため、TFTの信頼性を向上させることができる。

30

【0043】

なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が55~65原子%、窒素が1~20原子%、Siが25~35原子%、水素が0.1~10原子%の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15~30原子%、窒素が20~35原子%、Siが25~35原子%、水素が15~25原子%の範囲で含まれるものをいう。

40

【0044】

絶縁層102は単層構造、積層構造とすることができる。例えば、絶縁層102を2層構造とする場合は、下層を酸化シリコン膜または酸化窒化シリコン膜で形成し、上層を窒化シリコン膜または窒化酸化シリコン膜で形成する。3層構造とする場合は、基板100側の層を窒化シリコン膜または窒化酸化シリコン膜で形成し、中央の層を酸化シリコン膜または酸化窒化シリコン膜で形成し、微結晶半導体層123側の層を窒化シリコン膜また

50

は窒化酸化シリコン膜で形成することができる。

【0045】

微結晶半導体層123は、結晶性に短距離秩序を持ち、結晶の粒径が0.5nm以上20nm以下の微細な結晶粒が非晶質半導体中に存在している半導体層である。

【0046】

微結晶半導体層は、CVD法、PVD法で形成することができる。PECVD法を用いる場合は、周波数が数十MHz~数百MHzの範囲の高周波でプロセスガスを励起する、または周波数が1GHz以上のマイクロ波でプロセスガスを励起することが好ましい。高周波の周波数の範囲は、27MHz~100MHzが好ましく、代表的な周波数は60MHzである。CVD法で微結晶シリコン膜を形成する場合、シリコンソースガスには、SiH₄、Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることができる。

10

【0047】

また、CVD法のプロセスガスには、シリコンソースガスの他、水素を混合することができる。また、プロセスガスにヘリウム、アルゴン、クリプトン、ネオンなどの希ガスを混合することができる。プロセスガス中のヘリウム、アルゴン、クリプトン、ネオンなどの希ガスの濃度を調節することで、微結晶半導体層123にこれらの希ガス元素を添加することができる。

【0048】

また、ハロゲン元素を組成とする物質の気体(F₂、Cl₂、Br₂、I₂、HF、HCl、HBr、HIなど)をプロセスガスに混合すること、または、組成にハロゲンを含むシリコンソースガス(SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄など)を用いることで、微結晶半導体層123にハロゲンを添加することができる。なお、SiF₄を用いる場合は、シリコンソースガスとしては、SiF₄とSiH₄の混合ガスを用いることが望ましい。

20

【0049】

また、微結晶半導体層123には、アクセプタ不純物元素を添加し、真性半導体層、または弱いn型の半導体層とする。微結晶半導体層123のアクセプタ不純物元素の濃度は、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とするとよい。微結晶半導体層123をCVD法で形成する場合は、プロセスガスにアクセプタ不純物元素を含むドーパントガスを混合する。微結晶半導体層123中のアクセプタ不純物元素の濃度は、ドーパントガスの分圧で調節することができる。ドーパントガスの分圧は、反応室に供給する際のドーパントガスの流量およびその希釈率で調節することができる。例えば、雰囲気圧力が150Pa±20Pa程度の場合、ドーパントガスの分圧は $1 \times 10^{-8} \text{ Pa}$ 以上 $1 \times 10^{-5} \text{ Pa}$ 以下とするとよい。

30

【0050】

アクセプタ不純物元素は、代表的にはボロンである。アクセプタ不純物元素を含むドーパントガスには、B₂H₆、BF₃、BCl₃、BBr₃、トリメチルボロン(B(CH₃)₃)などから選ばれるガスを用いることができる。B₂H₆は吸着しやすく、プラズマクリーニングで反応室からの除去が困難である。トリメチルボロン(以下、「TMB」と記す)は、プラズマクリーニングでB₂H₆よりも反応室から除去しやすいという利点がある。また、TMBはB₂H₆よりも分解しにくいいため、保存期間が長いという長所もある。

40

【0051】

また、微結晶半導体層123の酸素濃度を、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とすることが好ましい。酸素を減らすには、基板100に吸着する酸素を減らす、また微結晶半導体層123を形成する反応室内にリークする空気の量を減らす、微結晶半導体層123の成膜速度を上げることにより、成膜時間を短くするなどの方法がある。

【0052】

50

CVD法で微結晶シリコン膜を形成する工程について、説明する。プロセスガスには、少なくとも、シリコンソースガス、ドーパントガスおよび水素が含まれる。水素の代わりにヘリウムなどの希ガスを混合することができる。微結晶シリコン膜を形成するには、シリコンソースガスの分圧に対する水素の分圧が50倍以上であることが好ましく、その分圧を50倍以上2000倍以下とすることができる。水素の分圧を大きくすることで、シリコン膜の成長速度が下がるため、結晶核を発生しやすくなり、シリコン膜が微結晶化する。

【0053】

また、微結晶シリコン膜をCVD法で形成する際の基板の加熱温度は100以上300以下とすることができる。また、雰囲気圧力を100Pa以上300Pa以下とすることができる。

10

【0054】

非晶質半導体層124は、PECVD法などのCVD法、スパッタ法などのPVD法で形成することができる。CVD法で非晶質シリコン膜を形成する場合、シリコンソースガスには、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などから選ばれる1種または複数種類のガスを用いることができる。例えば、 SiF_4 を用いる場合は、シリコンソースガスとしては、 SiF_4 と SiH_4 の混合ガスを用いることが望ましい。また、CVD法のプロセスガスには、シリコンソースガスの他、水素に加え、ヘリウム、アルゴン、クリプトン、ネオンを混合することができる。また、ハロゲン元素を組成とする物質の気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI など)をプロセスガスに混合すること、または、組成にハロゲンを含むシリコンソースガス(SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 など)を用いることで、非晶質シリコン膜にハロゲンを添加することができる。

20

【0055】

また、スパッタ法で非晶質シリコン膜の形成は、ターゲットに単結晶シリコンを用い、希ガスでターゲットをスパッタリングすることで行うことができる。また、膜の形成時に、アンモニア、窒素、または N_2O を雰囲気中に含ませることにより、窒素を含む非晶質シリコン膜を形成することができる。また、雰囲気中にハロゲンを組成とする気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI など)を含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

30

【0056】

また、非晶質半導体層124を形成した後、非晶質半導体層124の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理して、非晶質半導体層124の表面を水素化、窒素化、またはハロゲン化してもよい。または、非晶質半導体層124の表面を、ヘリウムプラズマ、ネオンプラズマ、アルゴンプラズマ、クリプトンプラズマなどの希ガスプラズマで処理してもよい。

【0057】

一導電性を付与する不純物が添加された半導体層125は、ソース領域およびドレイン領域を構成する半導体層であり、微結晶半導体または非晶質半導体でなる。半導体層125は微結晶半導体層123、非晶質半導体層124と同様に形成することができ、半導体層125を形成するときにドナー不純物元素またはアクセプタ不純物元素を含ませる。半導体層125は2nm以上50nm以下の厚さで形成される。

40

【0058】

nチャネル型TFETを形成するためには、ドーパント不純物元素としてリンを添加して、n型の導電性を半導体層125に付与する。そのため、CVD法で半導体層125を形成するには、 PH_3 などのドナー元素を組成に含むドーパントガスをプロセスガスに混合する。他方、pチャネル型TFETを形成するためには、アクセプタ不純物元素としてボロンを添加して、p型の導電性を半導体層125に付与する。そのため、CVD法で半導体層125を形成するには、 B_2H_6 、 BF_3 、 BCl_3 、 BBr_3 、 TMB などのアクセプタ元素を組成に含むドーパントガスをプロセスガスに混合する。半導体層125は2n

50

m以上50nm以下の厚さで形成する。一導電型を付与する不純物が添加された半導体膜の膜厚を薄くすることで、スループットを向上させることができる。

【0059】

次に、半導体層125上に、マスク131を形成する。マスク131は、フォトリソグラフィ技術又はインクジェット法により形成する。マスク131を用いて、半導体層125、非晶質半導体層124および微結晶半導体層123をエッチングして、第3の半導体層105、第2の半導体層104、および第1の半導体層103をそれぞれ形成する(図3(C)参照)。つまり、エッチング工程により、絶縁層102上に、第3の半導体層105、第2の半導体層104、および第1の半導体層103でなる島状の3層構造の積層体が形成される。

10

【0060】

図3(C)の工程では、第3の半導体層105は、ソース領域とドレイン領域に分割されていない。第2の半導体層104、および第1の半導体層103の全体は、第1の導電層101と重なるように形成される。このことにより、基板100を透過した光が第1の導電層101により遮られるため、第2の半導体層104、および第1の半導体層103にこの光が照射されることが防止され、光リーク電流の発生を回避できる。

【0061】

次に、エッチングにより残存した第3の半導体層105および絶縁層102上に導電層126を形成し、当該導電層126上にマスク132を形成する(図3(D)参照)。マスク132は、フォトリソグラフィ技術又はインクジェット法により形成する。

20

【0062】

導電層126は、単層構造、積層構造とすることができる。ソース電極、ドレイン電極の低抵抗化のため、少なくとも1層は、アルミニウム、アルミニウム合金、または銅でなる導電膜を設けることが好ましい。アルミニウムには、チタン、ネオジウム、スカンジウム、モリブデンなどを微量添加して、耐熱性を向上させることが好ましい。またアルミニウム合金には、これらの元素とアルミニウムとの合金を用いて、耐熱性を向上させることが好ましい。導電層126を構成する導電膜は、スパッタ法や真空蒸着法で形成することができる。

【0063】

導電層126を2層構造とする場合は、下層を耐熱性金属膜、または耐熱性金属の窒化物膜で形成し、上層をアルミニウム、アルミニウム合金、または銅でなる膜で形成する。なお、耐熱性金属とはアルミニウムよりも融点が高い(800以上が好ましい)金属であり、例えば、チタン、タンタル、モリブデン、タングステンなどである。導電層126を3層構造とする場合は、中央の層をアルミニウム、アルミニウム合金、または銅でなる膜で形成し、上層および下層を耐熱性金属膜、または耐熱性金属の窒化物膜で形成する。すなわち、3層構造の場合、アルミニウム膜などの低抵抗な導電膜を、耐熱性の高い導電膜で挟んだ構造とすることが好ましい。導電層126を構成する導電膜は、スパッタ法や真空蒸着法で形成することができる。

30

【0064】

なお、図3(B)の工程で、さらに半導体層125上に導電層126を形成することもできる。

40

【0065】

次に、マスク132を用いて導電層126をエッチングして、一对の第2の導電層106-1、106-2を形成する(図4(A)参照)。

【0066】

さらに、マスク132を用いて第3の半導体層105をエッチングして一对の第3の半導体層105-1、105-2を形成する(図4(B)参照)。第3の半導体層105のエッチング剤により、第2の半導体層104もエッチングされ、凹部104aが形成される。凹部104aが形成される領域は、第3の半導体層105-1、105-2および、一对の第2の導電層106-1、106-2と重なっていない領域である。この領域は、

50

図2の上面図において、第2の半導体層104が露出している領域である。第3の半導体層105-1、105-2の端部と第2の導電層106-1、106-2の端部はほぼ一致している。

【0067】

第2の半導体層104を、第1の半導体層103の酸化防止のバッファ層として機能させるためには、このエッチング処理で、第1の半導体層103が露出しないように、第2の半導体層104をエッチングする必要がある。

【0068】

次に、第2の導電層106-1、106-2の周辺部をエッチングする(図4(C))。ここでは、マスク132を用いて、ウエットエッチングするため、第2の導電層106-1、106-2の側面の露出部がエッチングされる。したがって、第2の導電層106-1と第2の導電層106-2間の距離をTFTのチャンネル長よりも長くできる。このことにより、第2の導電層106-1と第2の導電層106-2間の距離を長くすることができるので、第2の導電層106-1と第2の導電層106-2とのショートを防止することができる。

10

【0069】

図4(C)のエッチング処理を行うことで、第2の導電層106-1、106-2の端部は、第3の半導体層105-1、105-2の端部からずれる。すなわち、図2に示すように、第2の導電層106-1、106-2の外側に第3の半導体層105-1、105-2の端部が存在する。このような構造にすることで、TFTのソース電極およびドレイン電極、ソース領域およびドレイン領域の端部に電界が集中せず、ゲート電極と、ソース電極およびドレイン電極との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

20

【0070】

しかる後、マスク132を除去する。なお、図4(C)のエッチング処理を行わないで、第3の半導体層105-1、105-2の端部と第2の導電層106-1、106-2の端部はほぼ一致している構成とすることもできる。次に、絶縁層108を形成する(図1参照)。絶縁層108は、絶縁層102と同様に形成することができる。なお、絶縁層108は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、窒化シリコン膜など緻密な膜が好ましい。以上により、図1、図2に示すチャンネルエッチ構造のTFTが完成する。

30

【0071】

(実施形態2)

本実施形態では、実施形態1と異なる構造の薄膜トランジスタおよびその作製方法を説明する。実施形態1では、チャンネルエッチ型の薄膜トランジスタを示したが、本実施形態では、チャンネル形成領域上に絶縁膜でなる保護層を有する薄膜トランジスタについて説明する。このような保護層を有するTFTの構造を「チャンネル保護型」と呼ぶ。図5は、チャンネル保護型TFTの構成の一例を示す断面図であり、図6はその上面図である。図6のY1-Y2切断線に沿った断面図が図5である。

40

【0072】

本実施形態のTFTが実施形態1と異なる点は次の通りである。第2の半導体層104に凹部104aが形成されていなく、第2の半導体層104上に保護層109が形成されている。また、図6に示すように、第2の半導体層104は露出していなく、第3の半導体層105-1、105-2、保護層109によって覆われている。また、第2の導電層106-1、106-2の全体は第3の105-1、105-2と重なっている。つまり、第2の導電層106-1、106-2が存在している領域には、第3の半導体層105-1、105-2が重なって存在している。また、第2の導電層106-1、106-2の端部は、第3の半導体層105-1、105-2の端部からずれている点、および、第1の半導体層103および第2の半導体層104の全体が第1の導電層101と重なっている点は、実施形態1のTFTと同様である。

50

【 0 0 7 3 】

次に、図 7 および図 8 を参照して、図 5 および図 6 の T F T の作製方法を説明する。本実施形態の T F T の作製工程は、実施形態 1 の作製方法を適用できる。

【 0 0 7 4 】

まず、基板 1 0 0 上に第 1 の導電層 1 0 1 を形成した後、絶縁層 1 0 2、微結晶半導体層 1 2 3、非晶質半導体層 1 2 4 を積層する。さらに非晶質半導体層 1 2 4 上に保護層 1 0 9 を形成する（図 7（A）参照）。保護層 1 0 9 は絶縁層 1 0 2 と同様に形成した絶縁層、または非感光性の有機材料層をエッチングにより所望の形状に加工することで、形成することができる。

【 0 0 7 5 】

次に、保護層 1 0 9 および非晶質半導体層 1 2 4 上に図 3（C）と同様なマスク（図示せず）を形成し、このマスクを用いて、図 3（C）と同様にエッチング処理を行い、第 1 の半導体層 1 0 3、第 2 の半導体層 1 0 4 を形成する（図 7（B）参照）。この後、マスクを除去する。

【 0 0 7 6 】

次に、絶縁層 1 0 2、第 2 の半導体層 1 0 4、保護層 1 0 9 上に、半導体層 1 2 5 および導電層 1 2 6 を順に積層して形成する（図 7（C）参照）。

【 0 0 7 7 】

次に、導電層 1 2 6 上にマスク 1 3 3 を形成する。マスク 1 3 3 を用いて、図 4（A）と同様に導電層 1 2 6 をエッチングして、一对の第 2 の導電層 1 0 6 - 1、1 0 6 - 2 を形成する（図 8（A）参照）。

【 0 0 7 8 】

さらに、マスク 1 3 3 を用いて、図 4（B）と同様に、半導体層 1 2 5 をエッチングして一对の第 3 の半導体層 1 0 5 - 1、1 0 5 - 2 を形成する（図 8（B）参照）。このエッチング工程では、保護層 1 0 9 がエッチングストッパとして機能するため、第 2 の半導体層 1 0 4 に凹部が形成されない。導電層 1 2 6 および半導体層 1 2 5 を積層して形成したあと、共通のマスク 1 3 3 を用いて導電層 1 2 6 および半導体層 1 2 5 をエッチングしているため、第 3 の半導体層 1 0 5 - 1、1 0 5 - 2 が存在している領域に、第 2 の導電層 1 0 6 - 1、1 0 6 - 2 が存在する。また、第 3 の半導体層 1 0 5 - 1、1 0 5 - 2 の端部と第 2 の導電層 1 0 6 - 1、1 0 6 - 2 の端部はほぼ一致している。

【 0 0 7 9 】

次に、図 4（C）と同様に、第 2 の導電層 1 0 6 - 1、1 0 6 - 2 の周辺部をエッチングする（図 8（C））。この工程で、第 2 の導電層 1 0 6 - 1、1 0 6 - 2 の端部は、第 3 の半導体層 1 0 5 - 1、1 0 5 - 2 の端部からずれる。すなわち、図 6 に示すように、第 2 の導電層 1 0 6 - 1、1 0 6 - 2 の外側に第 3 の半導体層 1 0 5 - 1、1 0 5 - 2 の端部が存在する。このような構造にすることで、T F T のソース電極およびドレイン電極、ソース領域およびドレイン領域の端部に電界が集中せず、ゲート電極と、ソース電極およびドレイン電極との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ高絶縁耐圧の薄膜トランジスタを作製することができる。

【 0 0 8 0 】

しかる後、マスク 1 3 3 を除去する。なお、図 8（C）のエッチング処理を行わないことで、第 3 の半導体層 1 0 5 - 1、1 0 5 - 2 の端部と第 2 の導電層 1 0 6 - 1、1 0 6 - 2 の端部がほぼ一致している構成とすることもできる。次に、絶縁層 1 0 8 を形成する（図 5 参照）。以上により、図 5、図 6 に示すチャネル保護型の T F T が完成する。

【 0 0 8 1 】

（実施形態 3）

本実施形態では、トランジスタを有する半導体装置の一例として、アクティブマトリクス型表示装置について説明する。アクティブマトリクス型表示装置は、画素部の各画素にトランジスタを有する。

【 0 0 8 2 】

10

20

30

40

50

まず、図面を用いて、本発明のアクティブマトリクス型表示装置の構成について説明する。図9は、アクティブマトリクス型表示装置の構成例を示すブロック図である。アクティブマトリクス型表示装置は、画素部10、ソース線駆動回路11、走査線駆動回路12、ソース線駆動回路11に接続された複数のソース線13、および走査線駆動回路12に接続された複数の走査線14を有する。

【0083】

複数のソース線13は列方向に配列され、複数の走査線14はソース線13と交差して行方向に配列されている。画素部10には、ソース線13および走査線14がつくる行列に対応して、複数の画素15が行列状に配列されている。画素15は、走査線14およびソース線13に接続されている。画素15はスイッチング素子および表示素子を含む。スイッチング素子は、走査線14に入力される信号に従って、画素が選択か非選択かを制御する。表示素子はソース線13から入力されるビデオ信号によって階調が制御される。

【0084】

図10および図11を用いて、画素15の構成例を説明する。本発明をアクティブマトリクス型液晶表示装置に適用した場合の、画素15の構成例を図10に示す。図10は画素の回路図である。画素15は、スイッチング素子としてスイッチングトランジスタ21を有し、表示素子として液晶素子22を有する。スイッチングトランジスタ21はゲートが走査線14に接続され、ソースまたはドレインの一方がソース線13に接続され、他方が液晶素子22に接続されている。スイッチングトランジスタ21に、実施形態1、または実施形態2のTFTが適用される。

【0085】

液晶素子22は画素電極と対向電極と液晶を含む、画素電極と対向電極がつくる電界により、液晶分子の配向が制御される。液晶は、アクティブマトリクス型液晶表示装置の2枚の基板の間に封入されている。補助容量23は、液晶素子22の画素電極の電位を保持するためのコンデンサであり、液晶素子22の画素電極に接続されている。

【0086】

本発明をアクティブマトリクス型エレクトロルミネッセンス(EL)表示装置に適用した場合の、画素15の構成例を図11に示す。図11は画素の回路図である。画素15は、スイッチング素子としてスイッチングトランジスタ31を有し、表示素子として発光素子32を有する。さらに、画素15は、スイッチングトランジスタ31にゲートが接続された駆動用トランジスタ33を有する。発光素子32は、一对の電極と、一对の電極に挟まれた発光材料を含む発光層を有する。スイッチングトランジスタ31および駆動用トランジスタ33に実施形態1、または実施形態2のTFTが適用される。

【0087】

エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。発光素子32には、有機EL素子、および無機EL素子の双方を用いることができる。

【0088】

有機EL素子を発光させるには、一对の電極間に電圧を印加する。このことにより、一对の電極から、それぞれ、電子および正孔が発光性の有機化合物を含む発光層に注入され、一对の電極間に電流が流れる。そして、それらキャリア(電子および正孔)が、発光層で再結合することにより、発光性の有機化合物が励起状態となり、その励起状態が基底状態に戻る際に発光する。このような発光メカニズムを有する発光素子は、電流励起型の発光素子と呼ばれる。

【0089】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものである。その発光メカニズムはドナー準位とアクセプタ準位を利用するドナー-アクセプタ再結合型発光である。薄膜型無機EL素子は、発光層を2つの誘電体層で挟

10

20

30

40

50

み、さらにそれらを2つの電極で挟んだ積層構造である。その発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

【0090】

図12に、アクティブマトリクス型表示装置のモジュールの外観斜視図を示す。モジュールは2枚の基板61と基板62を有する。基板61上には、画素部63と走査線駆動回路64が、微結晶半導体膜を用いた薄膜トランジスタで形成されている。ソース線駆動回路は、ICチップ65で形成され、基板61に実装されている。基板61には外部接続端子が形成され、この外部接続端子にFPC66が接続されている。画素部63と、ICチップ65でなるソース線駆動回路、および走査線駆動回路64に、FPC66を介して、電源の電位、各種信号などが供給される。

10

【0091】

なお、走査線駆動回路64もICチップ65で形成することもできる。また、ソース線駆動回路または走査線駆動回路64をICチップ65で形成した場合、基板61、62とは別の基板にICチップ65を実装し、この基板の外部接続端子と基板61の外部接続端子をFPCなどで接続することもできる。

【0092】

次に、アクティブマトリクス型液晶表示装置モジュールのより詳細な構成を説明する。図13は画素の断面構造の一例を説明する断面図である。ここでは、駆動方式がTN方式の液晶表示装置の画素部の断面構造を説明する。1対の基板200、201は、それぞれ、図12の基板61、62に対応する。基板200にTFT202および補助容量203が形成されている。TFT202、補助容量203は、それぞれ、図10のスイッチングトランジスタ21、補助容量23に対応する。

20

【0093】

なお、図14は基板200側の画素の平面図であり、図14のZ1-Z2切断線に沿った断面構造が、図13に図示されている。本実施形態ではTFT202の構造は、実施形態1のTFTと同じ構造としたが、実施形態2のTFTと同じ構造とすることもできる。画素には、走査線210、ソース線211、補助容量線212が形成されている。TFT202の第1の導電層(ゲート電極)は走査線210の一部として形成されている。補助容量線212は、走査線210と同時に形成される。TFT202の第2の導電層の一方(ソース電極またはドレイン電極)は、ソース線211の一部として形成されている。またソース線211と対になる第2の導電層(ソース電極またはドレイン電極)は、電極213である。

30

【0094】

走査線210および補助容量線212上の絶縁層214はTFT202のゲート絶縁層として機能する。補助容量線212上には絶縁層214を介して、電極215が形成されている。絶縁層214を誘電体とし、補助容量線212および電極215を一对の電極とする補助容量203が形成される。電極215は、TFT202の第2の導電層と同時に形成される電極である。すなわち、ソース線211、電極213および電極215は同時に作製される。

【0095】

絶縁層216はパッシベーション層として機能する絶縁層であり、実施形態1、2の絶縁層108と同様に形成される。電極213上には、絶縁層216にコンタクトホールが形成され、このコンタクトホールを介して、画素電極217が電極213に電氣的に接続している。すなわちTFT202と画素電極217が電氣的に接続されている。さらに、電極215上にも、絶縁層216にコンタクトホールが形成され、このコンタクトホールを介して、画素電極217が電極215に電氣的に接続している。すなわち補助容量203と画素電極217が電氣的に接続されている。

40

【0096】

画素電極217は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジ

50

ウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化珪素を添加したインジウム錫酸化物などの導電性材料で形成することで、透光性を有する電極とすることができる。

【0097】

また、画素電極217として、導電性高分子（導電性ポリマーともいう）を含む導電層で形成することができる。導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。画素電極217に用いられる導電性高分子を含む導電層は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

10

【0098】

基板200と基板201の間には、液晶層220が形成されている。基板200、201の表面には、それぞれ、液晶層220に含まれる液晶分子を配向させるための配向膜221、222が形成されている。液晶層220を基板200と基板201の間に封止するため、基板200と基板201の周囲には、樹脂材料でなるシール材が形成されている。また、基板200と基板201の間隔を維持するため、液晶層220にはスペーサビーズが散布されている。なお、スペーサビーズの代わりに、TFT202を作製するプロセスで、柱状スペーサを基板200上に形成することもできる。柱状スペーサは、感光性樹脂を用いて形成することができる。

20

【0099】

さらに、基板201には、遮光膜223、着色膜224、対向電極225などが形成されている。画素電極217、液晶層220、対向電極225が積層されている部分が液晶素子として機能する。遮光膜223は、液晶分子の配向が乱れやすい領域を覆っている。例えば、図13に示すようにTFT202および補助容量203が形成される領域である。着色膜224は、カラーフィルタとして機能する膜である。遮光膜223を形成することにより生じた凹凸を平坦化するために、着色膜224と対向電極225の間には平坦化膜226が形成されている。このことにより、液晶の配向乱れが防止できる。

【0100】

なお、ここでは、TN方式の液晶用表示装置を例に、画素部の構成を説明したが、液晶表示装置の駆動方法はTN方式に限定されるものではない。TN方式以外の代表的な駆動方式には、VA（Vertical Alignment）方式、横電界方式がある。VA方式とは、液晶分子に電圧が印加されていないときに、基板に対して液晶分子が垂直方向を向く方式である。横電界方式は、基板に対して水平方向の電界を主に加えることで液晶分子の向きを変化させ、階調表現する方式である。

30

【0101】

次に、アクティブマトリクス型EL表示装置モジュールのより詳細な構成を説明する。図15は画素部の断面構造の一例を説明する断面図である。なお、ここでは、発光素子が有機EL素子であり、かつ、画素に形成されるトランジスタに実施形態1の方法で作製したTFTを適用した場合を例に、画素部の構成を説明する。図15において、1対の基板300、301は、それぞれ、図12の基板61、62に対応する。基板300にTFT302および発光素子303が形成されている。TFT302、発光素子303は、それぞれ、図10の駆動用トランジスタ33、発光素子32に対応する。

40

【0102】

図3および図4を用いて説明した工程を経て、基板300上にTFT302、および保護膜として機能する絶縁層108を形成する（図15参照）。次に、絶縁層108上に平坦化膜311を形成する。平坦化膜311は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【0103】

次に、平坦化膜311の第2の導電層106-2（ソース電極またはドレイン電極）と

50

重なる部分にコンタクトホールを形成する。平坦化膜 311 上に画素電極 312 を形成する。画素電極 312 は TFT 302 の第 2 の導電層 106 - 2 に接続されている。TFT 302 が n 型である場合は、画素電極 312 は陰極となる。他方、TFT 302 が p 型の場合は、画素電極 312 は陽極となる。よって、画素電極 312 には所望の機能を奏するような導電膜が用いられる。具体的には、陰極を形成するためには、仕事関数が小さい材料、例えば、Ca、Al、CaF、MgAg、AlLi などを用いることができる。陽極を形成する材料には、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などを用いることができる。これらの導電性材料によって、透光性を有する電極を形成することができる。

10

【0104】

次に、平坦化膜 311 上に隔壁 313 を形成する。隔壁 313 は開口部を有しており、該開口部において画素電極 312 が露出している。また、この開口部の周辺で、画素電極 312 の端部は隔壁 313 によって覆われている。隔壁 313 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。

【0105】

次に、発光層 314 を隔壁 313 の開口部において画素電極 312 と接するように形成する。発光層 314 は、単数の層、または複数の層で形成することができる。

【0106】

次に、発光層 314 を覆うように、共通電極 315 を形成する。共通電極 315 は、画素電極 312 と同様に形成することができる。画素電極 312 が陰極の場合は、共通電極 315 は陽極として形成する。隔壁 313 の開口部で、画素電極 312 と発光層 314 と共通電極 315 が積層することで、発光素子 303 が形成されている。この後、発光素子 303 に酸素、水素、水分、二酸化炭素などが侵入しないように、共通電極 315 および隔壁 313 上に保護膜 316 を形成する。保護膜 316 は、窒化シリコン膜、窒化酸化シリコン膜、DLC 膜などで形成することができる。

20

【0107】

次に、基板 301 を保護膜 316 上に形成されている樹脂層 320 に貼り付ける。このような構造により、発光素子 303 が外気に曝されないようにすることができる。基板 301 にはガラス板、プラスチック板、もしくは、ポリエステルフィルムまたはアクリルフィルムなどの樹脂フィルムなどを用いることができる。また、樹脂層 320 は、紫外線硬化樹脂または熱硬化樹脂で形成することができる。これらの樹脂としては、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) などがある。

30

【0108】**(実施形態 4)**

本実施の形態では、本発明の半導体装置の一例として、アクティブマトリクス型表示装置モジュールを表示部に組み込んだ電子機器について説明する。このモジュールは、実施形態 3 で説明した半導体装置を適用することができる。その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍など) などが挙げられる。それらの一例を図 16 に示す。

40

【0109】

本発明の半導体装置の一例として、図 16 (A) にテレビジョン装置の外観図を示す。モジュールにより主画面 2003 が形成され、その他付属設備としてスピーカー部 2009、操作スイッチなどが備えられている。筐体 2001 に液晶素子または発光素子を画素部に有する表示用のモジュール 2002 が組みこまれている。受信機 2005 はテレビ放送を受信するための装置である。モデム 2004 は、有線又は無線による通信ネットワー

50

クにテレビジョン装置を接続するための装置である。通信ネットワークに接続することにより、テレビジョン装置を用いて、双方向（視聴者から放送業者、および放送業者から視聴者）の通信をすることができる。テレビジョン装置の操作は、リモコン操作機 2006、または筐体 2001 に組みこまれたスイッチを用いる。

【0110】

さらに、テレビジョン装置には、主画面 2003 の他に、表示用モジュールでサブ画面 2008 を形成することができる。サブ画面 2008 は、チャンネルや音量などを表示するための画面として用いることができる。例えば、液晶素子を用いたモジュールで主画面 2003 を形成し、サブ画面 2008 を低消費電力で表示可能な発光素子を用いたモジュールで形成することができる。或いは、主画面 2003 およびサブ画面 2008 共に、発光素子を用いたモジュールで形成することができる。

10

【0111】

図 17 はテレビ装置の主要な構成を示すブロック図を示している。表示用のモジュール 900 には、画素部 921 が形成されている。ソース線駆動回路 922 と走査線駆動回路 923 は、モジュール 900 に COG 方式により実装されている。

【0112】

その他の外部回路の構成として、映像信号の入力側では、チューナ 924 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 925 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 926 と、その映像信号をドライバ IC の入力仕様に変換するためのコントロール回路 927 などを持っている。コントロール回路 927 は、走査線側とソース線側にそれぞれ信号を出力する。デジタル駆動する場合には、ソース線側に信号分割回路 928 を設け、入力デジタル信号を m 個に分割して、ソース線駆動回路 922 に供給する構成としてもよい。

20

【0113】

チューナ 924 で受信した信号のうち、音声信号は、音声信号増幅回路 929 に送られ、その出力は音声信号処理回路 930 を経てスピーカー 933 に供給される。制御回路 931 は受信局（受信周波数）や音量の制御情報を入力部 932 から受け、チューナ 924 や音声信号処理回路 930 に信号を送出する。

【0114】

なお、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタ、じめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤なども含む。

30

【0115】

本発明の半導体装置の一例として、図 16 (B) に携帯電話機 2301 の外観図を示す。この携帯電話機 2301 は、表示部 2302、操作部 2303 などを含んで構成されている。表示部 2302 においては、液晶素子または発光素子を用いたモジュールが用いられている。

【0116】

本発明の半導体装置の一例として、図 16 (C) に携帯型のコンピュータの外観図を示す。この携帯型のコンピュータは、本体 2401、表示部 2402 などを含んでいる。表示部 2402 に、液晶素子または発光素子を用いたモジュールが用いられている。

40

【0117】

(実施形態 5)

実施形態 1、実施形態 2 では、基板 100 上に、絶縁層 102、微結晶半導体層 123、非晶質半導体層 124、半導体層 125 を積層して形成する工程を説明した（図 3 (A) および図 7 (A) 参照）。また、基板 100 を大気に曝すことなく、これらの層を積層して形成することが好ましい。このような工程を実施するための PECVD 装置の構成および使用方法について、本実施形態で説明する。

【0118】

ここで、絶縁層 102 から一導電型を付与する不純物が添加された第 3 の半導体層 105 を連続成膜することが可能な PECVD 装置について、図 18 を用いて説明する。図 1

50

8はPECVD装置の上断面を示す模式図である。PECVD装置は、共通室1120の周りに、ロード室1110、アンロード室1115、4つの反応室1111～1114を備えた構成となっている。共通室1120と各室の間にはゲートバルブ1122～1127が備えられ、各室で行われる処理が、相互に干渉しないように構成されている。基板1130はロード室1110、アンロード室1115のカセット1128、1129に装填され、共通室1120の搬送手段1121により、各反応室1111～1114へ運ばれる。この装置では、堆積膜種ごとに反応室を割り当てることが可能であり、複数の被膜を大気に触れさせることなく連続して形成することができる。

【0119】

各反応室1111～1114はそれぞれ、形成する膜を限定することが好ましい。例えば、反応室1111は絶縁層102を形成する専用の室とし、反応室1112は微結晶半導体層123を形成する専用の室とし、反応室1113は非晶質半導体層124を形成する専用の室とし、反応室1114は半導体層125を形成する専用の室とする。このようにすることで、同時に絶縁層102、微結晶半導体層123、非晶質半導体層124および半導体層125を成膜することができる。その結果、量産性を高めることができる。また、ある反応室がメンテナンスやクリーニングを行っていても、他の反応室において成膜処理が可能となり、成膜処理のタクトタイムを短縮することができる。また、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタの電気特性のばらつきを低減することができる。

【0120】

なお、図18に示すPECVD装置には、ロード室およびアンロード室が別々に設けられているが、これらを一つにしロード/アンロード室を設けてもよい。また、PECVD装置に予備室を設けてもよい。予備室で基板を予備加熱することで、各反応室において成膜までの加熱時間を短縮することが可能であるため、スループットを向上させることができる。

【図面の簡単な説明】

【0121】

【図1】薄膜トランジスタの断面図。

【図2】薄膜トランジスタの上面図。

【図3】薄膜トランジスタの作製方法を示す断面図。

【図4】薄膜トランジスタの作製方法を示す断面図。

【図5】薄膜トランジスタの断面図。

【図6】薄膜トランジスタの上面図。

【図7】薄膜トランジスタの作製方法を示す断面図。

【図8】薄膜トランジスタの作製方法を示す断面図。

【図9】アクティブマトリクス型表示装置の構成を示すブロック図。

【図10】液晶素子を有する画素の回路図。

【図11】発光素子を有する画素の回路図。

【図12】アクティブマトリクス型表示装置のモジュールの外観斜視図。

【図13】液晶素子を有する画素の断面図。

【図14】画素の平面図。

【図15】画素の断面図。

【図16】表示用モジュールを備えた電気機器の外観図。

【図17】テレビジョン装置の構成を示すブロック図。

【図18】PECVD装置の構成を説明する上断面図。

【符号の説明】

【0122】

10 画素部

11 ソース線駆動回路

12 走査線駆動回路

10

20

30

40

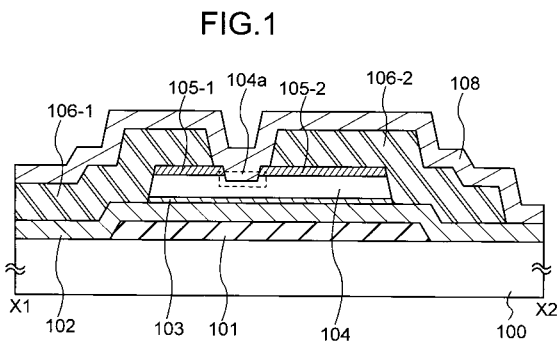
50

1 3	ソース線	
1 4	走査線	
1 5	画素	
2 1	スイッチングトランジスタ	
2 2	液晶素子	
2 3	補助容量	
3 1	スイッチングトランジスタ	
3 2	発光素子	
3 3	駆動用トランジスタ	
6 1	基板	10
6 2	基板	
6 3	画素部	
6 4	走査線駆動回路	
6 5	ICチップ	
6 6	FPC	
1 0 0	基板	
1 0 1	第1の導電層	
1 0 2	絶縁層	
1 0 3	第1の半導体層	
1 0 4	第2の半導体層	20
1 0 4 a	凹部	
1 0 5、1 0 5 - 1、1 0 5 - 2	第3の半導体層	
1 0 6 - 1、1 0 6 - 2	第2の導電層	
1 0 8	絶縁層	
1 0 9	保護層	
1 2 3	微結晶半導体層	
1 2 4	非晶質半導体層	
1 2 5	半導体層	
1 2 6	導電層	
1 3 1	マスク	30
1 3 2	マスク	
1 3 3	マスク	
2 0 0	基板	
2 0 1	基板	
2 0 2	TFT	
2 0 3	補助容量	
2 1 0	走査線	
2 1 1	ソース線	
2 1 2	補助容量線	
2 1 3	電極	40
2 1 4	絶縁層	
2 1 5	電極	
2 1 6	絶縁層	
2 1 7	画素電極	
2 2 0	液晶層	
2 2 1	配向膜	
2 2 2	配向膜	
2 2 3	遮光膜	
2 2 4	着色膜	
2 2 5	対向電極	50

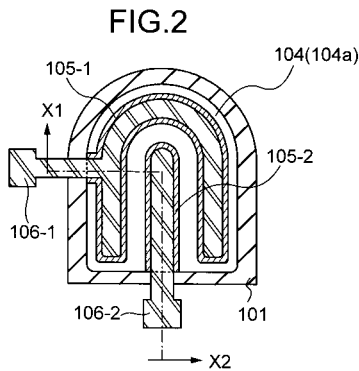
2 2 6	平坦化膜	
3 0 0	基板	
3 0 1	基板	
3 0 2	T F T	
3 0 3	発光素子	
3 1 1	平坦化膜	
3 1 2	画素電極	
3 1 3	隔壁	
3 1 4	発光層	
3 1 5	共通電極	10
3 1 6	保護膜	
3 2 0	樹脂層	
9 0 0	モジュール	
9 2 1	画素部	
9 2 2	ソース線駆動回路	
9 2 3	走査線駆動回路	
9 2 4	チューナ	
9 2 5	映像信号増幅回路	
9 2 6	映像信号処理回路	
9 2 7	コントロール回路	20
9 2 8	信号分割回路	
9 2 9	音声信号増幅回路	
9 3 0	音声信号処理回路	
9 3 1	制御回路	
9 3 2	入力部	
9 3 3	スピーカー	
1 1 1 0	ロード室	
1 1 1 1	反応室	
1 1 1 2	反応室	
1 1 1 3	反応室	30
1 1 1 4	反応室	
1 1 1 5	アンロード室	
1 1 2 0	共通室	
1 1 2 1	搬送手段	
1 1 2 2	ゲートバルブ	
1 1 2 3	ゲートバルブ	
1 1 2 4	ゲートバルブ	
1 1 2 5	ゲートバルブ	
1 1 2 6	ゲートバルブ	
1 1 2 7	ゲートバルブ	40
1 1 2 8	カセット	
1 1 2 9	カセット	
1 1 3 0	基板	
2 0 0 1	筐体	
2 0 0 2	モジュール	
2 0 0 3	主画面	
2 0 0 4	モデム	
2 0 0 5	受信機	
2 0 0 6	リモコン操作機	
2 0 0 7	表示部	50

- 2 0 0 8 サブ画面
- 2 0 0 9 スピーカー部
- 2 3 0 1 携帯電話機
- 2 3 0 2 表示部
- 2 3 0 3 操作部
- 2 4 0 1 本体
- 2 4 0 2 表示部

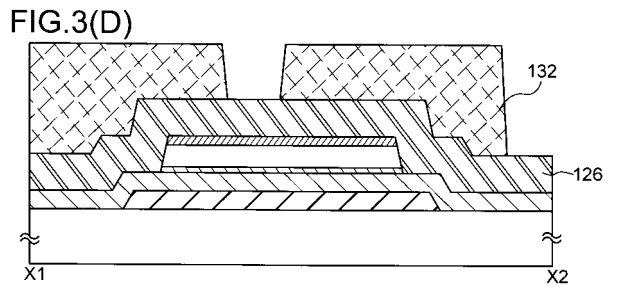
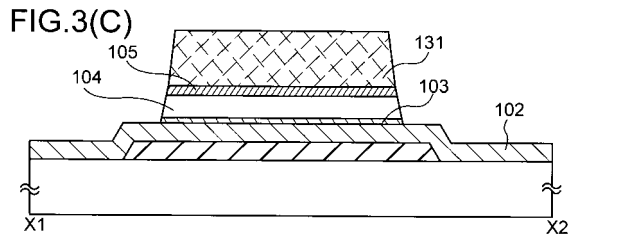
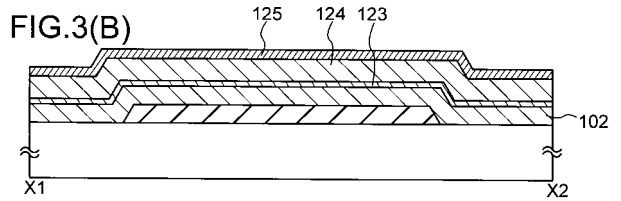
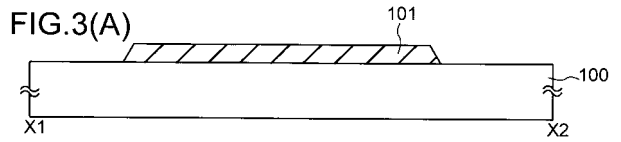
【 図 1 】



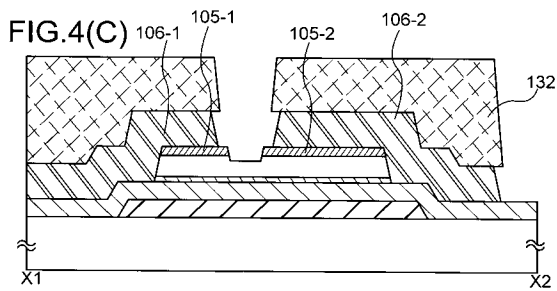
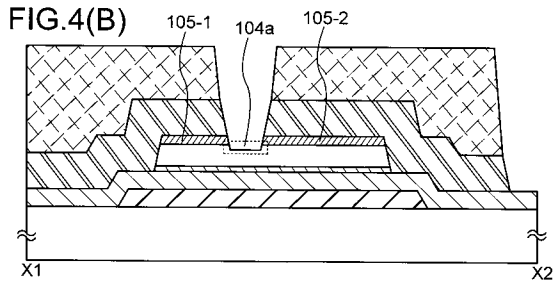
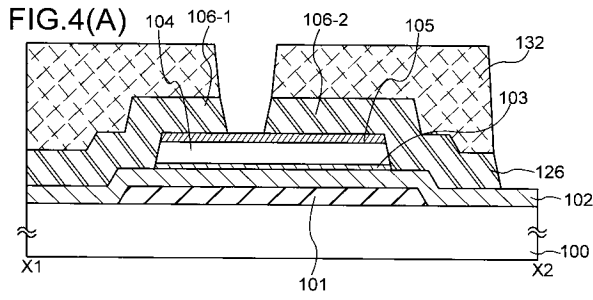
【 図 2 】



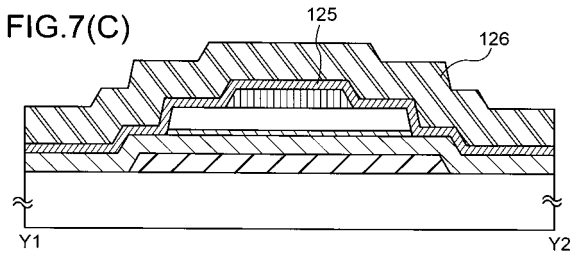
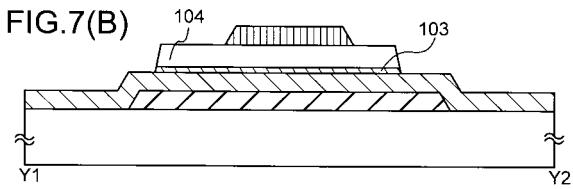
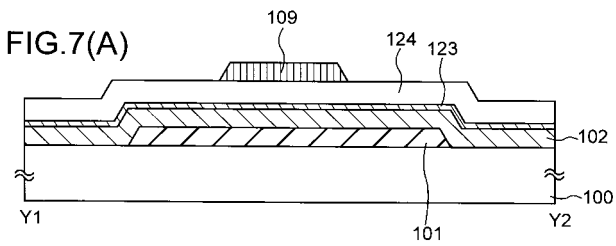
【 図 3 】



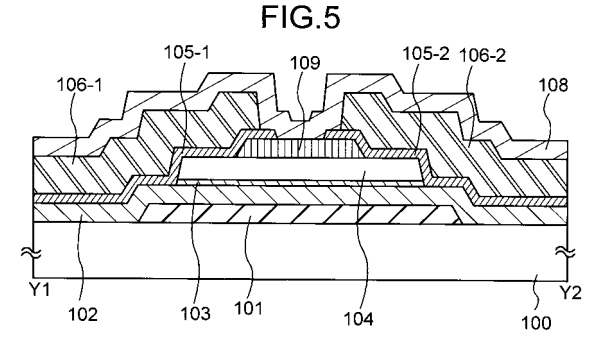
【 図 4 】



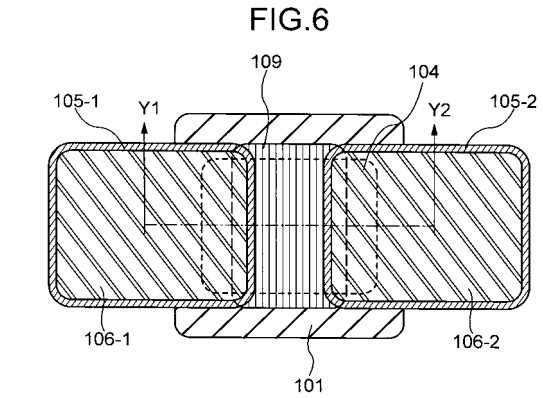
【 図 7 】



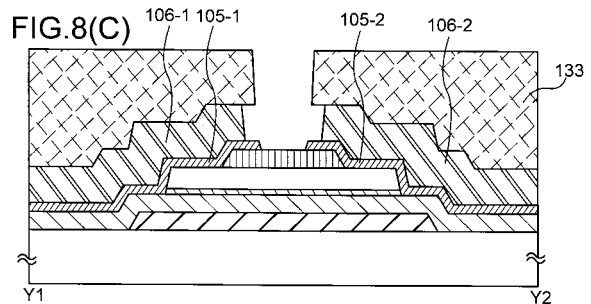
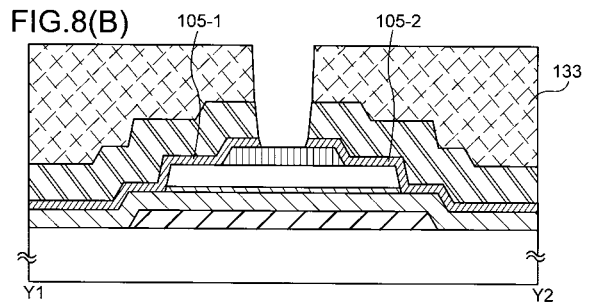
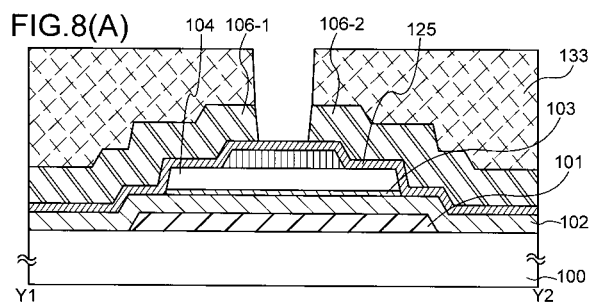
【 図 5 】



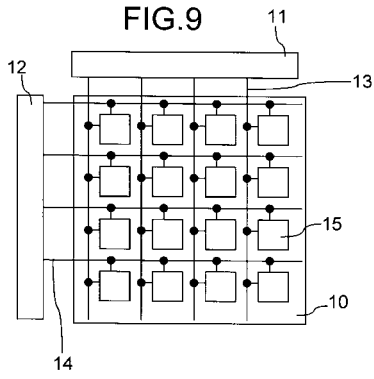
【 図 6 】



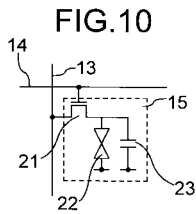
【 図 8 】



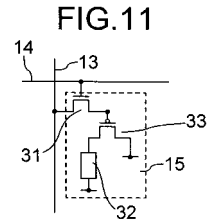
【 図 9 】



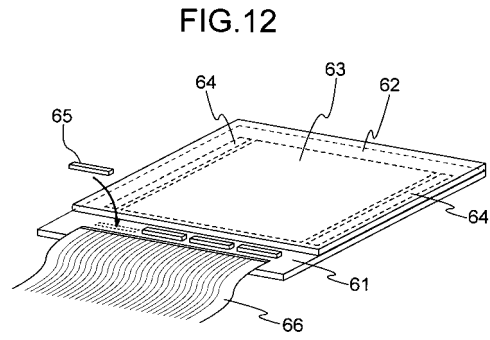
【 図 1 0 】



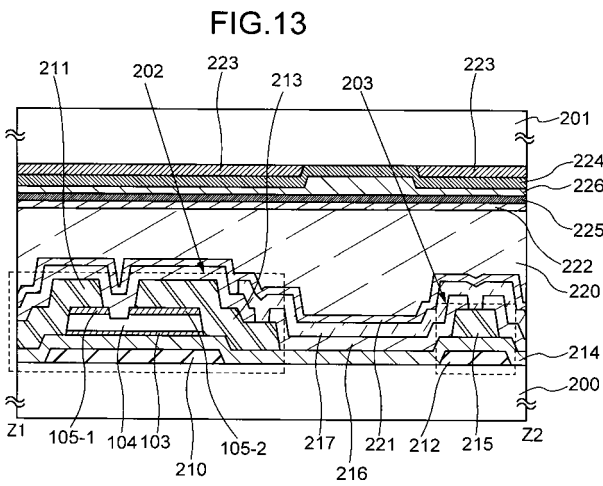
【 図 1 1 】



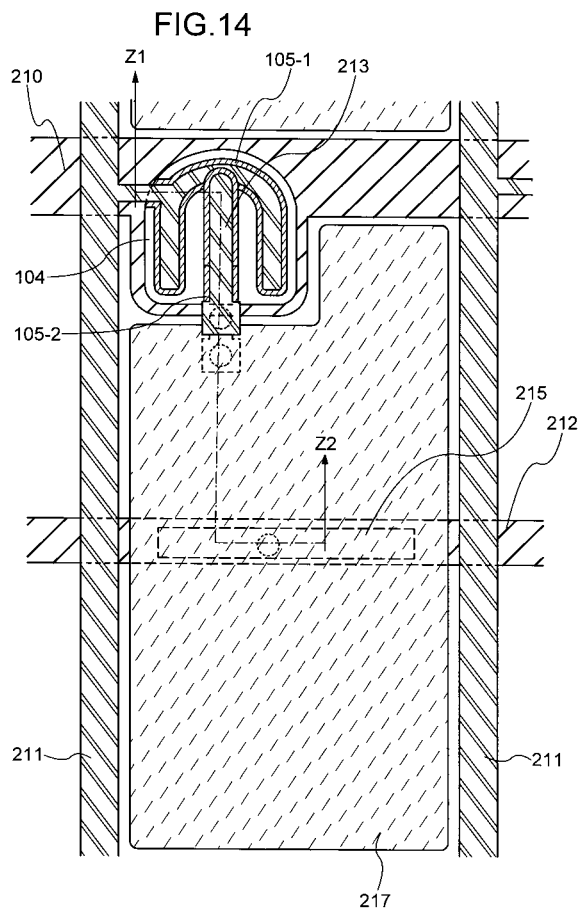
【 図 1 2 】



【 図 1 3 】

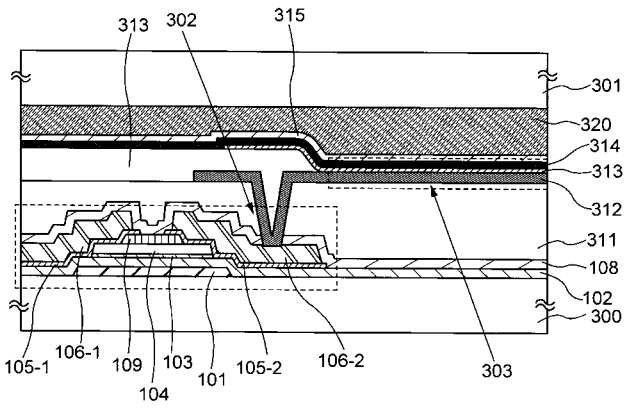


【 図 1 4 】



【図15】

FIG.15



【図16】

FIG.16(A)

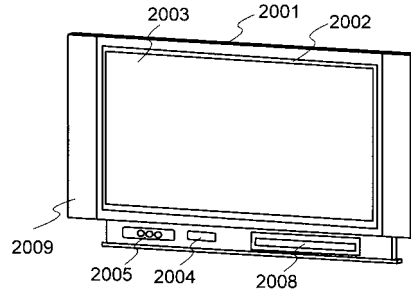


FIG.16(B)

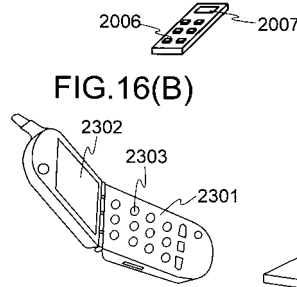
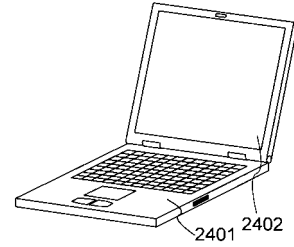
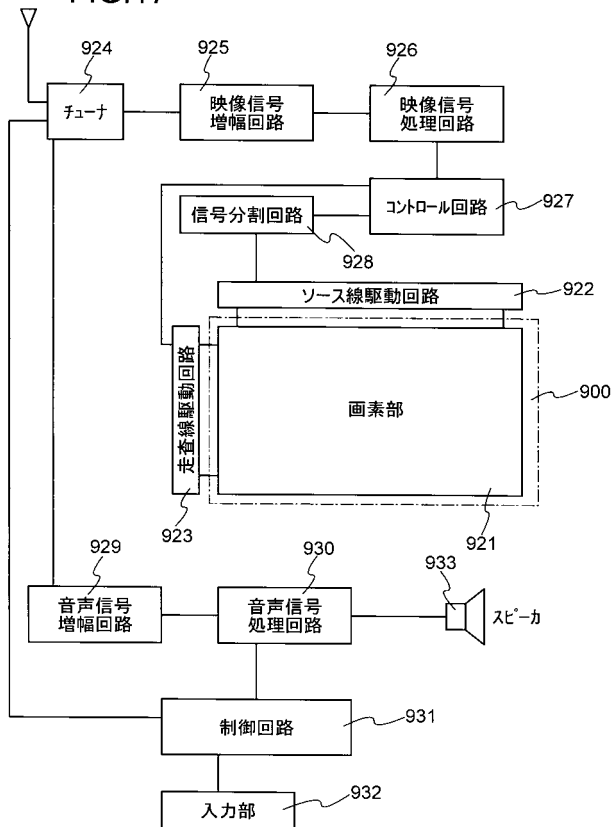


FIG.16(C)



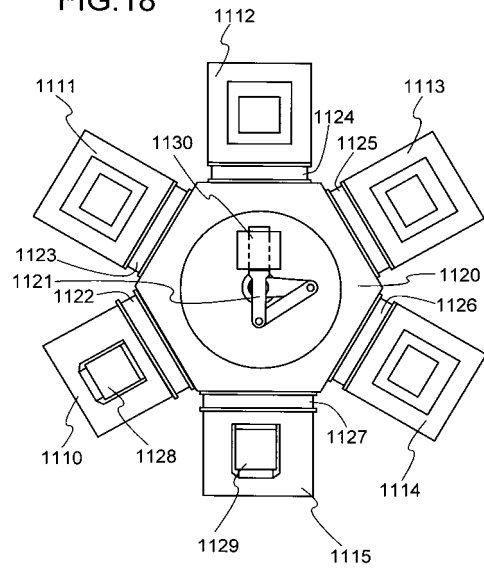
【図17】

FIG.17



【図18】

FIG.18



フロントページの続き

Fターム(参考) 5F110 AA01 AA06 AA07 BB01 BB04 CC07 DD01 DD02 EE01 EE03
EE04 EE14 EE23 EE42 EE43 EE44 FF02 FF03 FF04 FF09
FF10 FF28 FF30 GG02 GG14 GG15 GG16 GG19 GG24 GG25
GG32 GG33 GG34 GG42 GG43 GG44 GG45 GG58 HK02 HK03
HK06 HK09 HK15 HK16 HK21 HK22 HK32 HK33 HM04 NN12
NN71 NN72 NN73 QQ09