

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5299410号  
(P5299410)

(45) 発行日 平成25年9月25日 (2013.9.25)

(24) 登録日 平成25年6月28日 (2013.6.28)

(51) Int. Cl.	F I	
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	D
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	H
HO 1 L 21/82 (2006.01)	HO 1 L 21/82	W
HO 1 L 23/522 (2006.01)	HO 1 L 21/88	T
HO 1 L 21/768 (2006.01)	HO 1 L 21/88	Z
請求項の数 2 (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2010-259785 (P2010-259785)  
 (22) 出願日 平成22年11月22日 (2010.11.22)  
 (62) 分割の表示 特願2005-3420 (P2005-3420)  
                   の分割  
           原出願日 平成17年1月11日 (2005.1.11)  
 (65) 公開番号 特開2011-49594 (P2011-49594A)  
 (43) 公開日 平成23年3月10日 (2011.3.10)  
           審査請求日 平成22年12月21日 (2010.12.21)

(73) 特許権者 000002369  
                   セイコーエプソン株式会社  
                   東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100095728  
                   弁理士 上柳 雅誉  
 (74) 代理人 100107261  
                   弁理士 須澤 修  
 (74) 代理人 100127661  
                   弁理士 宮坂 一彦  
 (72) 発明者 齊木 隆行  
                   長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
                   審査官 須原 宏光

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体素子が形成されている能動領域の最表面に形成されているパッド電極と、前記能動領域に形成されている半導体素子と同じ面に形成されている静電気保護素子とを、複数の電気配線層を用いた多層配線と複数のプラグとによって電氣的に接続するパッド用電気配線と、

前記静電気保護素子と電源とを、前記複数の電気配線層のうちいずれか一層の電気配線層における所定の電気配線によって電氣的に接続する電源用電気配線と、を備え、

前記複数のプラグは前記静電気保護素子が形成されている領域の周辺側に形成され、

前記所定の電気配線は、前記複数のプラグに挟まれた領域に配置されていることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、

前記静電気保護素子は、MIS型トランジスタ、ダイオード、サイリスタまたはバイポーラトランジスタのいずれかで形成されている半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、静電気等による半導体素子の破壊等を防止するための静電気保護素子を有する半導体装置に関し、特にICやLSI等の機能を有する半導体素子が形成されている能

動領域の上に実装基板と電気的な接続をとるための bumps を備えた、静電気保護素子を有する半導体装置に関する。

【背景技術】

【0002】

静電気起因の過大電流または過大電圧が、bumps から前記機能に係る入力端子、または出力端子である当該 bumps を形成するための電極パッドを伝達して、半導体素子が形成されている能動領域に伝達されると、当該静電気により能動領域の半導体素子が破壊される可能性がある。そこで、上記のように、半導体素子の破壊を防止するための静電気保護素子を設ける。

まず、静電気保護素子を用いた能動領域の保護する作用を図5を用いて説明する。

10

図5は、静電気保護素子を有する半導体装置の等価回路図の一例を示す。同図において、一番上の直線106は、高位電源（以下「V<sub>dd</sub>」と称する。）を表しており、一番下の直線107は、低位電源（以下「V<sub>ss</sub>」と称する。）を表している。電極パッド102と電氣的に接続されている、中央の直線108は、電気信号を出力するための出力配線を表している。V<sub>dd</sub>とV<sub>ss</sub>との間に、能動領域101に形成されている半導体素子としてのMISFET（Metal-Insulator-Metal Field Effect Transistor）、Tr1とTr2とが直列に接続されている。また、出力配線とV<sub>ss</sub>との間には、MISFETで形成されている静電気保護素子103が形成されている。同図では、Tr3と示している。静電気保護素子103は、電極パッド102から、静電気が入り込んだ場合に、静電気を静電気保護素子103に導くようにすることにより、V<sub>ss</sub>に逃がすようにする。これにより、静電気を能動領域101にあるMISFET等の半導体素子を保護する。

20

【0003】

次に、従来の静電気保護素子を有する半導体装置の模式平面図を図6に例示する。半導体装置100の中央に、矩形形状に能動領域101が形成されている。能動領域101の外側の周辺には、bumps が形成される電極パッド102が形成されている。電極パッド102と能動領域101との間に、静電気保護素子103が形成されている。また、パッド用電気配線104によって、電極パッド102と静電気保護素子103とが電氣的に接続されている。また、電源用電気配線105によって、静電気保護素子103とV<sub>ss</sub>107とが電氣的に接続されている。したがって、静電気が電極パッド102から出力された場合、静電気保護素子103によって、V<sub>ss</sub>107に当該静電気を逃がすことにより、能動領域101内の半導体素子Tr1及びTr2等の破壊を防止している。

30

【0004】

上記の作用を有する静電気保護素子の構造については、例えば特許文献1～3に開示されている。

【0005】

一方、半導体装置の占有面積をさらに小さくするために、上記した従来のような能動領域の外側に bumps を形成する構造に代えて、能動領域の内側に bumps を形成することが検討されている。

【0006】

図7は、bumps が形成される電極パッドが、能動領域に形成されている半導体装置の模式平面図を示す。半導体装置100の表面は、全て能動領域101となっている。能動領域101は、多層配線構造を有する電気配線層（図8を参照のこと。）によって形成されている。能動領域101の周辺側には、電極パッド102が形成されている。電極パッド102の下側には、静電気保護素子103が形成されている。

40

【0007】

図8に、図7に示したE-E線における半導体装置の模式断面図を示す。同図では、能動領域101が、3層構造の電気配線層を有する場合について例示している。ここでは、電極パッド102と、静電気保護素子103とを電氣的に接続するためのパッド用電気配線200の例として、同図では、L1、L2として示している。パッド用電気配線200は、静電気保護素子103の電極などが形成されるアクティブ領域107、コンタクトブ

50

ラグ109、第1電気配線層110、第1ビアプラグ111、第2電気配線層112、第2ビアプラグ113、第3電気配線層114を経て、電極パッド115と電氣的に接続されることによって形成される。

【0008】

【特許文献1】特開2001-345422号公報

【特許文献2】特開2001-351986号公報

【特許文献3】特開平10-56133号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、パッド用電気配線200は、図8のように多層構造を有する全ての電気配線と電氣的に接続されてしまうため、電源用電気配線210を形成する場合、いずれの電気配線層を使用しても、電源、電極パッド及び半導体素子または静電気保護素子が短絡してしまう。同図の場合では、例えば、第2電気配線層112を電源用電気配線210として使用した場合を示している。

【0010】

そこで、従来は、電源用電気配線を、パッド用電気配線と短絡しないように、静電気保護素子を迂回するように配線していた。

【0011】

しかし、静電気保護素子を迂回するための電源配線を配置すると、半導体装置の面積の増大を招き、能動領域101にバンプを形成することによる半導体装置の占有面積縮小の効果が低減されてしまう。

【0012】

本発明は、能動面にバンプを形成した半導体装置における静電気保護素子と電極パッドとを電氣的に接続するパッド用電気配線と、電源と電氣的に接続する電源用電気配線とを、当該半導体装置が有する面積を極力増大させずに、かつ、短絡しないように配置した電気配線を有する半導体装置を提供することにある。

【課題を解決するための手段】

【0013】

上記課題を解決するために、本発明に係るひとつの半導体装置は、半導体素子が形成されている能動領域の最表面に形成されているパッド電極と、前記能動領域に形成されている半導体素子と同じ面に形成されている静電気保護素子とを、複数の電気配線層を用いた多層配線と複数のプラグとによって電氣的に接続するパッド用電気配線と、前記静電気保護素子と電源とを、前記複数の電気配線層のうちいずれか一層の電気配線層における所定の電気配線によって電氣的に接続する電源用電気配線と、を備え、前記複数のプラグは前記静電気保護素子が形成されている領域の周辺側に形成され、前記所定の電気配線は、前記複数のプラグに挟まれた領域に配置されていることを特徴とする。

上記課題を解決するために、本発明は、半導体素子が形成されている能動領域の最表面に形成されているパッド電極と、前記能動領域に形成されている半導体素子と同じ面に形成されている前記静電気保護素子とを、多層配線で形成された複数の電気配線層とプラグによって電氣的に接続されたパッド用電気配線と、前記静電気保護素子と電源とを、前記多層配線のうちいずれか一層の前記電気配線層によって電氣的に接続された電源用電気配線と、を備え、前記パッド用電気配線と、前記静電気保護素子が形成されている領域内の前記電源用電気配線とが、前記静電気保護素子上では重ならないように、前記プラグを前記静電気保護素子の略中央に形成し、前記電源用電気配線は、前記静電気保護素子が形成されている領域の少なくとも両端に配置されていることを要旨とする。

【0014】

本発明に係る半導体装置によれば、半導体素子が形成されている能動領域の最表面に形成されているパッド電極と、前記能動領域に形成されている半導体素子と同じ面に形成されている前記静電気保護素子とを、多層配線で形成された複数の電気配線層とプラグによ

10

20

30

40

50

って電氣的に接続されたパッド用電気配線と、前記静電気保護素子と電源とを、前記多層配線のうちいずれか一層の前記電気配線層によって電氣的に接続された電源用電気配線とが、当該静電気保護素子上では重ならないように、プラグを静電気保護素子の略中央に形成し、一方、電源用電気配線を静電気保護素子が形成されている領域の少なくとも両端に配置されていることにより、当該半導体装置が有する面積を極力増大させずに、かつ、パッド用電気配線と電源用電気配線とが短絡しないように配置することができる。

【0015】

また、本発明は、半導体素子が形成されている能動領域の最表面に形成されているパッド電極と、前記能動領域に形成されている半導体素子と同じ面に形成されている前記静電気保護素子とを、多層配線で形成された複数の電気配線層とプラグによって電氣的に接続されたパッド用電気配線と、前記静電気保護素子と電源とを、前記多層配線のうちいずれか一層の前記電気配線層によって電氣的に接続された電源用電気配線と、を備え、前記パッド用電気配線と、前記静電気保護素子が形成されている領域内の前記電源用電気配線とが、前記静電気保護素子上では重ならないように、前記プラグを前記静電気保護素子が形成されている領域の略周辺に形成し、前記電源用電気配線は、前記静電気保護素子の略中央に配置されていることを要旨とする。

【0016】

本発明に係る半導体装置によれば、半導体素子が形成されている能動領域の最表面に形成されているパッド電極と、前記能動領域に形成されている半導体素子と同じ面に形成されている前記静電気保護素子とを、多層配線で形成された複数の電気配線層とプラグによって電氣的に接続されたパッド用電気配線と、前記静電気保護素子と電源とを、前記多層配線のうちいずれか一層の前記電気配線層によって電氣的に接続された電源用電気配線とが、当該静電気保護素子上では重ならないように、前記プラグを前記静電気保護素子が形成されている領域の略周辺に形成し、一方、電源用電気配線を静電気保護素子の中央に配置することにより、当該半導体装置が有する面積を極力増大させずに、かつ、パッド用電気配線と電源用電気配線とが短絡しないように配置することができる。また、電源用電気配線が略中央に配置されていることにより、電源用電気配線の面積を大きくすることができ、静電気保護素子領域の外側にパッド用電気配線としてのピアプラグまたは、コンタクトプラグを形成することができる。また、静電気保護素子上に電源用電気配線が形成されていることにより、静電気保護素子から電源に、電極パッドから印加された静電気を均一に放電させることができる。

【0017】

また、本発明は、上記の半導体装置の静電気保護素子は、MIS型トランジスタ、ダイオード、サイリスタまたはバイポーラトランジスタのいずれかで形成されていてもよい。

【発明を実施するための最良の形態】

【0018】

(第1実施形態)

本発明の第1実施形態を図1及び図2を用いて説明する。

図1は、本実施形態における半導体装置の平面構造を示す模式図を示す。同図に示す半導体装置では、静電気保護素子10としてのMISFET (Metal Insulator Semiconductor Field Effect Transistor) が、半導体基板1の表面に形成されている。同図におけるMISFET10において、ソース/ドレイン等に使用するアクティブ領域11は、矩形形状に形成されている。アクティブ領域11の周辺には、半導体基板1の電位をとるための導電領域13が形成されている。導電領域13は、低位電源の電位に保持されている。ここで、アクティブ領域11と導電領域13との間は、酸化シリコン膜等で形成されている素子分離領域14となっており、電氣的に絶縁されている。アクティブ領域11の周辺には、2つ、横断するように、ゲート電極12が形成されている。

【0019】

次に、MISFET10の上に形成されている電気配線層等の構造について説明する。同図では、便宜上、電気配線層は2層だけ示しているが、実際には、2層以上の多層配線

構造を有している。まず、半導体基板 1 の上に形成されている第 1 電気配線層 1 5 は、アクティブ領域 1 1 の中央部付近を横断するように形成されている。ここでは、ゲート電極 1 2 の間に 1 本、アクティブ領域 1 1 の周辺に 2 本、平行に配置されている。次に、第 2 電気配線層 1 7 により形成されている電源用電気配線 1 7 a は、アクティブ領域 1 1 の外側の周辺部の両端に、第 1 電気配線層 1 5、またはゲート電極 1 2 とほぼ直交するように形成されている。一方、同図では図示されていないが、パッド用電気配線 2 8 (図 2 (a) 参照) として使用されるパッド用第 2 電気配線層 1 7 b は、アクティブ領域 1 1 上に形成されている。このパッド用第 2 電気配線層 1 7 b は、電極パッドからの出力信号を伝達するために、MISFET 1 0 と電氣的に接続されている。

【0020】

また、第 1 電気配線層 1 5 と、アクティブ領域 1 1、または導電領域 1 3 とは導電性のコンタクトプラグ 1 6 により、所望の場所において、電氣的に接続されている。第 1 電気配線層 1 5 と、電源用電気配線 1 7 a 及びパッド用第 2 電気配線層 1 7 b とは、第 1 ピアプラグ 1 8 により所望の場所に電氣的に接続されている。同図では、コンタクトプラグ 1 6 は白の矩形で、第 1 ピアプラグ 1 8 は灰色の矩形で示している。

【0021】

次に、本実施形態の半導体装置の断面構造について説明する。

図 2 (a) は、図 1 の A - A 線における半導体装置の模式断面図を示す。まず、半導体基板 1 の中央には、アクティブ領域 1 1 が形成され、アクティブ領域 1 1 の両端近傍には、導電領域 1 3 が形成されている。アクティブ領域 1 1 と導電領域 1 3 との間には、素子分離領域 1 4 が形成されており、アクティブ領域 1 1 と導電領域 1 3 とは、電氣的に絶縁されている。

【0022】

半導体基板 1 の上には、第 1 層間絶縁層 2 3 が形成されている。第 1 層間絶縁層 2 3 は酸化シリコンまたは窒化シリコン等で形成されている。第 1 層間絶縁層 2 3 の上には、第 1 電気配線層 1 5 が形成されている。第 1 電気配線層 1 5 は、アルミニウムまたはアルミニウム合金等で形成されている。第 1 層間絶縁層 2 3 には、コンタクトプラグ 1 6 が形成されている。コンタクトプラグ 1 6 は、タングステン、チタン合金等で形成されており、アクティブ領域 1 1 と第 1 電気配線層 1 5 とを電氣的に接続している。

【0023】

第 1 電気配線層 1 5 の上には、第 2 層間絶縁層 2 4 が形成されている。第 2 層間絶縁層 2 4 は、第 1 層間絶縁層 2 3 と同様に、酸化シリコンまたは窒化シリコン等で形成されている。

【0024】

第 2 層間絶縁層 2 4 の上には、第 2 電気配線層で形成されている電源用電気配線 1 7 a 及びパッド用第 2 電気配線層 1 7 b が形成されている。電源用電気配線 1 7 a 及びパッド用第 2 電気配線層 1 7 b は、第 1 電気配線層 1 5 と同様に、アルミニウムまたはアルミニウム合金等で形成されている。パッド用第 2 電気配線層 1 7 b は、MISFET 1 0 上の中央部に形成されている。一方、電源用電気配線 1 7 a は、MISFET 1 0 の周辺に、2 本形成されている。第 2 層間絶縁層 2 4 には、第 1 ピアプラグ 1 8 が形成されている。第 1 ピアプラグ 1 8 は、コンタクトプラグ 1 6 と同様に、タングステン、チタン合金等で形成されており、第 1 電気配線層 1 5 と、電源用電気配線 1 7 a 及びパッド用第 2 電気配線層 1 7 b とを、電氣的に接続している。

【0025】

電源用電気配線 1 7 a 及びパッド用第 2 電気配線層 1 7 b の上には、第 3 層間絶縁層 2 5 が形成されている。第 3 層間絶縁層 2 5 は、第 1 層間絶縁層 2 3 等と同様に、酸化シリコンまたは窒化シリコン等で形成されている。

【0026】

第 3 層間絶縁層 2 5 の上には、第 3 電気配線層 2 0 が形成されている。第 3 電気配線層 2 0 は、第 1 電気配線層 1 5 等と同様に、アルミニウムまたはアルミニウム合金等で形成

10

20

30

40

50

されている。第3層間絶縁層25には、第2ビアプラグ19が形成されている。第2ビアプラグ19は、第1ビアプラグ18と同様に、タングステン、チタン合金等で形成されており、電源用電気配線17a及びパッド用第2電気配線層17bと、第3電気配線層20とを電氣的に接続している。

#### 【0027】

第3電気配線層20の上には、第4層間絶縁層26が形成されている。第4層間絶縁層26は、第1層間絶縁層23等と同様に、酸化シリコンまたは窒化シリコン等で形成されている。第4層間絶縁層26の上には、電極パッド21が形成されている。電極パッド21の上には、実装基板等と電氣的に接続するためのパンプ22が形成されている。パンプ22は、実装方法によって、金または金合金系の金属で形成される場合と半田等の合金で形成される場合がある。電極パッド21は、第1電気配線層15等と同様に、アルミニウムまたはアルミニウム合金系で形成されるが、電極パッド21の上に形成されるパンプ22の材料に応じて、適当な金属層を選択して形成される。第4層間絶縁層26には、第3ビアプラグ27が形成されている。第3ビアプラグ27は、第1ビアプラグ18等と同様に、タングステン、チタン合金等で形成されており、第3電気配線層20と、電極パッド21とを電氣的に接続している。

10

#### 【0028】

同図において、パッド用電気配線28は、例えば同図に示すようにL1またはL2のように、パンプ22、電極パッド21、第3ビアプラグ27、第3電気配線層20、第2ビアプラグ19、パッド用第2電気配線層17b、第1ビアプラグ18、第1電気配線層15、コンタクトプラグ16及びアクティブ領域11という経路として形成される。一方、電源用電気配線17aは、パッド用第2電気配線層17bと電氣的に絶縁されるように形成されている。

20

#### 【0029】

次に、図1におけるB-B線における半導体装置の断面構造について説明する。

図2(b)は、図1のB-B線における半導体装置の模式断面図を示す。半導体基板1に形成されているアクティブ領域11は、半導体基板1の上に形成されているゲート電極12を挟んで形成されている。本実施形態では、半導体基板1の中央に形成されているアクティブ領域11をソース部11aとし、ゲート電極12を挟んで周辺近傍に形成されているアクティブ領域11をドレイン部11bとする。周辺部に形成されているドレイン部11bとそれよりも外側に形成されている導電領域13との間に、素子分離領域14が形成されている。

30

#### 【0030】

パッド用電気配線として使用されるパッド用第1電気配線層15aは、第1層間絶縁層23を挟んでソース部11aの上に配置されている。また、電源用電気配線17aは、MISFET10の上側全体に配置されており、第1ビアプラグ18、電源用第1電気配線層15b、コンタクトプラグ16を介して、低位電源となっている導電領域13と電氣的に接続されている。同図では、電源用電気配線17a及びパッド用第2電気配線層17bより上の層の構造を省略して図示している。

#### 【0031】

電源用電気配線17aは、パッド用電気配線28と電氣的に絶縁されていることが示されている。また、電源用電気配線17aは、低位電源と電氣的に接続されている。したがって、電源用電気配線17aを介して、電極パッド21に加わった静電気による電流を低位電源に放電することができる。

40

#### 【0032】

上記の説明から、以下の効果が得られる。すなわち、パッド用電気配線28と電源用電気配線17aとが、MISFET10の近傍に両者とも形成されているが、互いに電氣的に絶縁された状態で形成されているので、当該半導体装置が有する面積を極力増大させずに、かつ、パッド用電気配線28とMISFET10が形成されている領域内の電源用電気配線17aとが短絡しないように配置することができる。ここで、静電気保護素子とし

50

てのMISFET10の形成領域は、導電領域13によって囲まれている領域とする。また、MISFET10が形成されている領域の中央にパッド用電気配線を形成することができる。

#### 【0033】

なお、本実施形態では、電源用電気配線17aを第2電気配線層で形成しているが、第2電気配線層だけに限らず、多層配線層のどの層で形成してもよいし、多層配線で形成してもよい。

#### (第2実施形態)

本発明の第2実施形態を図3及び図4を用いて説明する。

図3は、本実施形態における半導体装置の平面構造を示す模式図を示す。第1実施形態と同様に、静電気保護素子は、MISFET30として形成されている。したがって、同図における、半導体基板上に形成されているアクティブ領域31、ゲート電極32、導電領域33及び素子分離領域34は、図1と同様に形成されている。また、第1電気配線層35も、図1と同様に配置されている。第1実施形態との相違するのは、第2電気配線層で形成されている電源用電気配線37aの配置される位置である。まず、電源用電気配線37aは、MISFET30のほぼ中央に4本、縦断するように形成されている。一方、パッド用電気配線48は、同図における第1電気配線層35の両端から、MISFET30のアクティブ領域31にかけて電氣的に接続されている。

10

#### 【0034】

同図における、パッド用電気配線48と電源用電気配線37aとの断面における配置を図4(a)及び(b)を用いて説明する。

20

図4(a)は、図3のC-C線における半導体装置の模式断面図を示す。各層の基本的な構造は、図2(a)と同様である。同図で、L3及びL4で示されているパッド用電気配線48の経路は以下のとおりである。すなわち、バンプ42、電極パッド41、第3ビアプラグ47、第3電気配線層40(図3においては図示せず)、第2ビアプラグ39(図3においては図示せず)、パッド用第2電気配線層37b、第1ビアプラグ38、第1電気配線層35、コンタクトプラグ36及びアクティブ領域31という経路となる。ここで、パッド用電気配線48として使用される第2電気配線層37bは、MISFET30の周辺側に配置され、第1電気配線層35、コンタクトプラグ36によって、電流経路をほぼ中央に位置するアクティブ領域31へと導いている。電源用電気配線37aは、MISFET30のほぼ中央の上側を通るようにして形成されている。

30

#### 【0035】

図4(b)は、図3のD-D線における半導体装置の模式断面図を示す。静電気保護素子としてのMISFET30の構造は、図2(b)で示したものと同様である。アクティブ領域31の一部であるソース部31aは、コンタクトプラグ36を介して、第1電気配線層35aと電氣的に接続されている。この第1電気配線層35aは、パッド用電気配線48の一部として使用されている。

#### 【0036】

ドレイン部31b及び導電領域33は、コンタクトプラグ36を介して、電源用第1電気配線層35bと電氣的に接続されている。第1電気配線層35aと電源用第1電気配線層35bは、第2層間絶縁層44により電氣的に絶縁されている。電源用第1電気配線層35bは、第1ビアプラグ38を介して、電源用電気配線37aと電氣的に接続されている。電源用電気配線37aは、ドレイン部31b及び導電領域33と電氣的に接続され、また、図3に示すようにMISFET30のほぼ中央に形成されている。

40

#### 【0037】

上記の説明から、第1実施形態と同様の効果、すなわち、半導体装置が有する面積を極力増大させずに、かつ、パッド用電気配線48と、MISFET30が形成されている領域内の電源用電気配線37aとが短絡しないように配置することができる。また、電源用電気配線37aが中央に配置されていることにより、電源用電気配線37aの面積を大きくすることができ、MISFET30の外側に、パッド用電気配線48の一部としてのビ

50

プラグ 38、39 または、コンタクトプラグ 36 を形成することができる。さらに、電源用電気配線 37a が中央に配置されていることにより、電極パッド 41 に加わった静電気を均一に放電させることができる。

【0038】

なお、本実施形態では、第1実施形態と同様、電源用電気配線 37a を第2電気配線層で形成しているが、第2電気配線層だけに限らず、多層配線層のどの層で形成してもよいし、多層配線で形成してもよい。

【0039】

本実施形態に限らず、以下のように変形してもよい。

【0040】

(変形例1) 第1実施形態及び第2実施形態では、静電気保護素子をMISFETで形成していたが、MISFETに限らず、ダイオード、サイリスタまたはバイポーラトランジスタ等で形成してもよい。原理的に、パッド電極から大電流が流れた場合にのみ、静電気保護素子に電流が流れるような機能を有する素子であればよい。

【図面の簡単な説明】

【0041】

【図1】第1実施形態における半導体装置の構造を示す模式平面図。

【図2】(a)は、図1のA-A線における半導体装置の模式断面図、(b)はB-B線における半導体装置の模式断面図。

【図3】第2実施形態における半導体装置の構造を示す模式平面図。

【図4】(a)は、図3のC-C線における半導体装置の模式断面図、(b)はD-D線における半導体装置の模式断面図。

【図5】従来の静電気保護素子を有する半導体装置の模式平面図。

【図6】従来の静電気保護素子を有する半導体装置の等価回路図。

【図7】従来の能動領域に電極パッドを有する半導体装置の模式断面図。

【図8】従来の能動領域に形成された静電気保護素子の構造を示す模式断面図。

【符号の説明】

【0042】

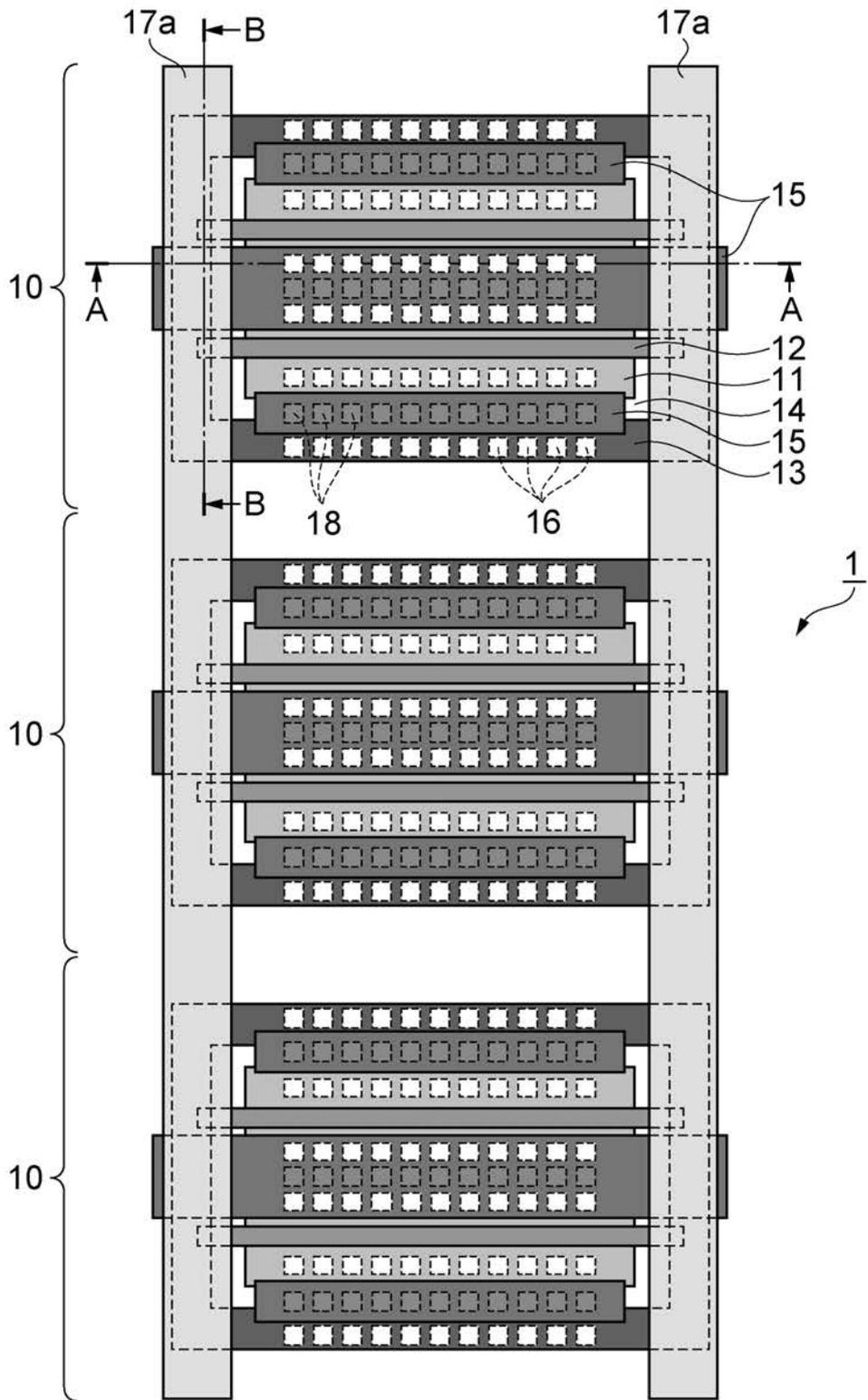
1...半導体装置、10、30...静電気保護素子としてのMISFET、11、31...アクティブ領域、12、32...ゲート電極、13、33...導電領域、14、34...素子分離領域、15、35...第1電気配線層、16、36...コンタクトプラグ、17、37...第2電気配線層、17a、37a...第2電気配線層を用いた電源用電気配線、17b、37b...第2電気配線層を用いたパッド用電気配線、18、38...第1ビアプラグ、19、39...第2ビアプラグ、20、40...第3電気配線層、21、41...電極パッド、22、42...パンプ、23、43...第1層間絶縁層、24、44...第2層間絶縁層、25、45...第3層間絶縁層、26、46...第4層間絶縁層、27、47...第3ビアプラグ、28、48...パッド用電気配線。

10

20

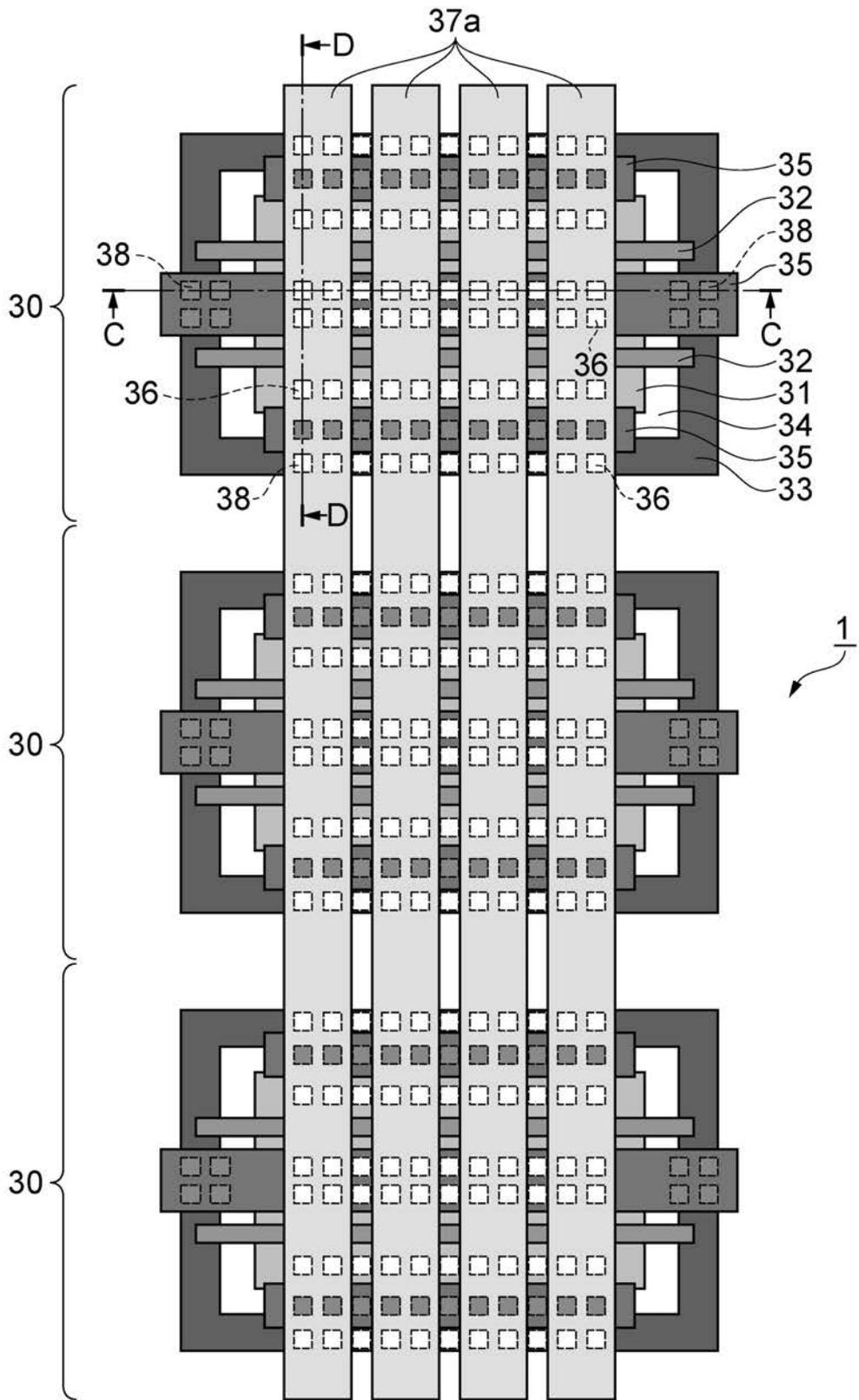
30

【図1】

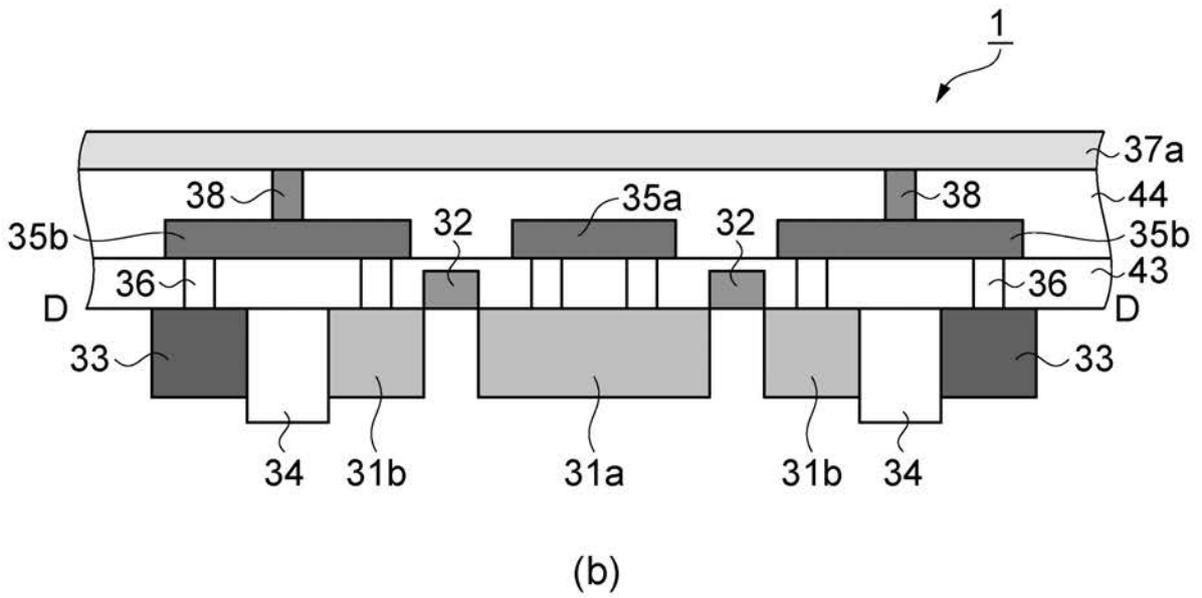
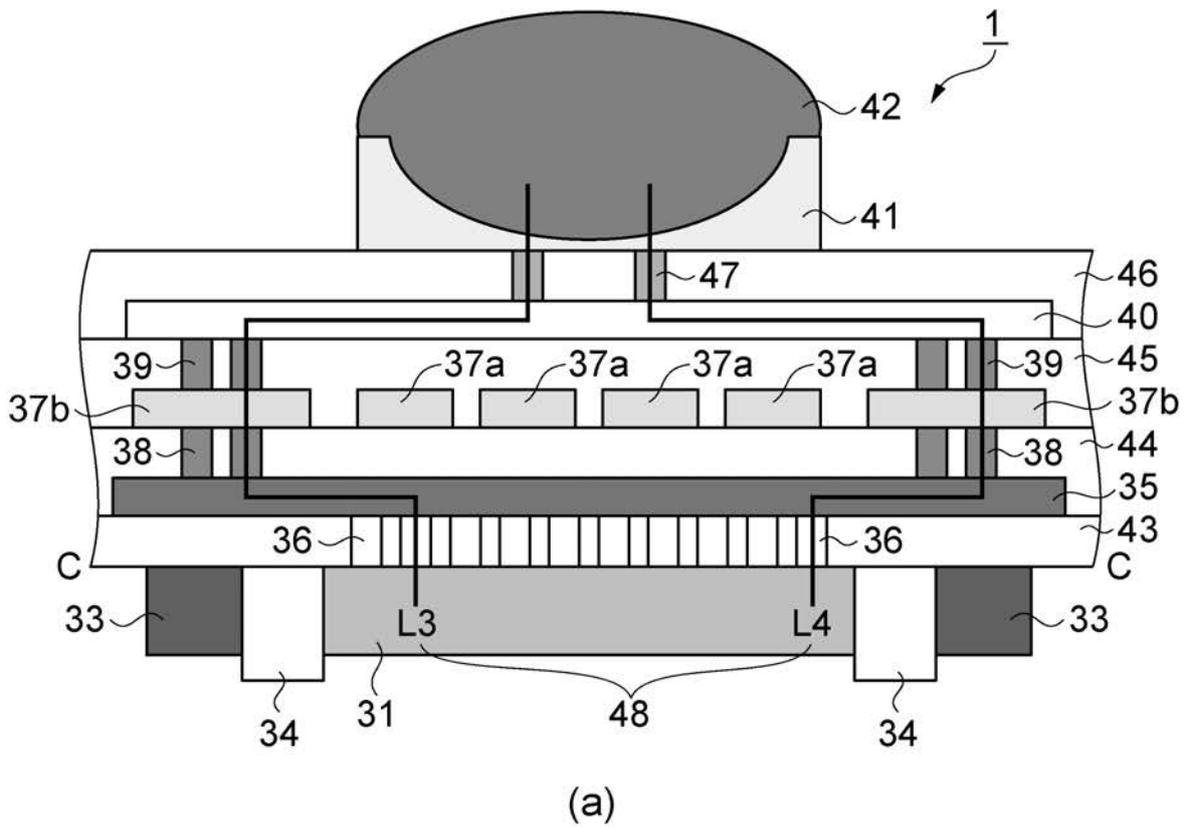




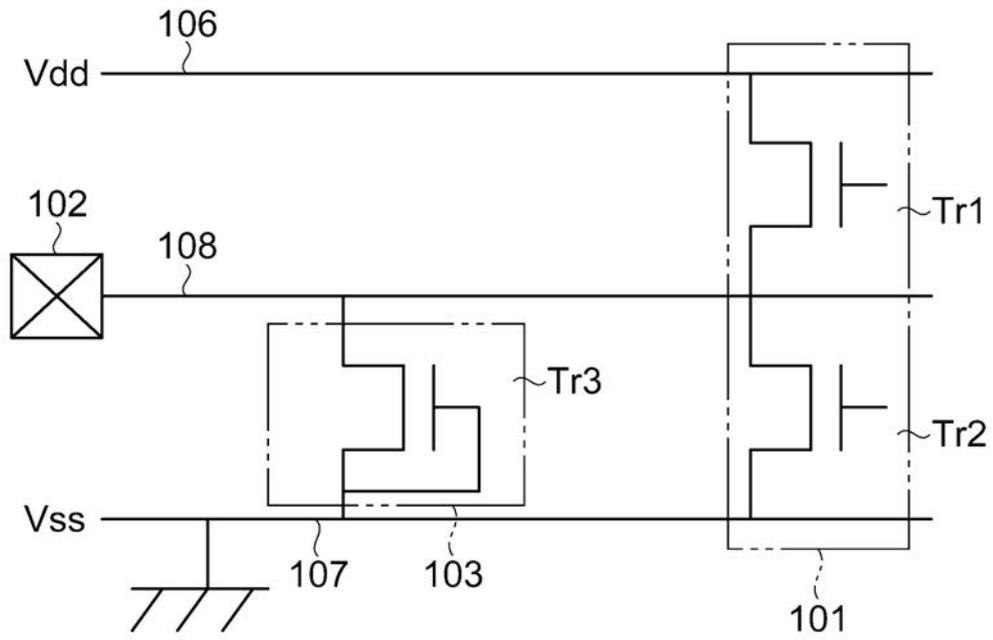
【図3】



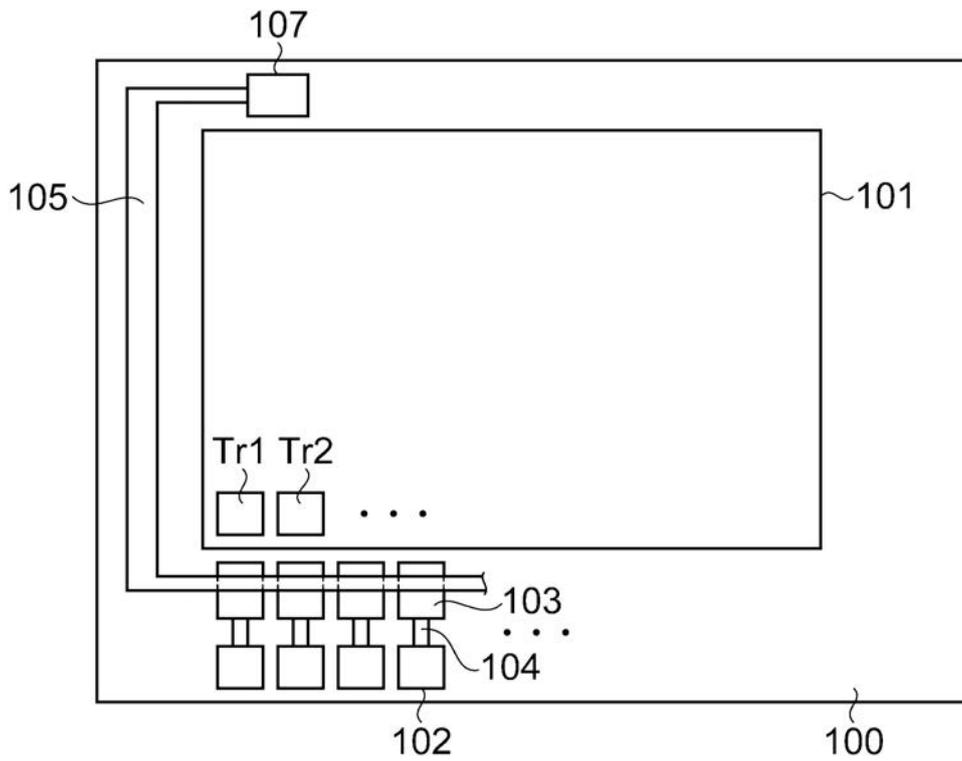
【 図 4 】



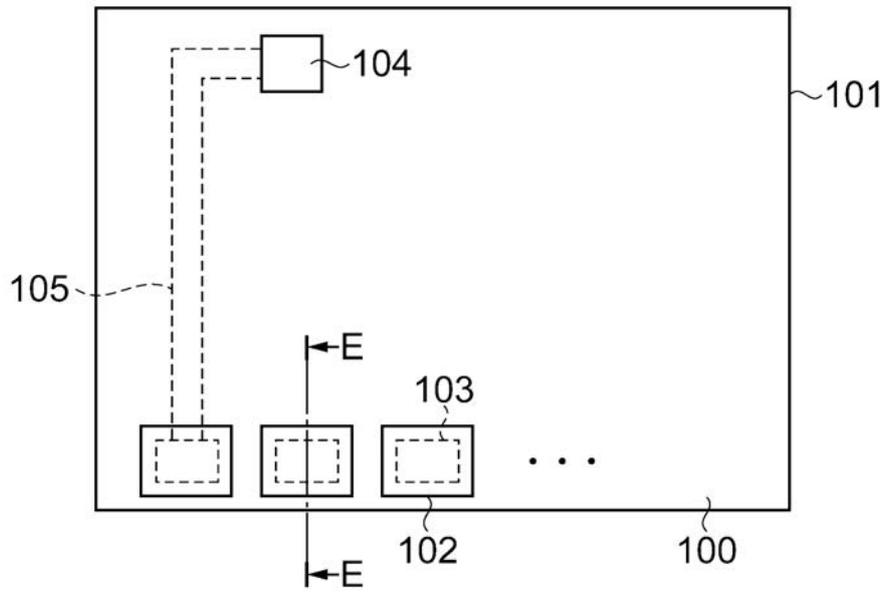
【 図 5 】



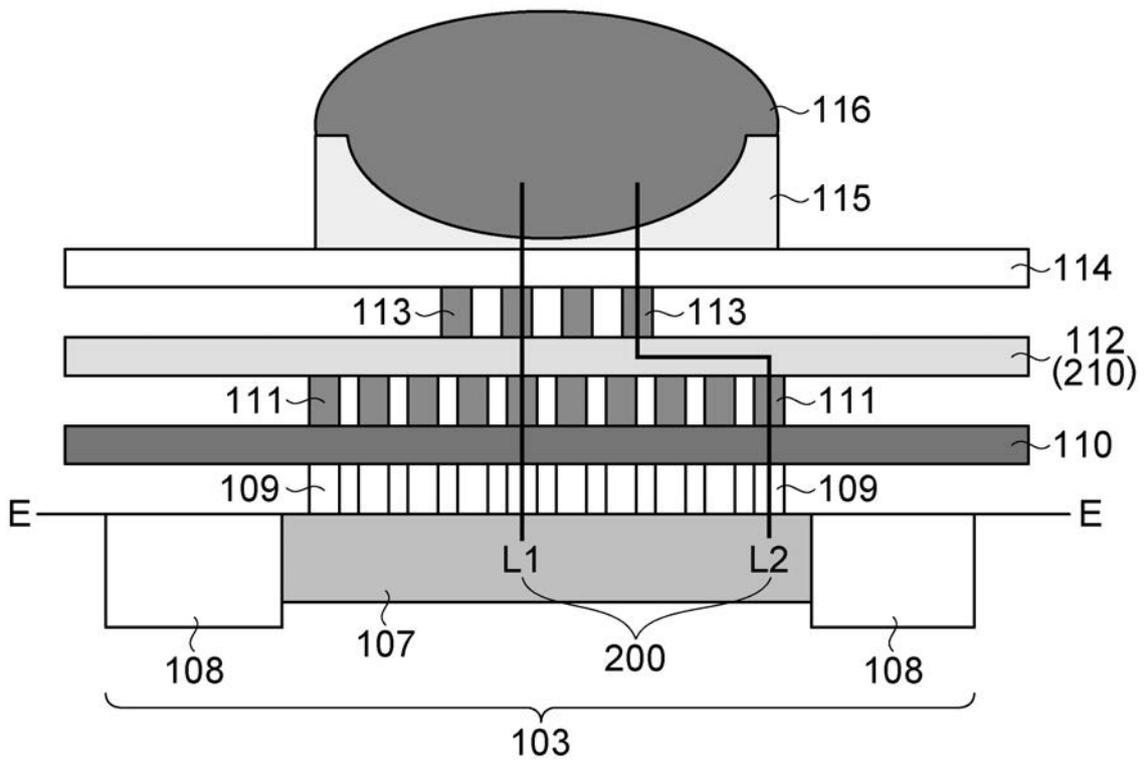
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

(51)Int.Cl. F I

*H 0 1 L 21/3205 (2006.01)*

(56)参考文献 特開2001-339047(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 0 4