

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6113707号
(P6113707)

(45) 発行日 平成29年4月12日(2017.4.12)

(24) 登録日 平成29年3月24日(2017.3.24)

(51) Int. Cl. F I
 H O 4 L 25/06 (2006.01) H O 4 L 25/06
 H O 4 L 25/02 (2006.01) H O 4 L 25/02 3 O 3 B

請求項の数 11 (全 16 頁)

(21) 出願番号	特願2014-260818 (P2014-260818)	(73) 特許権者	000000572 アンリツ株式会社 神奈川県厚木市恩名五丁目1番1号
(22) 出願日	平成26年12月24日(2014.12.24)	(74) 代理人	100067323 弁理士 西村 敦光
(65) 公開番号	特開2016-122904 (P2016-122904A)	(74) 代理人	100124268 弁理士 鈴木 典行
(43) 公開日	平成28年7月7日(2016.7.7)	(72) 発明者	山根 一浩 神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
審査請求日	平成28年2月24日(2016.2.24)	審査官	阿部 弘

最終頁に続く

(54) 【発明の名称】 デジタル信号オフセット調整装置および方法並びにパルスパターン発生装置

(57) 【特許請求の範囲】

【請求項1】

入力端子(11)および出力端子(13)と、

前記入力端子と前記出力端子との間に設けられ、前記入力端子に入力されたデジタル信号の交流成分を前記出力端子へ伝達するためのコンデンサ(12)と、

前記入力端子に一端側が接続され、該入力端子に入力されたデジタル信号の直流成分および低周波成分を通過させる第1のコイル(15)と、

前記出力端子に一端側が接続された第2のコイル(18)と、

任意の直流電圧によるオフセット電圧を発生するオフセット電圧発生器(14)と、

前記第1のコイルの他端から出力される信号に前記オフセット電圧発生器から出力されたオフセット電圧を合成し、この合成した合成信号を前記出力端子から被測定物に入力するための試験信号として出力整合用の抵抗(17)を介して前記第2のコイルの他端側に供給する合成回路(16)と、

前記合成回路と前記抵抗との間に接続された切替手段(19)と、

前記抵抗の両端の電位差を検出する電位差検出部(21)と、

出力が短絡して電位差の変化が急峻に起きたときの電位差に起因した電圧に応じた値が正負のしきい値電圧として予め設定され、前記電位差検出部からの検出信号の電圧値と前記正負のしきい値電圧とを比較し、前記検出信号の電圧値が前記正負のしきい値電圧の何れかを越えたときに過電流検出信号を出力する比較回路(23)と、

前記過電流検出信号が入力されたときに、前記切替手段をオフに切り替え制御する制御

10

20

部(24)とを備えたことを特徴とするデジタル信号オフセット調整装置。

【請求項2】

前記入力端子(11)と前記出力端子(13)との間で、前記コンデンサ(12)と直列に接続され、前記入力端子側から前記出力端子側へ信号を伝達させ、且つ前記出力端子から前記入力端子側への信号の伝達を阻止するアイソレーション回路(27)を備えたことを特徴とする請求項1記載のデジタル信号オフセット調整装置。

【請求項3】

前記切替手段(19)がオフに切り替え制御されたときに、前記第2のコイル(18)に蓄えられたエネルギーにより発生する高電圧を一定の電圧でクランプする過電圧保護回路(20)を備えたことを特徴とする請求項1又は2記載のデジタル信号オフセット調整装置。

10

【請求項4】

前記制御部(24)は、前記切替手段(19)をオフに切り替え制御してからの時間が所定時間を経過したときに、前記切替手段をオンに切り替え制御するとともに、前記オフセット電圧を目標電圧まで緩やかに立ち上げて出力制御することを特徴とする請求項1～3の何れかに記載のデジタル信号オフセット調整装置。

【請求項5】

前記比較回路(23)が前記過電流検出信号を出力して異常が発生したときのエラーログを記憶する記憶部(26)を備えたことを特徴とする請求項1～4の何れかに記載のデジタル信号オフセット調整装置。

20

【請求項6】

入力端子(11)に入力されたデジタル信号の交流成分をコンデンサ(12)を介して出力端子(13)へ伝達するステップと、

前記入力端子に入力されたデジタル信号の直流成分および低周波成分を、前記入力端子に一端側が接続された第1のコイル(15)により通過させるステップと、

任意の直流電圧によるオフセット電圧を発生するステップと、

前記第1のコイルの他端から出力される信号に前記オフセット電圧を合成した合成信号を合成回路(16)から出力し、前記出力端子に一端側が接続された第2のコイル(18)の他端側に出力整合用の抵抗(17)を介して前記合成信号を前記出力端子から被測定物に入力するための試験信号として供給するステップと、

30

前記抵抗の両端の電位差を検出して検出信号を出力するステップと、

出力が短絡して電位差の変化が急峻に起きたときの電位差に起因した電圧に応じた値が正負のしきい値電圧として予め設定され、前記検出信号の電圧値が前記正負のしきい値電圧の何れかを越えたときに過電流検出信号を出力するステップと、

前記過電流検出信号を出力したときに、前記合成回路と前記抵抗との間に接続された切替手段(19)をオフに切り替え制御するステップとを含むことを特徴とするデジタル信号オフセット調整方法。

【請求項7】

前記入力端子(11)と前記出力端子(13)との間で、前記コンデンサ(12)と直列にアイソレーション回路(27)を接続し、前記入力端子側から前記出力端子側へ信号を伝達させ、且つ前記出力端子から前記入力端子側への信号の伝達を阻止するステップを含むことを特徴とする請求項6記載のデジタル信号オフセット調整方法。

40

【請求項8】

前記切替手段(19)がオフに切り替え制御されたときに、前記第2のコイル(18)に蓄えられたエネルギーにより発生する高電圧を一定の電圧でクランプするステップを含むことを特徴とする請求項6又は7記載のデジタル信号オフセット調整方法。

【請求項9】

前記切替手段(19)をオフに切り替え制御してからの時間が所定時間を経過したときに、前記切替手段をオンに切り替え制御するとともに、前記オフセット電圧を目標電圧まで緩やかに立ち上げて出力制御するステップを含むことを特徴とする請求項6～8の何れか

50

に記載のデジタル信号オフセット調整方法。

【請求項 10】

前記過電流検出信号を出力して異常が発生したときのエラーログを記憶するステップを含むことを特徴とする請求項 6 ~ 9 の何れかに記載のデジタル信号オフセット調整方法。

【請求項 11】

任意のパターンのデジタル信号を生成するパターン信号発生部(2)と、

前記パターン信号発生部から出力されたパターン信号に対して、所望の直流電圧によるオフセット電圧を与えて出力する請求項 1 ~ 5 の何れかに記載のデジタル信号オフセット調整装置(3)とを備えたことを特徴とするパルスパターン発生装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、デジタル信号に任意の直流電圧によるオフセット電圧を付与して出力するデジタル信号オフセット調整装置および方法並びにデジタル信号オフセット調整装置を用いたパルスパターン発生装置に関する。

【背景技術】

【0002】

近年、GHz帯まで高速化しているデジタル通信システムに用いる各種装置や半導体デバイスなどの試験を行う際には、高速なデジタル信号に対し、試験対象となる被測定物の入力インタフェースに応じたバイアス電圧(オフセット電圧)を供給する必要がある。

20

【0003】

このため、本件出願人は、下記特許文献1に開示されるように、デジタル信号に任意の直流電圧によるバイアス電圧を付与して出力するデジタル信号オフセット調整装置を出願している。

【0004】

特許文献1に開示されるデジタル信号オフセット調整装置101は、図3に示すように、低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する入力デジタル信号が入力される入力端子102と、バイアス電圧設定部103で設定された所望の直流バイアス電圧を出力する直流電圧発生器104と、入力端子102に入力される入力デジタル信号の低周波成分、直流成分及び高周波成分に直流電圧発生器104から出力される直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子105と、入力端子102と出力端子105との間に接続され、入力端子102に入力される入力デジタル信号の高周波成分を出力端子105に通過させるコンデンサ106と、入力端子102に一端側が接続され、入力デジタル信号の低周波成分及び直流成分を他端側に通過させる第1のコイル107と、出力端子105に一端側が接続される第2のコイル108と、第1のコイル107の他端側に第1の入力端が接続され、第1及び第2の入力端に入力される第1のコイル107の他端側に通過される入力デジタル信号の低周波成分及び直流成分と直流電圧発生器104から出力される直流バイアス電圧(オフセット電圧)とを合成して得られる合成信号を出力端から第2のコイル108の他端側を介して出力端子105に出力する合成回路109とを備えている。また、合成回路109は、第1のコイル107の他端側に通過される入力デジタル信号の低周波成分のうち周波数が高い成分ほど演算増幅器の利得が大きくなるように周波数特性を補償するための周波数特性補償回路109aを備えている。

30

40

【0005】

上述したデジタル信号オフセット調整装置101によれば、第1のコイル107の他端から出力される信号の交流成分に対し、その周波数が高くなる程高い利得を示す特性を有する周波数補償回路109aを備えたことにより、数100HzからGHz帯の低周波成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達し、デジタル通信システムに用いる各種装置の試験などを適切に行うことができるという効果を奏する。

50

【 0 0 0 6 】

また、本件出願人は、上述した特許文献 1 に開示されるデジタル信号オフセット調整装置 1 0 1 の改良案として、下記特許文献 2 に開示されるデジタル信号オフセット調整装置を出願している。

【 0 0 0 7 】

特許文献 2 に開示されるデジタル信号オフセット調整装置は、図 3 の構成において、コンデンサ 1 0 6 と出力端子 1 0 5 との間にアイソレーション回路が接続されたものであり、入力端子 1 0 2 に入力された入力デジタル信号の交流成分をコンデンサ 1 0 6 およびアイソレーション回路を介して出力端子 1 0 5 へ伝達するとともに、直流成分と低周波成分を第 1 のコイル 1 0 7 により抽出してバイアス用の直流信号と合成して第 2 のコイル 1 0 8 を介して出力端子 1 0 5 に供給している。また、低周波成分の入力端子 1 0 2 側への逆流をアイソレーション回路で阻止している。これにより、出力側に接続される回路の影響、例えばミスマッチによる反射等が入力側に戻るものがなく、歪みの少ない広帯域な波形伝達を可能にしている。

10

【 0 0 0 8 】

また、アイソレーション回路および合成回路 1 0 9 は、それぞれ利得可変型増幅器を含むように構成し、指定された振幅値のデジタル信号が出力端子 1 0 5 から出力されるように、アイソレーション回路および合成回路 1 0 9 の利得可変型増幅器を制御する振幅制御手段を設けた構成としている。これにより、出力するデジタル信号に任意の直流オフセットを与えるだけでなく、その振幅を任意に設定することができるようになっている。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 特許第 4 2 5 6 8 9 4 号公報

【 特許文献 2 】 特許第 4 2 6 1 5 5 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

ところで、この種のデジタル信号オフセット調整装置は、試験対象となる被測定物と同軸ケーブルを介してコネクタ接続し、被測定物に所望パターンのデジタル信号を入力したり、同軸ケーブルを介してコネクタ接続されるプローブの接触子を被測定物の端子（信号端子、電源端子、グランド端子）に接触させて所望パターンのデジタル信号を入力することで各種試験を行っている。

30

【 0 0 1 1 】

しかしながら、上述したデジタル信号オフセット調整装置を用いて被測定物の各種試験を行う際、出力が短絡したり、開放したりすることにより、オフセット電圧に対して大きな電位差や電流差が生じ、コイル 1 0 8 による過渡応答により異常電圧が発生することで電氣的オーバーストレス（EOS : Electrical Over Stress）が生じる可能性があった。

【 0 0 1 2 】

この EOS の原因としては、例えば数十 程度のインピーダンスが低いレーザダイオードを用いた光変調器を被測定物（DUT）とし、プローブの接触子を被測定物のパッド（信号端子、グランド端子）に接触させて各種試験を行う際にプローブの接触子が被測定物の端子から瞬間的に離れたり、瞬間的に接触したり、正しい位置に接触していない場合、半導体デバイスを被測定物として測定を行う際に電源の種類や極性を間違えて不適切な電源のオン・オフを行った場合、適正なオフセット電圧が設定されていない状態のまま被測定物との間を同軸ケーブルで接続した場合、被測定物と同軸ケーブルを介してコネクタ接続する際にコネクタが奥まで押し込まれずに接触不良を起こしている場合などの様々な要因が考えられる。

40

【 0 0 1 3 】

そして、従来のデジタル信号オフセット調整装置では、上述した状況によって出力の短

50

絡や開放が発生し、コイルによる高電圧パルス発生による異常電圧が発生すると、EOSに弱いアイソレーション回路内部の高周波アンプや出力端子に接続された被測定物などを異常電圧から保護することができなかった。また、近年、この種のデジタル信号オフセット調整装置を含む各種測定装置では、半導体プロセスの微細化により高周波化も進んでおり、耐電圧が低下し、EOSにも弱くなっている。

【0014】

尚、この種のデジタル信号オフセット調整装置には、供給できる電流を制限するために電流制限回路が組み込まれている場合があり、短絡等に伴う過電流から回路を保護している。しかしながら、短絡時に一定の電流がコイルに供給され続けてしまい、短絡が開放されて復帰したときに、コイルの両端に高電圧が発生し、この高電圧によって装置の内部回路や被測定物などが保護されずに損傷する恐れがあった。

10

【0015】

そこで、本発明は上記問題点に鑑みてなされたものであって、内部回路や被測定物などを高電圧パルス発生による異常電圧から保護することができるデジタル信号オフセット調整装置および方法並びにパルスパターン発生装置を提供することを目的としている。

【課題を解決するための手段】

【0016】

上記目的を達成するため、本発明の請求項1に記載されたデジタル信号オフセット調整装置は、入力端子11および出力端子13と、

前記入力端子と前記出力端子との間に設けられ、前記入力端子に入力されたデジタル信号の交流成分を前記出力端子へ伝達するためのコンデンサ12と、

20

前記入力端子に一端側が接続され、該入力端子に入力されたデジタル信号の直流成分および低周波成分を通過させる第1のコイル15と、

前記出力端子に一端側が接続された第2のコイル18と、

任意の直流電圧によるオフセット電圧を発生するオフセット電圧発生器14と、

前記第1のコイルの他端から出力される信号に前記オフセット電圧発生器から出力されたオフセット電圧を合成し、この合成した合成信号を前記出力端子から被測定物に入力するための試験信号として出力整合用の抵抗17を介して前記第2のコイルの他端側に供給する合成回路16と、

前記合成回路と前記抵抗との間に接続された切替手段19と、

30

前記抵抗の両端の電位差を検出する電位差検出部21と、

出力が短絡して電位差の変化が急峻に起きたときの電位差に起因した電圧に応じた値が正負のしきい値電圧として予め設定され、前記電位差検出部からの検出信号の電圧値と前記正負のしきい値電圧とを比較し、前記検出信号の電圧値が前記正負のしきい値電圧の何れかを越えたときに過電流検出信号を出力する比較回路23と、

前記過電流検出信号が入力されたときに、前記切替手段をオフに切り替え制御する制御部24とを備えたことを特徴とする。

【0017】

請求項2に記載されたデジタル信号オフセット調整装置は、請求項1のデジタル信号オフセット調整装置において、

40

前記入力端子11と前記出力端子13との間で、前記コンデンサ12と直列に接続され、前記入力端子側から前記出力端子側へ信号を伝達させ、且つ前記出力端子から前記入力端子側への信号の伝達を阻止するアイソレーション回路27を備えたことを特徴とする。

【0018】

請求項3に記載されたデジタル信号オフセット調整装置は、請求項1又は2のデジタル信号オフセット調整装置において、

前記切替手段19がオフに切り替え制御されたときに、前記第2のコイル18に蓄えられたエネルギーにより発生する高電圧を一定の電圧でクランプする過電圧保護回路20を備えたことを特徴とする。

【0019】

50

請求項 4 に記載されたデジタル信号オフセット調整装置は、請求項 1 ~ 3 の何れかのデジタル信号オフセット調整装置において、

前記制御部 2 4 は、前記切替手段 1 9 をオフに切り替え制御してからの時間が所定時間を経過したときに、前記切替手段をオンに切り替え制御するとともに、前記オフセット電圧を目標電圧まで緩やかに立ち上げて出力制御することを特徴とする。

【 0 0 2 0 】

請求項 5 に記載されたデジタル信号オフセット調整装置は、請求項 1 ~ 4 の何れかのデジタル信号オフセット調整装置において、

前記比較回路 2 3 が前記過電流検出信号を出力して異常が発生したときのエラーログを記憶する記憶部 2 6 を備えたことを特徴とする。

10

【 0 0 2 1 】

請求項 6 に記載されたデジタル信号オフセット調整方法は、入力端子 1 1 に入力されたデジタル信号の交流成分をコンデンサ 1 2 を介して出力端子 1 3 へ伝達するステップと、

前記入力端子に入力されたデジタル信号の直流成分および低周波成分を、前記入力端子に一端側が接続された第 1 のコイル 1 5 により通過させるステップと、

任意の直流電圧によるオフセット電圧を発生するステップと、

前記第 1 のコイルの他端から出力される信号に前記オフセット電圧を合成した合成信号を合成回路 1 6 から出力し、前記出力端子に一端側が接続された第 2 のコイル (1 8) の他端側に出力整合用の抵抗 1 7 を介して前記合成信号を前記出力端子から被測定物に

20

前記抵抗の両端の電位差を検出して検出信号を出力するステップと、

出力が短絡して電位差の変化が急峻に起きたときの電位差に起因した電圧に応じた値が正負のしきい値電圧として予め設定され、前記検出信号の電圧値が前記正負のしきい値電圧の何れかを超えたときに過電流検出信号を出力するステップと、

前記過電流検出信号を出力したときに、前記合成回路と前記抵抗との間に接続された切替手段 1 9 をオフに切り替え制御するステップとを含むことを特徴とする。

【 0 0 2 2 】

請求項 7 に記載されたデジタル信号オフセット調整方法は、請求項 6 のデジタル信号オフセット調整方法において、

前記入力端子 1 1 と前記出力端子 1 3 との間で、前記コンデンサ 1 2 と直列にアイソレーション回路 2 7 を接続し、前記入力端子側から前記出力端子側へ信号を伝達させ、且つ前記出力端子から前記入力端子側への信号の伝達を阻止するステップを含むことを特徴とする。

30

【 0 0 2 3 】

請求項 8 に記載されたデジタル信号オフセット調整方法は、請求項 6 又は 7 のデジタル信号オフセット調整方法において、

前記切替手段 1 9 がオフに切り替え制御されたときに、前記第 2 のコイル 1 8 に蓄えられたエネルギーにより発生する高電圧を一定の電圧でクランプするステップを含むことを特徴とする。

【 0 0 2 4 】

請求項 9 に記載されたデジタル信号オフセット調整方法は、請求項 6 ~ 8 の何れかのデジタル信号オフセット調整方法において、

前記切替手段 1 9 をオフに切り替え制御してからの時間が所定時間を経過したときに、前記切替手段をオンに切り替え制御するとともに、前記オフセット電圧を目標電圧まで緩やかに立ち上げて出力制御するステップを含むことを特徴とする。

40

【 0 0 2 5 】

請求項 1 0 に記載されたデジタル信号オフセット調整方法は、請求項 6 ~ 9 の何れかのデジタル信号オフセット調整方法において、

前記過電流検出信号を出力して異常が発生したときのエラーログを記憶するステップを含むことを特徴とする。

50

【 0 0 2 6 】

請求項 1 1 に記載されたパルスパターン発生装置は、任意のパターンのデジタル信号を生成するパターン信号発生部 2 と、

前記パターン信号発生部から出力されたパターン信号に対して、所望の直流電圧によるオフセット電圧を与えて出力する請求項 1 ~ 5 の何れかに記載のデジタル信号オフセット調整装置 3 とを備えたことを特徴とする。

【 発明の効果 】

【 0 0 2 7 】

本発明によれば、EOS に弱い内部回路（例えば高周波アンプ）や出力端子にコネクタ接続される被測定物などを異常電圧から保護することができる。

10

【 0 0 2 8 】

また、入力端子と出力端子との間で、コンデンサと直列にアイソレーション回路を接続した構成とすれば、入力端子側から出力端子側へ信号を伝達させ、且つ出力端子から入力端子側への信号の伝達を阻止するので、出力側に接続される回路の影響、例えばミスマッチによる反射等が入力側に戻るものがなく、歪みの少ない広帯域な波形伝達が可能になる。

【 0 0 2 9 】

さらに、出力の短絡が開放されて自動復帰する場合、デジタル信号の低周波成分及び直流成分の信号に付与されるオフセット電圧を目標電圧まで緩やかに立ち上げるように制御すれば、出力端子から出力するデジタル信号に対し、目標電圧のオフセット電圧がいきなり付与されることがなく、安全に復帰させることができる。

20

【 0 0 3 0 】

また、過電流検出信号を出力して異常が発生したときの履歴を示すエラーログを記憶するので、コイルによる高電圧パルス発生による異常電圧の発生原因を究明する際の情報として利用することができる。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】本発明に係るデジタル信号オフセット調整装置を含むパルスパターン発生装置の第 1 実施の形態を示すブロック図である。

【 図 2 】本発明に係るデジタル信号オフセット調整装置を含むパルスパターン発生装置の第 2 実施の形態を示すブロック図である。

30

【 図 3 】特許文献 1 に開示される従来のデジタル信号オフセット調整装置の構成図である。

【 発明を実施するための形態 】

【 0 0 3 2 】

以下、本発明を実施するための形態について、添付した図面を参照しながら詳細に説明する。

【 0 0 3 3 】

〔 第 1 実施の形態 〕

本発明に係るデジタル信号オフセット調整装置を含むパルスパターン発生装置の第 1 実施の形態について図 1 を参照しながら説明する。

40

【 0 0 3 4 】

図 1 に示すように、第 1 実施の形態のパルスパターン発生装置 1 (1 A) は、パターン信号発生部 2 とデジタル信号オフセット調整装置 3 (3 A) を備えて大略構成される。

【 0 0 3 5 】

パターン信号発生部 2 は、被測定物の各種試験を行う際にデジタル信号オフセット調整装置 3 に入力される所望のパルスパターンのデジタル信号 D_i を発生するものであり、デジタル信号出力部 2 a とパルスパターン指定部 2 b を備えている。

【 0 0 3 6 】

デジタル信号出力部 2 a は、所望のパルスパターンによる低周波成分、直流成分及び高

50

周波成分を含む広帯域な周波数特性を有するデジタル信号 D_i を出力している。このデジタル信号 D_i は、例えば同一ビットデータが連続するようなデータパターンを含むものである。

【0037】

パルスパターン指定部 2 b は、デジタル信号出力部 2 a から出力させるデジタル信号 D_i のパルスパターンを指定している。

【0038】

デジタル信号オフセット調整装置 3 A は、パターン信号発生部 2 から入力されるデジタル信号 D_i に任意の直流電圧によるオフセット電圧を付与し、このオフセット電圧の付与によってオフセット調整されたデジタル信号を、同軸ケーブルを介してコネクタ接続される被測定物に試験信号として出力するものである。

10

【0039】

図 1 に示すように、デジタル信号オフセット調整装置 3 A は、入力端子 1 1、コンデンサ 1 2、出力端子 1 3、オフセット電圧発生器 1 4、第 1 のコイル 1 5、合成回路 1 6、抵抗 1 7、第 2 のコイル 1 8、切替手段 1 9、過電圧保護回路 2 0、電位差検出部 2 1、しきい値電圧発生器 2 2、比較回路 2 3、制御部 2 4、警報出力部 2 5、記憶部 2 6 を備えている。

【0040】

入力端子 1 1 は、パターン信号発生部 2 のデジタル信号出力部 2 b と接続される。入力端子 1 1 には、低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有するデジタル信号 D_i がデジタル信号出力部 2 a から入力される。

20

【0041】

コンデンサ 1 2 は、入力端子 1 1 と出力端子 1 3 との間に接続され、入力端子 1 1 から入力されるデジタル信号 D_i の高周波成分を出力端子 1 3 に通過させている。

【0042】

出力端子 1 3 は、入力端子 1 1 から入力してコンデンサ 1 2 を通過したデジタル信号 D_i の交流成分に対し、入力端子 1 1 から入力して第 1 のコイル 1 5 により抽出された信号にオフセット電圧発生器 1 4 のオフセット電圧を合成した合成信号が加えられたデジタル信号 D_o を出力している。デジタル信号 D_o は、試験信号として、例えば光変調器や半導体デバイスなどの不図示の被測定物 (DUT) に入力される。

30

【0043】

オフセット電圧発生器 1 4 は、固定設定又は可変設定された所望の直流電圧によるオフセット電圧を発生して出力している。

【0044】

第 1 のコイル 1 5 は、入力端子 1 1 と合成回路 1 6 との間に接続される低周波抽出用コイルである。第 1 のコイル 1 5 は、入力端子 1 1 から入力されるデジタル信号 D_i の低周波成分及び直流成分を他端側に通過させている。

【0045】

合成回路 1 6 は、入力端子 1 1 から第 1 のコイル 1 5 を介して入力されるデジタル信号 D_i の低周波成分及び直流成分の信号と、オフセット電圧発生器 1 4 から出力されるオフセット電圧とを合成した合成信号を出力している。合成回路 1 6 は、例えば特許文献 1 や特許文献 2 などの周知の回路で構成することができる。なお、合成回路 1 6 は、短絡した瞬間に過電流が生じないように保護する電流制限回路を含んだ構成である。

40

【0046】

抵抗 1 7 は、合成回路 1 6 と第 2 のコイル 1 8 との間に接続される出力整合用の抵抗である。抵抗 1 7 は、合成回路 1 6 から出力される合成信号を、オン状態の切替手段 1 9、第 2 のコイル 1 8 を介して出力端子 1 3 に通過させている。

【0047】

第 2 のコイル 1 8 は、抵抗 1 7 と出力端子 1 3 との間に接続されるバイアス印加用コイルである。第 2 のコイル 1 8 は、合成回路 1 6 からオン状態の切替手段 1 9、抵抗 1 7 を

50

介して入力される合成信号を出力端子 1 3 に通過させている。

【 0 0 4 8 】

切替手段 1 9 は、合成回路 1 6 と抵抗 1 7 との間に接続され、合成回路 1 6 と抵抗 1 7 との間が接続されたオン状態において、制御部 2 4 から切替オフ制御信号が入力されたときに、オンからオフに切り替えている。切替手段 1 9 は、例えばオン抵抗が極めて小さい MOS 系の半導体スイッチで構成することができる。

【 0 0 4 9 】

また、切替手段 1 9 をオフからオンに切り替えて復帰させる場合には、ユーザが警報出力部 2 5 の警報出力の内容を見て安全を確認し、その上でユーザの手動操作によって行われる。さらに、切替手段 1 9 は、オフ状態において制御部 2 4 から切替オン制御信号が入力されたときに、オフからオンに自動的に切り替えて復帰するようにしても良い。

10

【 0 0 5 0 】

尚、本例における出力抵抗値は、抵抗 1 7 の抵抗値、第 2 のコイル 1 8 の残留抵抗値、切替手段 1 9 のオン抵抗値によって決まる値である。

【 0 0 5 1 】

過電圧保護回路 2 0 は、合成回路 1 6 の入力側に接続される第 1 過電圧保護回路 2 0 a と、合成回路 1 6 の出力側に接続される第 2 過電圧保護回路 2 0 b とから構成される。

【 0 0 5 2 】

第 1 過電圧保護回路 2 0 a は、第 1 のコイル 1 5 と合成回路 1 6 との間に接続され、切替手段 1 9 がオフに切り替わったときに、第 2 のコイル 1 8 に蓄えられたエネルギーにより発生する高電圧を一定の電圧でクランプし、高電圧による電流が合成回路 1 6 や被測定物 (D U T) に流れ込むのを防止している。

20

【 0 0 5 3 】

第 2 過電圧保護回路 2 0 b は、抵抗 1 7 と第 2 のコイル 1 8 との間に接続され、切替手段 1 9 がオフに切り替わったときに、第 2 のコイル 1 8 に蓄えられたエネルギーにより発生する高電圧を一定の電圧でクランプし、高電圧による電流が被測定物 (D U T) や入力端子 1 1 側に流れ込むのを防止している。これら第 1 過電圧保護回路 2 0 a および第 2 過電圧保護回路 2 0 b は、特に図示はしないが、周知のクランプ回路で構成することができる。具体的には、アノードに正電源電圧が印加されるダイオードと、カソードに負電源電圧が印加されるダイオードとを直列接続し、これら 2 つのダイオードの接続点を抵抗 1 7 と第 2 のコイル 1 8 との間に接続したクランプ回路、2 つのツェナーダイオードをカソードを対向させて直列接続し、一方のツェナーダイオードのアノードを抵抗 1 7 と第 2 のコイル 1 8 との間に接続し、他方のツェナーダイオードのアノードを接地したクランプ回路などで構成される。なお、アノードとカソードは入れ替え可能である。

30

【 0 0 5 4 】

電位差検出部 2 1 は、抵抗 1 7 の両端の電位差を検出するもので、例えばバッファアンプと差分演算回路を備えて構成される。電位差検出部 2 1 は、抵抗 1 7 の両端の電圧をバッファアンプでバッファし、さらに両端の電位差を差動演算回路で電流値に比例する電圧値に増幅変換している。

【 0 0 5 5 】

しきい値電圧発生器 2 2 は、正負のしきい値電圧を発生し、この発生した正負のしきい値電圧を比較回路 2 3 に入力している。

40

【 0 0 5 6 】

比較回路 2 3 は、ウィンドウコンパレータで構成され、電位差検出部 2 1 からの電圧値と正負の電流値の上限に相当する正負のしきい値電圧とを比較し、電位差検出部 2 1 からの電圧値が正負のしきい値電圧の範囲内に収まっているか否かを判別している。比較回路 2 3 は、電位差検出部 2 1 からの電圧値が正又は負のしきい値を超えていると判断したときに、過電流によるオフセット電流が抵抗 1 7 に流れていることを示す過電流検出信号を出力している。

【 0 0 5 7 】

50

尚、本例で言う「短絡」とは、第2のコイル18の両端に対し、オフセット電圧に対して大きな電位差が発生する現象も含むものである。この短絡による電位差の変化が急峻に起きると、その電位差に起因した電圧が第2のコイル18の両端に発生する。このため、比較回路23の正負のしきい値電圧は、出力が短絡して電位差の変化が急峻に起きたときの電位差に起因した電圧に応じた適正な値に予め設定されている。

【0058】

制御部24は、比較回路23から過電流検出信号が入力されたときに、切替手段19に切替オフ制御信号を出力して切替手段19をオフに切り替え制御するとともに、警報出力部25のオン・オフを制御している。

【0059】

尚、制御部24は、比較回路23から過電流検出信号が入力されると、内部タイマーを起動し、所定の設定時間（例えば数秒から数分）が経過したときに、切替手段19に切替オン制御信号を出力して切替手段19をオンに切り替え制御するとともに、オフセット電圧発生器3から出力されるオフセット電圧を時間に比例して増加させ、目標電圧まで緩やかに立ち上がるようにオフセット電圧の値を自動的に制御しても良い。

【0060】

警報出力部25は、例えば表示器やブザーなどで構成され、比較回路23から過電流検出信号が制御部24に入力されたときに、過電流検出信号が検出された旨を制御部24の制御により表示や音でユーザに警報出力している。

【0061】

記憶部26は、比較回路23が過電流検出信号を出力して異常が発生（第2のコイル18による高電圧パルス発生による異常電圧の発生）したときの履歴を示すエラーログを含め、装置を起動してから停止するまでの一連の処理に関する履歴を示すデータログを記憶している。この記憶部26に記憶されたエラーログは、第2のコイル18による高電圧パルス発生による異常電圧の発生原因を究明する際の情報として利用することができ、デジタル信号オフセット調整装置を使用する利用者へのサービス提供にも役立てることができる。

【0062】

[第2実施の形態]

本発明に係るデジタル信号オフセット調整装置を含むパルスパターン発生装置の第2実施の形態について図2を参照しながら説明する。

【0063】

尚、図2に示す第2実施の形態のパルスパターン発生装置1Bにおいて、上述した図1に示す第1実施の形態のパルスパターン発生装置1Aと同一の構成要素には同一番号を付し、その説明を省略している。

【0064】

図2に示すように、第2実施の形態のパルスパターン発生装置1（1B）は、上述した第1実施の形態のパルスパターン発生装置1Aの構成、すなわち、入力端子11、コンデンサ12、出力端子13、オフセット電圧発生器14、第1のコイル15、合成回路16、抵抗17、第2のコイル18、切替手段19、過電圧保護回路20、電位差検出部21、しきい値電圧発生器22、比較回路23、制御部24、警報出力部25、記憶部26に加え、アイソレーション回路27と振幅制御手段28を備えている。

【0065】

アイソレーション回路27は、コンデンサ12と出力端子13との間に接続され、入力端子11側から出力端子13側へは信号を損失なく伝達し、出力端子13側から入力端子11側への信号の伝達を阻止している。

【0066】

アイソレーション回路27は、例えば広帯域増幅器や広帯域バッファなどで構成され、直流に近い周波数から数10GHzまでの広帯域にわたって入出力間の高いアイソレーションが得られる。このアイソレーション回路27は、前述した特許文献2の図2(a)に

10

20

30

40

50

示すように、例えば広帯域増幅器（又は広帯域バッファ）、電源供給用と低周波終端用とを兼ねた抵抗とコイルとの直列回路、直流カット用のコンデンサで構成することができる。

【 0 0 6 7 】

振幅制御手段 2 8 は、指定された振幅値に応じてアイソレーション回路 2 7 の広帯域増幅器の利得を可変制御している。この振幅制御手段 2 8 は、その機能を制御部 2 4 に持たせることもできる。

【 0 0 6 8 】

尚、図 2 に示すパルスパターン発生装置 1 B は、出力端子 1 3 側から入力端子 1 1 側への逆流を阻止するアイソレーション回路 2 7 をデジタル信号オフセット調整装置 3 B に備えた構成であるが、合成回路 1 6 の入力側に接続される第 1 過電圧保護回路 2 0 a を入れる方が好ましい。

10

【 0 0 6 9 】

また、図 1 及び図 2 に示すパルスパターン発生装置 1 A , 1 B において、特に図示はしないが、特許文献 1 に開示される周波数特性補償回路を合成回路 1 6 に設けた構成を採用することもできる。この周波数特性補償回路は、入力端子から出力端子に至る信号路間の特定周波数領域における利得低下を補償している。さらに説明すると、周波数特性補償回路は、合成回路 1 6 の演算増幅器の利得上昇と第 1 のコイル 1 5 及び第 2 のコイル 1 8 のインダクタンスによる信号減衰（利得低下）とにより、デジタル信号 D i の低周波成分の交流成分の上限近傍の周波数帯域の利得を大きくする（ピーキング効果）作用を有している。

20

【 0 0 7 0 】

次に、上記のように構成されるパルスパターン発生装置 1（1 A、1 B）を用いて被測定物の試験を行う場合の動作について説明する。

【 0 0 7 1 】

切替手段 1 9 がオン状態でパルスパターン発生装置 1 A の電源を投入すると、パターン信号発生部 2 のデジタル信号出力部 2 a から入力端子 1 1 にデジタル信号 D i が入力される。入力端子 1 1 に入力されたデジタル信号 D i は、直流成分および低周波成分の信号が第 1 のコイル 1 5 を通過して合成回路 1 6 に入力されるとともに、交流成分の信号がコンデンサ 1 2 を通過して出力端子 1 3 に伝達される。

30

【 0 0 7 2 】

尚、図 2 のパルスパターン発生装置 1 B では、入力端子 1 1 に入力されたデジタル信号 D i の交流成分の信号がコンデンサ 1 2 及びアイソレーション回路 2 7 を通過して出力端子 1 3 に伝達される。

【 0 0 7 3 】

合成回路 1 6 は、第 1 のコイル 1 5 を介してデジタル信号 D i の直流成分および低周波成分の信号が入力されると、この信号に対し、オフセット電圧発生器 1 4 から出力された直流電圧によるオフセット電圧を合成し、この合成により得られる合成信号をオン状態の切替手段 1 9、抵抗 1 7、第 2 のコイル 1 8 を介して出力端子 1 3 に伝達される。これにより、出力端子 1 3 からは、デジタル信号 D i の交流成分の信号に対して合成回路 1 6 からの合成信号が付与されたデジタル信号 D o が出力される。

40

【 0 0 7 4 】

出力端子 1 3 から出力されるデジタル信号 D o は、例えば同軸ケーブルを介して接続される不図示の被測定物（DUT）に試験信号として入力され、所望のパターン信号による試験信号で被測定物の各種試験が行われる。

【 0 0 7 5 】

ここで、電位差検出部 2 1 は、出力整合用の抵抗 1 7 の両端の電位差を検出し、検出した電位差に応じた検出信号を比較回路 2 3 に出力する。比較回路 2 3 は、電位差検出部 2 1 から検出信号が入力されると、この検出信号の電圧値と、しきい値電圧発生器 2 2 から入力される予め設定された正負のしきい値電圧とを比較する。そして、検出信号の電圧値

50

が正負何れかのしきい値電圧を超えると、すなわち、前述した出力が短絡したり、開放したりすることにより、オフセット電圧に対して大きな電位差や電流差が生じ、コイル 1 8 による過渡応答により異常電圧が発生することで E O S が生じると、制御部 2 4 に過電流検出信号を出力する。

【 0 0 7 6 】

制御部 2 4 は、比較回路 2 3 から過電流検出信号が入力されると、警報出力部 2 5 に警報信号を出力する。警報出力部 2 5 は、制御部 2 4 から警報信号が入力されると、出力側に過電流が発生している旨を、例えば表示や音などによる警報出力でユーザに知らせる。同時に、制御部 2 4 は、切替手段 1 9 に切替オフ制御信号を出力し、切替手段 1 9 をオン状態からオフ状態に切替制御する。これにより、合成回路 1 6 と抵抗 1 7 との間が強制的に切断され、合成回路 1 6 からの合成信号が出力端子 1 3 側に伝達されなくなり、合成回路 1 6 が保護される。この際、入力端子 1 1 に入力されたデジタル信号 D i は、合成回路 1 6 からの合成信号が合成されることなく、交流結合によるコンデンサ 1 2 を通過した交流成分のみが出力端子 1 3 から出力される。

10

【 0 0 7 7 】

ここで、切替手段 1 9 がオフ状態に切り替わると、第 2 のコイル 1 8 に蓄えられたエネルギーにより高電圧が発生し、この発生した高電圧の逃げ場が無くなる。このため、本例では、過電圧保護回路 2 0 (第 1 過電圧保護回路 2 0 a 、第 2 過電圧保護回路 2 0 b) により抵抗 1 7 と第 2 のコイル 1 8 との間の電圧を一定の電圧でクランプし、高電圧の影響から被測定物や合成回路 1 6 を保護している。

20

【 0 0 7 8 】

そして、上述した過電流保護状態から手動復帰する場合は、警報出力部 2 5 の警報出力の内容を確認したユーザの復帰ボタン操作により切替手段 1 9 をオフ状態からオン状態に切り替える。これにより、ユーザがパルスパターン発生装置 1 (1 A , 1 B) の状態を把握した上で手動操作により安全に復帰させることができる。尚、復帰ボタンは、例えば装置の測定表示画面上のソフトキーや操作パネル上のボタンなどに割り当てて構成することができる。

【 0 0 7 9 】

また、上述した過電流保護状態から自動復帰する場合、制御部 2 4 は、比較回路 2 3 から過電流検出信号が入力されてから所定の設定時間が経過すると、切替手段 1 9 をオフ状態からオン状態に切替制御する。また同時に、制御部 2 4 は、デジタル信号 D i の低周波成分及び直流成分の信号に付与されるオフセット電圧が目標電圧まで緩やかに立ち上がるように、時間に比例して増加するようにオフセット電圧の値を自動的に制御する。これにより、短絡が開放されて自動復帰する場合でも、出力端子 1 3 から出力するデジタル信号 D o に対し、目標電圧のオフセット電圧がいきなり付与されることがないので、安全に復帰させることができる。尚、過電流保護状態からの復帰は、管理者やユーザの操作により、手動復帰又は自動復帰の何れかに予め設定しておくことができるものである。

30

【 0 0 8 0 】

このように、本例のデジタル信号オフセット調整装置 3 (3 A , 3 B) を含むパルスパターン発生装置 1 (1 A , 1 B) によれば、出力が短絡し、抵抗 1 7 の両端の電位差が正負何れかのしきい値を超えたときに、合成回路 1 6 からの第 2 のコイル 1 9 側へのオフセット電流を遮断し、第 2 のコイル 1 8 へのエネルギー供給を停止している。そして、このオフセット電流を遮断したときに、第 1 のコイル 1 5 と合成回路 1 6 との間の電圧、第 2 のコイル 1 8 と抵抗 1 7 との間の電圧を過電圧保護回路 2 0 (第 1 過電圧保護回路 2 0 a 、第 2 過電圧保護回路 2 0 b) により一定の電圧でクランプしている。これにより、第 2 のコイル 1 8 に蓄えられたエネルギーにより発生する高電圧 (異常電圧) から E O S に弱い内部回路 (例えばアイソレーション回路 2 7 の内部にある高周波アンプなど) や出力端子 1 3 にコネクタ接続される被測定物などを保護することができる。

40

【 0 0 8 1 】

また、出力が短絡し、しきい値を超えるオフセット出力電流が流れたときに警報出力す

50

る警報出力部 25 を備えた構成なので、装置を取り扱うユーザに対して視覚的や聴覚的に警報を促すことができる。これにより、ユーザは、装置の現在の状況を把握した上で、手動により出力の短絡を安全に開放して復帰させることができる。

【 0 0 8 2 】

さらに、出力の短絡が開放されて自動復帰する場合には、デジタル信号 D_i の低周波成分及び直流成分の信号に付与されるオフセット電圧が目標電圧まで緩やかに立ち上がるようにオフセット電圧の値を時間に比例して増加するように自動制御するので、出力端子 13 から出力するデジタル信号 D_o に対し、目標電圧のオフセット電圧がいきなり付与されることがなく、安全に復帰させることができる。

【 0 0 8 3 】

ところで、上述した第 1 及び第 2 の実施の形態では、パターン信号発生部 2 とデジタル信号オフセット調整装置 3 (3 A 又は 3 B) とを備えてパルスパターン発生装置 1 (1 A 又は 1 B) を構成しているが、パターン信号発生部 2 を省く構成により、デジタル信号オフセット調整装置 3 (3 A 又は 3 B) のみを他の機器と独立した形態で用いることもできる。

【 0 0 8 4 】

以上、本発明に係るデジタル信号オフセット調整装置および該装置を用いた出力保護方法の最良の形態について説明したが、この形態による記述及び図面により本発明が限定されることはない。すなわち、この形態に基づいて当業者等によりなされる他の形態、実施例及び運用技術などはすべて本発明の範疇に含まれることは勿論である。

【 符号の説明 】

【 0 0 8 5 】

1 (1 A , 1 B) パルスパターン発生装置

2 パターン信号発生部

3 (3 A , 3 B) デジタル信号オフセット調整装置

11 入力端子

12 コンデンサ

13 出力端子

14 オフセット電圧発生器

15 第 1 のコイル

16 合成回路

17 抵抗

18 第 2 のコイル

19 切替手段

20 (20 a , 20 b) 過電圧保護回路

21 電位差検出部

22 しきい値電圧発生器

23 比較回路

24 制御部

25 警報出力部

26 記憶部

27 アイソレーション回路

28 振幅制御手段

101 デジタル信号オフセット調整装置

102 入力端子

103 バイアス電圧設定部

104 直流電圧発生器

105 出力端子

106 コンデンサ

107 第 1 のコイル

10

20

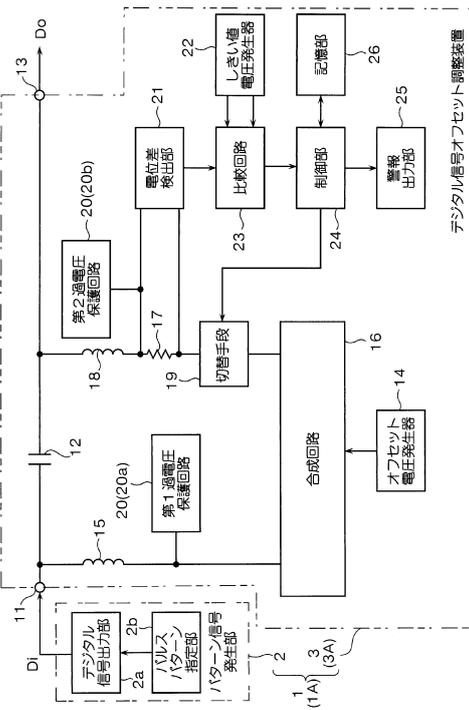
30

40

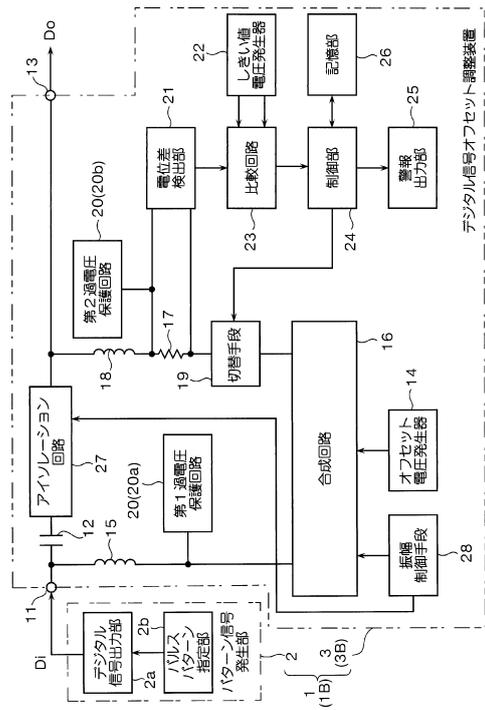
50

- 108 第2のコイル
- 109 合成回路
- 109a 周波数特性補償回路

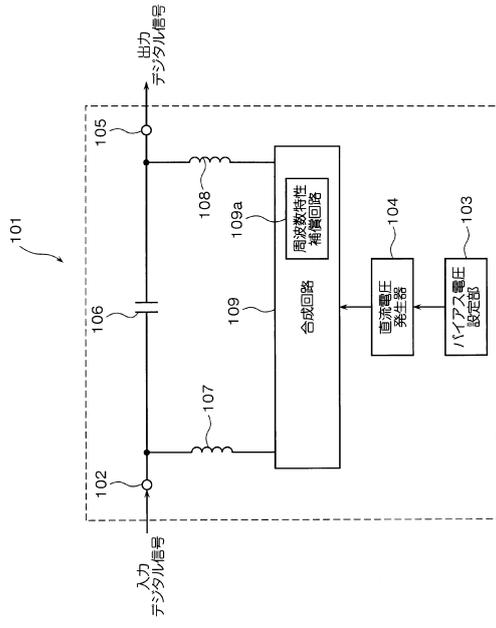
【図1】



【図2】



【図3】



フロントページの続き

(56)参考文献 国際公開第2006/035896(WO, A1)

特開平07-227035(JP, A)

特開2007-267015(JP, A)

特開2008-172901(JP, A)

特開平09-103031(JP, A)

特開2007-181287(JP, A)

特開平11-055937(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 25/06

H04L 25/02