

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/76	(45) 공고일자 1996년05월25일	(11) 공고번호 특1996-0006975
(21) 출원번호 특1993-0008717	(24) 등록일자 1996년05월25일	(65) 공개번호 특1994-0027129
(22) 출원일자 1993년05월21일	(43) 공개일자 1994년12월10일	
(71) 출원인 현대전자산업주식회사 김주용 경기도 이천군 부발읍 아미리 산 136-1		
(72) 발명자 육형선 경기도 이천군 부발읍 아미리 산 136-1 이영철 대전광역시 중구 태평동 주공 2단지 203-304 박상호 경기도 이천군 부발읍 무촌리 진주아파트 317호 백현철 서울특별시 구로구 독산3동 234-36호 김상익 서울특별시 성동구 광장동 484 현대아파트 309-504호 백동원 서울특별시 중구 신당3동 349-83호 1동 6반 최승민, 신영무		
(74) 대리인		

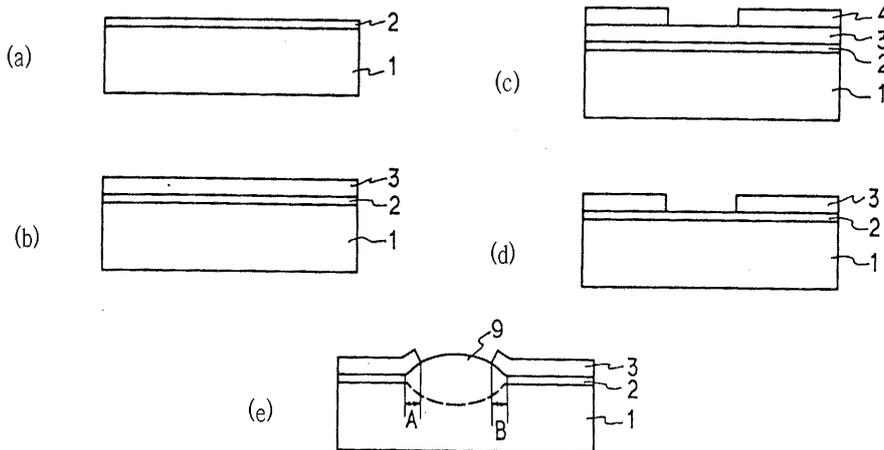
심사관 : 정경덕 (책자공보 제4481호)

(54) 반도체 소자의 필드 산화막 형성 방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체 소자의 필드 산화막 형성 방법

[도면의 간단한 설명]

제1a 내지 1e도는 종래의 반도체 소자의 필드 산화막 형성 단계를 나타내는 단면도.

제2a 내지 2m도는 본 발명에 따른 반도체 소자의 필드 산화막 형성 단계를 나타내는 단면도.

* 도면의 주요 부분에 대한 부호의 설명

- | | |
|----------------|--------------------|
| 1 : 실리콘 기판 | 2 : 패드 산화막 |
| 3 : 질화막 | 4 : 분리 마스크 |
| 5 : 제 1 분리 마스크 | 6 : 버퍼 산화막 |
| 7 : 버퍼 질화막 | 8 : 제 2 분리 마스크 |
| 9 : 필드 산화막 | 10 : 버즈 비크 제거용 마스크 |

[발명의 상세한 설명]

본 발명은 반도체 소자의 필드 산화막 형성 방법에 관한 것으로, 특히 3층 버퍼(질화막/산화막/질화막)를 사용하여 필드 산화막 성장시 발생하는 버즈 비크(Bird's Beak)를 최소화 하기 위한 반도체 소자의 필드 산화막 형성 방법에 관한 것이다.

반도체 소자 제조 분야에서 단위 셀의 형성은 소자의 다이 면적(Die Size)을 결정하는 가장 기초적인 작업이다. 그러므로 반도체 소자의 집적도가 향상됨에 따라 단위셀의 면적을 줄이기 위한 기술이 요구되며 향후 반도체 개발의 관건으로 작용하고 있다. 반도체 소자의 제조에 있어서 집적도 향상을 이루기 위해서는 단위셀을 많이 형성시켜야 하나 제한된 칩 면적 때문에 소자의 집적도는 제약 받게 된다. 특히, 반도체 제조시 단위셀간의 분리를 위한 필드 산화막 형성시 동작 영역(Active Region)으로 침투되는 버즈 비크는 제한된 동작 영역을 삭감시킴으로 집적도에 악영향을 미친다.

제1a 내지 제1e도는 종래의 반도체 소자의 필드 산화막 형성 단계를 나타내는 단면도인데, 제1a도는 실리콘 기판(1)상에 패드 산화막(2)이 형성된 상태의 단면도이고, 제1b도는 제1a도 상태에서 상기 패드 산화막(2) 상부에 질화막(3)이 형성된 상태의 단면도이다.

제1c도는 제1b도 상태에서 상기 질화막(3) 상부에 분리 마스크(4)를 배열한 상태의 단면도이고, 제1d도는 제1c도 상태에서 노출된 상기 질화막(2)을 식각한 다음 상기 분리 마스크(4)를 제거한 상태의 단면도이다.

제1e도는 제1d도 상태에서 상기 패드 산화막(2)을 성장시켜 필드 산화막(9)이 형성된 상태의 단면도인데, 도면에 도시된 바와 같이 상기 패드 산화막(2)이 성장되면서 좌 및 우측의 동작영역에 침투되어 버즈 비크(A 및 B부분)가 형성된 상태의 단면도이다.

이와같이 종래 기술에 의하면 버즈 비크의 발생에 의해 반도체 소자의 동작영역이 축소되어 반도체 소자의 집적도가 저하된다.

따라서 본 발명은 필드 산화막 형성시 3중 버퍼(질화막/산화막/질화막)를 사용하여 버즈 비크의 발생을 최소화할 수 있는 반도체 소자의 필드 산화막 형성방법을 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명은 반도체 소자의 필드 산화막 형성방법에 있어서, 실리콘 기판(1) 상에 패드 산화막 및 질화막(2 및 3)을 순차적으로 형성하고, 질화막(3)의 상부에 제 1 분리 마스크(5)를 배열하는 단계와, 상기 단계로부터 노출된 질화막(3)을 식각하고 상기 제 1 분리 마스크(5)를 제거한 상태에서 버퍼 산화막(6)을 형성하는 단계와, 상기 단계로부터 상기 버퍼 질화막(7)을 형성하고, 버퍼 질화막(7)의 상부에 제 2 분리 마스크(8)를 배열하고 노출된 버퍼 질화막(7)을 식각하는 단계와, 상기 단계로부터 제 2 분리 마스크(8)를 제거하고 버퍼 산화막(6)을 성장시켜 필드 산화막(9)을 형성한 상태에서 잔여 버퍼 질화막(7)을 제거하는 단계와, 상기 단계로부터 상기 필드 산화막(9) 상부에 버즈 비크 제거용 마스크(10)를 배열하여 버즈 비크를 제거하는 단계로 이루어지는 것을 특징한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

제2a 내지 2m도는 본 발명에 따른 반도체 소자의 필드 산화막 형성 단계를 나타내는 단면도로서, 제2a도는 실리콘 기판(1)상에 패드 산화막(2)을 형성한 상태의 단면도이고, 제2b도는 제2a도 상태에서 상기 패드 산화막(2) 상부에 질화막(3)을 형성한 상태의 단면도이다.

제2c도는 제2a도 상태에서 질화막(3) 상부에 제 1 분리 마스크(5)를 배열한 상태의 단면도이고, 제2d도는 제2c도 상태에서 노출된 질화막(3)을 식각하고, 상기 제 1분리 마스크(5)를 제거한 상태의 단면도이다.

제2e도는 제2d도 상태에서 노출된 패드 산화막(2) 및 질화막(3) 상부에 버퍼 산화막(6)을 형성한 상태의 단면도이고, 제2f도는 제2e도의 버퍼 산화막(6) 상부에 버퍼 질화막(7)을 형성한 상태의 단면도이다.

제2g도는 제2f도의 버퍼 질화막(7) 상부에 제2분리 마스크(8)를 배열한 상태의 단면도이고, 제2h도는 제2g도 상태에서 노출된 버퍼 질화막(7)을 식각한 상태의 단면도이다.

제2i도는 제2h도의 제2분리 마스크(8)를 제거하고 버퍼 산화막(6)을 성장시켜 필드 산화막(9)을 형성한 상태의 단면도이고, 제2j도는 제2i도의 잔여 버퍼 질화막(7)을 제거한 상태의 단면도이다.

제2k도는 제2j도 상태에서 필드 산화막(9)의 예정된 위치에 버즈 비크 제거용 마스크(10)를 배열한 상태의 단면도인데, C 및 D 영역이 버즈 비크이다.

제2l도는 제2k도 상태에서 버즈 비크(C 및 D)를 제거한 상태의 단면도이고, 제2m도는 제2l도 상태에서 버즈 비크 제거용 마스크(10)를 제거하고 버퍼 질화막(7)을 식각한 상태의 단면도이다.

도면에 도시된 바와 같이 본 발명에 의하면 버즈 비크가 최소화되어 동일한 면적내에서 메모리 셀 동작 영역을 증가시킬 수 있으므로 상대적으로 기존의 단위 셀의 면적을 줄일 수 있으며 또한 상기 면적 감소 및 넷 다이(NET DIE) 증가로 생산성을 높일 수 있으며 트랜지스터 관련 특성도 개선시킬 수 있을 뿐만 아니라 디자인 마진(Design Margin)의 증가로 공정 마진을 높일 수 있어 생산성 향상에 기여할 수 있는 탁월한 효과가 있다.

(57) 청구의 범위

청구항 1

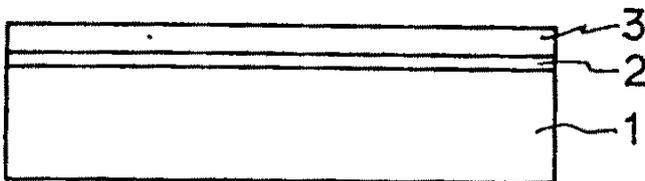
반도체 소자의 필드 산화막 형성방법에 있어서, 실리콘 기판(1)상에 패드 산화막 및 질화막(2 및 3)을 순차적으로 형성하고, 질화막(3)의 상부에 제 1 분리 마스크(5)를 배열하는 단계와, 상기 단계로부터 노출된 질화막(3)을 식각하고 상기 제 1 분리 마스크(5)를 제거한 상태에서 버퍼 산화막(6)을 형성하는 단계와, 상기 단계로부터 상기 버퍼 질화막(7)을 형성하고, 버퍼 질화막(7)의 상부에 제 2 분리 마스크(8)를 제거하고 버퍼 산화막(6)을 성장시켜 필드 산화막(9)을 형성한 상태에서 잔여 버퍼 질화막(7)을 제거하는 단계와, 상기 단계로부터 상기 필드 산화막(9) 상부에 버즈 비크 제거용 마스크(10)를 배열하여 버즈 비크를 제거하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 필드 산화막 형성방법.

도면

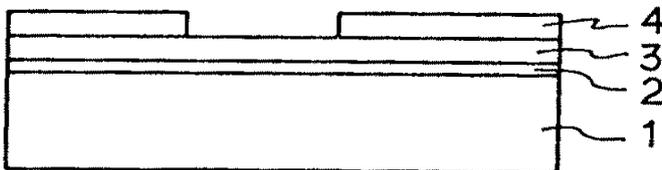
도면1a



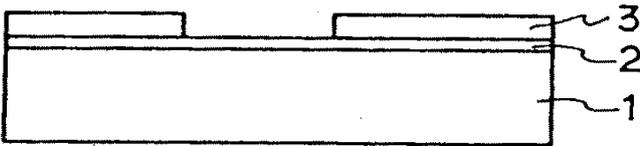
도면1b



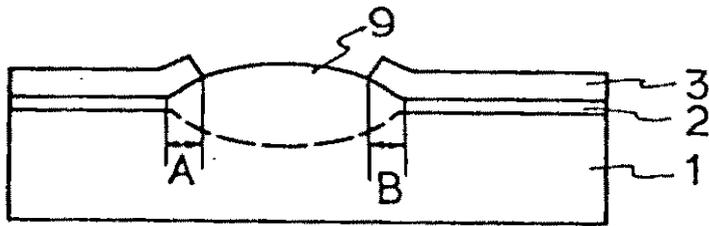
도면1c



도면1d



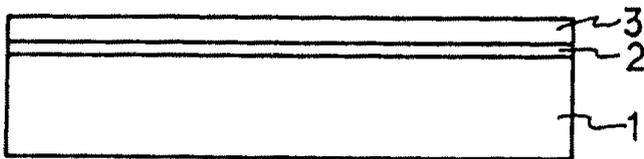
도면1e



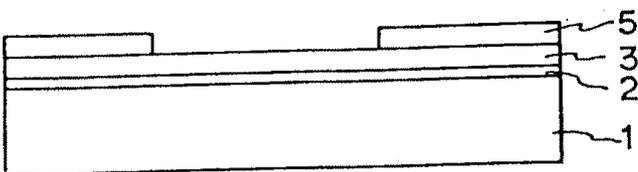
도면2a



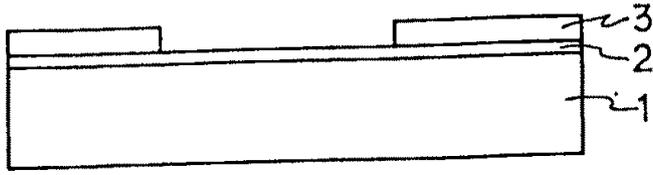
도면2b



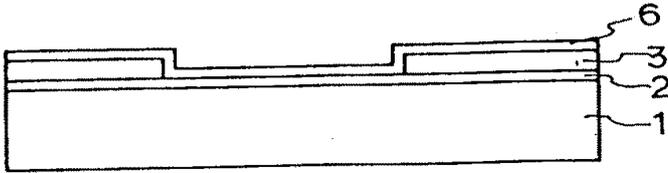
도면2c



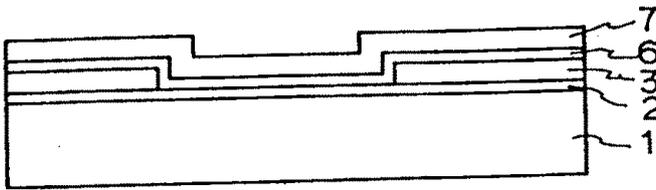
도면2d



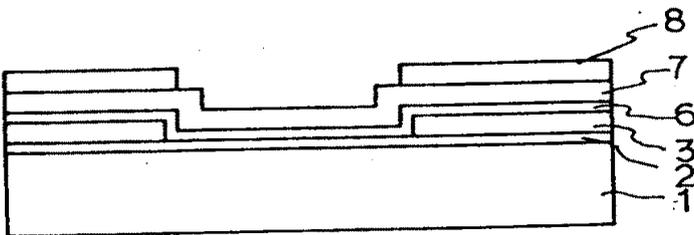
도면2e



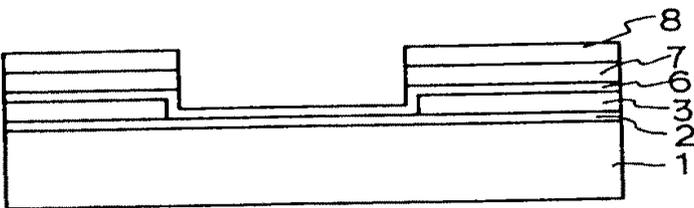
도면2f



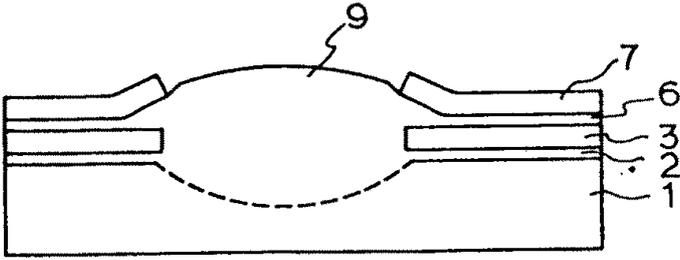
도면2g



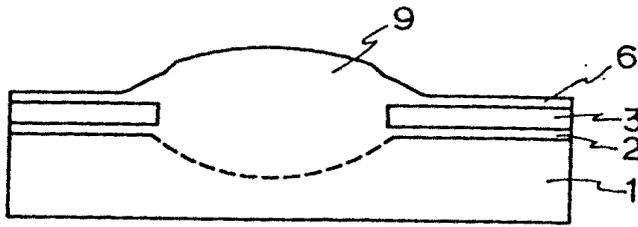
도면2h



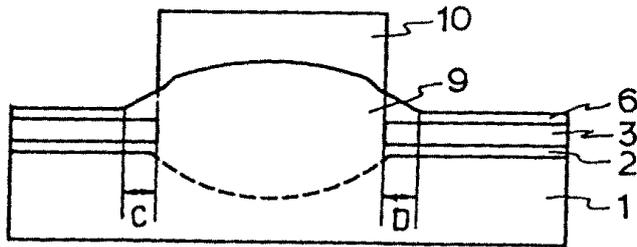
도면2i



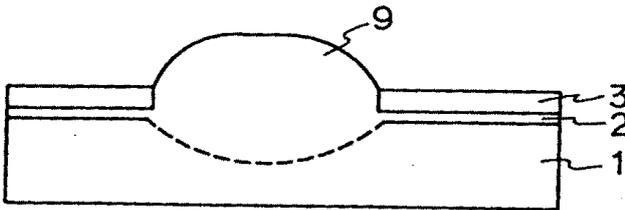
도면2j



도면2k



도면2l



도면2m

