

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6245485号
(P6245485)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int. Cl.	F I	
HO 1 L 25/065 (2006.01)	HO 1 L 25/08	E
HO 1 L 25/07 (2006.01)	HO 1 L 21/60	3 2 1 E
HO 1 L 25/18 (2006.01)	HO 1 L 23/28	Z
HO 1 L 21/60 (2006.01)	HO 1 L 23/50	R
HO 1 L 23/28 (2006.01)	HO 1 L 23/08	Z

請求項の数 16 (全 66 頁) 最終頁に続く

(21) 出願番号	特願2016-501344 (P2016-501344)	(73) 特許権者	503346049
(86) (22) 出願日	平成26年3月11日(2014.3.11)		ヴィンシェイ・シリコニクス
(65) 公表番号	特表2016-517171 (P2016-517171A)		アメリカ合衆国 カリフォルニア州 95
(43) 公表日	平成28年6月9日(2016.6.9)		054 サンタ・クララ ローレルウッド
(86) 国際出願番号	PCT/US2014/023790		・ロード 2201
(87) 国際公開番号	W02014/159469	(74) 代理人	100107456
(87) 国際公開日	平成26年10月2日(2014.10.2)		弁理士 池田 成人
審査請求日	平成27年12月24日(2015.12.24)	(74) 代理人	100162352
(31) 優先権主張番号	13/830,041		弁理士 酒巻 順一郎
(32) 優先日	平成25年3月14日(2013.3.14)	(74) 代理人	100123995
(33) 優先権主張国	米国 (US)		弁理士 野田 雅一
(31) 優先権主張番号	13/829,623	(74) 代理人	100148596
(32) 優先日	平成25年3月14日(2013.3.14)		弁理士 山口 和弘
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 スタックダイパッケージを製造する方法

(57) 【特許請求の範囲】

【請求項1】

第1ダイのゲートおよびソースをリードフレームに取り付けるステップであって、前記第1ダイが、該第1ダイの第1表面に配置された前記ゲートおよび前記ソースと、前記第1表面の反対側の前記第1ダイの第2表面に配置されたドレインとを備える、ステップと

第2ダイのソースを前記第1ダイの前記ドレインに接続するステップであって、前記第2ダイが、該第2ダイの第1表面に配置されたゲートおよびドレインと、前記第1表面の反対側の前記第2ダイの第2表面に配置された前記ソースとを備える、ステップと、

前記リードフレームおよび前記第2ダイの前記ドレインにクリップを取り付けるステップと、

前記第1ダイ、前記第2ダイおよび前記クリップを成形材料でカバーすることを含む成形工程であり、前記クリップの上面の一部が前記成形材料のない状態となるように可撓性のフィルムを用いる成形工程を実施するステップと、

金属めっき工程中に前記クリップの前記上面の前記一部がめっきされることを防ぐステップであって、前記クリップの前記上面の前記一部が最終的なパッケージにおいて露出する、ステップと、

を含み、

前記第2ダイのソースを前記第1ダイの前記ドレインに接続する前記ステップは、前記リードフレームに取り付けられた第2クリップが前記第1ダイの前記第2表面と前記第2

ダイの前記第 2 表面との間に取り付けられるように行われる、方法。

【請求項 2】

前記リードフレームおよび前記第 2 ダイの前記ゲートを接続するステップをさらに含む、請求項 1 に記載の方法。

【請求項 3】

前記クリップを取り付ける前記ステップが、前記第 2 ダイの前記ソースを接続する前記ステップの後に行われる、請求項 1 に記載の方法。

【請求項 4】

前記第 1 ダイがトレンチゲート型の技術を備える、請求項 1 に記載の方法。

【請求項 5】

第 3 クリップを前記リードフレームおよび前記第 2 ダイの前記ゲートに接続するステップをさらに含む、請求項 1 に記載の方法。

【請求項 6】

前記クリップを取り付ける前記ステップが、前記第 2 ダイの前記ソースを前記第 1 ダイの前記ドレインに接続する前記ステップの後に行われる、請求項 1 に記載の方法。

【請求項 7】

前記クリップを取り付ける前記ステップが、前記第 3 クリップを接続する前記ステップと同時に行われる、請求項 5 に記載の方法。

【請求項 8】

第 1 ダイのゲートおよびソースを半田ペーストでリードフレームに取り付けるステップであって、前記第 1 ダイが、該第 1 ダイの第 1 表面に配置された前記ゲートおよび前記ソースと、前記第 1 表面の反対側の前記第 1 ダイの第 2 表面に配置されたドレインとを備え、前記第 1 ダイがスプリットゲート型の技術を備える、ステップと、

第 2 ダイのソースを前記第 1 ダイの前記ドレインに接続するステップであって、前記第 2 ダイが、該第 2 ダイの第 1 表面に配置されたゲートおよびドレインと、前記第 1 表面の反対側の前記第 2 ダイの第 2 表面に配置された前記ソースとを備える、ステップと、

前記リードフレームおよび前記第 2 ダイの前記ドレインに半田ペーストでクリップを取り付けるステップと、

前記第 1 ダイ、前記第 2 ダイおよび前記クリップを成形材料でカバーすることを含む成形工程であり、前記クリップの上面の一部が前記成形材料のない状態となるように可撓性のフィルムを用いる成形工程を実施するステップと、

金属めっき工程中に前記クリップの前記上面の前記一部がめっきされることを防ぐステップであって、前記クリップの前記上面の前記一部が最終的なパッケージにおいて露出する、ステップと、

を含み、

前記第 2 ダイのソースを前記第 1 ダイの前記ドレインに接続する前記ステップは、半田ペーストで前記リードフレームに取り付けられた第 2 クリップが半田ペーストで前記第 1 ダイの前記第 2 表面と第 2 ダイの第 2 表面との間に取り付けられるように行われる、方法

。

【請求項 9】

前記クリップを取り付ける前記ステップが、前記第 2 ダイの前記ソースを接続する前記ステップの後に行われる、請求項 8 に記載の方法。

【請求項 10】

前記防ぐステップの前に、前記リードフレームおよび前記第 2 ダイの前記ゲートに第 3 クリップを接続するステップをさらに含む、請求項 8 に記載の方法。

【請求項 11】

第 1 ダイのゲートおよびソースをリードフレームに取り付けるステップであって、前記第 1 ダイが、該第 1 ダイの第 1 表面に配置された前記ゲートおよび前記ソースと、前記第 1 表面の反対側の前記第 1 ダイの第 2 表面に配置されたドレインとを備える、ステップと

。

10

20

30

40

50

第2ダイのソースを前記第1ダイの前記ドレインに接続するステップであって、前記第2ダイが、該第2ダイの第1表面に配置されたゲートおよび前記ソースと、前記第1表面の反対側の前記第2ダイの第2表面に配置されたドレインとを備える、ステップと、

前記リードフレームおよび前記第2ダイの前記ドレインにクリップを取り付けるステップと、

前記第1ダイ、前記第2ダイおよび前記クリップを成形材料でカバーすることを含む成形工程であり、前記クリップの上面の一部が前記成形材料のない状態となるように可撓性のフィルムを用いる成形工程を実施するステップと、

金属めっき工程中に前記クリップの前記上面の前記一部がめっきされることを防ぐステップであって、前記クリップの前記上面の前記一部が最終的なパッケージにおいて露出する、ステップと、

を含み、

前記第2ダイのソースを前記第1ダイの前記ドレインに接続する前記ステップは、前記リードフレームに取り付けられた第2クリップが前記第1ダイの前記第2表面と前記第2ダイの前記第2表面との間に取り付けられるように行われる、方法。

【請求項12】

前記リードフレームおよび前記第2ダイの前記ゲートを接続するステップをさらに含む、請求項11に記載の方法。

【請求項13】

前記クリップを取り付ける前記ステップが、前記第2ダイの前記ソースを接続する前記ステップの後に行われる、請求項11に記載の方法。

【請求項14】

第3クリップを前記リードフレームおよび前記第2ダイの前記ゲートに接続するステップをさらに含む、請求項11に記載の方法。

【請求項15】

前記第1ダイがスプリットゲート型の技術を備える、請求項11に記載の方法。

【請求項16】

前記第2ダイがスプリットゲート型の技術を備える、請求項11に記載の方法。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001]本出願は、Kyle Terrillらを発明者とする代理人整理番号VISH-8810の「Stack Die Package」と題する、2013年3月14日に同日出願の米国特許第13/829623号に関し、これに基づく優先権を主張する。

【0002】

[0002]本出願は、その全体が参照により本明細書に援用される、「Method for Fabricating Stack Die Package」と題する、2013年3月14日出願の米国特許第13/830041号明細書に関し、これに基づく優先権を主張する。

【背景技術】

【0003】

[0003]DC-DC電源では、単一のパッケージ内の制御デバイスおよび同期MOSFET（金属酸化膜半導体電界効果トランジスタ）デバイスの両方を同時にパッケージングすることにより、良好な面積効果を有しており、これは、一般に、業界内のトレンドとなっている。図1、図2、および図3は、市場で利用可能なダイパッケージのタイプの異なる例を示している。具体的には、図1は、ワイヤボンディングにより2つのダイを一緒に含む、従来のPPAIRパッケージ100の等角図である。ワイヤボンディングは、拡大図102によって示されている。また、図2は、クリップボンディングにより2つのダイを一緒に含む、従来のPPAIRパッケージ200の上面図と底面図を示している。クリップボンディングは、拡大図202によって示されている。さらに、図3は、クリップと共

10

20

30

40

50

に積層された2つのダイを含む、従来のスタックダイパッケージ300の等角図である。これらの従来のダイパッケージに関連する欠点があることが指摘されている。

【0004】

[0004]例えば、PPAIRパッケージ(例えば、100または200)では、LS(ローサイド)ダイおよびHS(ハイサイド)ダイが、同一面上に互いに近くに配置されている。このように、所定の固定されたパッケージサイズのため、PPAIRパッケージ内のダイサイズが制限され、したがって、ドレインソース間抵抗(R_{ds})および電流処理能力が影響を受けることになる。スタックダイパッケージ(例えば、300)において、ダイサイズを大きくできることが指摘されている。ただし、クリップの半田付け工程により、ダイおよびリードポスト上のワイヤボンダパッドの表面を汚染する可能性がある。これにより、アセンブリの歩留まりとスタックダイパッケージの接合したワイヤの信頼性が懸念される。また、スタックダイパッケージのワイヤボンディング工程は、リードフレーム上に銀めっきを必要とし得るため、リードフレームのコストを不利に増加させる。

10

【発明の概要】

【0005】

[0005]本発明によるさまざまな実施形態は、典型的な従来のダイパッケージに関連する上述の欠点に対処することができる。

【0006】

[0006]一実施形態では、本方法は、第1ダイのソースとゲートとをリードフレームに接続することを含むものとすることができる。第1ダイは、該第1ダイの第1表面に配置されたゲートおよびソースと、第1表面の反対側にある第1ダイの第2表面に配置されたドレインとを含むものとすることができる。また、本方法は、第2ダイのソースを第1ダイのドレインに接続することを含むものとすることができる。第2ダイは、該第2ダイの第1表面に配置されたゲートおよびドレインと、この第1表面の反対側にある第2ダイの第2表面に配置されたソースとを含むものとすることができる。

20

【0007】

[0007]別の実施形態では、本方法は、第1ダイのソースとゲートとをリードフレームに接続することを含むものとすることができる。第1ダイは、該第1ダイの第1表面に配置されたゲートおよびソースと、第1表面の反対側にある第1ダイの第2表面に配置されたドレインとを含むものとすることができる。また、本方法は、第2ダイのソースを第1ダイのドレインに接続することを含むものとすることができる。第2ダイは、該第2ダイの第1表面に配置されたゲートおよびソースと、この第1表面の反対側にある第2ダイの第2表面に配置されたドレインとを含むものとすることができる。

30

【0008】

[0008]さらに別の実施形態では、本方法は、第1ダイのソースとゲートとをリードフレームに接続することを含むものとすることができる。第1ダイは、該第1ダイの第1表面に配置されたゲートおよびソースと、第1表面の反対側にある第1ダイの第2表面に配置されたドレインとを含むものとすることができる。さらに、本方法は、第2ダイのソースを第1ダイのドレインに接続することを含むものとすることができる。第2ダイは、該第2ダイの第1表面に配置されたゲートおよびドレインと、この第1表面の反対側にある第2ダイの第2表面に配置されたソースとを含むものとすることができる。また、本方法は、第1クリップと第2クリップとを第2ダイにほぼ同時に接続することを含むものとすることができる。

40

【0009】

[0009]本発明による特定の実施形態を、この概要で具体的に記載してきたが、本発明および特許請求された主題は、これらの実施例により何ら限定されるものではないことに留意されたい。

【0010】

[0010]添付の図面中で、本発明によるさまざまな実施形態が例として示されているが、限定されるものではない。図面全体を通じて、同じ参照符号が同様の要素を示すことに留

50

意されたい。

【図面の簡単な説明】

【0011】

【図1】ワイヤボンディングによる従来のPPAIRパッケージの斜視図および拡大図である。

【図2】クリップボンディングによる従来のPPAIRパッケージの上面図、下面図、および拡大図である。

【図3】従来のスタックダイパッケージの等角図である。

【図4】本発明のさまざまな実施形態によるスタックダイパッケージの側断面図である。

【図5】本発明のさまざまな実施形態による回路の概略図である。

【図6】本発明のさまざまな実施形態による別のスタックダイパッケージの側断面図である。

【図7】本発明のさまざまな実施形態によるスタックダイパッケージの上面図および側断面図である。

【図8】本発明のさまざまな実施形態によるスタックダイパッケージの等角図である。

【図9】本発明のさまざまな実施形態による複数のスタックダイの組み立て工程図である。

【図10】本発明のさまざまな実施形態によるスタックダイパッケージの等角図である。

【図11】本発明のさまざまな実施形態による複数のスタックダイパッケージの分解図である。

【図12】本発明のさまざまな実施形態による方法のフロー図である。

【図13】本発明のさまざまな実施形態によるスタックダイパッケージの選択された製造段階の側断面図である。

【図14】本発明のさまざまな実施形態によるスタックダイパッケージの別の選択された製造段階の側断面図である。

【図15】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図16】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図17】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図18】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図19】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図20】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図21】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図22】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図23】本発明のさまざまな実施形態による別の方法のフロー図である。

【図24】本発明のさまざまな実施形態によるスタックダイパッケージの選択された製造段階の側断面図である。

【図25】本発明のさまざまな実施形態によるスタックダイパッケージの別の選択された製造段階の側断面図である。

【図26】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図27】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

10

20

30

40

50

【図28】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図29】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図30】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図31】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図32】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

10

【図33】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図34】本発明のさまざまな実施形態によるさらに別の方法のフロー図である。

【図35】本発明のさまざまな実施形態によるスタックダイパッケージの選択された製造段階の側断面図である。

【図36】本発明のさまざまな実施形態による別のスタックダイパッケージの選択された製造段階の側断面図である。

【図37】本発明のさまざまな実施形態によるさらに別の方法のフロー図である。

【図38】本発明のさまざまな実施形態によるスタックダイパッケージの選択された製造段階の側断面図である。

20

【図39】本発明のさまざまな実施形態によるスタックダイパッケージの別の選択された製造段階の側断面図である。

【図40】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

【図41】本発明のさまざまな実施形態による別の方法のフロー図である。

【図42】本発明のさまざまな実施形態によるスタックダイパッケージの選択された製造段階の側断面図である。

【図43】本発明のさまざまな実施形態によるスタックダイパッケージの別の選択された製造段階の側断面図である。

【図44】本発明のさまざまな実施形態によるスタックダイパッケージのさらに別の選択された製造段階の側断面図である。

30

【発明を実施するための形態】

【0012】

[0033]本説明で参照する図面は、特に指摘される場合を除き、縮尺通りに描かれているものとして理解されるべきではない。

【0013】

[0034]次に、本発明によるさまざまな実施形態について、添付の図面に示されている例が詳細に参照されよう。本発明は、さまざまな実施形態と共に説明されるが、これらのさまざまな実施形態は本発明を限定するものではないことが理解されよう。それどころか、本発明は、特許請求の範囲に従って解釈される本発明の範囲内に含まれ得る代替物、修正形態および均等物を包含することを意図している。さらに、本発明によるさまざまな実施形態の以下の詳細な説明において、多くの特定の詳細が本発明の完全な理解を提供するために記載されている。ただし、本発明を、これらの特定の詳細なしで、またはその均等物を用いて実施できることは当業者には明らかとなる。他の例では、周知の方法、手順、構成要素、および回路が、本発明の態様を不必要に不明瞭にしないよう詳細には説明されていない。

40

【0014】

[0035]図面は、縮尺通りに描かれておらず、単なる構造体の部分、ならびにこれらの構造を形成するさまざまなレイヤを図に示すことができる。また、製造工程およびステップを、本明細書で説明される工程およびステップに沿って実行することができ、本明細書に

50

図示および説明されたステップの前、間、および/または後に、いくつかの処理ステップが存在し得る。本発明による実施形態を、他の（おそらく、従来の）工程およびステップと組み合わせて、非常に混乱させることなく、本実施できることが重要である。一般に、本発明による実施形態は、周辺の工程およびステップにかなりの影響を与えることなく、従来の工程の一部を置き換えることができる。

【 0 0 1 5 】

[0036] 図 4 は、本発明のさまざまな実施形態によるスタックダイパッケージ 400 の側断面図である。一実施形態では、スタックダイパッケージ 400 は、ソースコンタクト 440 と、その上面に配置されたまたはその上面の一部としてのゲートコンタクト 436 と、その底面に配置されたまたはその底面の一部としてのドレインコンタクト 438 と、を有するダイ構造を有する下部ダイまたは下部チップ 414 を含むことができる。ソースコンタクト 440 およびゲートコンタクト 436 の両方がリードフレーム 402 に連結または接続されるように、下部ダイ 414 をリードフレーム 402 に取り付けまたは接続されたフリップチップすることができる。この方法で接続される場合、下部ダイ 414 および上部ダイ 418 の両方が同じリードフレーム 402 を共有することができるため、パッケージ 400 の設計を簡素化し、パッケージ 400 の占有領域を減少させることができる。一実施形態では、リードフレーム上のこのフリップチップ技術により、下部ダイ 414 にワイヤボンディングを行う必要がなくなることに留意されたい。また、ソース領域 440 がリードフレーム 402 に連結または接続されるので、ソースコンタクト 440 により生成される熱が、リードフレーム 402 とプリント回路基板（PCB）の回路パスに放散することができる。

10

20

【 0 0 1 6 】

[0037] 一実施形態では、上部ダイまたは上部チップ 418 を、ドレインコンタクト 430 と、その上面に配置されたまたはその上面の一部としてのゲートコンタクト 434 と、その底面に配置されたまたはその底面の一部としてのソースコンタクト 432 と、を有する LDMOS（横方向拡散金属酸化物半導体）構造または技術を用いて実装することができるが、これに限定されるものではない。一実施形態では、下部ダイ 414 を、トレンチまたはスプリットゲート型の技術を用いて実装することができるが、これに限定されるものではない。下部ダイ 414 がトレンチまたはスプリットゲート型の技術を用いて実装される場合は、下部ダイ 414 は、LDMOS 技術を用いて実装される場合の上部ダイ 418 の単位面積あたりの全抵抗の半分未満を有することになる。

30

【 0 0 1 7 】

[0038] 図 4 の一実施形態では、スタックダイパッケージ 400 はより大きなクリップ 420a およびより小さなクリップ 420b を含むことができる。一実施形態では、上部ダイ 418 の上面で、より大きなクリップ 420a をドレインコンタクト領域 430 に接続または取り付けすることができ、より小さなクリップ 420b をゲートコンタクト領域 434 に接続または取り付けすることができる。一実施形態では、クリップ 420a および 420b を、1つのクリップフレーム（図示せず）の一部として実際に製造することができる。また、クリップ 420a および 420b を、同時にまたはほぼ同時に、上部ダイ 418 の表面に取り付けることができる。一実施形態では、クリップ 420a および 420b は、クリップフレームへのタイバー（図示せず）を有することができるため、これらを同時に扱うことが可能であることに留意されたい。一実施形態では、スタックダイパッケージ 400 を QFN（クワッドフラットノーリード）タイプのパッケージとして実装することができるが、これに限定されるものではない。このように、複数のスタックダイパッケージ（例えば、400 と同様）の組み立て工程の間に、すべてのユニットを互いに分離するために利用されるパッケージ切断操作が存在する。クリップ 420a および 420b のタイバーは、パッケージ切断操作を行う場合にタイバーが自動で切断またはカットされるように、設計されている。切断操作は成形工程の後に行われるので、分離されたクリップ 420a および 420b は、スタックダイパッケージ 400 の成形コンパウンド 442 によって所定位置に保持されることになる。

40

50

【 0 0 1 8 】

[0039]スタックダイパッケージ400にはいくつかの利点があることに留意されたい。例えば、一実施形態では、任意のタイプのワイヤボンディングをスタックダイパッケージ400から除去することができる。この場合、スタックダイパッケージ600は、ワイヤボンディングを含まない。また、一実施形態では、下部ダイ414のフリップチップは、ドレイン領域438とクリップ416との間のより大きな接触領域を可能にし、これにより上部ダイ418のより大きなダイサイズの可能性を提供することができる。また、一実施形態では、クリップ420bを利用することで、上部ダイ418のゲートコンタクト434上にワイヤボンディングを行う必要がなくなる。この場合、リードフレーム402上に銀めっきを行う必要はない。また、一実施形態では、スタックダイパッケージ400の組み立て工程でのワイヤボンディングを除去することができる。したがって、スタックダイパッケージ400の組み立てコストが削減される。

10

【 0 0 1 9 】

[0040]図4では、スタックダイパッケージ400およびその構成要素を、多種多様な方法で実装できることに留意されたい。例えば、さまざまな実施形態において、参照(A p p e n d i x A参照)により本明細書に援用される、Frank Kuorらによって2011年9月9日に出願された「Dual Lead Frame Semiconductor Package and Method of Manufacture」と題する、米国特許第13/229667号明細書に記載され図示されたものと同様の任意の方法で、クリップ420aおよび420bを実装することができる。一実施形態では、スタックダイパッケージ400を、パワーMOSFETパッケージとして実装することができるが、これに限定されるものではない。クリップ420a、420b、および416をそれぞれ、多種多様な方法で実装できることが指摘されている。例えば、さまざまな実施形態では、クリップ420a、420b、および416をそれぞれ、1つまたは複数の導電性材料(例えば、銅などの1つまたは複数の金属)を用いて実装することができる。

20

【 0 0 2 0 】

[0041]一実施形態では、リードフレーム402は、下部ダイ414のドレイン(D_L)438と上部ダイ418のソース(S_H)432の両方に接続するためのD_L/S_Hリード404を含むことができるが、これに限定されるものではない。また、リードフレーム402は、下部ダイ414のゲート436に接続するためのG_Lリード406と、下部ダイ414のソース440に接続するためのS_Lリード408と、上部ダイ418のゲート434に接続するためのG_Hリード410と、上部ダイ418のドレイン430に接続するためのD_Hリード412と、を含むことができるが、これに限定されるものではない。半田ペースト428を介して下部ダイ414のゲートコンタクト436をリード406に接続することができ、半田ペースト428を介してソースコンタクト440をリード408に接続することができる。また、クリップ416を、リード404に接続することができる。また、半田ペースト426を介して下部ダイ414のドレインコンタクト438に、および半田ペースト424を介して上部ダイ418のソースコンタクト432に、クリップ416を接続することができる。このように、ソースコンタクト432、ドレインコンタクト438、およびリード404と一緒に接続することができる。このように、一実施形態では、クリップ416は、ソースコンタクト432とドレインコンタクト438との間の大電流経路を提供することができる。また、クリップ416は、ソースコンタクト432とドレインコンタクト438のためのリード404に大電流経路を提供することができる。

30

40

【 0 0 2 1 】

[0042]図4では、クリップ420aを、リード412に接続することができる。また、半田ペースト422を介してクリップ420aを上部ダイ418のドレインコンタクト430に接続することができる。さらに、クリップ420bを、リード410に接続することができる。さらに、半田ペースト422を介して、クリップ420bを上部ダイ418のゲートコンタクト434に接続することができる。本実施形態では、下部ダイ414は

50

リードフレーム 402 の上に配置され、上部ダイ 418 はこの下部ダイ 414 の上に配置されることに留意されたい。このように、上部ダイ 418 は、リードフレーム 402 に接続された下部ダイ 414 の上に積層されている。一実施形態では、スタックダイパッケージ 400 は、クリップ 416, 420a, および 420b と、上部ダイ 418 と、下部ダイ 414 と、半田ペースト 422, 424, 426, および 428 と、リードフレーム 402 の部分と、をカバーおよび/カプセル封止する成形物 442 を含むことができる。さまざまな実施形態において、1つまたは複数の半田ペースト 422, 424, 426, および 428 の代わりに、導電性エポキシまたは導電性接着剤を用いて実施することができるが、これに限定されないことに留意されたい。

【0022】

[0043]スタックダイパッケージ 400 は、図 4 に示された要素のすべてを含まなくてもよいことに留意されたい。また、スタックダイパッケージ 400 は、図 4 に示されていない 1つまたは複数の要素を含むように実装されてもよい。スタックダイパッケージ 400 を、本明細書に記載したのと同様の任意の方法で利用または実装することができるが、これに限定されないことが指摘されている。

【0023】

[0044]図 5 は、本発明のさまざまな実施形態によるスタックダイパッケージ（例えば、400 または 600）の構成を示す回路 500 の概略図である。回路 500 は、スタックダイパッケージ内の上部ダイ（例えば、418 または 618）を示すトランジスタ（例えば、NMOS）504 と、スタックダイパッケージ内の下部ダイ（例えば、414 または 614）を示すトランジスタ（例えば、NMOS）510 と、を含むことができる。また、トランジスタ 504 のドレインを、リードフレーム（例えば、402 または 602）の D_H リード 502 に接続することができ、トランジスタ 504 のゲートを、リードフレームの G_H リード 504 に接続することができる。トランジスタ 504 のソースおよびトランジスタ 510 のドレインを、両方とも、リードフレームの D_L/S_H リード 508 に接続することができる。さらに、トランジスタ 510 のゲートを、リードフレームの G_L リード 512 に接続することができ、トランジスタ 510 のソースを、リードフレームの S_L リード 514 に接続することができる。

【0024】

[0045]回路 500 は、図 5 で示された要素のすべてを含まなくてもよいことが指摘されている。また、回路 500 は、図 5 に示されていない 1つまたは複数の要素を含むように実装されてもよい。回路 500 を、本明細書に記載したのと同様の任意の方法で利用または実装することができるが、これに限定されないことに留意されたい。

【0025】

[0046]図 6 は、本発明のさまざまな実施形態によるスタックダイパッケージ 600 の側断面図である。一実施形態では、スタックダイパッケージ 600 は、ソースコンタクト 640 と、その上面に配置されたまたはその上面の一部としてのゲートコンタクト 636 と、その底面に配置されたまたはその底面の一部としてのドレインコンタクト 638 と、を有するダイ構造を有する下部ダイまたは下部チップ 614 を含むことができる。下部ダイ 614 は、ソースコンタクト 640 およびゲートコンタクト 636 の両方がリードフレーム 602 に連結または接続されるように、リードフレーム 602 に取り付けまたは接続されたフリップチップすることができる。この方法で接続される場合、下部ダイ 614 および上部ダイ 618 の両方が同じリードフレーム 602 を共有することができるため、パッケージ 600 の設計を簡素化し、パッケージ 600 の占有領域を減少させることができる。一実施形態では、リードフレーム上のこのフリップチップ技術により、下部ダイ 614 にワイヤボンディングを行う必要がなくなることに留意されたい。また、ソース領域 640 がリードフレーム 602 に連結または接続されるので、ソースコンタクト 640 により生成される熱は、リードフレーム 602 とプリント回路基板（PCB）の回路パスに放散することができる。

【0026】

10

20

30

40

50

[0047]一実施形態では、上部ダイまたは上部チップ618を、ソースコンタクト632と、その上面に配置されたまたはその上面の一部としてのゲートコンタクト634と、その底面に配置されたまたはその底面の一部としてのドレインコンタクト630と、を有するダイ構造を用いて実装することができるが、これに限定されるものではない。上部ダイ618は、クリップ616aおよび616bに取り付けまたは接続されたフリップチップすることができるため、ソースコンタクト632をクリップ616aと連結または接続することができる、ゲートコンタクト634をクリップ616bと連結または接続することができる。この方法で接続される場合、これにより、パッケージ600の設計を簡素化し、パッケージ600の占有領域を減少させる。一実施形態では、このフリップチップ技術により、上部ダイ618にワイヤボンディングを行う必要がなくなることに留意されたい。また、ソース領域632がリードフレーム602に接続されたクリップ616aに連結または接続されるので、ソースコンタクト632により生成される熱は、このクリップ616aを介してリードフレーム602とプリント回路基板(PCB)の回路パスに放散することができる。一実施形態では、下部ダイ614および上部ダイ618をそれぞれ、トレンチまたはスプリットゲート型の技術を用いて実装することができるが、これに限定されるものではない。

【0027】

[0048]図6の一実施形態では、スタックダイパッケージ600はより大きなクリップ616aおよびより小さなクリップ616bを含むことができる。一実施形態では、上部ダイ618の上面で、より大きなクリップ616aをソースコンタクト領域632に接続または取り付けすることができ、より小さなクリップ616bをゲートコンタクト領域634に接続または取り付けすることができる。一実施形態では、クリップ616aおよび616bを、1つのクリップフレーム(図示せず)の一部として実際に製造することができる。また、クリップ616aおよび616bを、同時にまたはほぼ同時に、下部ダイ614およびリードフレーム602の表面に取り付けることができる。一実施形態では、クリップ616aおよび616bは、クリップフレームへのタイバー(図示せず)を有することができるため、これらを同時に扱うことが可能であることに留意されたい。一実施形態では、スタックダイパッケージ600をQFN(クワッドフラットノーリード)タイプのパッケージとして実装することができるが、これに限定されるものではない。このように、複数のスタックダイパッケージ(例えば、600と同様)の組み立て工程の間に、すべてのユニットを互いに分離するために利用されるパッケージ切断操作が存在する。クリップ616aおよび616bのタイバーは、パッケージ切断操作を行う場合にタイバーが自動で切断またはカットされるように、設計されている。切断操作は成形工程の後に行われるので、分離されたクリップ616aおよび616bは、スタックダイパッケージ600の成形コンパウンド642によって所定位置に保持されることになる。

【0028】

[0049]スタックダイパッケージ600にはいくつかの利点があることに留意されたい。例えば、一実施形態では、任意のタイプのワイヤボンディングがスタックダイパッケージ600から除去されている。この場合、スタックダイパッケージ600は、ワイヤボンディングを含まない。また、一実施形態では、下部ダイ614のフリップチップは、ドレイン領域638とクリップ616aとの間のより大きな接触領域を可能にし、これにより上部ダイ618のより大きなダイサイズの可能性を提供することができる。また、一実施形態では、クリップ616bを利用することで、上部ダイ618のゲートコンタクト634上にワイヤボンディングを行う必要がなくなる。したがって、リードフレーム602上に銀めっきを行う必要はない。また、一実施形態では、スタックダイパッケージ600の組み立て工程でのワイヤボンディングを除去することができる。したがって、スタックダイパッケージ600の組み立てコストが削減される。

【0029】

[0050]図6では、スタックダイパッケージ600およびその構成要素を、多種多様な方法で実装することができる。例えば、さまざまな実施形態において、参照(Append

10

20

30

40

50

i x A参照)により本明細書に援用される、Frank Kuorによって2011年9月9日に出願された「Dual Lead Frame Semiconductor Package and Method of Manufacture」と題する、米国特許第13/229667号明細書に記載され図示されたものと同様の任意の方法で、クリップ616aおよび616bを実装することができる。一実施形態では、スタックダイパッケージ600を、パワーMOSFETパッケージとして実装することができるが、これに限定されるものではない。クリップ616a、616b、および620をそれぞれ、多種多様な方法で実装できることが指摘されている。例えば、さまざまな実施形態では、クリップ616a、616b、および620をそれぞれ、1つまたは複数の導電性材料(例えば、銅などの1つまたは複数の金属)を用いて実装することができる。

10

【0030】

[0051]一実施形態では、リードフレーム602は、下部ダイ614のドレイン(D_L)638と上部ダイ618のソース(S_H)632の両方に接続するためのD_L/S_Hリード604を含むことができるが、これに限定されるものではない。また、リードフレーム602は、下部ダイ614のゲート636に接続するためのG_Lリード606と、下部ダイ614のソース640に接続するためのS_Lリード608と、上部ダイ618のゲート634に接続するためのG_Hリード610と、上部ダイ618のドレイン630に接続するためのD_Hリード612と、を含むことができるが、これに限定されるものではない。半田ペースト628を介して下部ダイ614のゲートコンタクト636をリード606に接続することができ、半田ペースト628を介してソースコンタクト640をリード608に接続することができる。また、クリップ616aをリード604に接続することができる。さらに、半田ペースト626を介して下部ダイ614のドレインコンタクト638に、および半田ペースト624を介して上部ダイ616のソースコンタクト632に、クリップ616aを接続することができる。このように、ソースコンタクト632、ドレインコンタクト638、およびリード604と一緒に接続することができる。したがって、一実施形態では、クリップ616aは、ソースコンタクト632とドレインコンタクト638との間の大電流経路を提供することができる。また、一実施形態では、クリップ616aは、ソースコンタクト632とドレインコンタクト638のためのリード604に大電流経路を提供することができる。

20

【0031】

[0052]図6では、クリップ620をリード612に接続することができる。また、半田ペースト622を介して、クリップ620を上部ダイ618のドレインコンタクト630に接続することができる。さらに、クリップ616bをリード610に接続することができる。さらに、半田ペースト624を介して、クリップ616bを上部ダイ618のゲートコンタクト634に接続することができる。本実施形態では、下部ダイ614はリードフレーム602の上に配置され、上部ダイ618はこの下部ダイ614の上に配置されることが指摘されている。このように、上部ダイ618は、リードフレーム602に接続された下部ダイ614の上に積層されている。一実施形態では、スタックダイパッケージ600は、クリップ616a、616b、および620をカバーおよび/またはカプセル封止する成形物642と、上部ダイ618と、下部ダイ614と、半田ペースト622、624、626、および628と、リードフレーム602の部分と、を含むことができる。さまざまな実施形態において、1つまたは複数の半田ペースト622、624、626、および628の代わりに、導電性エポキシまたは導電性接着剤を用いて実施することができるが、これに限定されないことに留意されたい。

30

40

【0032】

[0053]スタックダイパッケージ600は、図6に示された要素のすべてを含まなくてもよいことに留意されたい。また、スタックダイパッケージ600は、図6に示されていない1つまたは複数の要素を含むように実装されてもよい。スタックダイパッケージ600を、本明細書に記載したのと同様の任意の方法で利用または実装することができるが、これに限定されないことに留意されたい。

50

【0033】

[0054]図7は、本発明のさまざまな実施形態によるスタックダイパッケージ600および600aの上面図702および側断面図704である。具体的には、図7の右半分は、スタックダイパッケージ600の「標準」構造を示している図7の左半分と比較した、スタックダイパッケージ600aの「二重冷却」構造を示している。スタックダイパッケージ600aの「二重冷却」構造とスタックダイパッケージ600の「標準」構造との主な違いは、上部クリップ620を、スタックダイパッケージ600aの上面冷却のために利用できることである。一実施形態では、スタックダイパッケージ600aの上部クリップ620の上面の少なくとも一部が、成形物642aでカバーされていないため、クリップ620を介して熱を逃がすことができる。このように、一実施形態では、「二重冷却」は、(前述のような)リードフレーム602を介してスタックダイパッケージ600aから逃げる熱と、クリップ620の上面の少なくとも一部を介してスタックダイパッケージ600aから逃げる熱によって、達成される。

10

【0034】

[0055]一実施形態では、上部クリップ620の上面または上部の面の少なくとも一部を除いて、成形コンパウンドまたは成形材料642aを用いて、スタックダイアセンブリ(例えば、図31に示されるような)をカバーまたはカプセル封止する成形工程を利用することができる。一実施形態では、特定の成形ツール設計に關与する特定の成形工程を用いて、スタックダイパッケージ600aの「二重冷却」構造を製造することができる。図34は、本発明のさまざまな実施形態による1つまたは複数の「二重冷却」スタックダイパッケージを製造するための方法3400のフロー図であることが指摘されている。成形工程の結果として、クリップ620の上面の少なくとも一部が露出されると、次に、(例えば錫などの1つまたは複数の金属で)めっきすることが可能であるため、一実施形態において、クリップ620の上面に露出した錫めっきパッド706を形成することができる。このように、この工程の完了後の、スタックダイパッケージ600aの上面図702および側断面図704は、図7の右半分に示されている。さまざまな実施形態では、クリップ620の上面は、(例えば、図34を参照して本明細書中に記載されている)任意の金属でめっきされてもされなくてもよいことに留意されたい。一実施形態では、クリップ420aの上面または上部の面を露出させてめっきするために、同様の「二重冷却」工程をスタックダイパッケージ400に実行することができ、これにより、(例えば、スタックダイパッケージ600aの露出した錫めっきパッド706と同様の)露出しためっきパッドを形成できることが指摘されている。

20

30

【0035】

[0056]スタックダイパッケージ600aは、図7に示された要素のすべてを含まなくてもよいことに留意されたい。また、スタックダイパッケージ600aは、図7に示されていない1つまたは複数の要素を含むように実装されてもよい。スタックダイパッケージ600aを、本明細書に記載したのと同様の任意の方法で利用または実装することができるが、これに限定されないことが指摘されている。

【0036】

[0057]図8は、本発明のさまざまな実施形態によるスタックダイパッケージ400の等角図である。スタックダイパッケージ400の本実施形態は、スタックダイパッケージ400の選択された異なる内部構成要素の例示的な形状や向きを示している。例えば、図8は、クリップ416、420a、および420bと、上部ダイ418と、下部ダイ414と、リードフレーム402と、リードフレーム402のS_Lリード408およびG_Lリード406と、の例示的な形状や向きを示している。

40

【0037】

[0058]スタックダイパッケージ400は、図8に示された要素のすべてを含まなくてもよいことに留意されたい。また、スタックダイパッケージ400は、図8に示されていない1つまたは複数の要素を含むように実装されてもよい。スタックダイパッケージ400を、本明細書に記載したのと同様の任意の方法で利用または実装することができるが、こ

50

れに限定されないことが指摘されている。

【0038】

[0059]図9は、本発明のさまざまな実施形態による複数のスタックダイ(例えば、400)の組み立て工程図である。例えば、図9の本実施形態は、リードフレーム402の上に配置された複数の下部ダイ414を有する(例えば、一体フレームである)リードフレーム402を示している。また、複数の下部ダイ414のそれぞれの上に個別に配置することができる複数のクリップ416が示されている。また、図9の本実施形態は、すべて一緒に連結または接続された8セットのクリップ420aおよび420bを含む(例えば、一体フレームである)フレームチップ902を示しているが、これに限定されるものではない。一実施形態では、フレームチップ902は、クリップ420aおよび420bのすべてのセットを一緒に連結または接続するタイバーを含むことができることに留意されたい。また、一実施形態では、フレームチップ902は2つのより大きな端部914を含むことができ、フレームチップ902を持ち上げて、複数の上部ダイ418および複数の下部ダイ414の上に同時にまたはほぼ同時に、フレームチップ902とクリップ420aおよび420bのすべてのセットを配置するためにこれを利用することができる。クリップ420aおよび420b(または616aおよび616b)の任意の数のセットを含むように、フレームチップ902を実装することができるが、これに限定されないことに留意されたい。一実施形態では、クリップ902を、1つまたは複数の導電性材料(例えば、銅などの1つまたは複数の金属)から製造することができるが、これに限定されるものではない。

10

20

【0039】

[0060]フレームクリップ902は、図9に示された要素のすべてを含まなくてもよいことに留意されたい。また、フレームクリップ902は、図9に示されていない1つまたは複数の要素を含むように実装されてもよい。フレームクリップ902を、本明細書に記載したのと同様の任意の方法で利用または実装することができるが、これに限定されないことが指摘されている。

【0040】

[0061]図10は、本発明のさまざまな実施形態によるスタックダイパッケージ600の等角図である。スタックダイパッケージ600の本実施形態は、スタックダイパッケージ600の選択された異なる内部構成要素の例示的な形状や向きを示している。例えば、図10は、クリップ620、616a、および616bと、上部ダイ618と、下部ダイ614と、リードフレーム602と、リードフレーム602のS_Lリード608およびG_Lリード606と、の例示的な形状や向きを示している。

30

【0041】

[0062]スタックダイパッケージ600は、図10に示された要素のすべてを含まなくてもよいことに留意されたい。また、スタックダイパッケージ600は、図10に示されていない1つまたは複数の要素を含むように実装されてもよい。スタックダイパッケージ600を、本明細書に記載したのと同様の任意の方法で利用または実装することができるが、これに限定されないことが指摘されている。

【0042】

[0063]図11は、本発明のさまざまな実施形態によるスタックダイパッケージ600の分解図である。スタックダイパッケージ600の本実施形態は、スタックダイパッケージ600の選択された異なる内部構成要素の例示的な形状や向きを示している。例えば、図11は、クリップ620、616a、および616bと、上部ダイ618と、下部ダイ614と、リードフレーム602と、リードフレーム602のS_Lリード608およびG_Lリード606と、の例示的な形状や向きを示している。

40

【0043】

[0064]スタックダイパッケージ600は、図11に示された要素のすべてを含まなくてもよいことに留意されたい。また、スタックダイパッケージ600は、図11に示されていない1つまたは複数の要素を含むように実装されてもよい。スタックダイパッケージ6

50

00を、本明細書に記載したのと同様の任意の方法で利用または実装することができるが、これに限定されないことが指摘されている。

【0044】

[0065]図12は、本発明のさまざまな実施形態による1つまたは複数のスタックダイパッケージを製造するための方法1200のフロー図である。具体的な操作が図12に開示されているが、この操作は例である。方法1200は、図12に示す操作のすべてを含まなくてもよい。また、方法1200は、さまざまな他の操作および/または示された操作の変形を含むことができる。同様に、フロー図1200の操作の順序を変更することができる。フロー図1200でのすべての操作が実行されなくてもよいことを理解されたい。さまざまな実施形態において、方法1200の操作の1つまたは複数、ソフトウェアによって、ファームウェアによって、ハードウェアによって、またはこれらの任意の組み合わせによって、制御または管理することができるが、これに限定されるものではない。方法1200は、命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置の制御下でプロセッサ（複数可）および電気部品によって制御または管理することができる、本発明の実施形態の工程を含むことができる。命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置は、例えば、コンピュータまたは計算装置に使用可能な揮発性メモリ、コンピュータまたは計算装置に使用可能な不揮発性メモリ、および/または、コンピュータもしくは計算装置に使用可能な大容量データ記憶装置のようなデータ保存機能に存在してもよい。ただし、命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置は、任意のタイプのコンピュータまたは計算装置の可読媒体またはメモリで存在してもよい。

10

20

【0045】

[0066]図12の操作1202で、半田ペースト（例えば、428）またはエポキシをリードフレーム（例えば、402）上に付着させることができる。操作1202を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図13は、操作1202でリードフレーム402のリード404、406、408、410、および412上に施されたまたは印刷された半田ペースト428（またはエポキシ）の側断面図を示しているが、これに限定されるものではない。操作1202を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【0046】

[0067]操作1204で、第1ダイまたはチップ（例えば、414）をリードフレームに接続または取り付けすることができる。操作1204を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図14は、リードフレーム上のフリップチップ技術を利用して、操作1204で、リードフレーム402のリード406および408にそれぞれ接続または取り付けされた下部ダイ414のゲートコンタクト436およびソースコンタクト440を示しているが、これに限定されるものではない。一実施形態では、操作1204で、下部ダイ414を、ウエハから持ち上げて裏返し、操作1202で事前にリードフレーム402上に付着させた半田ペースト428（またはエポキシ）上に配置することができる。操作1204を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

30

40

【0047】

[0068]図12の操作1206で、半田ペースト（例えば、426）またはエポキシを第1ダイまたはチップの裏側に付着させることができる。操作1206を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態では、図15は、操作1206で下部ダイ414の（例えば、裏側の）ドレインコンタクト438上に施されたまたは印刷された半田ペースト426（またはエポキシ）を示しているが、これに限定されるものではない。操作1206を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【0048】

[0069]操作1208で、第1クリップ（例えば、416）を第1ダイおよびリードフレ

50

ームに接続または取り付けすることができる。操作 1 2 0 8 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 1 6 は、操作 1 2 0 8 で、半田ペースト 4 2 6 (またはエポキシ) を介して下部ダイ 4 1 4 に、および半田ペースト 4 2 8 (またはエポキシ) を介してリードフレーム 4 0 2 のリード 4 0 4 に接続または取り付けされたクリップ 4 1 6 を示している。操作 1 2 0 8 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【 0 0 4 9 】

[0070] 図 1 2 の操作 1 2 1 0 で、半田ペースト (例えば、4 2 4) またはエポキシを第 1 クリップに付着させることができる。操作 1 2 1 0 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 1 7 は、操作 1 2 1 0 でクリップ 4 1 6 上に施されたまたは印刷された半田ペースト 4 2 4 (またはエポキシ) を示しているが、これに限定されるものではない。操作 1 2 1 0 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

10

【 0 0 5 0 】

[0071] 操作 1 2 1 2 で、第 2 ダイまたはチップ (例えば、4 1 8) を第 1 クリップに接続または取り付けすることができる。操作 1 2 1 2 を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態では、図 1 8 は、操作 1 2 1 2 で、半田ペースト 4 2 4 (またはエポキシ) を介してクリップ 4 1 6 に接続または取り付けされた上部ダイ 4 1 8 を示しているが、これに限定されるものではない。操作 1 2 1 2 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

20

【 0 0 5 1 】

[0072] 図 1 2 の操作 1 2 1 4 で、半田ペースト (例えば、4 2 2) またはエポキシを第 2 ダイに付着させることができる。操作 1 2 1 4 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 1 9 は、操作 1 2 1 4 で上部ダイ 4 1 8 のドレインコンタクト 4 3 0 およびゲートコンタクト 4 3 4 上に施されたまたは印刷された半田ペースト 4 2 2 (またはエポキシ) を示しているが、これに限定されるものではない。操作 1 2 1 4 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【 0 0 5 2 】

[0073] 操作 1 2 1 6 で、第 2 クリップ (例えば、4 2 0 a) および第 3 クリップ (例えば、4 2 0 b) を第 2 ダイおよびリードフレームに接続または取り付けすることができる。操作 1 2 1 6 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 2 0 は、操作 1 2 1 6 で、半田ペースト 4 2 2 (またはエポキシ) を介して上部ダイ 4 1 8 のドレインコンタクト 4 3 0 に、および半田ペースト 4 2 8 (またはエポキシ) を介してリードフレーム 4 0 2 のリード 4 1 2 に接続または取り付けされた第 2 クリップ 4 2 0 a を示している。また、図 2 0 は、操作 1 2 1 6 で、半田ペースト 4 2 2 (またはエポキシ) を介して上部ダイ 4 1 8 のゲートコンタクト 4 3 4 に、および半田ペースト 4 2 8 (またはエポキシ) を介してリードフレーム 4 0 2 のリード 4 1 0 に接続または取り付けされた第 3 クリップ 4 2 0 b を示している。一実施形態において、操作 1 2 1 6 で、第 2 クリップおよび第 3 クリップを第 2 ダイおよびリードフレームに、同時にまたはほぼ同時に、(例えば、クリップフレーム 9 0 2 と同様のクリップフレームを利用して) 接続または取り付けできることが指摘されている。操作 1 2 1 6 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

30

40

【 0 0 5 3 】

[0074] 図 1 2 の操作 1 2 1 8 で、リフロー工程を (例えば、図 2 0 に示されるような) 既存のスタックダイアセンブリに対して実行することができる。操作 1 2 1 8 を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態では、操作 1 2 1 8 のリフロー工程を、スタックダイアセンブリの温度を (例えば、3 5 0 °C より高く、または 3 7 0 °C より高く) 上昇させることによって実施することができるが、これに限定されるものではない。一実施形態では、これらの条件下で、フラックスを半田ペーストから

50

除去することができ、温度が低下すると、半田が接合部に結合することができることに留意されたい。一実施形態では、操作 1 2 1 8 を、リフロー工程後に発生する洗浄工程を含むように実施することができる。操作 1 2 1 8 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【 0 0 5 4 】

[0075] 操作 1 2 2 0 で、スタックダイアセンブリを、成形コンパウンドまたは成形材料によってカバーまたはカプセル封止することができる。操作 1 2 2 0 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態において、図 2 1 は、操作 1 2 2 0 で、スタックダイアセンブリをカバーまたはカプセル封止している成形コンパウンドまたは成形材料 4 4 2 を示しているが、これに限定されるものではない。操作 1 2 2 0 を、

10

【 0 0 5 5 】

[0076] 図 1 2 の操作 1 2 2 2 で、パッケージ切断工程または操作を、成形コンパウンドまたは成形材料によってカバーされたスタックダイアセンブリに対して実行することができる。操作 1 2 2 2 を、多種多様な方法で実施できることに留意されたい。例えば、図 2 2 は、操作 1 2 2 2 でのパッケージ切断工程の発生結果として、リードフレーム 4 0 4 のリード 4 0 4 および 4 1 2 の近くに配置された実質的に垂直な面を有するスタックダイアパッケージを示しているが、これに限定されるものではない。一実施形態では、パッケージ切断工程により、第 2 クリップ（例えば、4 2 0 a）および第 3 クリップ（例えば、4 2

20

【 0 0 5 6 】

[0077] 操作 1 2 2 4 で、正常に動作するかどうかを判断するために、電氣的試験をスタックダイアパッケージに対して実行することができる。操作 1 2 2 4 を、多種多様な方法で実施できることが指摘されている。例えば、操作 1 2 2 4 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【 0 0 5 7 】

[0078] 図 1 2 の操作 1 2 2 6 で、テープアンドリールをスタックダイアパッケージに対して実行することができる。操作 1 2 2 6 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態において、操作 1 2 2 6 でのテープアンドリールは、目的の場所への輸送中にスタックダイアパッケージを保護するために、これを梱包材に入れるステップを含むことができる。操作 1 2 2 6 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

30

【 0 0 5 8 】

[0079] さまざまな実施形態において、本明細書に記載の 1 つまたは複数の半田ペーストの代わりに、導電性エポキシまたは導電性接着剤を用いて実施することができるが、これに限定されないことに留意されたい。また、一実施形態では、方法 1 2 0 0 の間に半田ペーストが利用されない場合、操作 1 2 1 8 が実行されなくてもよい。

40

【 0 0 5 9 】

[0080] 方法 1 2 0 0 が、単一のスタックダイアパッケージの製造に関連して説明されたが、方法 1 2 0 0 を、ほぼ同時に複数のスタックダイアパッケージを製造するために、本発明のさまざまな実施形態に従って変更できることが指摘されている。

【 0 0 6 0 】

[0081] 図 2 3 は、本発明のさまざまな実施形態による 1 つまたは複数のスタックダイアパッケージを製造するための方法 2 3 0 0 のフロー図である。具体的な操作が図 2 3 に開示されているが、この操作は例である。方法 2 3 0 0 は、図 2 3 に示す操作のすべてを含まなくてもよい。また、方法 2 3 0 0 は、さまざまな他の操作および / または示された操作

50

の変形を含むことができる。同様に、フロー図 2300 の操作の順序を変更することができる。フロー図 2300 でのすべての操作が実行されなくてもよいことを理解されたい。さまざまな実施形態において、方法 2300 の操作の 1 つまたは複数を、ソフトウェアによって、ファームウェアによって、ハードウェアによって、またはこれらの任意の組み合わせによって、制御または管理することができるが、これに限定されるものではない。方法 2300 は、命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置の制御下でプロセッサ（複数可）および電気部品によって制御または管理することができる、本発明の実施形態の工程を含むことができる。命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置は、例えば、コンピュータまたは計算装置に使用可能な揮発性メモリ、コンピュータまたは計算装置に使用可能な不揮発性メモリ、および/または、コンピュータもしくは計算装置に使用可能な大容量データ記憶装置のようなデータ保存機能に存在してもよい。ただし、命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置は、任意のタイプのコンピュータまたは計算装置の可読媒体またはメモリで存在してもよい。

10

【0061】

[0082] 図 23 の操作 2302 で、半田ペースト（例えば、628）またはエポキシをリードフレーム（例えば、602）に付着させることができる。操作 2302 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 24 は、操作 2302 でリードフレーム 602 のリード 604、606、608、610、および 612 上に施されたまたは印刷された半田ペースト 628（またはエポキシ）の側断面図を示しているが、これに限定されるものではない。操作 2302 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

20

【0062】

[0083] 操作 2304 で、第 1 ダイまたはチップ（例えば、614）をリードフレームに接続または取り付けすることができる。操作 2304 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 25 は、リードフレーム上のフリップチップ技術を利用して、操作 2304 で、リードフレーム 602 のリード 606 および 608 にそれぞれ接続または取り付けされた下部ダイ 614 のゲートコンタクト 636 およびソースコンタクト 640 を示しているが、これに限定されるものではない。一実施形態では、操作 2304 で、下部ダイ 614 を、ウエハから持ち上げて裏返し、事前にリードフレーム 602 上に付着させた半田ペースト 628（またはエポキシ）上に配置することができる。操作 2304 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

30

【0063】

[0084] 図 23 の操作 2306 で、半田ペースト（例えば、626）またはエポキシを第 1 ダイまたはチップの裏側に付着させることができる。操作 2306 を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態では、図 26 は、操作 2306 で下部ダイ 614 の（例えば、裏側の）ドレインコンタクト 638 上に施されたまたは印刷された半田ペースト 626（またはエポキシ）を示しているが、これに限定されるものではない。操作 2306 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

40

【0064】

[0085] 操作 2308 で、第 1 クリップ（例えば、616a）および第 2 クリップ（例えば、616b）をリードフレームに接続または取り付けすることができ、さらに、第 1 クリップを第 1 ダイに接続または取り付けすることができる。操作 2308 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 27 は、操作 2308 で、半田ペースト 628（またはエポキシ）を介してリードフレーム 602 のリード 604 および 610 それぞれに接続または取り付けされた第 1 クリップ 616a および第 2 クリップ 616b を示しており、さらに、第 1 クリップ 616a は、半田ペースト 626（またはエポキシ）を介して第 1 ダイ 614 のドレインコンタクト 638 に接続または取

50

り付けされている。一実施形態において、操作 2308 で、第 1 クリップおよび第 2 クリップをリードフレームに接続または取り付けすることができ、さらに、第 1 チップを第 1 ダイに、同時にまたはほぼ同時に、（例えば、チップフレーム 902 と同様のクリップフレームを利用して）接続または取り付けできることが指摘されている。操作 2308 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【0065】

[0086] 図 23 の操作 2310 で、半田ペースト（例えば、624）またはエポキシを第 1 クリップおよび第 2 クリップに付着させることができる。操作 2310 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 28 は、操作 2310 でクリップ 616a および 616b 上に施されたまたは印刷された半田ペースト 624（またはエポキシ）を示しているが、これに限定されるものではない。操作 2310 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

10

【0066】

[0087] 操作 2312 で、第 2 ダイまたはチップ（例えば、618）を第 1 クリップおよび第 2 クリップに接続または取り付けすることができる。操作 2312 を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態では、図 29 は、操作 2312 で、半田ペースト 624（またはエポキシ）を介してクリップ 616a に接続または取り付けされた上部ダイ 618 のソースコンタクト 632、および半田ペースト 624（またはエポキシ）を介してクリップ 616b に接続または取り付けされた上部ダイ 618 のゲートコンタクト 634 を示しているが、これに限定されるものではない。操作 2312 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

20

【0067】

[0088] 図 23 の操作 2314 で、半田ペースト（例えば、622）またはエポキシを第 2 ダイに付着させることができる。操作 2314 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 30 は、操作 2314 で上部ダイ 618 のドレインコンタクト 630 上に施されたまたは印刷された半田ペースト 622（またはエポキシ）を示しているが、これに限定されるものではない。操作 2314 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

30

【0068】

[0089] 操作 2316 で、第 3 クリップ（例えば、620）を第 2 ダイおよびリードフレームに接続または取り付けすることができる。操作 2316 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図 31 は、操作 2316 で、半田ペースト 622（またはエポキシ）を介して上部ダイ 614 のドレインコンタクト 630 に、および半田ペースト 628（またはエポキシ）を介してリードフレーム 602 のリード 612 に接続または取り付けされたクリップ 620 を示している。操作 2316 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【0069】

[0090] 図 23 の操作 2318 で、リフロー工程を（例えば、図 31 に示されるような）既存のスタックダイアセンブリに対して実行することができる。操作 2318 を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態では、操作 2318 のリフロー工程を、スタックダイアセンブリの温度を（例えば、350°C より高く、または 370°C より高く）上昇させることによって実施することができるが、これに限定されるものではない。一実施形態では、これらの条件下で、フラックスを半田ペーストから除去することができ、温度が低下すると、半田が接合部に結合することができることに留意されたい。一実施形態では、操作 2318 を、リフロー工程後に発生する洗浄工程を含むように実施することができる。操作 2318 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

40

50

【 0 0 7 0 】

[0091]操作 2 3 2 0 で、スタックダイアセンブリを、成形コンパウンドまたは成形材料によってカバーまたはカプセル封止することができる。操作 2 3 2 0 を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態において、図 3 2 は、操作 2 3 2 0 で、スタックダイアセンブリをカバーまたはカプセル封止している成形コンパウンドまたは成形材料 6 4 2 を示しているが、これに限定されるものではない。操作 2 3 2 0 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【 0 0 7 1 】

[0092]図 2 3 の操作 2 3 2 2 で、パッケージ切断工程または操作を、成形コンパウンドまたは成形材料によってカバーされたスタックダイアセンブリに対して実行することができる。操作 2 3 2 2 を、多種多様な方法で実施できることに留意されたい。例えば、図 3 3 は、操作 2 3 2 2 でのパッケージ切断工程の発生結果として、リードフレーム 6 0 4 のリード 6 0 4 および 6 1 2 の近くに配置された実質的に垂直な面を有するスタックダイパッケージを示しているが、これに限定されるものではない。一実施形態では、パッケージ切断工程により、第 1 クリップ（例えば、6 1 6 a）および第 2 クリップ（例えば、6 1 6 b）を接続していたタイパー（例えば、9 0 4）を自動でカットすることができる。したがって、第 1 クリップおよび第 2 クリップは、分離されて、機能的になり、成形物（例えば、6 4 2）によって所定の位置に保持される。操作 2 3 2 2 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【 0 0 7 2 】

[0093]操作 2 3 2 4 で、正常に動作するかどうかを判断するために、電氣的試験をスタックダイパッケージに対して実行することができる。操作 2 3 2 4 を、多種多様な方法で実施できることが指摘されている。例えば、操作 2 3 2 4 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【 0 0 7 3 】

[0094]図 2 3 の操作 2 3 2 6 で、テープアンドリールをスタックダイパッケージに対して実行することができる。操作 2 3 2 6 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態において、操作 2 3 2 6 でのテープアンドリールは、目的の場所への輸送中にスタックダイパッケージを保護するために、これを梱包材に入れるステップを含むことができる。操作 2 3 2 6 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【 0 0 7 4 】

[0095]さまざまな実施形態において、本明細書に記載の 1 つまたは複数の半田ペーストの代わりに、導電性エポキシまたは導電性接着剤を用いて実施することができるが、これに限定されないことに留意されたい。また、一実施形態では、方法 2 3 0 0 の間に半田ペーストが利用されない場合、操作 2 3 1 8 が実行されなくてもよい。

【 0 0 7 5 】

[0096]方法 2 3 0 0 が、単一のスタックダイパッケージの製造に関連して説明されたが、方法 2 3 0 0 を、ほぼ同時に複数のスタックダイパッケージを製造するために、本発明のさまざまな実施形態に従って変更できることが指摘されている。

【 0 0 7 6 】

[0097]図 3 4 は、本発明のさまざまな実施形態による 1 つまたは複数の「二重冷却」スタックダイパッケージを製造するための方法 3 4 0 0 のフロー図である。具体的な操作が図 3 4 に開示されているが、この操作は例である。方法 3 4 0 0 は、図 3 4 に示す操作のすべてを含まなくてもよい。また、方法 3 4 0 0 は、さまざまな他の操作および/または示された操作の変形を含むことができる。同様に、フロー図 3 4 0 0 の操作の順序を変更することができる。フロー図 3 4 0 0 でのすべての操作が実行されなくてもよいことを理解されたい。さまざまな実施形態において、方法 3 4 0 0 の操作の 1 つまたは複数、ソフトウェアによって、ファームウェアによって、ハードウェアによって、またはこれらの

10

20

30

40

50

任意の組み合わせによって、制御または管理することができるが、これに限定されるものではない。方法 3 4 0 0 は、命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置の制御下でプロセッサ（複数可）および電気部品によって制御または管理することができる、本発明の実施形態の工程を含むことができる。命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置は、例えば、コンピュータまたは計算装置に使用可能な揮発性メモリ、コンピュータまたは計算装置に使用可能な不揮発性メモリ、および/または、コンピュータもしくは計算装置に使用可能な大容量データ記憶装置のようなデータ保存機能に存在してもよい。ただし、命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置は、任意のタイプのコンピュータまたは計算装置の可読媒体またはメモリで存在してもよい。

10

【 0 0 7 7 】

[0098]一実施形態では、方法 3 4 0 0 を実行する前に、方法 1 2 0 0 の操作 1 2 0 2 ~ 操作 1 2 1 8（図 1 2）が、本明細書に記載のように実行されてもよい。例えば、一実施形態では、図 1 2 の操作 1 2 1 8 の完了後に、方法 3 4 0 0（図 3 4）を以下に記載のように実行することができる。また、一実施形態では、方法 3 4 0 0 を実行する前に、方法 2 3 0 0 の操作 2 3 0 2 ~ 操作 2 3 1 8（図 2 3）が、本明細書に記載のように実行されてもよい。例えば、一実施形態では、図 2 3 の操作 2 3 1 8 の完了後に、方法 3 4 0 0（図 3 4）を以下に記載のように実行することができる。

【 0 0 7 8 】

[0099]操作 3 4 0 2 で、（例えば、図 2 0 または図 3 1 に示されているような）スタックダイアセンプリを、スタックダイパッケージの上部クリップ（例えば、4 2 0 a または 6 2 0）の上面または上部の面の少なくとも一部を除いて、成形コンパウンドまたは成形材料によってカバーまたはカプセル封止することができる。操作 3 4 0 2 の後、一実施形態では、上部クリップの上面の少なくとも一部は、成形コンパウンドまたは成形材料を含まなくてもよい。操作 3 4 0 2 を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態において、図 3 5 は、操作 3 4 0 2 で、上部クリップ 4 2 0 a の上面または上部の面の少なくとも一部を除いて、成形コンパウンドまたは成形材料 4 4 2 a によってカバーまたはカプセル封止された図 2 0 のスタックダイアセンプリの側断面図を示している。また、一実施形態において、図 3 6 は、操作 3 4 0 2 で、上部クリップ 6 2 0 の上面または上部の面の少なくとも一部を除いて、成形コンパウンドまたは成形材料 6 4 2 a によってカバーまたはカプセル封止された図 3 1 のスタックダイアセンプリの側断面図を示している。さらに、図 7 は、一実施形態における製造工程の一部が、操作 3 4 0 2 の成形工程に関与することができた場合のスタックダイパッケージ 6 0 0 a を示しており、この成形工程では、成形物 6 4 2 a が、上部クリップ 6 2 0 の上面または上部の面の少なくとも一部を除いて、スタックダイパッケージをカバーまたはカプセル封止する。

20

30

【 0 0 7 9 】

[00100]一実施形態では、操作 3 4 0 2 で、図 2 1 または図 3 2 に示されるスタックダイアセンプリを完全にカプセル封止するために典型的に利用される成形ツールよりも低いキャピティの高さを有する、「二重冷却」成形ツールを利用することができる。また、操作 3 4 0 2 で、「二重冷却」成形ツールの上部成形面が、スタックダイアセンプリの上部クリップ（例えば、4 2 0 a または 6 2 0）の上面または上部の面に接触可能である。また、操作 3 4 0 2 での上記成形面とクリップの上面との間に配置された柔軟なまたは可撓性のフィルムを用いて、クリップの上面の少なくとも一部は、成形コンパウンドがないままであることができ、操作 3 4 0 2 で、スタックダイアセンプリの残りの部分は、成形コンパウンドによってカバーされるか、または囲まれる。一実施形態では、操作 3 4 0 2 の成形工程を、フィルムアシスト成形と呼ぶことができるが、これに限定されるものではない。操作 3 4 0 2 を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

40

【 0 0 8 0 】

[00101]図 3 4 の操作 3 4 0 4 で、1 つまたは複数の金属を用いて上部クリップの露出

50

した上面をめっきするか否かを決定することができる。めっきしない場合、方法3400は操作3408へ進むことができる。ただし、操作3404で、1つまたは複数の金属を用いて上部クリップの露出した上面をめっきすると決定された場合、方法3400は操作3406へ進むことができる。操作3404を、多種多様な方法で実施することに留意されたい。例えば、一実施形態では、後でヒートシンクにクリップの上面を半田付けするために、1つまたは複数の金属を用いて上部クリップの露出した上面をめっきすることが、操作3404で決定され得る。あるいは、一実施形態では、ヒートシンクにクリップの上面を半田付けする必要がないため、1つまたは複数の金属を用いて上部クリップの露出した上面をめっきしないことが、操作3404で決定され得る。また、一実施形態では、後の工程（例えば、プリント回路基板のリフロー工程）でめっきを溶解して、スタックダイパッケージの（例えば、成形コンパウンドの）上面内に実装されたレーザマーキングを不明瞭にすることをできる限り避けるために、1つまたは複数の金属を用いて上部クリップの露出した上面をめっきしないことが、操作3404で決定され得る。操作3404を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

10

【0081】

[00102]操作3406で、露出しためっきパッド（例えば、706）を作製するために、スタックダイパッケージのクリップの露出した上面を、1つまたは複数の金属（例えば、錫）を用いてめっきすることができるが、これに限定されるものではない。操作3406を、多種多様な方法で実施することに留意されたい。例えば、一実施形態において、図7は、上部クリップ620の上面が錫めっきされた結果、上部クリップ620の上面に露出した錫めっきパッド706を形成することを示している。操作3406を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。このように、そのリードフレームを介してスタックダイパッケージから逃げる熱と、その露出しためっきパッドを介して逃げる熱によって、「二重冷却」を達成することができる。

20

【0082】

[00103]図34の操作3408で、スタックダイパッケージの上部クリップの露出した上面は、スタックダイパッケージの（例えば、1つまたは複数の金属を使用した）めっき工程中にめっきされることを妨げる。操作3408を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態では、上部クリップの露出した上面がスタックダイパッケージのめっき工程中にめっきされるのを防ぐために、操作3408で、スタックダイパッケージ上またはその上部にフィルムを適用することができる。操作3408を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

30

【0083】

[00104]一実施形態では、方法3400の操作3406または操作3408を実行後に、方法1200の操作1222～操作1226（図12）が、本明細書に記載のように実行されてもよいことに留意されたい。また、一実施形態では、方法3400の操作3406または操作3408を実行後に、方法2300の操作2322～操作2326（図23）が、本明細書に記載のように実行されてもよいことに留意されたい。

40

【0084】

[00105]図34の方法3400が、単一の「二重冷却」スタックダイパッケージの製造に関連して説明されたが、方法3400を、ほぼ同時に複数の「二重冷却」スタックダイパッケージを製造するために、本発明のさまざまな実施形態に従って変更できることが指摘されている。

【0085】

[00106]図37は、本発明のさまざまな実施形態による1つまたは複数のスタックダイパッケージを製造するための方法3700のフロー図である。具体的な操作が図37に開示されているが、この操作は例である。方法3700は、図37に示す操作のすべてを含まなくてもよい。また、方法3700は、さまざまな他の操作および/または示された操

50

作の変形を含んでもよい。同様に、フロー図3700の操作の順序を変更することができる。フロー図3700でのすべての操作が実行されなくてもよいことを理解されたい。さまざまな実施形態において、方法3700の操作の1つまたは複数を、ソフトウェアによって、ファームウェアによって、ハードウェアによって、またはこれらの任意の組み合わせによって、制御または管理することができるが、これに限定されるものではない。方法3700は、命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置の制御下でプロセッサ（複数可）および電気部品によって制御または管理することができる、本発明の実施形態の工程を含むことができる。命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置は、例えば、コンピュータまたは計算装置に使用可能な揮発性メモリ、コンピュータまたは計算装置に使用可能な不揮発性メモリ、および/または、コンピュータもしくは計算装置に使用可能な大容量データ記憶装置のようなデータ保存機能に存在してもよい。ただし、命令（またはコード）を読み取り可能かつ実行可能なコンピュータまたは計算装置は、任意のタイプのコンピュータまたは計算装置の可読媒体またはメモリで存在してもよい。

10

【0086】

[00107]図37の操作1202で、半田ペースト（例えば、428）またはエポキシをリードフレーム（例えば、402）に付着させることができる。操作1202を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図38は、操作1202でリードフレーム402のリード404、406、および408上に施されたまたは印刷された半田ペースト428（またはエポキシ）の側断面図を示しているが、これに限定されるものではない。操作1202で、半田ペーストまたはエポキシをリードフレーム（例えば、402）の1つまたは複数のリード（例えば、404～412）に付着させることができることに留意されたい。操作1202を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

20

【0087】

[00108]一実施形態では、方法3700の操作1202を実行後に、方法3700の操作1204～操作1212が、図12を参照して本明細書に記載のように実行されてもよいが、これに限定されないことに留意されたい。

【0088】

[00109]図37の操作3702で、第2ダイまたはチップ（例えば、418）をリードフレームに接続または取り付けすることができる。操作3702を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態において、図39は、操作3702で、上部ダイ418のドレインコンタクト430およびリードフレーム402のリード412に接続または取り付けされたワイヤ3904を示している。また、図39は、操作3702で、上部ダイ418のゲートコンタクト434およびリードフレーム402のリード410に接続または取り付けされたワイヤ3902を示している。一実施形態において、操作3702で、ワイヤ3902およびワイヤ3904を、ワイヤボンディングを介して第2ダイおよびリードフレームに接続または取り付けできることが指摘されているが、これに限定されるものではない。一実施形態では、操作3702で、1つまたは複数のワイヤ、1つまたは複数のクリップ、1つまたは複数のワイヤと1つまたは複数のクリップの任意の組み合わせなどを利用して、第2ダイまたはチップをリードフレームに接続または取り付けできることに留意されたい。操作3702を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

30

40

【0089】

[00110]一実施形態では、方法3700の操作3702を実行後に、方法3700の操作1218～操作1226が、図12を参照して本明細書に記載のように実行されてもよいが、これに限定されないことに留意されたい。方法3700の操作1222で、パッケージ切断工程または操作を、成形コンパウンドまたは成形材料によってカバーされたスタックダイアセンブリに対して実行できることが指摘されている。操作1222を、多種多様な方法で実施できることに留意されたい。例えば、図40は、操作1222でのパッケ

50

ージ切断工程の発生結果として、リードフレーム402のリード404および412の近くに配置された実質的に垂直な面を有するスタックダイパッケージを示しているが、これに限定されるものではない。操作1222を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【0090】

[00111]図37の方法3700が、単一のスタックダイパッケージの製造に関連して説明されたが、方法3700を、ほぼ同時に複数のスタックダイパッケージを製造するために、本発明のさまざまな実施形態に従って変更できることが指摘されている。

【0091】

[00112]図41は、本発明のさまざまな実施形態による1つまたは複数のスタックダイパッケージを製造するための方法4100のフロー図である。具体的な操作が図41に開示されているが、この操作は例である。方法4100は、図41に示す操作のすべてを含まなくてもよい。また、方法4100は、さまざまな他の操作および/または示された操作の変形を含むことができる。同様に、フロー図4100の操作の順序を変更することができる。フロー図4100でのすべての操作が実行されなくてもよいことを理解されたい。さまざまな実施形態において、方法4100の操作の1つまたは複数、ソフトウェアによって、ファームウェアによって、ハードウェアによって、またはこれらの任意の組み合わせによって、制御または管理することができるが、これに限定されるものではない。方法4100は、命令(またはコード)を読み取り可能かつ実行可能なコンピュータまたは計算装置の制御下でプロセッサ(複数可)および電気部品によって制御または管理することができる、本発明の実施形態の工程を含むことができる。命令(またはコード)を読み取り可能かつ実行可能なコンピュータまたは計算装置は、例えば、コンピュータまたは計算装置に使用可能な揮発性メモリ、コンピュータまたは計算装置に使用可能な不揮発性メモリ、および/または、コンピュータもしくは計算装置に使用可能な大容量データ記憶装置のようなデータ保存機能に存在してもよい。ただし、命令(またはコード)を読み取り可能かつ実行可能なコンピュータまたは計算装置は、任意のタイプのコンピュータまたは計算装置の可読媒体またはメモリで存在してもよい。

【0092】

[00113]図41の操作2302で、半田ペースト(例えば、628)またはエポキシをリードフレーム(例えば、602)に付着させることができる。操作2302を、多種多様な方法で実施できることに留意されたい。例えば、一実施形態では、図42は、操作2302でリードフレーム602のリード604、606、608、および610上に施されたまたは印刷された半田ペースト628(またはエポキシ)の側断面図を示しているが、これに限定されるものではない。操作2302で、半田ペーストまたはエポキシをリードフレーム(例えば、602)の1つまたは複数のリード(例えば、604~612)に付着させることができることに留意されたい。操作2302を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【0093】

[00114]一実施形態では、方法4100の操作2302を実行後に、方法4100の操作2304~操作2312が、図23を参照して本明細書に記載のように実行されてもよいが、これに限定されないことに留意されたい。

【0094】

[00115]図41の操作4102で、第2ダイまたはチップ(例えば、618)をリードフレームに接続または取り付けすることができる。操作4102を、多種多様な方法で実施できることが指摘されている。例えば、一実施形態において、図43は、操作4102で、上部ダイ618のドレインコンタクト630およびリードフレーム602のリード612に接続または取り付けされたワイヤ4302を示している。一実施形態において、操作4102で、ワイヤ4302を、ワイヤボンディングを介して第2ダイおよびリードフレームに接続または取り付けできることが指摘されているが、これに限定されるものではない。一実施形態では、操作4102で、1つまたは複数のワイヤ、1つまたは複数のク

10

20

30

40

50

リップ、1つまたは複数のワイヤと1つまたは複数のクリップの任意の組み合わせなどを利用して、第2ダイまたはチップをリードフレームに接続または取り付けできるように留意されたい。操作4102を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

【0095】

[00116]一実施形態では、方法4100の操作4102を実行後に、方法4100の操作2318～操作2326が、図23を参照して本明細書に記載のように実行されてもよいが、これに限定されないことに留意されたい。方法3700の操作2322で、パッケージ切断工程または操作を、成形コンパウンドまたは成形材料によってカバーされたスタックダイアセンブリに対して実行できることが指摘されている。操作2322を、多種多様な方法で実施できることに留意されたい。例えば、図44は、操作2322でのパッケージ切断工程の発生結果として、リードフレーム602のリード604および612の近くに配置された実質的に垂直な面を有するスタックダイパッケージを示しているが、これに限定されるものではない。操作2322を、本明細書に記載したのと同様の任意の方法で実施することができるが、これに限定されない。

10

【0096】

[00117]図41の方法4100が、単一のスタックダイパッケージの製造に関連して説明されたが、方法4100を、ほぼ同時に複数のスタックダイパッケージを製造するために、本発明のさまざまな実施形態に従って変更できることが指摘されている。

【0097】

[00118]さまざまな実施形態において、本明細書に記載の1つまたは複数の半田ペーストの代わりに、導電性エポキシまたは導電性接着剤を用いて実施することができるが、これに限定されないことに留意されたい。

20

【0098】

[00119]本発明によるさまざまな特定の実施形態の上記説明は、例示および説明の目的で提示されている。それらは、網羅的であること、または開示された正確な形態に本発明を限定することを意図するものではなく、多くの修正および変形が上記の教示に照らして可能である。本発明は、特許請求の範囲およびその均等物に従って解釈されるべきである。

【0099】

[00120]本明細書に記載されたすべての構成要素、部品およびステップが含まれていることが好ましい。これらの要素、部品およびステップのいずれかが、他の要素、部品およびステップに置き換えられてもよく、または完全に削除されてもよいことは、当業者には明らかとされよう。

30

【0100】

[00121]コンセプト

前述の説明は、少なくとも以下のコンセプトを提示する。

コンセプト1.

第1ダイのゲートおよびソースをリードフレームに接続するステップであって、前記第1ダイが、該第1ダイの第1表面に配置された前記ゲートおよび前記ソースと、前記第1表面の反対側の前記第1ダイの第2表面に配置されたドレインとを含む、ステップと、

40

第2ダイのソースを前記第1ダイの前記ドレインに接続するステップであって、前記第2ダイが、該第2ダイの第1表面に配置されたゲートおよびドレインと、前記第1表面の反対側の前記第2ダイの第2表面に配置された前記ソースとを含む、ステップとを含む方法。

コンセプト2.

前記リードフレームおよび前記第2ダイの前記ゲートを接続するステップをさらに含む、コンセプト1に記載の方法。

50

コンセプト 3 .

クリップを前記リードフレームおよび前記第 2 ダイの前記ドレインに接続するステップをさらに含む、コンセプト 1 または 2 に記載の方法。

コンセプト 4 .

前記第 1 ダイ、前記第 2 ダイおよび前記クリップを成形材料でカバーするステップであって、前記クリップの上面の一部が前記成形材料のない状態とする、ステップをさらに含む、コンセプト 3 に記載の方法。

10

コンセプト 5 .

第 1 クリップを前記リードフレーム、前記第 1 ダイの前記ドレインおよび前記第 2 ダイの前記ソースに接続するステップをさらに含む、コンセプト 1 に記載の方法。

コンセプト 6 .

第 2 クリップを前記リードフレームおよび前記第 2 ダイの前記ゲートに接続するステップをさらに含む、コンセプト 5 に記載の方法。

コンセプト 7 .

第 2 クリップを前記リードフレームおよび前記第 2 ダイの前記ドレインに接続するステップをさらに含む、コンセプト 5 に記載の方法。

20

コンセプト 8 .

第 3 クリップを前記リードフレームおよび前記第 2 ダイの前記ゲートに接続するステップをさらに含む、コンセプト 7 に記載の方法。

コンセプト 9 .

前記第 1 ダイがスプリットゲート型の技術を含む、コンセプト 1 ~ 8 のいずれか一つに記載の方法。

30

コンセプト 10 .

前記第 2 ダイが、横方向拡散金属酸化物半導体 (L D M O S) 技術を含む、コンセプト 1 ~ 9 のいずれか一つに記載の方法。

コンセプト 11 .

第 1 ダイのゲートおよびソースをリードフレームに接続するステップであって、前記第 1 ダイが、該第 1 ダイの第 1 表面に配置された前記ゲートおよび前記ソースと、前記第 1 表面の反対側の前記第 1 ダイの第 2 表面に配置されたドレインとを含む、ステップと、

第 2 ダイのソースを前記第 1 ダイの前記ドレインに接続するステップであって、前記第 2 ダイが、該第 2 ダイの第 1 表面に配置されたゲートおよび前記ソースと、前記第 1 表面の反対側の前記第 2 ダイの第 2 表面に配置されたドレインとを含む、ステップとを含む方法。

40

コンセプト 12 .

前記リードフレームおよび前記第 2 ダイの前記ゲートを接続するステップをさらに含む、コンセプト 11 に記載の方法。

コンセプト 13 .

クリップを前記リードフレームおよび前記第 2 ダイの前記ドレインに接続するステップをさらに含む、コンセプト 11 または 12 に記載の方法。

50

コンセプト 14 .

前記第 1 ダイ、前記第 2 ダイおよび前記クリップを整形材料でカバーするステップであって、前記クリップの上面の一部が前記成形材料のない状態とする、ステップをさらに含む、コンセプト 13 に記載の方法。

コンセプト 15 .

第 1 クリップを前記リードフレーム、前記第 1 ダイの前記ドレインおよび前記第 2 ダイの前記ソースに接続するステップをさらに含む、コンセプト 11 に記載の方法。

10

コンセプト 16 .

第 2 クリップを前記リードフレームおよび前記第 2 ダイの前記ゲートに接続するステップをさらに含む、コンセプト 15 に記載の方法。

コンセプト 17 .

第 2 クリップを前記リードフレームおよび前記第 2 ダイの前記ドレインに接続するステップをさらに含む、コンセプト 16 に記載の方法。

コンセプト 18 .

第 3 クリップを前記リードフレームおよび前記第 2 ダイの前記ゲートに接続するステップをさらに含む、コンセプト 17 に記載の方法。

20

コンセプト 19 .

前記第 1 ダイがスプリットゲート型の技術を含む、コンセプト 11 ~ 18 のいずれか一つに記載の方法。

コンセプト 20 .

前記第 2 ダイが、横方向拡散金属酸化物半導体 (L D M O S) 技術を含む、コンセプト 11 ~ 19 のいずれか一つに記載の方法。

30

【 0 1 0 1 】

「 A p p e n d i x A 」

[発明の名称] デュアルリードフレームの半導体パッケージおよびその製造方法

[発明の背景]

[0001]集積回路の製造には、半導体チップのパッケージングが含まれる。図 1、図 2、および図 3 は、半導体パッケージを製造するための従来の方法を示している。図 1 を参照すると、リードフレームが提供されている。リードフレーム 1 は、少なくとも 1 つのドレインピン 11 と、少なくとも 1 つのソースピン 13 と、少なくとも 1 つのゲートピン 14 と、を含んでいる。ドレインピン 11、ソースピン 13 およびゲートピンは、エクステンション 12 を対応させることによってフレーム (図示せず) に接続されている。ソースピン 13 およびゲートピン 14 はドレインピン 11 に面し、スペースが、ソースピン 13 とドレインピン 11 の側面との間、およびゲートピン 14 とドレインピン 11 の側面との間に存在している。

40

[0002]図 2 を参照すると、少なくとも 1 つのチップ 2 が提供されている。チップ 2 は、上面 21 と下面 (図示せず) を有する。上面 21 は、ソース導電領域 22 とゲート導電領域 23 を有する。下面は、ドレイン導電領域 (図示せず) を有する。ドレイン導電領域がドレインピン 11 に電氣的に接続されるように、チップ 2 が配置されている。

[0003]図 3 を参照すると、ワイヤリング工程が実行されている。第 1 ワイヤ 31 が、リ

50

ードフレーム1のソースピン13とチップ2のソース導電領域22を接続するために使用され、第2ワイヤ32が、リードフレーム1のゲートピン14とチップ2のゲート導電領域23を接続するために使用されている。次に、この方法は、前記半導体パッケージをさらに形成するための成形工程および切断工程を継続することができる。

[0004]半導体パッケージを製造するための従来の方法は次の欠点を有する。第1ワイヤ31および第2ワイヤ32は金のワイヤであるため、材料コストが高くなる。また、ワイヤボンディング工程の間、ワイヤリング装置が、第1ワイヤ31と第2ワイヤ32を一つずつ形成するために使用され、これに時間がかかる。さらに、一定の空間を、ワイヤリング装置のワイヤリングヘッドの移動のために、第1ワイヤ31と第2ワイヤ32との間に確保する必要があるため、第1ワイヤ31と第2ワイヤ32との間のスペースを有効に狭めることができない。チップ2のサイズがある程度減少した場合、従来の方法を適用できない。

10

[0005]したがって、上記の問題を解決するために、改善された半導体パッケージと、その製造方法を提供することが引き続き必要とされている。

[発明の概要]

[0006]本技術は、以下の説明、ならびに半導体パッケージを対象とした本技術およびその製造方法の実施形態を例示するために使用される添付図面を参照することによって最もよく理解され得る。この技術は、1つまたは複数の実施形態において、ワイヤのないトランジスタの半導体パッケージおよびその製造方法を含む。

[0007]一実施形態では、半導体パッケージを製造する方法が、基板リードフレームを設けるステップを含み、基板リードフレームは、基板フレームと、少なくとも1つの第1基板リードと、少なくとも1つの第2基板リードと、少なくとも1つの第3基板リードとを含み、第1基板リードは基板フレームに接続され、第2基板リードおよび第3基板リードは第1基板リードの側面に面し、第2基板リードは基板フレームに接続された第1エクステンション部を有し、第3基板リードは基板フレームに接続された第2エクステンション部を有する。また、少なくとも1つのICチップが設けられ、少なくとも1つのICチップは上面と下面を有し、上面は第2導電領域と第3導電領域を有し、下面は第1導電領域を有する。少なくとも1つのICチップは、第1導電領域が少なくとも1つの第1基板リードに電氣的に接続された基板フレーム上に配置されている。また、クリップリードフレームが設けられ、このクリップリードフレームは、クリップフレームと、少なくとも1つの第1クリップリードと、少なくとも1つの第2クリップリードとを含み、少なくとも1つの第1クリップリードはクリップフレームに接続され、少なくとも1つの第2クリップリードはクリップフレームに接続されている。クリップリードフレームは少なくとも1つのICチップ上に配置され、第1クリップリードは少なくとも1つのICチップの第2導電領域に電氣的に接続され、第2クリップリードは少なくとも1つのICチップの第3導電領域に電氣的に接続されている。成形工程が実行され、その後、少なくとも1つのICチップをそれぞれが含んでいる少なくとも1つの半導体パッケージを形成するために、取り外すための切断工程が実行される。

20

30

[0008]別の実施形態では、半導体パッケージは、基板リードフレームと、少なくとも1つのチップと、クリップリードフレームと、成形コンパウンドと、を含んでいる。基板リードフレームは、少なくとも1つの基板フレームと、少なくとも1つの第1基板リードと、少なくとも1つの第2基板リードと、少なくとも1つの第3基板リードと、を含み、第1基板リードは基板フレームに接続され、第2基板リードおよび第3基板リードは第1基板リードの側面に面し、第2基板リードは第1エクステンション部を有し、第3基板リードは第2エクステンション部を有する。少なくとも1つのチップはそれぞれの第1基板リードにそれぞれ配置され、上面および下面を有し、上面は第2導電領域および第3導電領域を有し、下面は第1導電領域を有し、第1導電領域が第1基板リードに電氣的に接続されている。クリップリードフレームは、少なくとも1つのチップに配置され、少なくとも1つの第1クリップリードおよび少なくとも1つの第2クリップリードを有し、第1クリップリードは、少なくとも1つのチップの第2導電領域と第2基板リードのそれぞれに電

40

50

氣的に接続され、第2クリップリードは、少なくとも1つのチップの第3導電領域と第3基板リードのそれぞれに電氣的に接続されている。成形コンパウンドは、基板リードフレーム、少なくとも1つのチップ、およびクリップリードフレームをカプセル封止し、少なくとも1つの第1基板リード、少なくとも1つの第2基板リード、および少なくとも1つの第3基板リードは、成形コンパウンドの側面に露出されている。

[0009]さらに別の実施形態では、半導体パッケージを製造する方法が、複数の基板リードセット部分および基板フレーム部分を含む基板リードフレームを受け入れるステップを含み、各基板リードセットは、第1基板リード、第2基板リード、および第3基板リードを含み、第1基板リード、第2基板リード、および第3基板リードのそれぞれが、1つまたは複数の基板のエクステンションによって基板フレーム部分に接続されている。また、
10 複数のICチップが受け入れられ、各ICチップは、第1表面上の第1導電領域と、第2表面上の第2導電領域および第3導電領域とを含んでいる。複数のICチップのそれぞれが、第1基板リードに配置されている。また、クリップリードフレームが受け入れられ、このクリップリードフレームは複数のクリップリードセット部分およびクリップフレーム部分を含み、各クリップリードセットは第1クリップリードおよび第2クリップリードを含み、第1クリップリードおよび第2クリップリードのそれぞれが、1つまたは複数のクリップのエクステンションによってクリップフレーム部分に接続されている。クリップリードフレームは、複数のICチップに配置され、第1クリップリードのそれぞれが、それぞれのICチップ上の第2導電領域と基板リードフレームのそれぞれの第2基板リードとの間に配置され、第2クリップリードのそれぞれが、それぞれのICチップ上の第3導電領域と基板リードフレームのそれぞれの第3基板リードとの間に配置されている。第1基板リードは、それぞれのICチップの第1導電領域に接続されている。第1クリップリードは、それぞれのICチップ上の第2導電領域と第2基板リードとの間に接続されている。第2クリップリードは、それぞれのICチップ上の第3導電領域と複数のICチップそれぞれの第3基板リードとの間に接続されている。次に、複数の所定の位置にあるリードフレーム、複数のICチップ、およびクリップリードフレームを切断する前に、基板リードフレーム、複数のICチップ、およびクリップリードフレームがカプセル封止され、基板フレームから第1基板リード、第2基板リード、および第3基板リードを、ならびにクリップフレームから第1クリップリードおよび第2クリップリードを分離して、それぞれのICチップに接続された第1基板リード、それぞれのICチップと第2基板リードとの間に接続された第1クリップリード、およびそれぞれのICチップと第3基板リードとの間に接続された第2クリップリードを含む、少なくとも1つのICチップをそれぞれが含むパッケージを形成する。
20
30

[0010]この概要は、以下の詳細な説明でさらに説明される簡略化された形態でのさまざまなコンセプトを紹介するために提供されている。この概要は、特許請求された主題の主要な特徴または本質的な特徴を特定することを意図するものではなく、特許請求された主題の範囲を制限するために使用されることを意図するものでもない。

[0011]本技術の実施形態は、同じ参照符号が同様の要素を指している添付の図面の図において、例として示されており、限定されるものではない。

[図面の簡単な説明]

[図1] 従来技術に従って半導体パッケージを製造するための方法の一段階を示す概略図である。

[図2] 従来技術に従って半導体パッケージを製造するための方法の別の段階を示す概略図である。

[図3] 従来技術に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図4] 本技術の一実施形態に従って半導体パッケージを製造するための方法の一段階を示す概略図である。

[図5] 本技術の一実施形態に従って半導体パッケージを製造するための方法の別の段階を示す概略図である。

10

20

30

40

50

[図 6] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 7] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 8] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 9] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 10] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

10

[図 11] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 12] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 13] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 14] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 15] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

20

[図 16] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 17] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 18] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 19] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 20] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

30

[図 21] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 22] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[図 23] 本技術の一実施形態に従って半導体パッケージを製造するための方法のさらに別の段階を示す概略図である。

[発明の詳細な説明]

[0012]次に、添付の図面に示されている例を参照して、本技術の実施形態が詳細に説明されよう。本技術は、これらの実施形態に関連して説明されるが、本発明をこれらの実施形態に限定されるものではないことが理解されよう。それどころか、本発明は、添付の特許請求の範囲によって定義される本発明の範囲内に含まれ得る代替物、修正形態および均等物を包含することを意図している。さらに、本技術の以下の詳細な説明において、多くの特定の詳細が、本技術の十分な理解を提供するために記載されている。ただし、本技術は、これらの特定の詳細なしに実施され得ることを理解されたい。他の例において、周知の方法、手順、構成要素、および回路は、本技術の態様を不必要に不明瞭にしないように、詳細に説明されていない。

40

[0013]本出願では、離接語の使用は、接続語を含むように意図されている。定冠詞または不定冠詞の使用は、カーディナリティを示すことを意図するものではない。特に、“the”オブジェクトまたは“a”オブジェクトへの言及は、このオブジェクトの可能な複数のうちの1つを意味することが意図されている。また、本明細書で使用される表現およ

50

び用語は説明のためであり、限定とみなされるべきではないことを理解されたい。

[0014]本技術の実施形態は、半導体パッケージング技術を対象としている。ここで、図4を参照すると、本技術の一実施形態による半導体パッケージの製造における一段階が示されている。図4に示されている段階は、図4の部分拡大図である図5を参照して、さらに説明されよう。図4および図5は、フレーム部分405および複数のリードセット410、420、430の部分を含む基板リードフレーム400を示している。リードのセットごとに、第1基板リード410が、1つまたは複数のエクステンション415によってフレーム部分405に接続されている。第2基板リード420と第3基板リード430は、1つまたは複数のそれぞれのエクステンション425、435によってフレーム部分405に接続されている。第2基板リード420および第3基板リード430は、スペースによって、第1基板リード410の第1側面411に沿って第1基板リード410から分離されている。一実装態様では、第1基板リード410は第1ドレイン配線であり、第2基板リード420は第1ソース配線であり、第3基板リード430は第1ゲート配線である。別の実装態様では、第1基板リード410は第1ソース配線であり、第2基板リード420は第1ドレイン配線であり、第3基板リード430は第1ゲート配線である。

10

[0015]次に、図6を参照すると、本技術の一実施形態による半導体パッケージの製造における別の段階が示されている。図6に示されている段階は、図6の部分拡大図である図7を参照して、さらに説明されよう。第1半田510が第1基板リード410上に形成され、第2半田520が第2基板リード420上に形成され、第3半田530が第3基板リード430上に形成されている。

20

[0016]次に、図8を参照すると、本技術の一実施形態による半導体パッケージの製造におけるさらに別の段階が示されている。図8に示されている段階は、図8の部分拡大図である図9を参照して、さらに説明されよう。集積回路(IC)チップ600は、基板リードフレームのリードの各セットの第1基板リード410上に配置されている。一実施形態では、ICチップ600は、パワー金属酸化膜半導体電界効果トランジスタ(MOSFET)である。各ICチップ600は、上面610および下面640(図8および図9に示されていない)を有する。下面は、基板リードフレーム400の第1基板リード410上の、第1半田520上に配置され第1導電領域(図8および図9に示されていない)を有する。ICチップ600の上面610は、第2導電領域620と第3導電領域630を有する。一実装態様では、第1導電領域はドレイン導電領域であり、第2導電領域620はソース導電領域であり、第3導電領域630はゲート導電領域である。別の実装態様では、第1導電領域はソース導電領域であり、第2導電領域620はドレイン導電領域であり、第3導電領域630はゲート導電領域である。

30

[0017]次に、図10を参照すると、本技術の一実施形態による半導体パッケージの製造におけるさらに別の段階が示されている。図10に示されている段階は、図10の部分拡大図である図11を参照して、さらに説明されよう。図10および図11に示すように、第4半田540はICチップ600の第2導電領域620上に形成され、第5半田550はICチップ600の第3導電領域630上に形成されている。

[0018]次に、図12を参照すると、本技術の一実施形態による半導体パッケージの製造におけるさらに別の段階が示されている。図12に示されている段階は、図13、図14、および図15を参照してさらに説明されよう。図13は、図12の部分拡大図である。図14は、図12の直線14-14に沿った断面図であり、図15は、図12の直線15-15に沿った断面図である。図12~図15は、フレーム部分705および複数のリードセット710、720の部分を含むクリップリードフレーム700を示している。クリップリードの各セット710、720は、1つまたは複数のそれぞれのエクステンション730によってフレーム部分705に接続されている。一実装態様では、フレーム部分705は、吸収によって必要とされる領域を提供するための1つまたは複数のより大きな物理的領域を含んでいる。一実装態様では、第1クリップリード710は第2ソース配線であり、第2クリップリード720は第2ゲート配線である。別の実装態様では、第1クリップリード710は第2ドレイン配線であり、第2クリップリード720は第2ゲート配

40

50

線である。

[0019]第1クリップリード710のそれぞれが、第1端部711、第2端部712、第1凹部713、および第2凹部714を含んでいる。第2クリップリード720のそれぞれが、第1端部721、第2端部722、第1凹部723、および第2凹部724を含んでいる。

[0020]次に、図16を参照すると、本技術の一実施形態による半導体パッケージの製造におけるさらに別の段階が示されている。図16に示されている段階は、図17および図18を参照してさらに説明されよう。図17は、図16の部分拡大図である。図18は、図16の直線18-18に沿った断面図である。図16～図18は、基板リードフレーム400、ICチップ600、およびクリップリードフレーム700のアセンブリを示している。第1クリップリード710は、第2基板リード420上の第2半田520上に第1凹部712で配置され、第1クリップリード710の第2端部712は、ICチップ600の第2導電領域620上の第4半田540上に配置されている。第2クリップリード720は、第3基板リード430上の第3半田530上に第1凹部724で配置され、第2クリップリード720の第2端部722は、ICチップ600の第3導電領域630上の第5半田550上に配置されている。

10

[0021]半田リフロー工程は、クリップリードフレーム700のクリップリード710、720、ICチップ600、および基板リードフレーム400の基板リード410、420、430と一緒に電気的かつ機械的に接続するために、実行される。この結果、第1クリップリード710は、第1凹部712で第2基板リード420に電気的かつ機械的に接続され、第1クリップリード710の第2端部712は、ICチップ600の第2導電領域620に電気的かつ機械的に接続される。第1凹部724の第2クリップリード720は、第3基板リード430に電気的かつ機械的に接続され、第2クリップリード720の第2端部722は、ICチップ600の第3導電領域630に電気的かつ機械的に接続される。

20

[0022]次に、図19を参照すると、本技術の一実施形態による半導体パッケージの製造におけるさらに別の段階が示されている。図19では、成形工程が実行されている。一緒に接続された基板リードフレーム400、ICチップ600、およびクリップリードフレーム700は、モールドキャビティ(図示せず)内に配置され、その後、この基板リードフレーム400、ICチップ600、およびクリップリードフレーム700をカプセル封止するために、成形コンパウンド800がモールドキャビティ内に充填される。一実装態様では、第1基板リード410、第2基板リード420、および第3基板リード430は、成形コンパウンド800の外側に露出されている。

30

[0023]次に、図20および図21を参照すると、本技術の一実施形態による半導体パッケージの製造におけるさらに別の段階が示されている。図20に示すように、切断工程は、第1切断線L1に沿って実行され得る。図21に示すように、代替の切断工程は、第2切断線L2に沿って実行され得る。切断線L1またはL2に沿って切断することにより、基板リード410、420、430が基板フレーム405から互いに分離される。また、切断線L1またはL2に沿って切断することにより、クリップリード710、720がクリップフレーム705から互いに分離される。ただし、第2基板リード420は、第1クリップリード710に電気的かつ機械的に接続されたままであり、第3基板リード430は、第2クリップリード720に電気的かつ機械的に接続されたままである。

40

[0024]次に、図22および図23を参照すると、本技術の一実施形態による半導体パッケージの製造におけるさらに別の段階が示されている。図22は、成形コンパウンド内部の半導体パッケージ900の上面図を示している。図23は、半導体パッケージ900の側面断面図を示している。図22は、図21の切断線L2に沿った切断に因る2つのICチップ600を含む半導体パッケージ900を示している。

[0025]本発明の実施形態による半導体パッケージ900は、1つまたは複数のICチップ400を含んでいる。それぞれのICチップ400の第1表面上の第1導電領域は、第1基板リード410に電気的かつ機械的に接続されている。第1クリップリード710は

50

、それぞれのICチップ400の第2表面上の第2導電領域と第2基板リード420との間に、電気的かつ機械的に接続されている。第2クリップリード720は、それぞれのICチップ400の第2表面上の第3導電領域と第3基板リード420との間に、電気的かつ機械的に接続されている。1つまたは複数のICチップ400、第1基板リード410、第2基板リード420、第3基板リード430、第1クリップリード710、および第2クリップリード720は、第1基板リード410、第2基板リード420、および第3基板リード430のパッケージ接触部分を除いて、カプセル封止されている。一実装態様では、第1基板リード410はドレイン配線であり、一緒に接続された第1クリップリード710および第2基板リード420はソース配線であり、一緒に接続された第2クリップリード720および第3基板リード430はパッケージ900内のそれぞれのICチップ400のゲート配線である。別の実装態様では、第1基板リード410はソース配線であり、一緒に接続された第1クリップリード710および第2基板リード420はドレイン配線であり、一緒に接続された第2クリップリード720および第3基板リード430はパッケージ900内のそれぞれのICチップ400のゲート配線である。

[0026]本技術の実施形態は、1つまたは複数のICチップを含む集積回路パッケージの製造に好適に適用可能である。また、本技術の実施形態は、金のワイヤを利用せずに配線をパッケージ化することが可能であるため、効果的に材料コストを節約することができる。さらに、本技術の全クリップリードフレーム700は、効果的に処理時間を節約するために一体的に配置されている。クリップリードフレーム700を、クリップリード710と720との間の空間を狭くするためにエッチングまたは他の洗練された技術によって製造することができるため、クリップリードフレーム700は、小さなサイズを有するICチップ600に適用可能である。

[0027]本技術の特定の実施形態の上記説明は、例示および説明の目的で提示されている。それらは、網羅的であること、または開示された正確な形態に本発明を限定することを意図するものではなく、明らかに、多くの修正および変形が上記の教示に照らして可能である。本実施形態は、本技術の趣旨およびその実用的な適用を最もよく説明するために選択され、説明されており、これにより、当業者は、本発明の技術および考えられる特定の用途に適するようさまざまな修正形態を用いてさまざまな実施形態を最もよく利用することが可能である。本発明の範囲は、本明細書に添付の特許請求の範囲およびその均等物によって定義されることが意図されている。

[書類名] 特許請求の範囲

[請求項1]

半導体パッケージを製造するための方法であって、

(a) 基板リードフレームを設けるステップであって、前記基板リードフレームが、基板フレームと、少なくとも1つの第1基板リードと、少なくとも1つの第2基板リードと、少なくとも1つの第3基板リードとを含み、前記第1基板リードが基板フレームに接続され、前記第2基板リードおよび前記第3基板リードが前記第1基板リードの側面に面し、前記第2基板リードが前記基板フレームに接続された第1エクステンション部を有し、前記第3基板リードが前記基板フレームに接続された第2エクステンション部を有する、ステップと、

(b) 少なくとも1つのICチップを設けるステップであって、前記少なくとも1つのICチップが上面および下面を有し、前記上面が第2導電領域および第3導電領域を有し、前記下面が第1導電領域を有する、ステップと、

(c) 前記基板フレーム上に少なくとも1つのICチップを配置するステップであって、前記第1導電領域が前記少なくとも1つの第1基板リードに電気的に接続されている、ステップと、

(d) クリップリードフレームを設けるステップであって、前記クリップリードフレームが、クリップフレームと、少なくとも1つの第1クリップリードと、少なくとも1つの第2クリップリードとを含み、前記少なくとも1つの第1クリップリードが前記クリップ

フレームに接続され、前記少なくとも1つの第2クリップが前記クリップフレームに接続されている、ステップと、

(e) 前記少なくとも1つのICチップ上に前記クリップリードフレームを配置するステップであって、前記第1クリップリードが前記少なくとも1つのICチップの前記第2導電領域に電氣的に接続され、前記第2クリップリードが前記少なくとも1つのICチップの前記第3導電領域に電氣的に接続されている、ステップと、

(f) 成形工程を実行するステップと、

(g) 前記少なくとも1つのICチップをそれぞれが含んでいる少なくとも1つの半導体パッケージを形成するために、取り外すための切断工程を実行するステップと、

を含む方法。

10

[請求項2]

前記ステップ(a)において、前記基板リードフレームが、前記基板フレームと、前記少なくとも1つの第1基板リードと、前記少なくとも1つの第2基板リードと、前記少なくとも1つの第3基板リードとを接続するための、複数の固定された接続部分をさらに含む、請求項1に記載の方法。

[請求項3]

前記ステップ(a)において、スペースが、前記第2基板リードと前記第1基板リードの側面との間、および前記第3基板リードと前記第1基板リードの側面との間に存在する、請求項1に記載の方法。

[請求項4]

20

前記ステップ(b)の後に、前記方法が、前記第1基板リード、前記第2基板リード、および前記第3基板リード上に第1半田を形成するステップをさらに含み、前記ステップ(c)の後に、前記方法が、前記第1クリップリードおよび前記第2クリップリード上に第2半田を形成するステップをさらに含み、前記ステップ(e)の後に、前記方法が、半田リフロー工程を実行するステップをさらに含む、請求項1に記載の方法。

[請求項5]

前記ステップ(d)において、前記少なくとも1つの第1クリップリードが第1端部および第2端部を有し、前記少なくとも1つの第2クリップリードが第3端部および第4端部を有し、前記少なくとも1つの第1クリップリードの前記第2端部と前記少なくとも1つの第2クリップリードの前記第4端部の両方が、前記少なくとも1つの中間接続部分に接続され、前記ステップ(e)において、前記第1クリップリードの前記第1端部が前記少なくとも1つのチップの前記第2導電領域に電氣的に接続され、前記第2クリップリードの前記第3端部が前記少なくとも1つのチップの前記第3導電領域に電氣的に接続されている、請求項1に記載の方法。

30

[請求項6]

前記ステップ(d)において、前記少なくとも1つの第1クリップリードが第1凹部および第2凹部を有し、前記少なくとも1つの第2クリップリードが第3凹部および第4凹部を有し、前記少なくとも1つの第1クリップリードが前記第1凹部を通じて前記少なくとも1つのチップの前記第2導電領域に電氣的に接続され、前記少なくとも1つの第1クリップリードが前記第2凹部を通じて前記第2基板リードに電氣的に接続され、前記第2クリップリードが前記第3凹部を通じて前記少なくとも1つのチップの前記第3導電領域に電氣的に接続され、前記第2クリップリードが前記第4凹部を通じて前記第3基板リードに電氣的に接続されている、請求項1に記載の方法。

40

[請求項7]

前記第1基板リードがドレインピンであり、前記第2基板リードがソースピンであり、前記第3基板リードがゲートピンであり、前記第1導電領域がドレイン導電領域であり、前記第2導電領域がソース導電領域であり、前記第3導電領域がゲート導電領域であり、前記第1クリップリードがソース接続部分であり、前記第2クリップリードがゲート接続部分である、請求項1に記載の方法。

[請求項8]

50

前記第 1 基板リードがソースピンであり、前記第 2 基板リードがドレインピンであり、前記第 3 基板リードがゲートピンであり、前記第 1 導電領域がソース導電領域であり、前記第 2 導電領域がドレイン導電領域であり、前記第 3 導電領域がゲート導電領域であり、前記第 1 クリップリードがドレイン接続部分であり、前記第 2 クリップリードがゲート接続部分である、請求項 1 に記載の方法。

[請求項 9]

少なくとも 1 つの基板フレームと、少なくとも 1 つの第 1 基板リードと、少なくとも 1 つの第 2 基板リードと、少なくとも 1 つの第 3 基板リードと、を含む基板リードフレームであって、前記第 1 基板リードが前記基板フレームに接続され、前記第 2 基板リードおよび前記第 3 基板リードが前記第 1 基板リードの側面に面し、前記第 2 基板リードが第 1 エクステンション部を有し、前記第 3 基板リードが第 2 エクステンション部を有する、基板リードフレームと、

10

各チップが前記それぞれの第 1 基板リード上に配置され、上面および下面を有する、少なくとも 1 つのチップであって、前記上面が第 2 導電領域および第 3 導電領域を有し、前記下面が第 1 導電領域を有し、前記第 1 導電領域が前記第 1 基板リードに電氣的に接続されている、少なくとも 1 つのチップと、

前記少なくとも 1 つのチップ上に配置され、少なくとも 1 つの第 1 クリップリードおよび少なくとも 1 つの第 2 クリップリードを有する、クリップリードフレームであって、前記第 1 クリップリードが前記少なくとも 1 つのチップの前記第 2 導電領域および前記第 2 基板リードに電氣的にそれぞれ接続され、前記第 2 クリップリードが前記少なくとも 1 つのチップの前記第 3 導電領域および前記第 3 基板リードにそれぞれ電氣的に接続されている、クリップリードフレームと、

20

前記基板リードフレームと、前記少なくとも 1 つのチップと、前記クリップリードフレームとをカプセル封止する成形コンパウンドであって、前記少なくとも 1 つの第 1 基板リード、前記少なくとも 1 つの第 2 基板リード、および前記少なくとも 1 つの第 3 基板リードが、前記成形コンパウンドの側面に露出されている、成形コンパウンドと、
を含む半導体パッケージ。

[請求項 10]

スペースが、前記第 2 基板リードと前記第 1 基板リードの前記側面との間、および前記第 3 基板リードと前記第 1 基板リードの前記側面との間に存在する、請求項 9 に記載の半導体パッケージ。

30

[請求項 11]

前記少なくとも 1 つの第 1 基板リードと前記少なくとも 1 つのチップを接続し、前記第 2 基板リードと第 1 クリップリードを接続し、前記第 3 基板リードと前記第 2 クリップリードを接続するための、第 1 半田、および

前記第 1 クリップリードと前記少なくとも 1 つのチップの前記第 2 導電領域を接続し、前記第 2 クリップリードと前記少なくとも 1 つのチップの前記第 3 導電領域を接続するための、第 2 半田、

をさらに含む、請求項 9 に記載の半導体パッケージ。

[請求項 12]

40

前記少なくとも 1 つの第 1 クリップリードが第 1 端部および第 2 端部を有し、前記少なくとも 1 つの第 2 クリップリードが第 3 端部および第 4 端部を有し、前記第 1 クリップリードの前記第 1 端部が前記少なくとも 1 つのチップの前記第 2 導電領域に電氣的に接続され、前記第 2 クリップリードの前記第 3 端部が前記少なくとも 1 つのチップの前記第 3 導電領域に電氣的に接続されている、請求項 9 に記載の半導体パッケージ。

[請求項 13]

前記少なくとも 1 つの第 1 クリップリードが第 1 凹部および第 2 凹部を有し、前記少なくとも 1 つの第 2 クリップリードが第 3 凹部および第 4 凹部を有し、前記少なくとも 1 つの第 1 クリップリードが前記第 1 凹部を通じて前記少なくとも 1 つのチップの前記第 2 導電領域に電氣的に接続され、前記少なくとも 1 つの第 1 クリップリードが前記第 2 凹部を

50

通じて前記第 2 基板リードに電氣的に接続され、前記第 2 クリップリードが前記第 3 凹部を通じて前記第 3 導電領域に電氣的に接続され、前記第 2 クリップリードが前記第 4 凹部を通じて前記第 3 基板リードに電氣的に接続されている、請求項 9 に記載の半導体パッケージ。

[請求項 1 4]

前記第 1 基板リードがドレインピンであり、前記第 2 基板リードがソースピンであり、前記第 3 基板リードがゲートピンであり、前記第 1 導電領域がドレイン導電領域であり、前記第 2 導電領域がソース導電領域であり、前記第 3 導電領域がゲート導電領域であり、前記第 1 クリップリードがソース接続部分であり、前記第 2 クリップリードがゲート接続部分である、請求項 9 に記載の半導体パッケージ。

10

[請求項 1 5]

前記第 1 基板リードがソースピンであり、前記第 2 基板リードがドレインピンであり、前記第 3 基板リードがゲートピンであり、前記第 1 導電領域がソース導電領域であり、前記第 2 導電領域がドレイン導電領域であり、前記第 3 導電領域がゲート導電領域であり、前記第 1 クリップリードがドレイン接続部分であり、前記第 2 クリップリードがゲート接続部分である、請求項 9 に記載の半導体パッケージ。

[請求項 1 6]

半導体パッケージを製造するための方法であって、

複数の基板リードセット部分および基板フレーム部分を含む基板リードフレームを受け入れるステップであって、各基板リードセットが、第 1 基板リード、第 2 基板リード、および第 3 基板リードを含み、前記第 1 基板リード、前記第 2 基板リード、および前記第 3 基板リードのそれぞれが、1 つまたは複数の基板のエクステンションによって前記基板フレーム部分に接続されている、ステップと、

20

複数の IC チップを受け入れるステップであって、各 IC チップが、第 1 表面上の第 1 導電領域と、第 2 表面上の第 2 導電領域および第 3 導電領域とを含んでいる、ステップと、

前記第 1 基板リード上に前記複数の IC チップのそれぞれを配置するステップと、

複数のクリップリードセット部分およびクリップフレーム部分を含むクリップリードフレームを受け入れるステップであって、各クリップリードセットが第 1 クリップリードおよび第 2 クリップリードを含み、前記第 1 クリップリードおよび前記第 2 クリップリードのそれぞれが、1 つまたは複数のクリップエクステンションによって前記クリップフレーム部分に接続されている、ステップと、

30

前記複数の IC チップ上に前記クリップリードフレームを配置するステップであって、前記第 1 クリップリードのそれぞれが、それぞれの IC チップ上の前記第 2 導電領域と前記基板リードフレームの前記それぞれの第 2 基板リードとの間に配置され、前記第 2 クリップリードのそれぞれが、それぞれの IC チップ上の前記第 3 導電領域と前記基板リードフレームの前記それぞれの第 3 基板リードとの間に配置されている、ステップと、

前記第 1 基板リードを、前記それぞれの IC チップの前記第 1 導電領域と、前記それぞれの IC チップ上の前記第 2 導電領域と前記第 2 基板リードとの間の前記第 1 クリップリードと、前記それぞれの IC チップ上の前記第 3 導電領域と前記複数の IC チップのそれぞれのための前記第 3 基板リードとの間の前記第 2 クリップリードと、に電氣的かつ機械的に接続するステップと、

40

前記基板リードフレーム、前記複数の IC チップ、および前記クリップリードフレームをカプセル封止するステップと、

複数の所定の位置にあるカプセル封止された前記リードフレーム、前記複数の IC チップ、および前記クリップリードフレームを切断するステップであって、前記基板フレームから前記第 1 基板リード、前記第 2 基板リード、および前記第 3 基板リードを、ならびに前記クリップフレームから前記第 1 クリップリードおよび前記第 2 クリップリードを分離して、前記それぞれの IC チップに接続された前記第 1 基板リード、前記それぞれの IC チップと前記第 2 基板リードとの間に接続された前記第 1 クリップリード、および前記そ

50

それぞれのICチップと前記第3基板リードとの間に接続された前記第2クリップリードを含む、前記少なくとも1つのICチップをそれぞれが含むパッケージを形成する、ステップと、

を含む方法。

[請求項17]

前記第2基板リードおよび前記第3基板リードが、スペースによって、前記基板リードフレーム内の前記第1基板リードの第1側面に沿って前記第1基板リードから分離されている、請求項16に記載の方法。

[請求項18]

前記複数のICチップがトランジスタであり、前記第1導電領域がドレイン導電領域であり、前記第2導電領域がソース導電領域であり、前記第3導電領域がゲート導電領域である、請求項16に記載の方法。

10

[請求項19]

前記複数のICチップがトランジスタであり、前記第1導電領域がソース導電領域であり、前記第2導電領域がドレイン導電領域であり、前記第3導電領域がゲート導電領域である、請求項16に記載の方法。

[書類名] 要約書

[要約]

20

半導体パッケージおよびその製造方法が提供されている。この方法では、クリップが、リードフレームおよび少なくとも1つのチップを導電するために使用されている。クリップは、少なくとも1つの第2接続部分、少なくとも1つの第3接続部分、および少なくとも1つの中間接続部分を有する。第2接続部分は、チップの第2導電領域およびリードフレームの第2ピンにそれぞれ電氣的に接続され、第3接続部分は、チップの第3導電領域およびリードフレームの第3ピンにそれぞれ電氣的に接続されている。中間接続部分は、少なくとも1つの第2接続部分と少なくとも1つの第3接続部分を接続し、後の工程で取り外される。したがって、本発明は、任意の金のワイヤを使用する必要がなく、これにより、効果的に材料コストおよび処理時間を節約することができる。

100

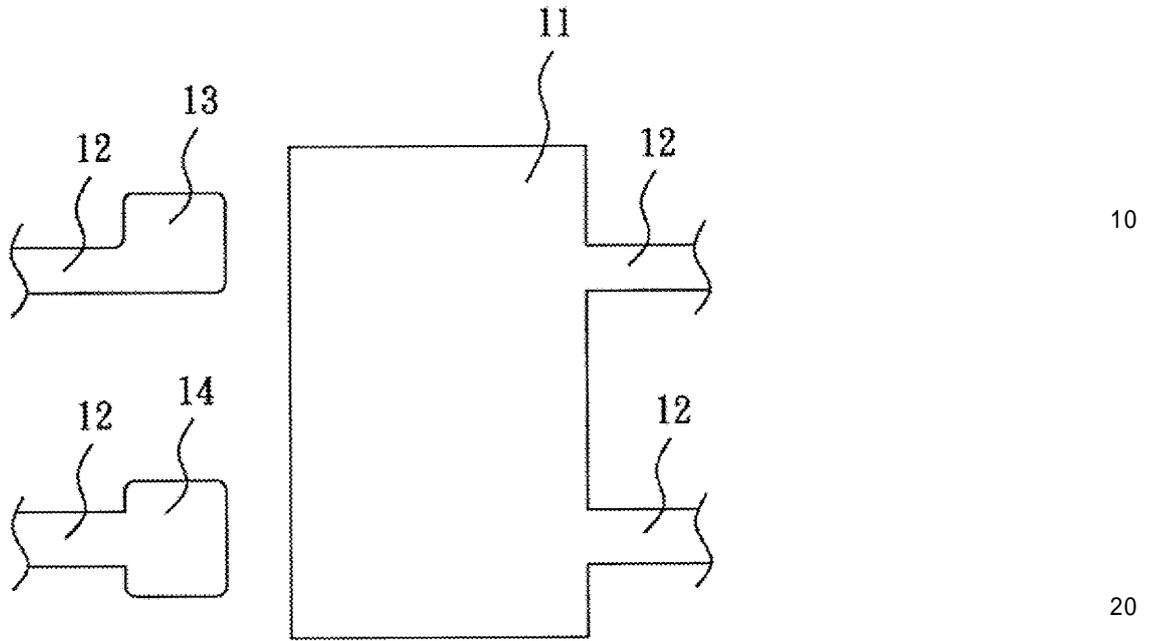
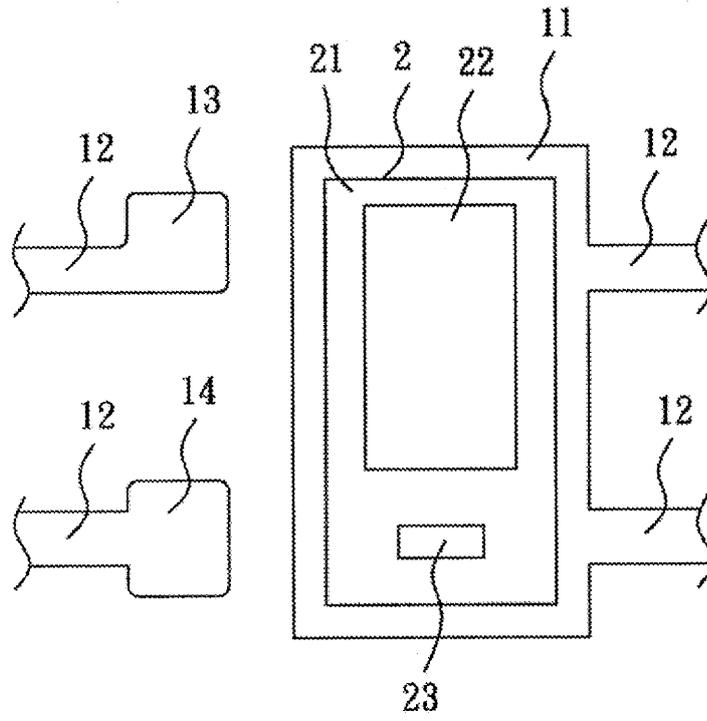


FIG.1 (Prior Art)

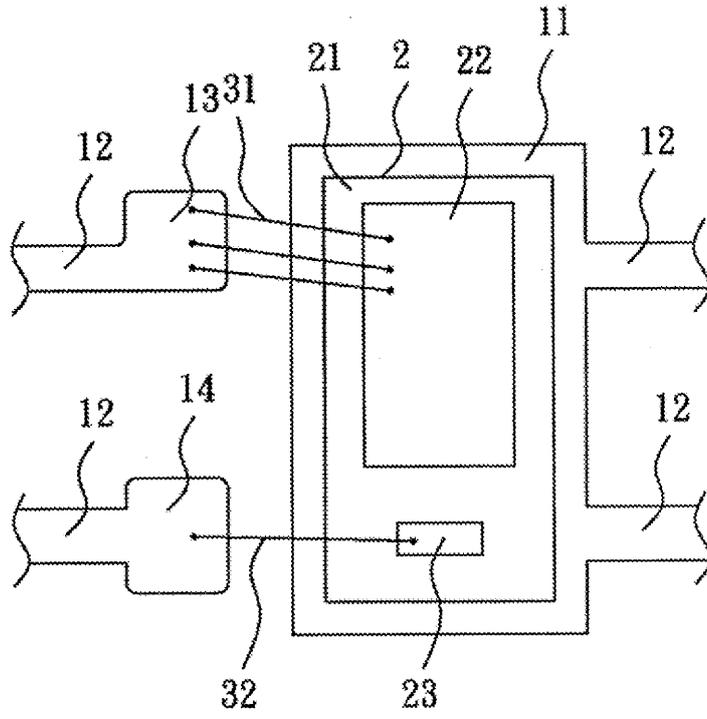


10

20

FIG.2 (Prior Art)

30



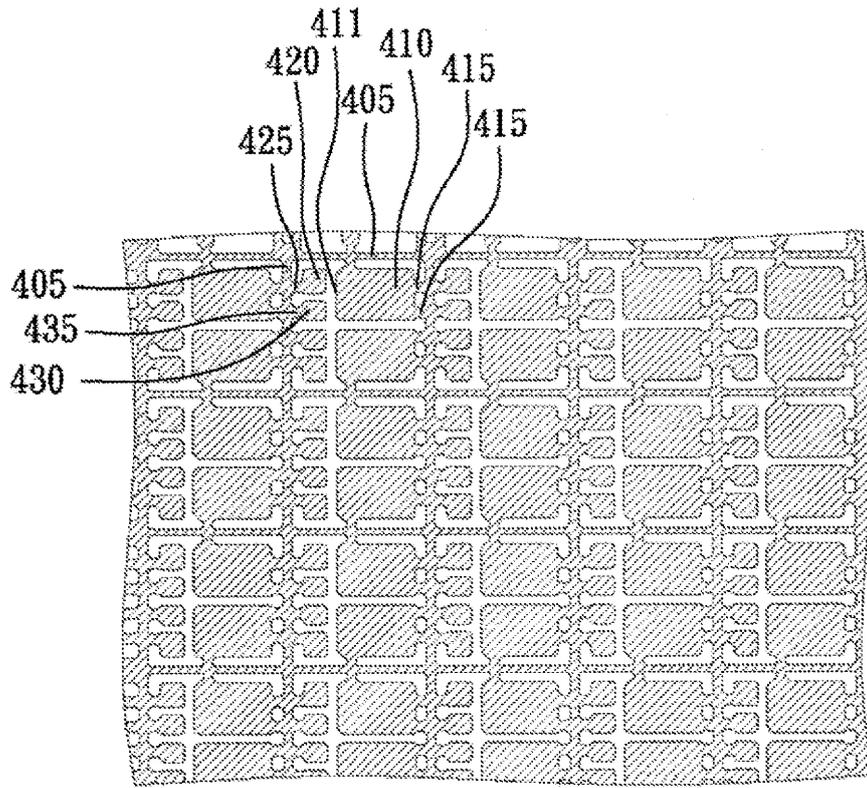
10

20

FIG.3 (Prior Art)

30

400



10

20

30

FIG. 4

400

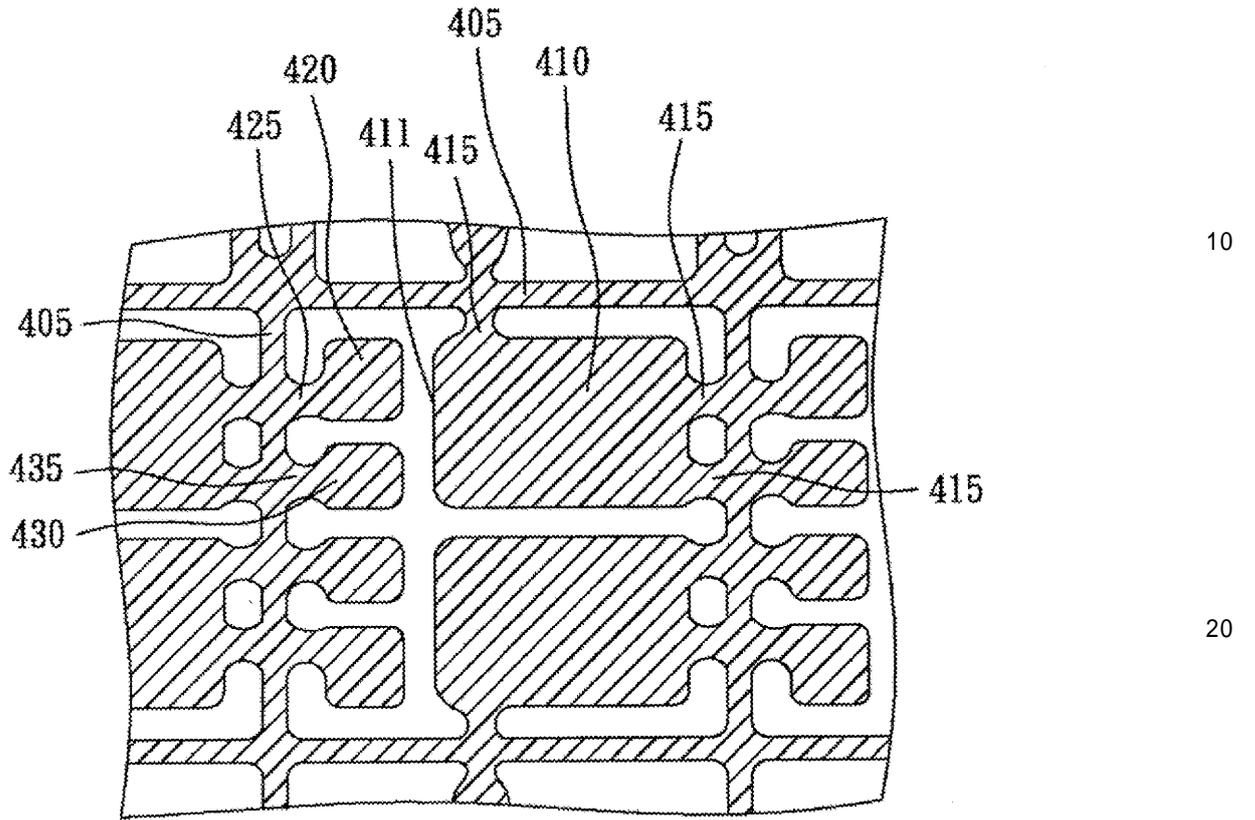


FIG. 5

10

20

30

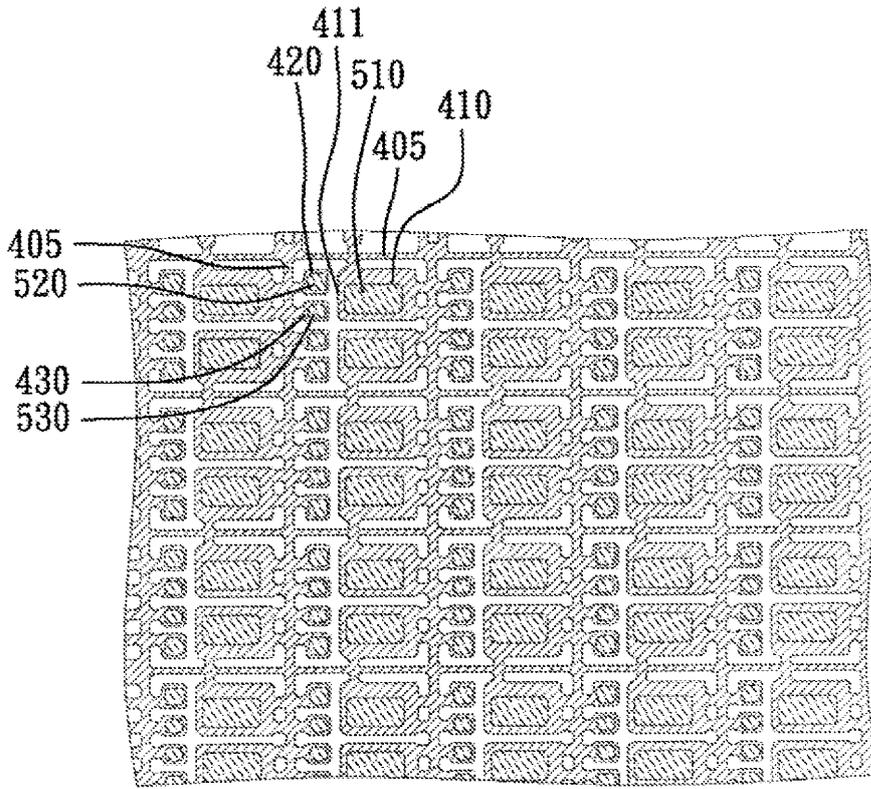
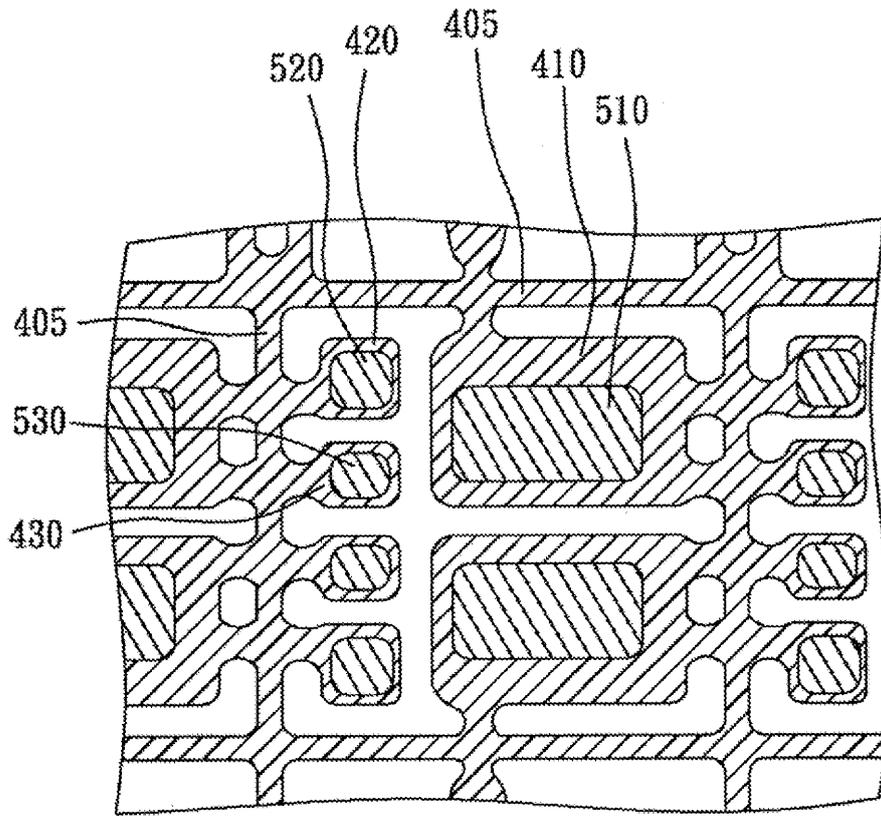


FIG. 6

10

20

30

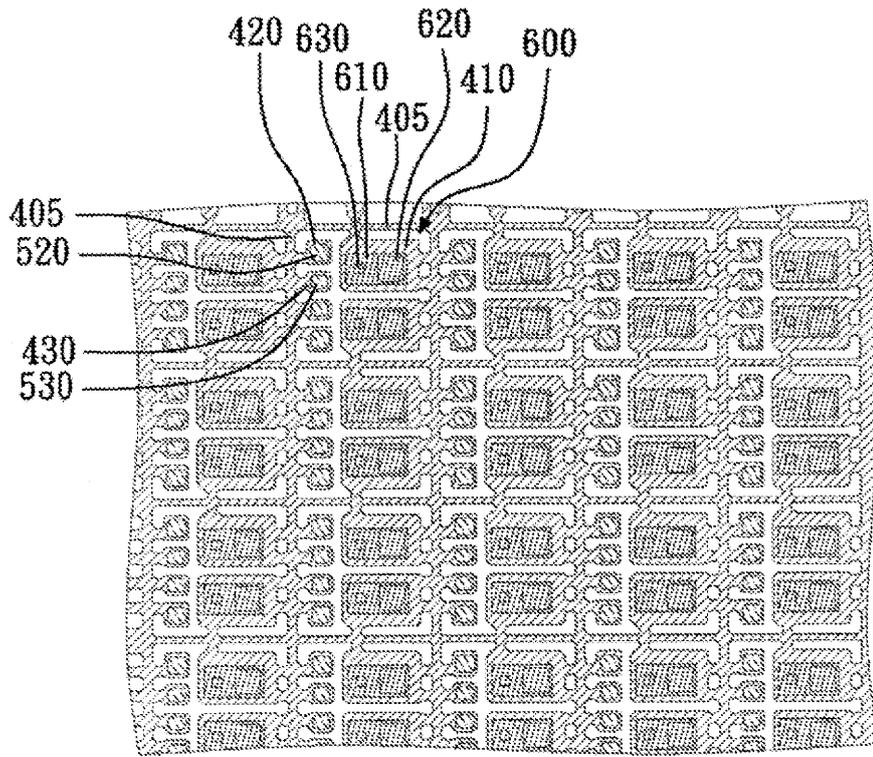


10

20

30

FIG. 7

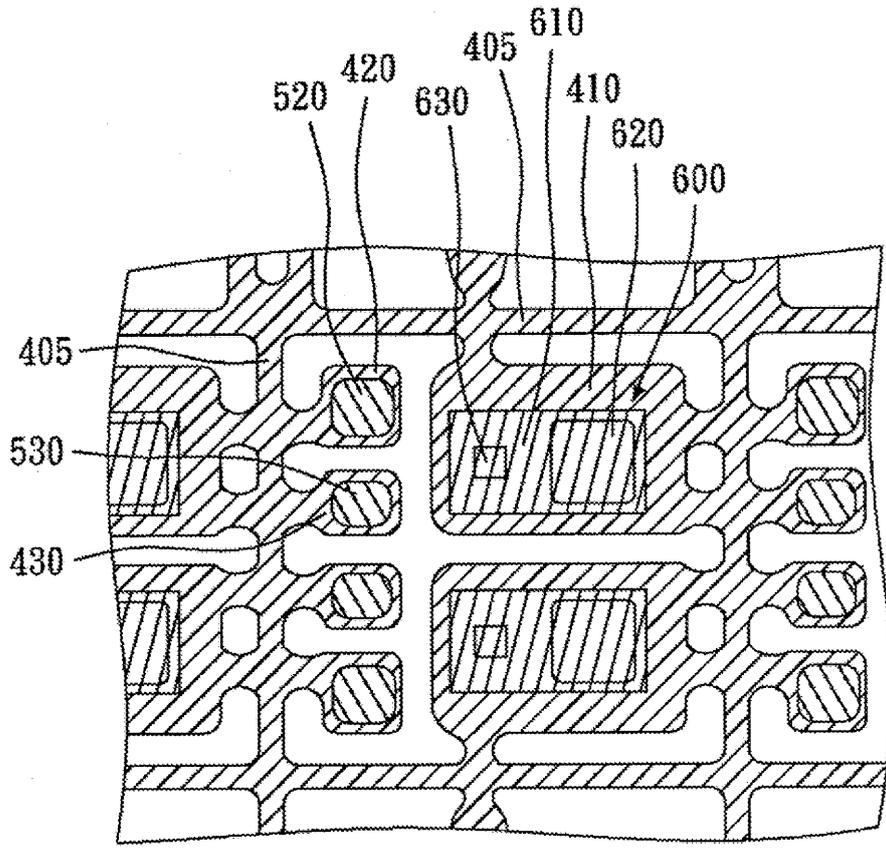


10

20

FIG. 8

30



10

20

30

FIG. 9

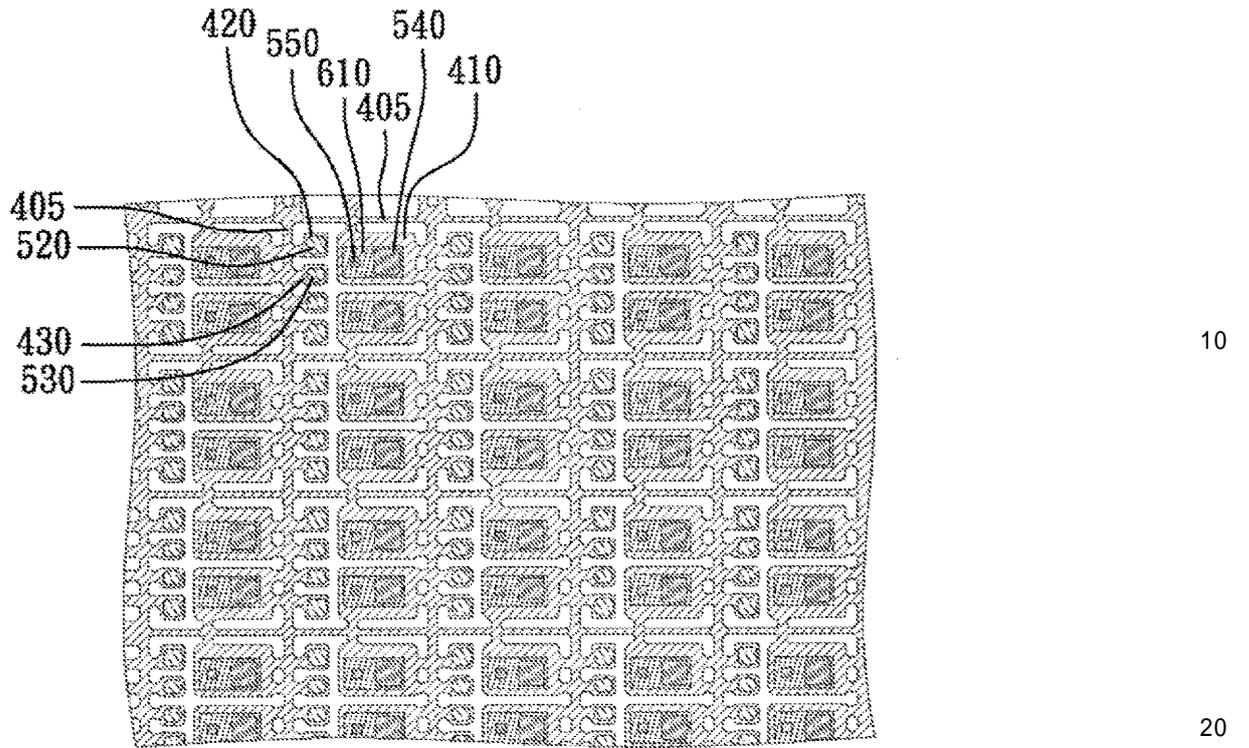


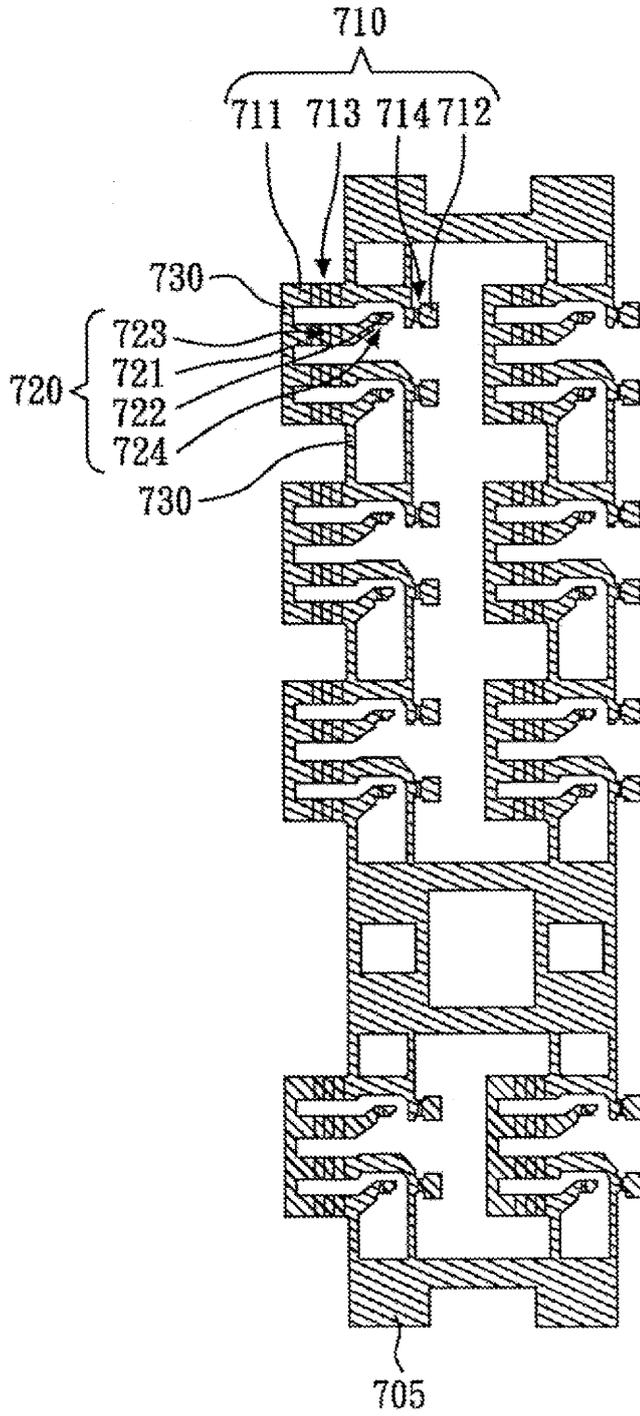
FIG. 10

10

20

30

700



10

20

30

40

FIG. 12

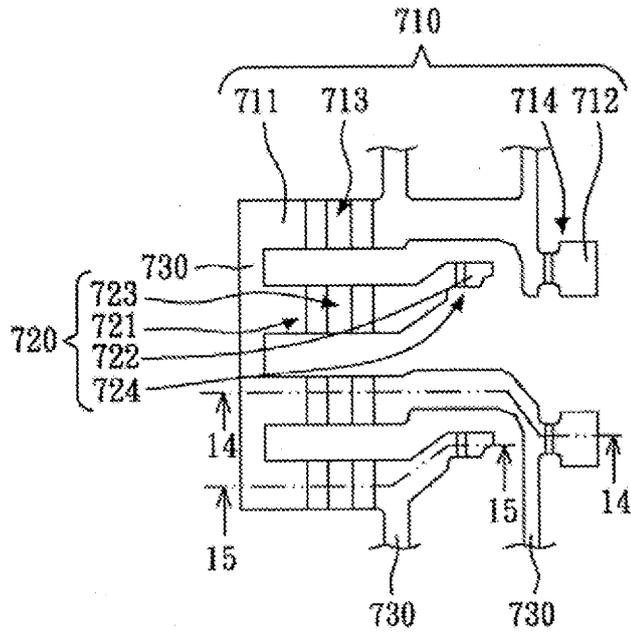


FIG. 13

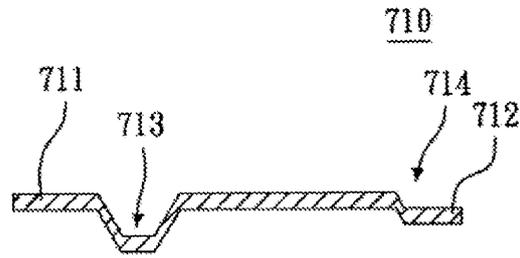


FIG. 14

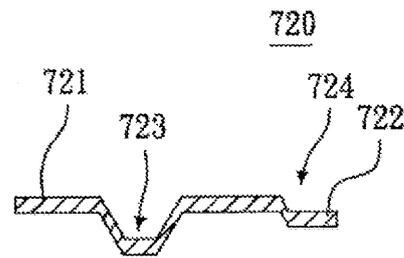


FIG. 15

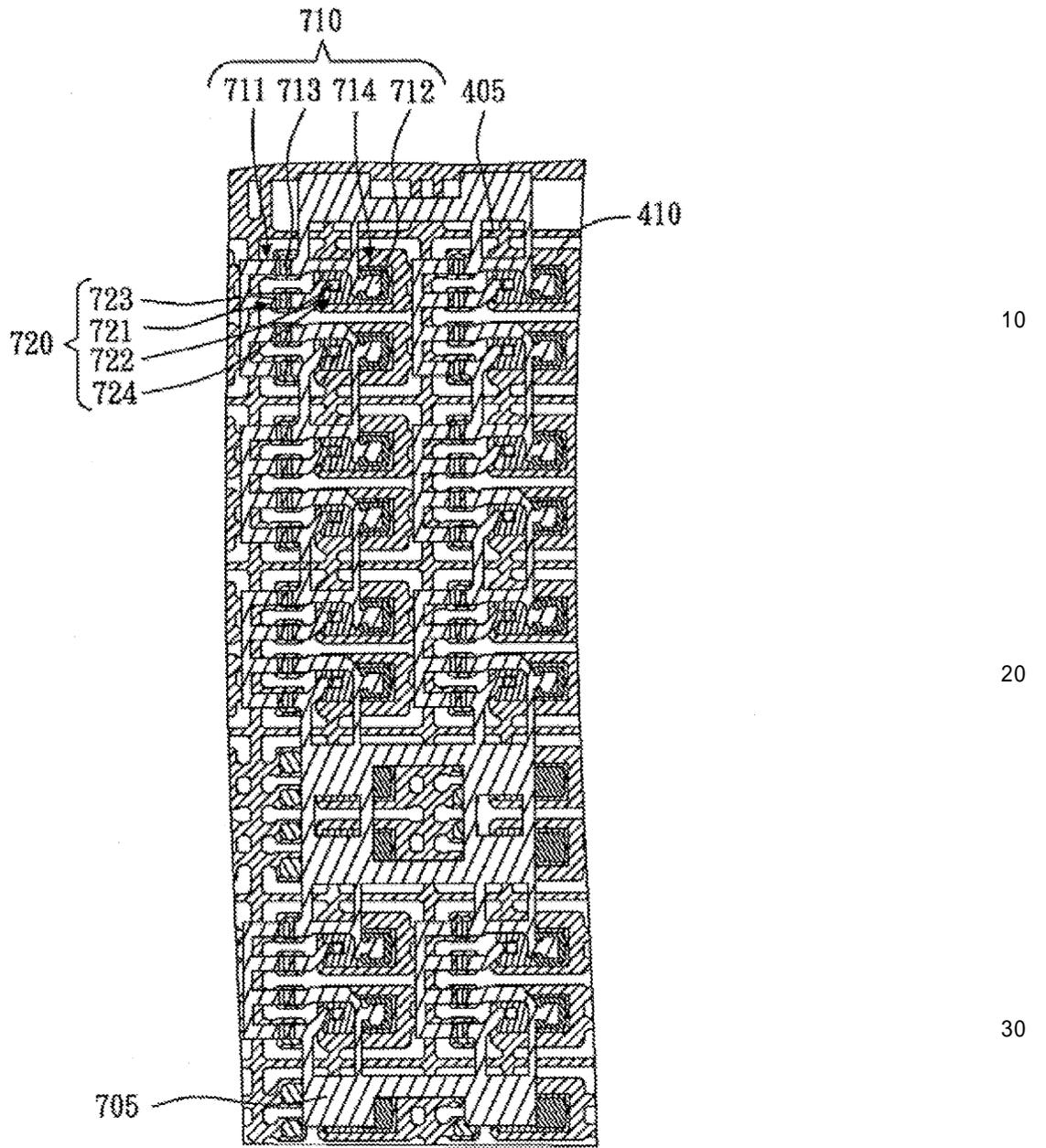
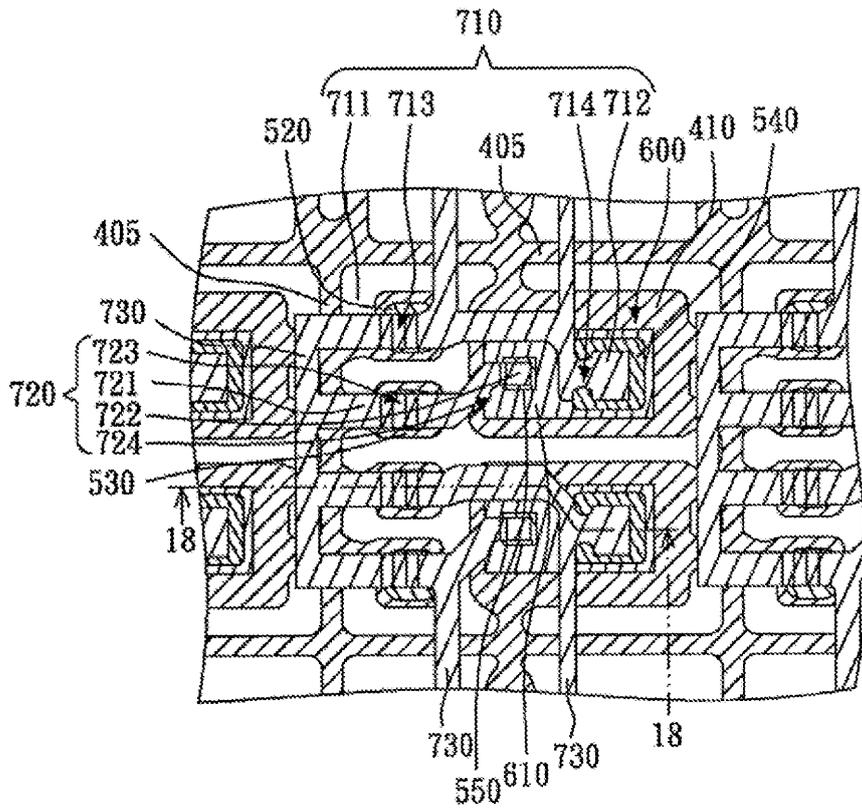


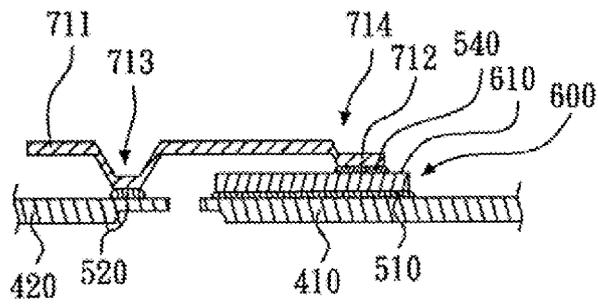
FIG. 16



10

20

FIG. 17



30

FIG. 18

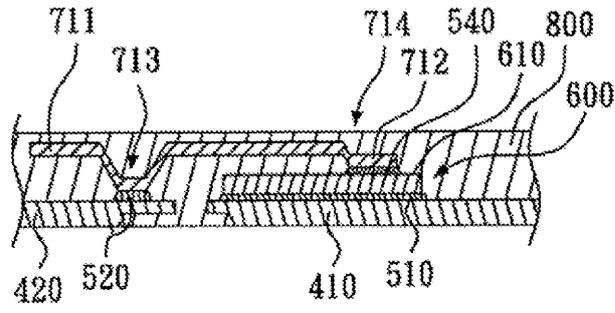


FIG. 19

10

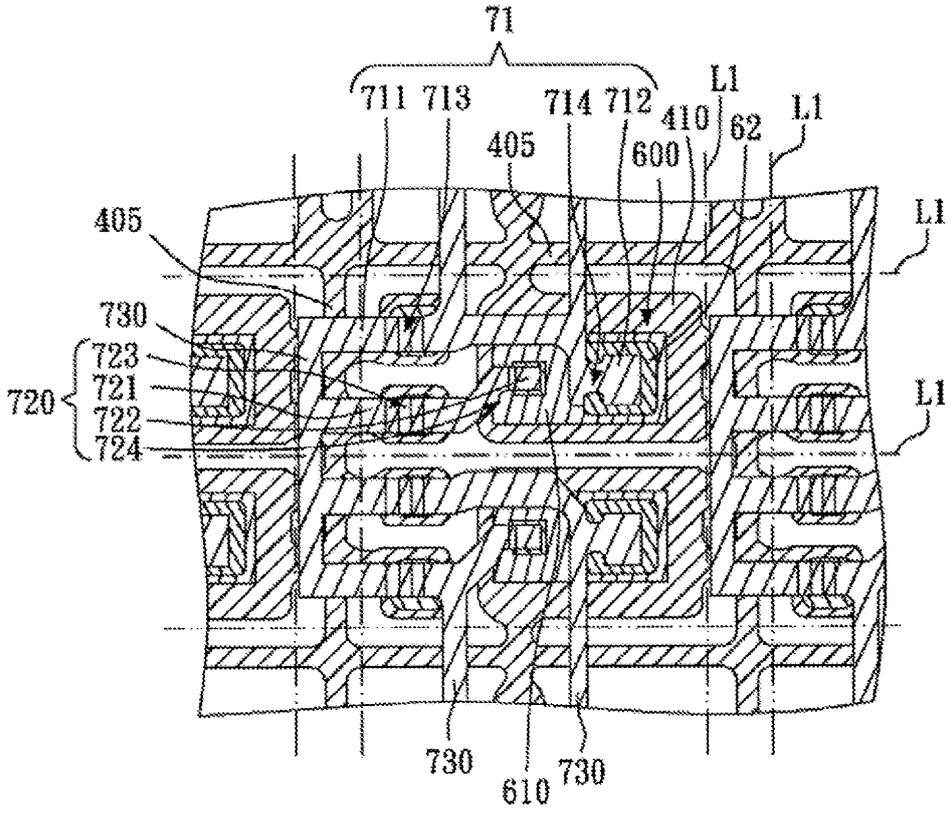


FIG. 20

20

30

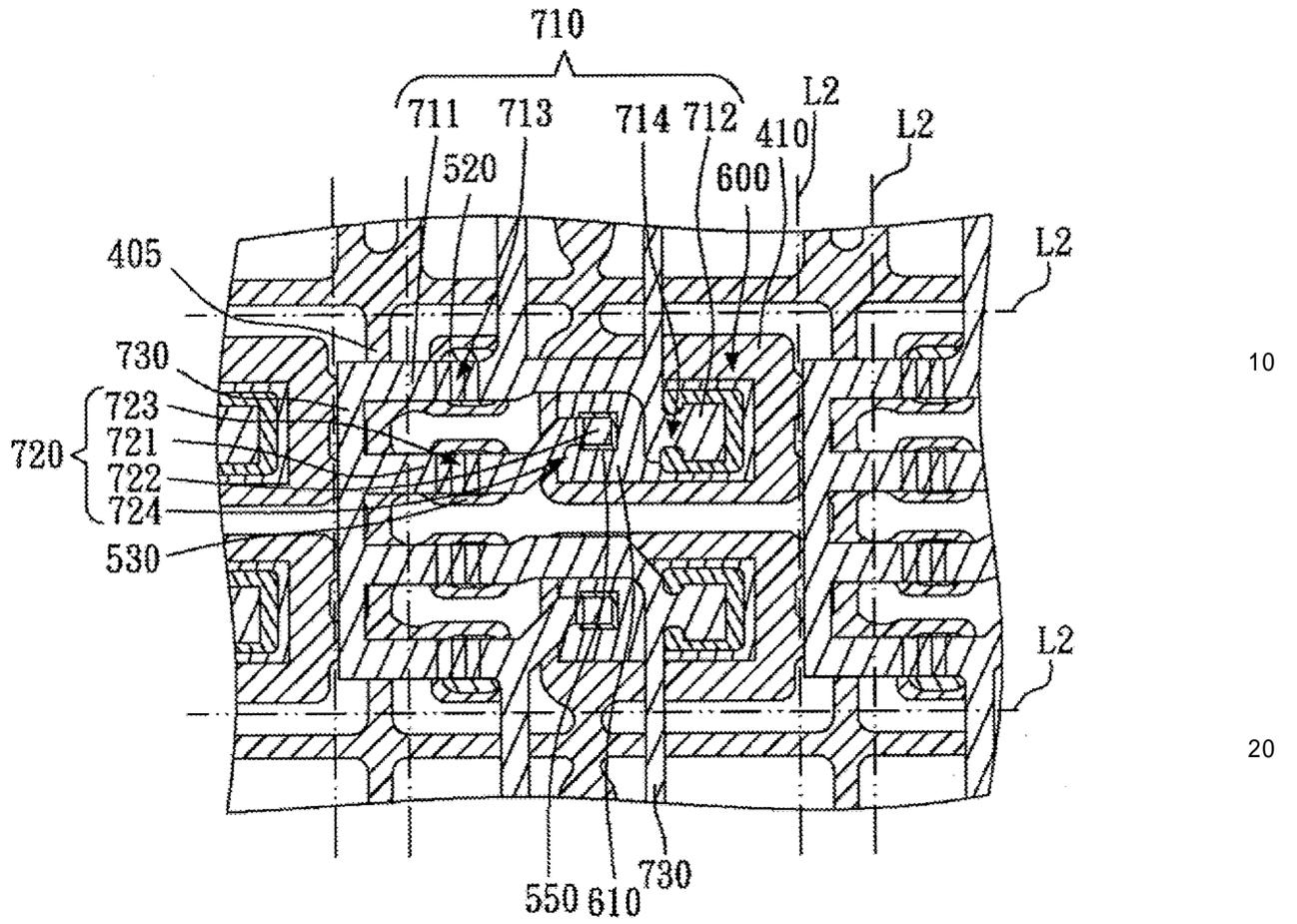


FIG. 21

10

20

30

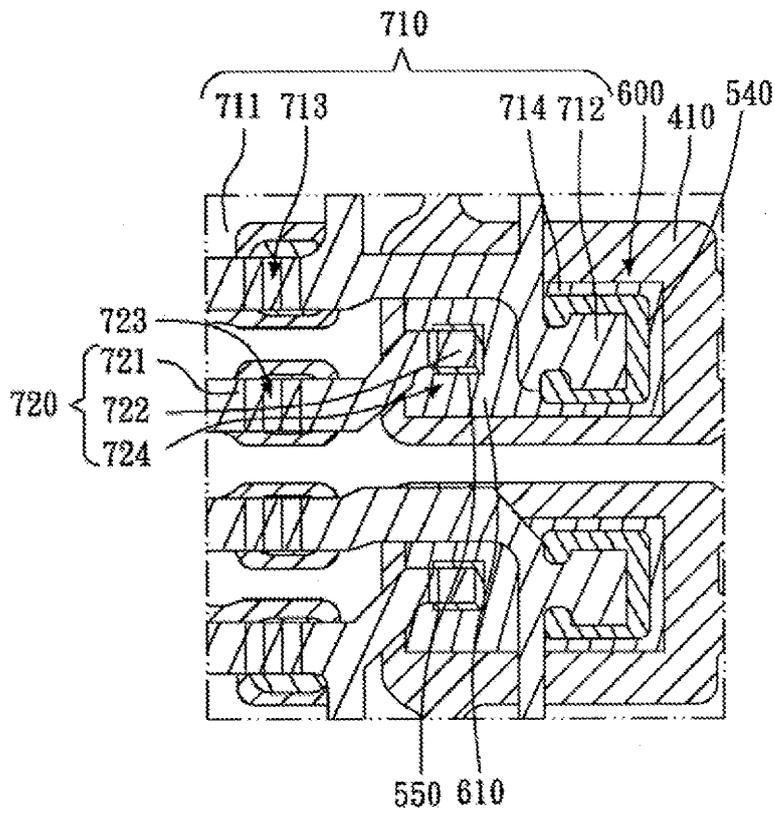


FIG. 22

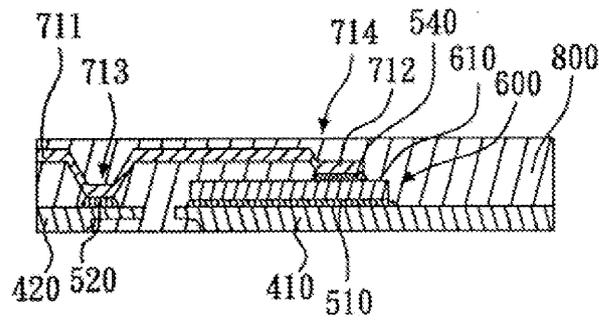


FIG. 23

-- Appendix A ここまで--

【 図 1 】

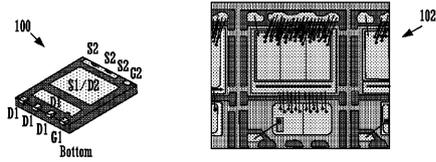


FIGURE 1
(Conventional Art)

【 図 3 】

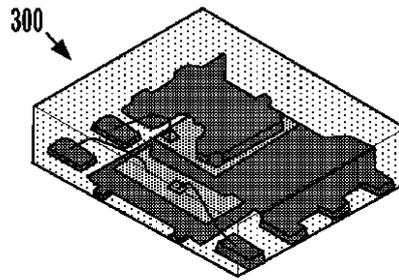


FIGURE 3
(Conventional Art)

【 図 2 】

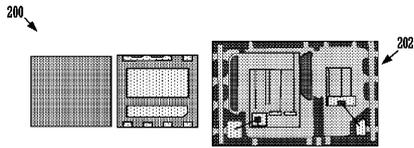


FIGURE 2
(Conventional Art)

【 図 4 】

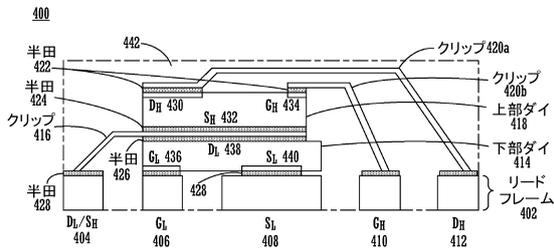


FIGURE 4

【 図 5 】

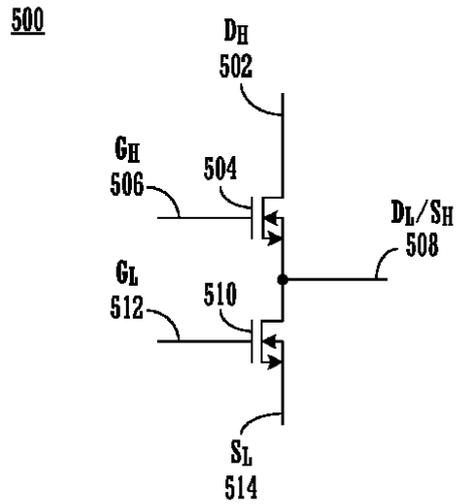


FIGURE 5

【図6】

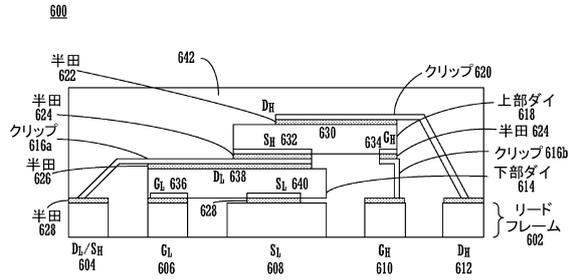


FIGURE 6

【図7】

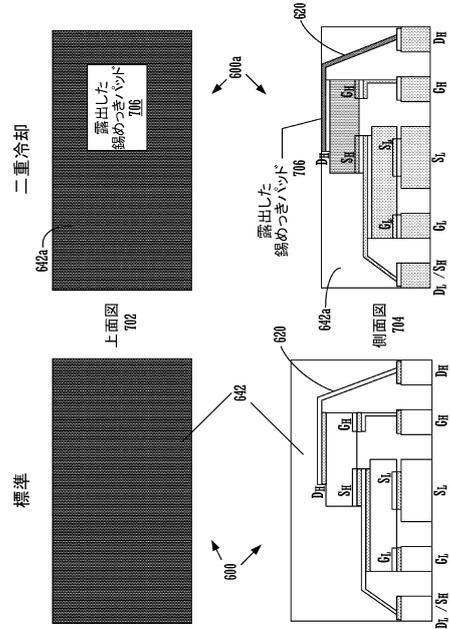


FIGURE 7

【図8】

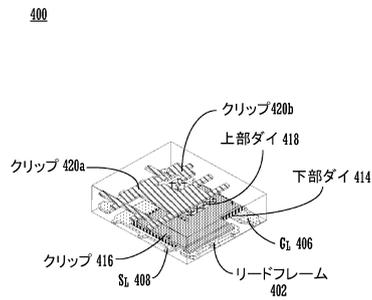


FIGURE 8

【図9】

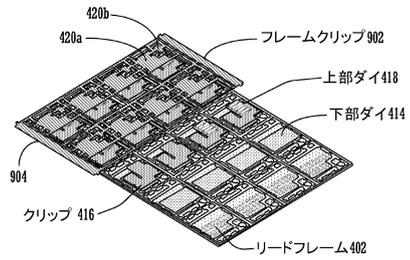


FIGURE 9

【 図 1 0 】

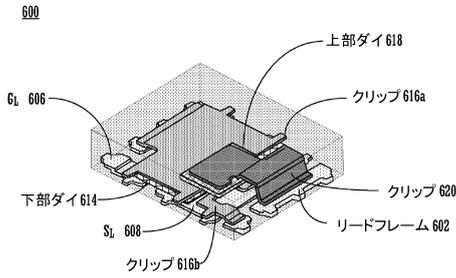


FIGURE 10

【 図 1 1 】

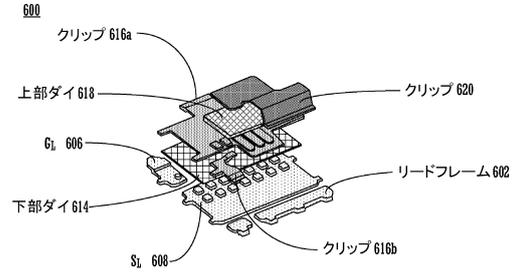


FIGURE 11

【 図 1 2 】

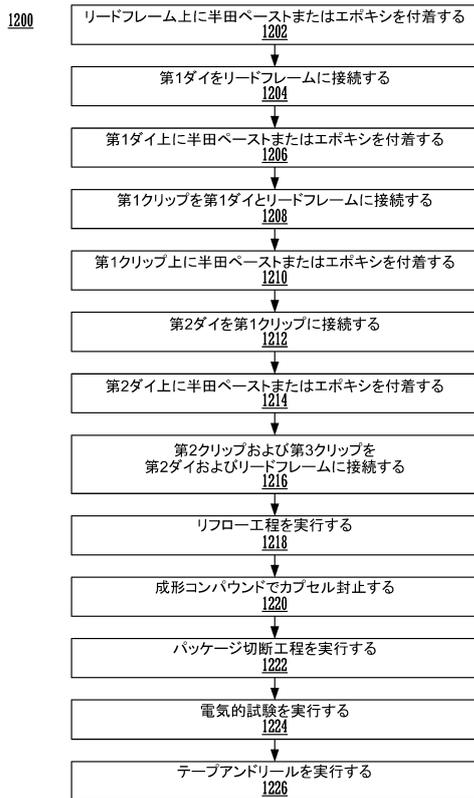


FIGURE 12

【 図 1 3 】

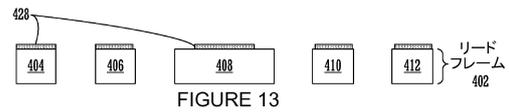


FIGURE 13

【 図 1 4 】

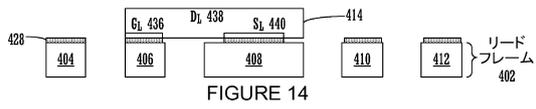


FIGURE 14

【 図 1 5 】

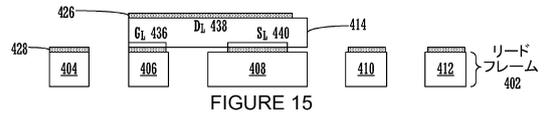


FIGURE 15

【 図 1 6 】

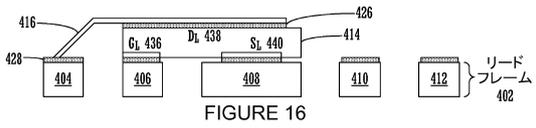


FIGURE 16

【 図 1 7 】

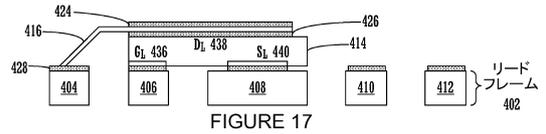


FIGURE 17

【 図 18 】

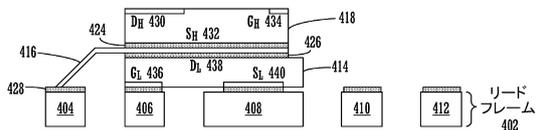


FIGURE 18

【 図 19 】

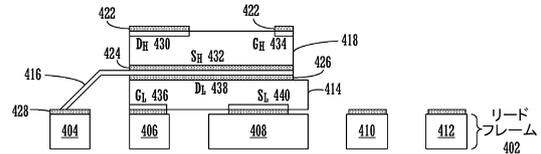


FIGURE 19

【 図 20 】

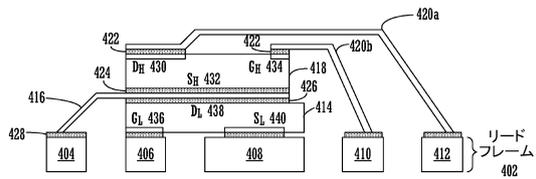


FIGURE 20

【 図 21 】

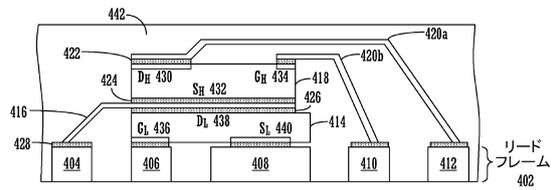


FIGURE 21

【図22】

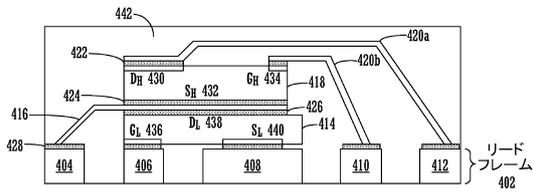


FIGURE 22

【図23】

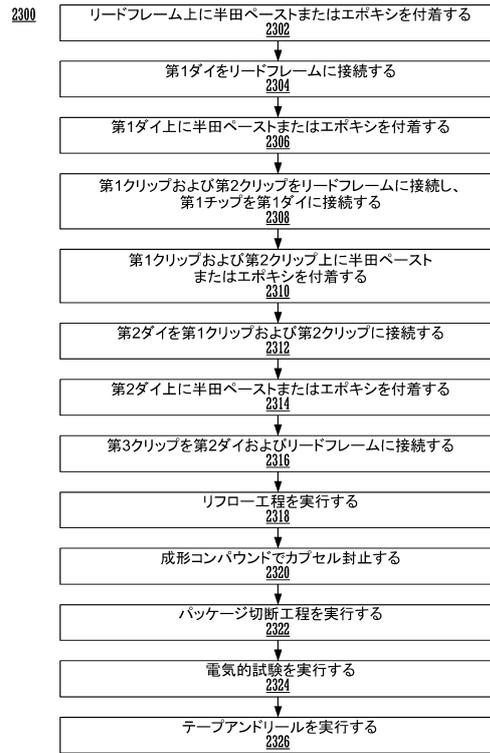


FIGURE 23

【図24】

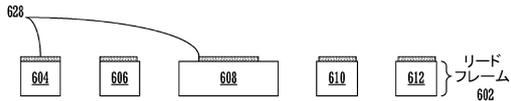


FIGURE 24

【図25】

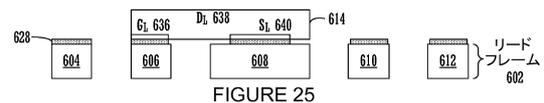


FIGURE 25

【図26】

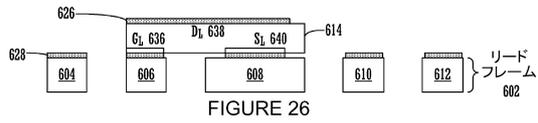


FIGURE 26

【図27】

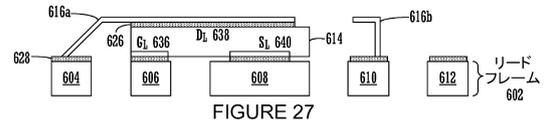


FIGURE 27

【図28】

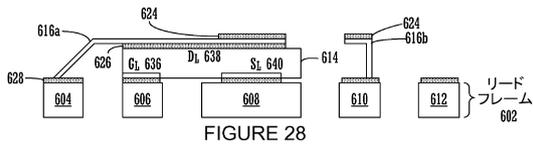


FIGURE 28

【図29】

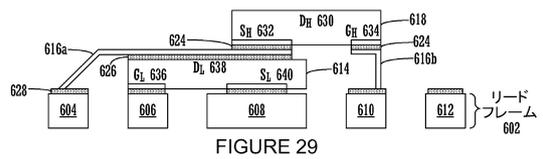
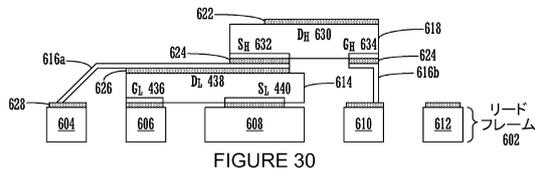
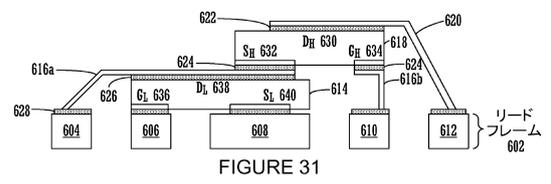


FIGURE 29

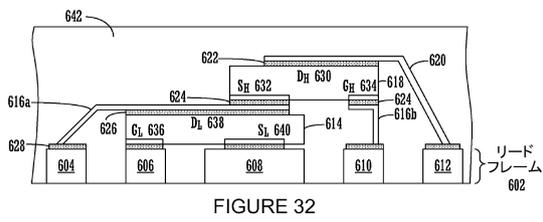
【 図 3 0 】



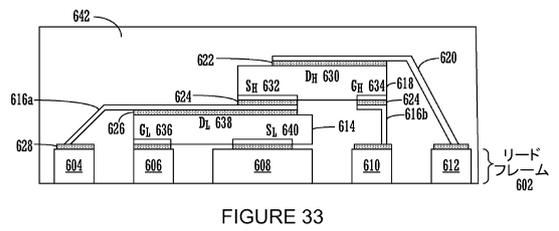
【 図 3 1 】



【 図 3 2 】



【 図 3 3 】



【 図 3 4 】

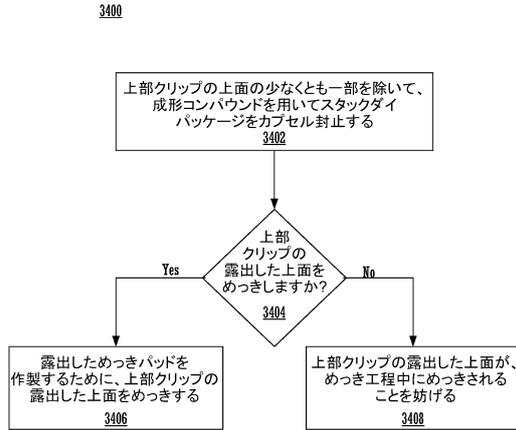
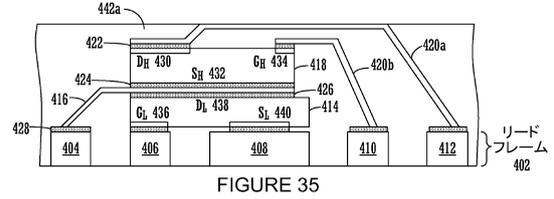
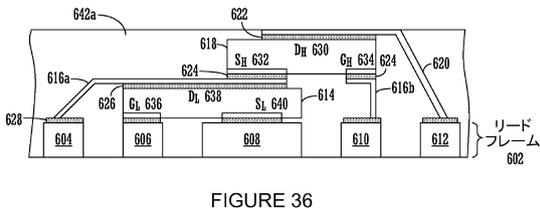


FIGURE 34

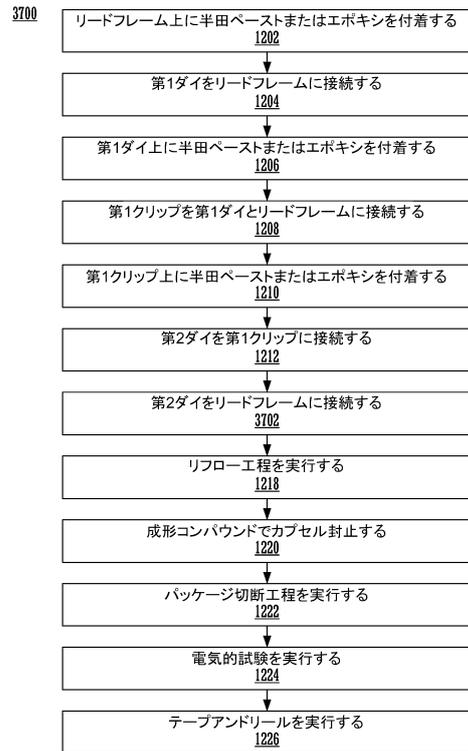
【 図 3 5 】



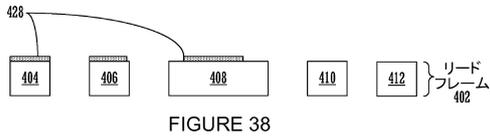
【 図 3 6 】



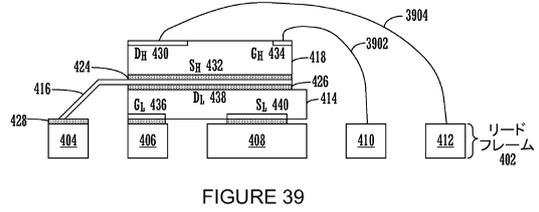
【 図 3 7 】



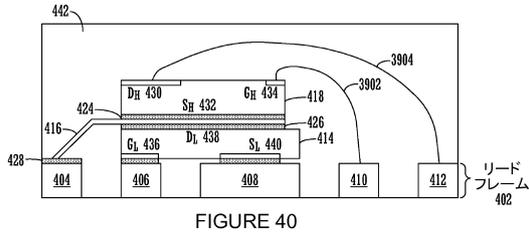
【 図 3 8 】



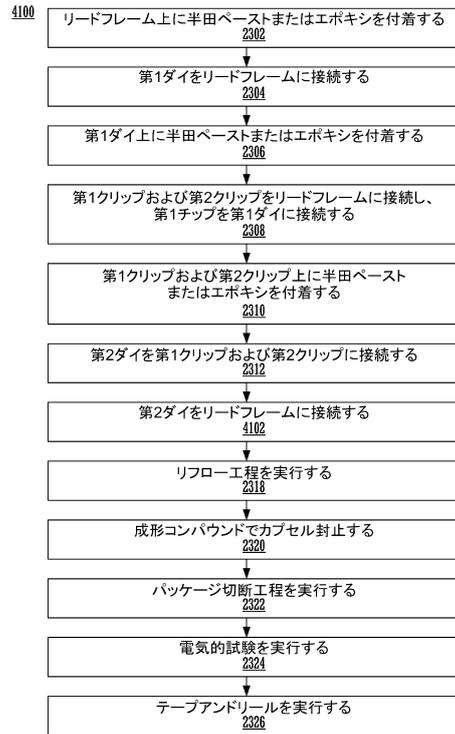
【 図 3 9 】



【 図 4 0 】

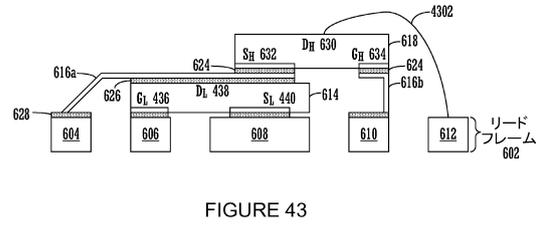
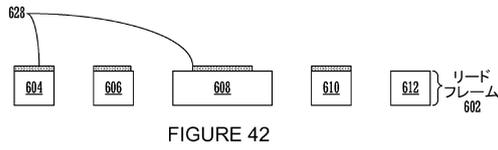


【 図 4 1 】

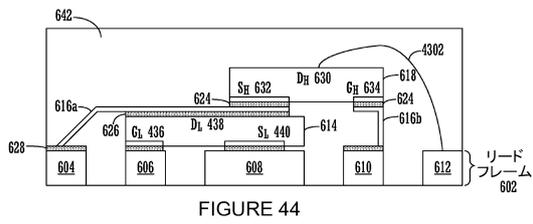


【 図 4 2 】

【 図 4 3 】



【 図 4 4 】



フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 23/50 (2006.01) H 0 1 L 23/50 W
 H 0 1 L 23/08 (2006.01)

(72)発明者 テリル, カイル
 アメリカ合衆国, カリフォルニア州, サンタ クララ, ロンドンデリー ドライブ 338
 5

(72)発明者 クオ, フランク
 台湾, カオシュン シティ, シー ウェイ サード ロード, ナンバー 7, 6階

(72)発明者 マオ, セン
 台湾, カオシュン シティ, ロン チェン サード ストリート, ナンバー 12, 6階
 2

審査官 秋山 直人

(56)参考文献 特開2006-216940(JP,A)
 特開2010-034350(JP,A)
 特開2010-109255(JP,A)
 特開2008-011029(JP,A)
 特表2013-508980(JP,A)

(58)調査した分野(Int.Cl., DB名)
 H 0 1 L 25/065
 H 0 1 L 21/60
 H 0 1 L 23/08
 H 0 1 L 23/28
 H 0 1 L 23/50
 H 0 1 L 25/07
 H 0 1 L 25/18