



(10) **DE 10 2013 106 153 B4** 2020.06.10

(12) **Patentschrift**

(21) Aktenzeichen: **10 2013 106 153.2**  
(22) Anmeldetag: **13.06.2013**  
(43) Offenlegungstag: **18.09.2014**  
(45) Veröffentlichungstag  
der Patenterteilung: **10.06.2020**

(51) Int Cl.: **H01L 23/52 (2006.01)**  
**H01L 27/146 (2006.01)**  
**H01L 21/768 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

**61/794,847**                      **15.03.2013**    **US**  
**13/898,641**                      **21.05.2013**    **US**

(73) Patentinhaber:

**Taiwan Semiconductor Manufacturing Company,  
Ltd., Hsin-Chu, TW**

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft  
mbB - Patentanwälte Rechtsanwälte, 28209  
Bremen, DE**

(72) Erfinder:

**Chuang, Chun-Chieh, Tainan City, TW; Yang,  
Dun-Nian, Taipei City, Wunshan District, TW; Liu,  
Jen-Cheng, Hsin-Chu City, TW; Hung, Feng-Chi,  
Chu-Bei City, Hsin-Chu County, TW; Hsu, Tzu-  
Hsuan, Kaohsiung City, Cianjhen District, TW;  
Tsai, Shu-Ting, Kaohsiung City, Sanmin Dist., TW;  
Kao, Min-Feng, Chiayi-City, TW**

(56) Ermittelter Stand der Technik:

**DE**                                      **44 33 846**    **C2**  
**US**                                      **2012 / 0 105 696**    **A1**

(54) Bezeichnung: **Zwischenverbindungsstruktur für eine gestapelte Vorrichtung und Verfahren**

(57) Hauptanspruch: Vorrichtung (400), die Folgendes umfasst:

ein erstes Halbleiterelement (100), welches Folgendes umfasst:

ein erstes Substrat (102),

ein gemeinsames leitfähiges Element (170), das sich in dem ersten Substrat (102) mit einer ersten Breite ( $w_1$ ) erstreckt,

ein erstes Zwischenbindungselement (108), das in einer ersten dielektrischen Schicht (107) über dem ersten Substrat (102) gebildet ist, und

einen leitfähigen Zapfen (110), der das erste Zwischenbindungselement (108) mit dem gemeinsamen leitfähigen Element (170) verbindet,

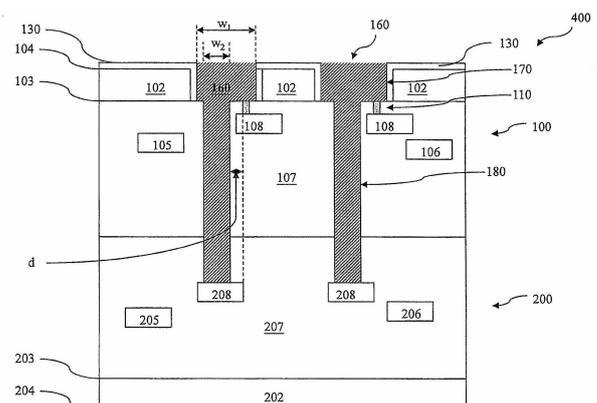
ein zweites Halbleiterelement (200), das an das erste Halbleiterelement (100) gebondet ist, wobei das zweite Halbleiterelement (200) Folgendes umfasst:

ein zweites Substrat (202) und

ein zweites Zwischenbindungselement (208), das in einer zweiten dielektrischen Zwischenebenenschicht (207) über dem zweiten Substrat (202) gebildet ist, und

einen leitfähigen Zwischenverbindungsstecker (160), der in einem oberen Bereich das gemeinsame leitfähige Element (170) bildet und in einem unteren Bereich einen leitfähigen Tiefzapfen (180) bildet, der das gemeinsame leitfähige Element (170) in dem ersten Halbleiterelement (100) mit dem zweiten Zwischenbindungselement (208) in dem zweiten Halbleiterelement (200) verbindet, wobei der leitfähige

Tiefzapfen (180) von dem leitfähigen Zapfen (110) durch die erste dielektrische Schicht (107) getrennt ist; und wobei der leitfähige Tiefzapfen (180) eine zweite Breite ( $w_2$ ) aufweist, die kleiner als die erste Breite ( $w_1$ ) ist.



**Beschreibung**

## HINTERGRUND

**[0001]** Die Halbleiterbranche in dem Bereich integrierter Schaltung (IC) hat ein rapides Wachstum erlebt. Im Verlauf der IC-Evolution hat die funktionale Dichte (d.h. die Anzahl von miteinander verbundenen Vorrichtungen pro Chipfläche) im Allgemeinen zugenommen, während die Geometriegröße (d.h. die kleinste Komponente (oder Leitung), die bei Verwendung eines Fabrikationsprozesses erzeugt werden kann) abgenommen hat. Dieser Prozess des Herabskalierens bietet im Allgemeinen Vorteile, indem die Produktionseffizienz erhöht und die damit verbundenen Kosten verringert werden.

**[0002]** Während die Halbleitertechnologien weiter voranschreiten, ist eine gestapelte IC-Vorrichtung als eine effektive Alternative für ein weiteres Reduzieren der physikalischen Größe einer Halbleitervorrichtung hervorgetreten. Bei einer gestapelten IC-Vorrichtung werden aktive Schaltungen, wie beispielsweise Logik, Speicher, Prozessorschaltungen und dergleichen auf verschiedenen Halbleiterwafern hergestellt. Zwei oder mehr Halbleiterwafer können aufeinander montiert werden, um den Formfaktor der IC-Vorrichtung weiter zu reduzieren. Beispielsweise können zwei Halbleiterwafer mittels geeigneter Bondingtechniken zusammengebondet werden. Ein vorteilhaftes Merkmal einer gestapelten IC-Vorrichtung ist, dass eine höhere Dichte erreicht werden kann.

**[0003]** Ein Beispiel für eine gestapelte Halbleitervorrichtung ist aus der DE 44 33 846 C2 bekannt. Zur Herstellung dieser gestapelten Vorrichtung werden zwei Halbleiterelemente, die jeweils eine Metallisierung umfassen, miteinander verbunden. Anschließend werden von einer äußeren Oberfläche des oberen Elementes die Metallisierung des oberen Elementes und die Metallisierung des unteren Elementes freigelegt und über eine gemeinsame Metallisierung miteinander verbunden. Ein anderes Beispiel für eine gestapelte Halbleitervorrichtung ist aus der US 2012/0105696 A1 bekannt. Diese gestapelte Vorrichtung umfasst zwei aufeinander gestapelte miteinander verbundene Einzelelemente mit jeweils einem Substrat und jeweils einer auf dem Substrat angebrachten Schaltschicht. Elemente beider Schaltschichten sind über Elektrodenschichten, die das erste Substrat durchstoßen, miteinander verbunden.

**[0004]** Obwohl existierende gestapelte Halbleitervorrichtungen und Verfahren zum Herstellen gestapelter IC-Vorrichtungen im Allgemeinen für ihre beabsichtigten Zwecke geeignet sind, sind sie nicht in jeder Hinsicht völlig zufriedenstellend. Verbesserungen auf diesem Gebiet sind wünschenswert.

## ZUSAMMENFASSUNG DER ERFINDUNG

**[0005]** Die vorliegende Erfindung betrifft eine Vorrichtung gemäß Anspruch 1, eine gestapelte Vorrichtung gemäß Anspruch 7 und ein Verfahren gemäß Anspruch 13. Bevorzugte Ausführungsformen der Erfindung werden in den abhängigen Ansprüchen angegeben.

## Figurenliste

**[0006]** Die vorliegende Offenbarung wird am besten aus der folgenden detaillierten Beschreibung verstanden, wenn sie mit den beigefügten Figuren gelesen wird. Es wird betont, dass verschiedene Merkmale der üblichen Praxis in der Branche folgend nicht maßstabsgerecht gezeichnet wurden und lediglich zum Zwecke der Illustration verwendet werden. Tatsächlich können die Abmessungen der verschiedenen Merkmale zum Zwecke der Deutlichkeit der Beschreibung willkürlich vergrößert oder verkleinert sein.

**Fig. 1** ist eine Querschnittsansicht einer gestapelten IC-(Integrated Circuit)-Vorrichtung gemäß verschiedenen Aspekten der vorliegenden Offenbarung.

**Fig. 2** ist ein Flussdiagramm eines beispielhaften Verfahrens zum Herstellen einer gestapelten IC-Vorrichtung gemäß verschiedenen Aspekten der vorliegenden Offenbarung.

**Fig. 3-9** sind Querschnittsansichten einer beispielhaften gestapelten IC-Vorrichtung in verschiedenen Herstellungsphasen, die gemäß dem Verfahren der **Fig. 2** erstellt wird.

## DETAILLIERTE BESCHREIBUNG

**[0007]** Die folgende Offenbarung stellt viele verschiedene Ausführungsformen oder Beispiele zum Implementieren verschiedener Merkmale der Offenbarung zur Verfügung. Spezifische Beispiele von Komponenten und Anordnungen sind unten beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese sind natürlich lediglich Beispiele und es ist nicht beabsichtigt, dass sie einschränkend sind. Beispielsweise kann die Bildung eines ersten Merkmals über oder auf einem zweiten Merkmal in der folgenden Beschreibung Ausführungsformen umfassen, bei welchen das erste und das zweite Merkmal in einem direkten Kontakt gebildet sind, und kann auch Ausführungsformen umfassen, bei welchen zusätzliche Merkmale zwischen dem ersten und dem zweiten Merkmal gebildet sein können, so dass das erste und das zweite Merkmal nicht in einem direkten Kontakt sein mögen. Zusätzlich kann die vorliegende Offenbarung Bezugswahlen und/oder -buchstaben in den verschiedenen Beispielen wiederholen. Diese Wiederholung dient dem Zwecke der Einfachheit und Deutlichkeit und gibt selbst keine Beziehung zwi-

schen den verschiedenen Ausführungsformen und/oder beschriebenen Konfigurationen vor.

**[0008]** Darüber hinaus können hier räumliche Relativausdrücke, wie beispielsweise „unterhalb“, „unter“, „untere(r)“, „über“, „obere(r)“ und dergleichen zur Vereinfachung der Beschreibung verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem oder mehreren anderen Elementen oder Merkmalen zu beschreiben, wie sie in den Figuren dargestellt ist. Es ist beabsichtigt, dass die räumlichen Relativausdrücke verschiedene Orientierungen der Vorrichtung während der Verwendung oder im Betrieb zusätzlich zu der in den Figuren dargestellten Orientierung umfassen. Wenn beispielsweise die Vorrichtung in den Figuren umgedreht wird, wären Elemente, die als „unter“ oder „unterhalb“ anderer Elemente oder Merkmale beschrieben sind, „über“ den anderen Elementen oder Merkmalen. Daher kann der beispielhafte Ausdruck „unter“ sowohl eine Orientierung darüber als auch darunter umfassen. Die Vorrichtung kann auf andere Weise (um 90° gedreht oder mit anderen Orientierungen) orientiert sein und die relativen räumlichen Deskriptoren, die hier verwendet werden, können auf ähnliche Weise entsprechend interpretiert werden.

**[0009]** Fig. 1 ist eine Querschnittsansicht einer gestapelten IC-Vorrichtung 400 vor einem Bond-Prozess, gemäß verschiedenen Aspekten der vorliegenden Offenbarung. Fig. 1 wurde zum Zwecke der Deutlichkeit vereinfacht, um die erfinderischen Konzepte der vorliegenden Offenbarung besser zu veranschaulichen. Die gestapelte IC-Vorrichtung 400 weist einen ersten Halbleiterwafer 100 auf, der auf einen zweiten Halbleiterwafer 200 gestapelt ist. Beispielsweise weist der erste Halbleiterwafer 100 einen Bildsensor, wie beispielsweise einen rückseitenbeleuchteten Bildsensor, in Fachkreisen auch Backside-Illuminated-(BSI)-Bildsensor genannt, einen komplementären Metall-Oxid-Halbleiter-(CMOS)-Bildsensor (CIS), eine ladungsträgergekoppelte Vorrichtung, in Fachkreisen Charge-Coupled Device (CCD) genannt, einen Aktivpixelsensor (APS) oder einen Passivpixelsensor auf. Ein Bildsensor kann durch Techniken eines komplementären Metall-Oxid-Halbleiter-(CMOS)-Prozesses hergestellt sein, wie er aus dem Stand der Technik bekannt ist. Beispielsweise werden ein fotoaktives Gebiet vom P-Typ und ein fotoaktives Gebiet vom N-Typ über einem Substrat des Bildsensorwafers gebildet, um einen PN-Übergang zu bilden, der als eine Fotodiode fungiert. Der Bildsensorwafer 100 kann einen Transistor enthalten, um ein Signal zu erzeugen, das mit der Intensität oder Helligkeit von Licht in Beziehung steht, welches auf das fotoaktive Gebiet trifft. Der zweite Halbleiterwafer 200 ist ein Wafer mit applikationsspezifischer IC, in Fachkreisen Application-Specific Integrated Circuit (ASIC)-Wafer genannt.

**[0010]** Wie in Fig. 1 gezeigt ist, enthält der erste Halbleiterwafer 100 (auf den Kopf gestellt dargestellt) ein Substrat 102 mit einer ersten Oberfläche 103 und einer zweiten Oberfläche 104. In einigen Ausführungsformen enthält das Substrat 102 einen Elementarhalbleiter wie beispielsweise Silizium oder Germanium und/oder einen Verbundhalbleiter, wie beispielsweise Siliziumgermanium, Siliziumkarbid, Galliumarsenid, Indiumarsenid, Galliumnitrid und/oder Indiumphosphid. Andere beispielhafte Substratmaterialien umfassen Legierungshalbleiter, wie beispielsweise Siliziumgermaniumkarbid, Galliumarsenidphosphid und Galliumindiumphosphid. Das Substrat 102 kann auch nicht-halbleitende Materialien umfassen, einschließlich Kalknatriumglas, Quarzglas, Kieselglas, Kalziumfluorid (CaF<sub>2</sub>) und/oder andere geeignete Materialien. In einigen Ausführungsformen weist das Substrat 102 eine oder mehrere darin definierte Schichten auf, wie beispielsweise eine epitaktische Schicht. Beispielsweise weist das Substrat 102 in einer derartigen Ausführungsform eine epitaktische Schicht auf, die über einem Volumenhalbleiter, einem sog. Bulk-Halbleiter, liegt. Andere mehrschichtige Substrate umfassen Halbleiter-auf-Isolator-Substrate, sog. Semiconductor-on-Insulator-(SOI)-Substrate. Bei einem derartigen SOI-Substrat weist das Substrat 102 eine vergrabene Oxid-Schicht, eine sog. Buried-Oxide-(BOX)-Schicht auf, die durch einen Prozess, wie beispielsweise eine Trennung durch implantierten Sauerstoff (SIMOX) gebildet ist. In verschiedenen Ausführungsformen kann das Substrat 102 die Form eines planaren Substrats, einer Finne, eines Nanodrahtes und/oder eine andere dem Fachmann bekannte Form annehmen.

**[0011]** Das Substrat 102 kann ein oder mehrere dotierte Gebiete aufweisen. In der dargestellten Ausführungsform ist das Substrat 102 mit einem Dotierstoff vom P-Typ dotiert. Geeignete Dotierstoffe vom P-Typ umfassen Bor, Gallium, Indium, andere geeignete Dotierstoffe vom P-Typ und/oder Kombinationen davon. Das Substrat 102 kann auch ein oder mehrere Gebiete aufweisen, die mit einem Dotierstoff vom N-Typ dotiert sind, wie beispielsweise Phosphor, Arsen, anderen geeigneten Dotierstoffen vom N-Typ und/oder Kombinationen davon. Ein Dotieren kann durchgeführt werden, wobei ein Prozess wie beispielsweise eine Ionenimplantation oder eine Diffusion in verschiedenen Phasen und mit verschiedenen Techniken verwendet wird.

**[0012]** Bei verschiedenen Ausführungsformen kann das Substrat 102 eine Form eines planaren Substrats, einer Finne, eines Nanodrahtes und/oder eine andere dem Fachmann bekannte Form annehmen.

**[0013]** Der erste Halbleiterwafer 100 kann verschiedene passive und aktive mikroelektronische Komponenten aufweisen. Diese Komponenten kön-

nen eine primäre Komponente **105**, wie beispielsweise ein Bildsensorelement, und ein peripheres Schaltungselement **106**, wie beispielsweise einen oder mehrere Feldeffekttransistoren, aufweisen. Andere Beispiele für mögliche Komponenten umfassen P-Kanal-Feldeffekttransistoren (PFETs), N-Kanal-FETs (NFETs), Metalloxidhalbleiterfeldeffekttransistoren (MOSFETs), CMOS-Transistoren, Fin-FETs, Hochvolttransistoren, Hochfrequenztransistoren, Bipolartransistoren, Widerstände, Kondensatoren, Dioden, Sicherungen, andere geeignete Vorrichtungen und/oder Kombinationen davon. Bei einigen Ausführungsformen ist das periphere Schaltungselement **106** wirksam, um an das Bildsensorelement **105** anzukoppeln oder dieses zu steuern. Allerdings weist das periphere Schaltungselement **106** in weiteren Ausführungsformen keine funktionale Beziehung zu dem primären Element **105** auf, bis darauf, dass es gemeinsam damit auf dem gleichen Substrat **102** angeordnet ist.

**[0014]** Der erste Halbleiterwafer **100** weist eine erste dielektrische Zwischenebenenschicht **107**, eine sog. Inter-Level-Dielectric-(ILD)-Schicht, auf, die über der ersten Oberfläche **103** des Substrats **102** zum Zwecke der Isolation gebildet ist. Die erste ILD-Schicht **107** kann Siliziumdioxid, Siliziumnitrid, Siliziumoxynitrid, TEOS-Oxid, Phosphosilikatglas (PSG), Borophosphosilikatglas (BPSG), fluoriertes Silicaglas (FSG), kohlenstoffdotiertes Siliziumoxid, amorphes fluoriertes Kohlenstoff, Parylen, Polyimid, ein anderes geeignetes Material und/oder Kombinationen davon aufweisen. Übliche Verfahren zum Bilden einer ILD-Schicht umfassen eine thermische Oxidation, eine chemische Dampfabscheidung (CVD), eine CVD mit hochdichtem Plasma (HDP-CVD), eine physikalische Dampfabscheidung (PVD), eine Atomlagenabscheidung (ALD), eine Aufschleuderabscheidung, ein sog. Spin-On, und/oder andere geeignete Abscheidungsprozesse. Die erste ILD-Schicht **107** kann mehrere Lagen aufweisen, die aus unterschiedlichen dielektrischen Materialien hergestellt sind.

**[0015]** Der erste Halbleiterwafer **100** weist ein oder mehrere erste Zwischenverbindungsmerkmale **108** auf, die auf dem Substrat **102** gebildet sind und dazu eingerichtet sind, verschiedene dotierte Gebiete in dem Substrat **102** auf geeignete Weise zu verbinden, wodurch sich eine funktionale, gestaltete Schaltung ergibt. Beispielsweise weisen die ersten Zwischenverbindungsmerkmale **108** eine Mehrlagenzwischenverbindung, in Fachkreisen Multi-Layer-Interconnect-(MLI) genannt, auf, die horizontale Metallleitungen, die auf mehreren Metallschichten gebildet sind, und Kontakt-/Durchgangskontaktierungsmerkmale, um Metallleitungen verschiedener Metallschichten oder Metallleitungen mit dem Substrat **102** vertikal zu verbinden, aufweist. Die ersten Zwischenverbindungsmerkmale **108** werden durch einen inte-

grierten Prozess einschließlich Abscheidung, Lithografie und Ätzen gebildet.

**[0016]** In der vorliegenden Ausführungsform wird ein leitfähiger Plug **110** über dem Substrat **102** gebildet, so dass ein Ende davon mit dem ersten Zwischenverbindungsmerkmal **108** in Verbindung steht und ein anderes Ende davon mit dem Substrat **102** in Verbindung steht. Der leitfähige Plug **110** kann aus einem oder mehreren leitfähigen Materialien, wie beispielsweise Materialien wie Kupfer, Aluminium, einer Aluminium/Silizium/Kupfer-Legierung, Titan, Titanitrid, Wolfram, Polysilizium, Metallsilizid und/oder einer Kombination davon, hergestellt sein. Der leitfähige Plug **110** kann durch eine Prozedur einschließlich Lithografie, Ätzen und Abscheidung gebildet sein. In einem Beispiel wird vor dem Bilden des ersten Zwischenverbindungsmerkmals **108** ein Graben in der ersten ILD-Schicht **107** durch Lithografie- und Ätzprozesse gebildet. Der Graben wird dann mit einem leitfähigen Material gefüllt, um den leitfähigen Plug **110** zu bilden. Und dann wird das erste Zwischenverbindungsmerkmal **108** oben auf dem leitfähigen Plug **110** gebildet.

**[0017]** Zusätzliche Merkmale können in den ersten Halbleiterwafer **100** einbezogen sein und einige der oben beschriebenen Merkmale können bei anderen Ausführungsformen des ersten Halbleiterwafers **100** ersetzt oder weggelassen sein.

**[0018]** Der zweite Halbleiterwafer **200** kann im Vergleich zu dem ersten Halbleiterwafer **100** ähnliche oder andere Elemente aufweisen. Beispielsweise weist der zweite Halbleiterwafer **200** ein Substrat **202** mit Oberflächen **203** und **204**, ein primäres Element **205**, ein peripheres Element **206**, eine oder mehrere ILD-Schichten **207** und Zwischenverbindungsmerkmale **208** auf.

**[0019]** Fig. 2 ist ein Flussdiagramm eines Verfahrens **300** zum Bilden einer gestapelten IC-Vorrichtung gemäß Aspekten der vorliegenden Offenbarung. Fig. 3-9 sind Querschnittsansichten einer beispielhaften gestapelten IC-Vorrichtung **400**, die Prozesse gemäß dem Verfahren der Fig. 2 durchläuft. Es wird angemerkt, dass zusätzliche Schritte vor, während und nach dem Verfahren bereitgestellt werden können, und einige der beschriebenen Schritte können in anderen Ausführungsformen des Verfahrens ersetzt oder weggelassen sein.

**[0020]** Bezug nehmend auf die Fig. 2 und Fig. 3 beginnt das Verfahren **300** bei Schritt **302** mit einem Zusammenbilden des ersten und des zweiten Halbleiterwafers **100** und **200** durch eine geeignete Bondingtechnik, wie beispielsweise ein direktes Bonden. In einigen Ausführungsformen werden mehrere Bond-Pads in dem ersten Halbleiterwafer **100** bzw. dem zweiten Halbleiterwafer **200** gebildet. Darüber hin-

aus werden die Bond-Pads, die sich in dem zweiten Halbleiterwafer **200** befinden, gegenüber ihren entsprechenden Bond-Pads, die sich in dem ersten Halbleiterwafer **100** befinden, ausgerichtet. Gemäß einigen Ausführungsformen kann bei einem direkten Bondprozess die Verbindung zwischen dem ersten und dem zweiten Halbleiterwafer **100** und **200** durch ein Metall-zu-Metall-Bonden (z.B. Kupfer-zu-Kupfer-Bonden), ein Dielektrikum-zu-Dielektrikum-Bonden (z.B. Oxid-zu-Oxid-Bonden), ein Metall-zu-Dielektrikum-Bonden (z.B. Kupfer-zu-Oxid-Bonden) oder eine beliebige Kombination davon implementiert werden. In einigen Ausführungsformen sind der erste und der zweite Halbleiterwafer **100** und **200** miteinander durch geeignete dreidimensionale Strukturen verbunden. Eine Haftschrift kann ebenfalls verwendet werden.

**[0021]** Bezug nehmend auf die **Fig. 2** und **Fig. 4** schreitet das Verfahren **300** zu Schritt **304** fort, bei dem ein Substratgraben **120** in dem Substrat **102** gebildet wird. Der Substratgraben **120** wird derart gebildet, dass die erste ILD-Schicht **107** und zumindest ein Teil des leitfähigen Plugs **110** freiliegen. Der Substratgraben **120** kann durch Lithografie- und Ätzprozesse gebildet werden. In einem Beispiel wird eine strukturierte Fotolackschicht über dem Substrat **102** durch Prozesse des Aufschleuderns, Belichtens und Entwickelns gebildet. Anschließend wird das Substrat **102** durch den strukturierten Fotolack geätzt. Der Ätzprozess kann einen Trockenätzprozess, einen Nassätzprozess und/oder eine Kombination davon umfassen. Der Ätzprozess kann auch ein selektives Nassätzen oder ein selektives Trockenätzen aufweisen. Beispiele von Nassätzlösungen umfassen ein Tetramethylammoniumhydroxid (TMAH), eine HF/HNO<sub>3</sub>/CH<sub>3</sub>COOH-Lösung oder eine andere geeignete Lösung. Ein beispielhafter Trockenätzprozess kann einen vorbelasteten Plasmaätzprozess, in Fachkreisen Biased-Plasmaätzprozess genannt, umfassen, der eine chlorbasierte Chemie verwendet. Andere Beispiele von Trockenätzgasen umfassen CF<sub>4</sub>, NF<sub>3</sub>, SF<sub>6</sub> und He. In einigen Ausführungsformen wird ein selektives Ätzen mit geeigneter Ätzselektivität bezüglich der ersten ILD-Schicht **107** und des leitfähigen Plugs **110** durchgeführt. In diesem Fall dient die erste ILD-Schicht **107** als eine Ätzstopp-schicht, um das Ätzprozessfenster zu verbessern.

**[0022]** Bezug nehmend auf die **Fig. 2** und **Fig. 5** schreitet das Verfahren **300** zu dem Schritt **306** voran, in dem eine Isolationsschicht **130** über der zweiten Oberfläche **104** des Substrats **102** einschließlich Seitenwänden des Substratgrabens **120** gebildet wird. Die Isolationsschicht **130** bietet eine elektrische Isolationsschicht gegenüber dem Substrat **102**. Die Isolationsschicht **130** kann ein oder mehrere dielektrische Materialien, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Polyimid oder ein oder mehrere andere geeignete Materialien enthalten. Die

Isolationsschicht **130** kann durch CVD, PVD, ALD und/oder andere geeignete Abscheidungsprozesse gebildet werden. In einer Ausführungsform werden ein anderer Lithografieprozess und ein anderer Ätzprozess durchgeführt, um die Isolationsschicht **130** an dem Boden des Substratgrabens **120** zu entfernen. Mit der Isolationsschicht **130** auf den Seitenwänden weist der Substratgraben **120** eine erste Breite  $w_1$  auf.

**[0023]** Bezug nehmend auf die **Fig. 2** und **Fig. 6** schreitet das Verfahren **300** zu dem Schritt **308** voran, in dem eine strukturierte Maske **140** mit Tiefverbindungsgraben, sog. Deep-Interconnect-Trench-(DIT)-Öffnungen **145**, mit einer zweiten Breite  $w_2$  gebildet wird und zu dem Substratgraben **120** ausgerichtet wird. Die strukturierte Maske **140** kann eine Fotolackschicht sein. Die strukturierte Maske **140** wird auf der zweiten Oberfläche **104** gebildet, wobei geeignete Abscheidungs- und Fotolithografiertechniken verwendet werden. In der vorliegenden Ausführungsform sind die DIT-Öffnungen **145** mit dem entsprechenden zweiten Zwischenverbindungsmerkmal **208**, welches sich in dem zweiten Halbleiterwafer **200** befindet, ausgerichtet und weisen einen Abstand  $d$  von dem leitfähigen Plug **110** in der ersten ILD-Schicht **107** auf.

**[0024]** Bezug nehmend auf die **Fig. 2** und **Fig. 7** schreitet das Verfahren **300** zu dem Schritt **310** voran, in dem erste DITs **150** von dem ersten Halbleiterwafer **100** zu dem zweiten Zwischenverbindungsmerkmal **208** in dem zweiten Halbleiterwafer **200** gebildet werden. Die ersten DITs **150** können gebildet werden, indem die erste ILD-Schicht **107** in dem ersten Halbleiterwafer **100** und die zweite ILD-Schicht **207** in dem zweiten Halbleiterwafer **200** durch die DIT-Öffnungen **145** geätzt werden. Die DITs **150** werden mit einer Breite gebildet, die im Wesentlichen ähnlich zu der zweiten Breite  $w_2$  der DIT-Öffnungen **145** ist. Ein geeigneter Ätzprozess umfasst ein Trockenätzen, ein anisotropes Nassätzen oder einen beliebigen anderen geeigneten anisotropen Ätzprozess.

**[0025]** Bezug nehmend auf die **Fig. 2** und **Fig. 8** schreitet das Verfahren **300** zu dem Schritt **312** voran, in dem die strukturierte Maske **140** entfernt wird, um zweite DITs **155** zu bilden. In einem Beispiel wird die strukturierte Fotolackmaske **140** durch einen Prozess, wie beispielsweise Nass-Strippen, in Fachkreisen Wet-Stripping genannt, oder O<sub>2</sub>-Plasmaverfahren entfernt. Die zweiten DITs **155** werden gebildet, um den Substratgraben **120** als einen oberen Bereich mit der ersten Breite  $w_1$  und das erste DIT **150** als einen unteren Bereich mit der zweiten Breite  $w_2$  aufzuweisen. Auch der leitfähige Plug **110** ist in dem oberen Bereich der zweiten DITs **155** freigelegt.

**[0026]** Bezug nehmend auf die **Fig. 2** und **Fig. 9** schreitet das Verfahren **300** zu dem Schritt **314** voran, in dem die zweiten DITs **155** mit einem oder mehreren leitfähigen Materialien gefüllt werden, um tiefe Zwischenverbindungsstecker, in Fachkreisen Deep-Interconnect-Plugs (DIPs) **160** genannt, zu bilden. Die DIPs **160** enthalten ein hochleitfähiges, niederohmiges Metall, ein Elementarmetall, ein Übergangsmetall oder ähnliches. Beispielsweise enthalten die DIPs **160** Kupfer, eine Kupferlegierung, wie beispielsweise Kupfermagnesium (CuMg), Kupferaluminium (CuAl) oder Kupfersilizium (CuSi), obwohl andere Materialien, wie beispielsweise Wolfram oder Aluminium alternativ verwendet werden könnten. Die DIPs **160** können durch ein beliebiges geeignetes bekanntes Verfahren gebildet werden, wie beispielsweise PVD, Aufspritzen, sog. Sputtern, CVD, galvanisches Überziehen und/oder ähnliches. In einer Ausführungsform sind die DIPs **160** darüber hinaus von einer Barrierschicht umgeben, um eine Diffusion zu verhindern und/oder eine Materialhaftung zu ermöglichen. Die Barrierschicht kann Titannitrid (TiN), Tantalnitrid (TaN), Wolframnitrid (WN), Titantantalnitrid (Ti-SiN) oder Tantalnitrid (TaSiN) enthalten. Die DIPs **160** werden mit einem oberen Bereich, welcher die erste Breite  $w_1$  aufweist, und einem unteren Bereich, der die zweite Breite  $w_2$  aufweist, gebildet. Darüber hinaus kann ein chemisch-mechanisches Polieren (CMP) ausgeführt werden, um das leitfähige Material für einen Einebnungseffekt zu entfernen, wenn eine gewünschte Topographie erforderlich ist.

**[0027]** In der vorliegenden Ausführungsform ist der obere Bereich des DIP **160** mit dem Substrat-Plug **110** (dem ersten Halbleiterwafer **100**) und der untere Bereich des DIP **160** (dem zweiten Halbleiterwafer **200**) separat verbunden, wobei der obere Bereich des DIP **160** als ein gemeinsames leitfähiges Element **170** für den ersten und den zweiten Halbleiterwafer bezeichnet wird. Das gemeinsame leitfähige Element **170** weist die erste Breite  $w_1$  auf. Der untere Bereich des DIP **160** wird als ein leitfähiger Tiefzapfen **180**, in Fachkreisen Deep-Plug genannt, bezeichnet und weist die zweite Breite  $w_2$  auf. Die erste Breite  $w_1$  ist größer, und insbesondere wesentlich größer als die zweite Breite  $w_2$ . Der leitfähige Deep-Plug **180** ist von dem Substrat-Plug **110** durch den Abstand  $d$  in der ersten ILD-Schicht **107** getrennt.

**[0028]** Obwohl **Fig. 9** zwei Halbleiterwafer zeigt, die zusammengestapelt sind, sollte angemerkt werden, dass der Fachmann erkennen wird, dass die in **Fig. 9** gezeigte gestapelte IC-Vorrichtung lediglich ein Beispiel ist. Es kann viele Alternativen, Variationen und Modifikationen geben. Beispielsweise kann die gestapelte IC-Vorrichtung mehr als zwei Wafer umfassen.

**[0029]** Basierend auf dem oben Beschriebenen stellt die vorliegende Offenbarung eine gestapelte IC-Vorrichtung, die eine Zwischenverbindungsstruktur verwendet, um eine elektrische Verbindung zwischen zwei Halbleiterwafern bereitzustellen, sowie ein Handelsverfahren bereit. Die Zwischenverbindungsstruktur ist dazu eingerichtet, dass sowohl der erste als auch der zweite Halbleiterwafer einzeln mit einem gemeinsamen leitfähigen Merkmal in dem ersten Wafer verbunden ist. Der erste Halbleiterwafer ist mit dem gemeinsamen leitfähigen Merkmal durch einen leitfähigen Plug, der in dem ersten Halbleiterwafer gebildet ist, verbunden, während der zweite Halbleiterwafer mit dem gemeinsamen leitfähigen Merkmal durch einen anderen leitfähigen Plug, der sowohl durch den ersten als auch einen Bereich des zweiten Halbleiterwafers verläuft, verbunden ist. Die Zwischenverbindungsstruktur kann elektrische Zwischenverbindungen zwischen zwei Halbleiterwafern mit einer kürzeren Verbindungslänge, einem dichteren Layout von Zwischenverbindungsmerkmalen und einem verringerten Seitenverhältnis des leitfähigen Plugs bereitstellen.

**[0030]** Die vorliegende Offenbarung stellt viele verschiedene Ausführungsformen einer gestapelten IC-Vorrichtung zur Verfügung. Die gestapelte IC-Vorrichtung weist einen ersten Wafer und einen zweiten Wafer, der auf den ersten Wafer gebondet ist, auf. Der erste Wafer weist ein erstes Substrat, ein gemeinsames leitfähiges Merkmal in dem ersten Substrat, eine Mehrzahl von ersten Zwischenverbindungskomponenten, die in einer oder mehreren ersten Zwischenschichtdielektrikums-(ILD)-Schichten über dem ersten Substrat gebildet sind, ein erstes Zwischenverbindungsmerkmal in den ersten ILD-Schichten und einen leitfähigen Plug, der das erste Zwischenverbindungsmerkmal mit dem gemeinsamen leitfähigen Merkmal verbindet, auf. Der zweite Wafer weist ein zweites Substrat, eine Mehrzahl von zweiten Zwischenverbindungskomponenten, die in einer oder mehreren zweiten ILD-Schichten über dem zweiten Substrat gebildet sind, und ein zweites Zwischenverbindungsmerkmal in den zweiten ILD-Schichten auf. Die Vorrichtung umfasst ebenfalls einen leitfähigen Deep-Plug, der mit dem gemeinsamen leitfähigen Merkmal in dem ersten Wafer und dem zweiten Zwischenverbindungsmerkmal in dem zweiten Wafer verbunden ist. Der leitfähige Deep-Plug ist von dem leitfähigen Plug durch die erste ILD-Schicht getrennt.

**[0031]** In einer anderen Ausführungsform umfasst eine gestapelte IC-Vorrichtung einen ersten Halbleiterwafer. Der erste Halbleiterwafer umfasst ein erstes Zwischenverbindungsmerkmal und einen leitfähigen Plug, der mit dem ersten Zwischenverbindungsmerkmal verbunden ist. Die gestapelte IC-Vorrichtung umfasst ebenfalls einen zweiten Halbleiterwafer, der auf den ersten Halbleiterwafer gebondet ist. Der

zweite Halbleiterwafer umfasst ein zweites Zwischenverbindungsmerkmal. Die gestapelte IC-Vorrichtung umfasst ebenfalls einen leitfähigen Deep-Plug, der zwischen das erste und das zweite Zwischenverbindungsmerkmal gekoppelt ist. Der leitfähige Deep-Plug umfasst einen oberen Bereich, der mit dem leitfähigen Plug in dem ersten Halbleiterwafer verbunden ist, und einen unteren Bereich, der zu dem zweiten Zwischenverbindungsmerkmal im zweiten Halbleiterwafer verbindend bzw. damit verbunden ist.

**[0032]** In einer weiteren Ausführungsform umfasst ein Verfahren zum Herstellen einer gestapelten IC-Vorrichtung das Bereitstellen eines ersten Halbleiterwafers. Der erste Halbleiterwafer umfasst ein erstes Substrat, eine erste Zwischenebenendielektrikums-(ILD)-Schicht über dem ersten Substrat, ein erstes Zwischenverbindungsmerkmal in der ersten ILD-Schicht und einen leitfähigen Plug in der ersten ILD-Schicht. Der leitfähige Plug ist mit dem ersten Substrat und dem ersten Zwischenverbindungsmerkmal verbunden. Das Verfahren umfasst auch ein Bonden des ersten Halbleiterwafers auf einen zweiten Halbleiterwafer. Der zweite Halbleiterwafer umfasst ein zweites Substrat, eine zweite Zwischenebenendielektrikums-(ILD)-Schicht über dem zweiten Substrat und ein zweites Zwischenverbindungsmerkmal in der zweiten ILD-Schicht. Das Verfahren umfasst auch ein Bilden eines Substratgrabens in dem ersten Substrat, um den leitfähigen Plug und die erste ILD-Schicht freizulegen, ein Abscheiden einer dielektrischen Isolationsschicht über dem ersten Substrat und Seitenwänden des Substratgrabens, sowie ein anschließendes Entfernen der dielektrischen Isolationsschicht von einem Boden des Substratgrabens zum Freilegen der ersten ILD-Schicht, ein Bilden einer Deep-Interconnection-Trench-(DIT)-Strukturmaske in dem Substratgraben, ein Ätzen der ersten ILD-Schicht und eines Bereichs der zweiten ILD-Schicht durch die DIT-Strukturmaske zum Bilden eines ersten DIT, der mit dem zweiten Zwischenverbindungsmerkmal verbunden ist, ein Entfernen der strukturierten Maske zum Bilden eines zweiten DIT und ein Füllen des zweiten DIT mit einem oder mehreren leitfähigen Materialien zum Bilden eines leitfähigen Deep-Plugs zum Koppeln des ersten und des zweiten Halbleiterwafers.

### Patentansprüche

1. Vorrichtung (400), die Folgendes umfasst: ein erstes Halbleiterelement (100), welches Folgendes umfasst: ein erstes Substrat (102), ein gemeinsames leitfähiges Element (170), das sich in dem ersten Substrat (102) mit einer ersten Breite ( $w_1$ ) erstreckt, ein erstes Zwischenbindungselement (108), das in einer ersten dielektrischen Schicht (107) über dem ersten Substrat (102) gebildet ist, und

einen leitfähigen Zapfen (110), der das erste Zwischenbindungselement (108) mit dem gemeinsamen leitfähigen Element (170) verbindet, ein zweites Halbleiterelement (200), das an das erste Halbleiterelement (100) gebondet ist, wobei das zweite Halbleiterelement (200) Folgendes umfasst: ein zweites Substrat (202) und ein zweites Zwischenbindungselement (208), das in einer zweiten dielektrischen Zwischenebenenschicht (207) über dem zweiten Substrat (202) gebildet ist, und einen leitfähigen Zwischenverbindungsstecker (160), der in einem oberen Bereich das gemeinsame leitfähige Element (170) bildet und in einem unteren Bereich einen leitfähigen Tiefzapfen (180) bildet, der das gemeinsame leitfähige Element (170) in dem ersten Halbleiterelement (100) mit dem zweiten Zwischenbindungselement (208) in dem zweiten Halbleiterelement (200) verbindet, wobei der leitfähige Tiefzapfen (180) von dem leitfähigen Zapfen (110) durch die erste dielektrische Schicht (107) getrennt ist; und wobei der leitfähige Tiefzapfen (180) eine zweite Breite ( $w_2$ ) aufweist, die kleiner als die erste Breite ( $w_1$ ) ist.

2. Vorrichtung (400) nach Anspruch 1, wobei der leitfähige Tiefzapfen (180) durch die erste dielektrische Schicht (107) und teilweise durch die zweite dielektrische Schicht (207) hindurch gebildet ist.

3. Vorrichtung (400) nach einem der vorhergehenden Ansprüche, wobei der leitfähige Tiefzapfen (180) zwischen das erste (108) und das zweite (208) Zwischenbindungselement gekoppelt ist.

4. Vorrichtung (400) nach einem der vorhergehenden Ansprüche, wobei der leitfähige Zapfen (110) und der leitfähige Tiefzapfen (180) mit dem gemeinsamen leitfähigen Element (170) einzeln und direkt verbunden sind.

5. Vorrichtung (400) nach einem der vorhergehenden Ansprüche, wobei das erste Halbleiterelement (100) einen Bildsensor aufweist.

6. Vorrichtung (400) nach einem der vorhergehenden Ansprüche, wobei das zweite Halbleiterelement (200) eine applikationsspezifische integrierte Schaltung (ASIC) aufweist.

7. Gestapelte Vorrichtung (400) mit integrierter Schaltung, wobei die Vorrichtung (400) Folgendes umfasst: ein erstes Halbleiterelement (100) mit einem ersten Zwischenbindungselement (108) und einem leitfähigen Zapfen (110), der mit dem ersten Zwischenbindungselement (108) verbunden ist; ein erstes Substrat (102) in dem ersten Halbleiterelement (100), wobei das erste Substrat einen Substratgraben (120) mit einer ersten Breite ( $w_1$ ) aufweist;

ein zweites Halbleiterelement (200), das auf das erste Halbleiterelement (100) gebondet ist, wobei das zweite Halbleiterelement (200) ein zweites Zwischenverbindungselement (208) umfasst, und

einen leitfähigen Zwischenverbindungsstecker (160), der zwischen das erste (108) und das zweite (208) Zwischenverbindungselement gekoppelt ist, wobei der leitfähige Zwischenverbindungsstecker (160) Folgendes umfasst:

einen oberen Bereich (170), der mit dem leitfähigen Zapfen (110) in dem ersten Halbleiterelement (100) verbunden ist und der den Substratgraben (120) ausfüllt, und

einen unteren Bereich (180), der zu dem zweiten Zwischenverbindungselement (208) in dem zweiten Halbleiterelement (200) verbindend ist; wobei die Breite ( $w_1$ ) des Substratgrabens (120) größer als die Breite ( $w_2$ ) des unteren Bereichs (180) des leitfähigen Zwischenverbindungsstecker (160) ist.

8. Vorrichtung (400) nach Anspruch 7, welche weiter Folgendes umfasst:

erste Zwischenebenendielektrikum-Schichten (107) in dem ersten Halbleiterelement (100), und zweite Zwischenebenendielektrikum-Schichten (207) in dem zweiten Halbleiterelement (200).

9. Vorrichtung (400) nach Anspruch 8, wobei der leitfähige Zwischenverbindungsstecker (160) durch die ersten Zwischenebenendielektrikum-Schichten (107) und einen Bereich der zweiten Zwischenebenendielektrikum-Schichten (207) hindurch gebildet ist.

10. Vorrichtung (400) nach Anspruch 8 oder 9, wobei der leitfähige Zwischenverbindungsstecker (160) von dem leitfähigen Zapfen (110) durch die ersten Zwischenebenendielektrikum-Schichten (107) getrennt ist.

11. Vorrichtung (400) nach einem der Ansprüche 7 bis 10, wobei das erste Halbleiterelement (100) einen Bildsensor aufweist.

12. Vorrichtung (400) nach einem der Ansprüche 7 bis 11, wobei das zweite Halbleiterelement (200) eine applikationsspezifische integrierte Schaltung (ASIC) aufweist.

13. Verfahren, welches Folgendes umfasst: Bereitstellen eines ersten Halbleiterelements (100), wobei das erste Halbleiterelement (100) Folgendes aufweist:

ein erstes Substrat (102),

eine erste Zwischenebenendielektrikum-Schicht (107) über dem ersten Substrat (102),

ein erstes Zwischenverbindungselement (108) in der ersten Zwischenebenendielektrikum-Schicht (107) und

einen leitfähigen Zapfen (110) in der ersten Zwischenebenendielektrikum-Schicht (107), wobei der leitfähige Zapfen (110) mit dem ersten Substrat (102) und dem ersten Zwischenverbindungselement (108) verbunden ist,

Bonden des ersten Halbleiterelements (100) auf ein zweites Halbleiterelement (200), wobei das zweite Halbleiterelement (200) Folgendes umfasst:

ein zweites Substrat (202),

eine zweite Zwischenebenendielektrikums-(ILD)-Schicht (207) über dem zweiten Substrat (202) und ein zweites Zwischenverbindungselement (208) in der zweiten Zwischenebenendielektrikum-Schicht (207),

Bilden eines Substratgrabens (120) in dem ersten Substrat (102) zum Freilegen des leitfähigen Zapfens (110) und der ersten Zwischenebenendielektrikum-Schicht (107), wobei der Substratgraben (120) eine erste Breite ( $w_1$ ) aufweist,

Abscheiden einer dielektrischen Isolationsschicht (130) über dem ersten Substrat (102) und Seitenwänden des Substratgrabens (120),

Entfernen der dielektrischen Isolationsschicht (130) von einem Boden des Substratgrabens (120) zum Freilegen der ersten Zwischenebenendielektrikum-Schicht (107),

Bilden einer Tiefverbindungsgraben-Strukturmaske (140) in dem Substratgraben (120),

Ätzen der ersten Zwischenebenendielektrikum-Schicht (107) und eines Teils der zweiten Zwischenebenendielektrikum-Schicht (207) durch die Tiefverbindungsgraben-Strukturmaske (140) zum Bilden eines ersten Tiefverbindungsgrabens (150), der mit dem zweiten Zwischenverbindungselement (208) verbunden ist, wobei der erste Tiefverbindungsgraben (150) eine zweite Breite ( $w_2$ ) aufweist, die kleiner als die erste Breite ( $w_1$ ) des Substratgrabens (120) ist,

Entfernen der Strukturmaske (140) zum Bilden eines zweiten Tiefverbindungsgrabens (155) mit dem Substratgraben (120) als einem oberen Bereich und dem ersten Tiefverbindungsgraben (150) als einem unteren Bereich, und

Füllen des zweiten Tiefverbindungsgrabens (155) mit leitfähigem Material zum Bilden eines leitfähigen Zwischenverbindungssteckers (160) zum Koppeln des ersten (100) und des zweiten (200) Halbleiterelements.

14. Verfahren nach Anspruch 13, wobei der Substratgraben (120) durch Lithografie und selektives Ätzen mit geeigneter Ätzselektivität gegenüber der ersten Zwischenebenendielektrikum-Schicht (107) gebildet wird.

15. Verfahren nach Anspruch 14, wobei die erste Zwischenebenendielektrikums-Schicht (107) als eine Ätzstoppschicht dient.

Es folgen 9 Seiten Zeichnungen

Anhängende Zeichnungen

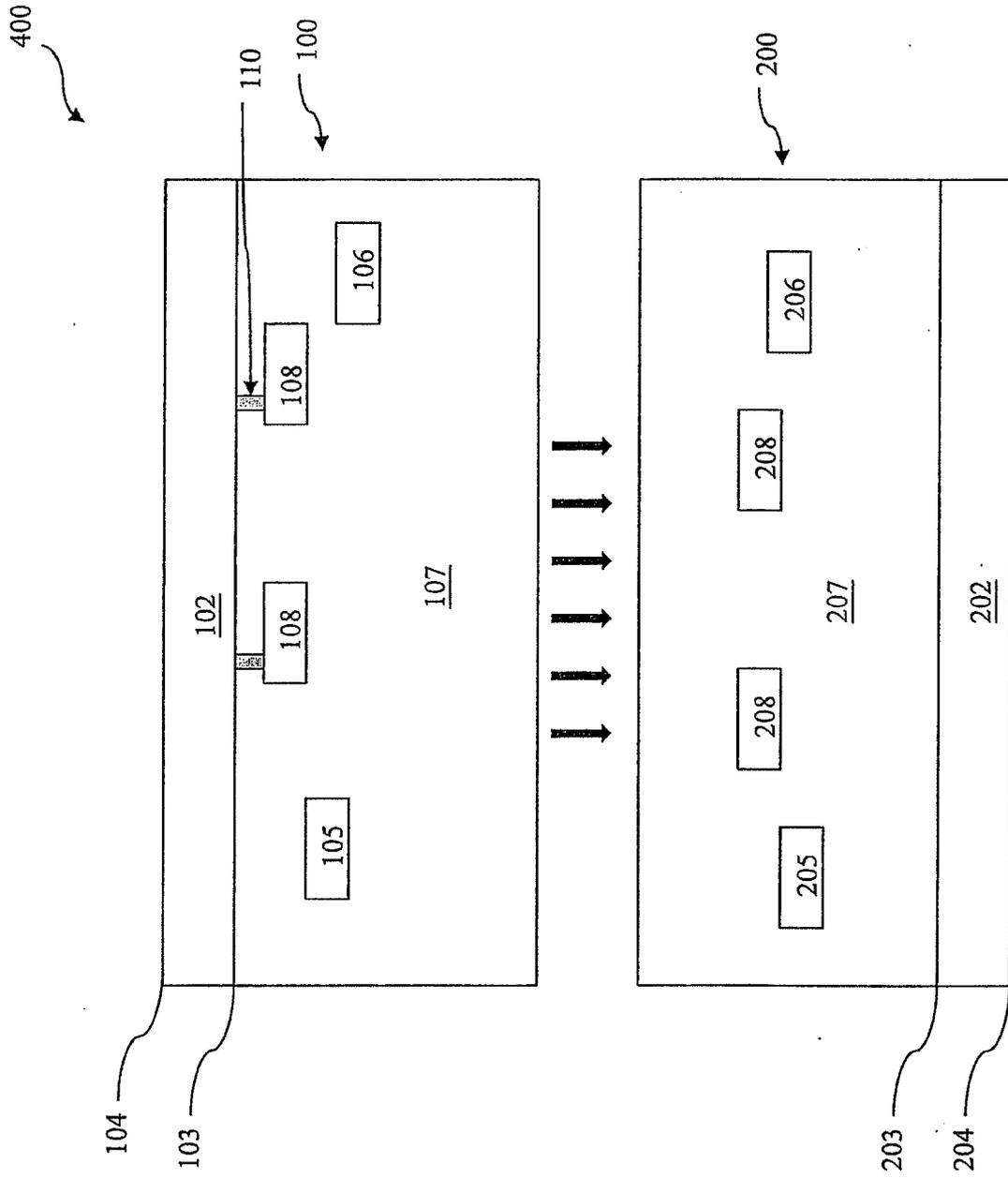


FIG. 1

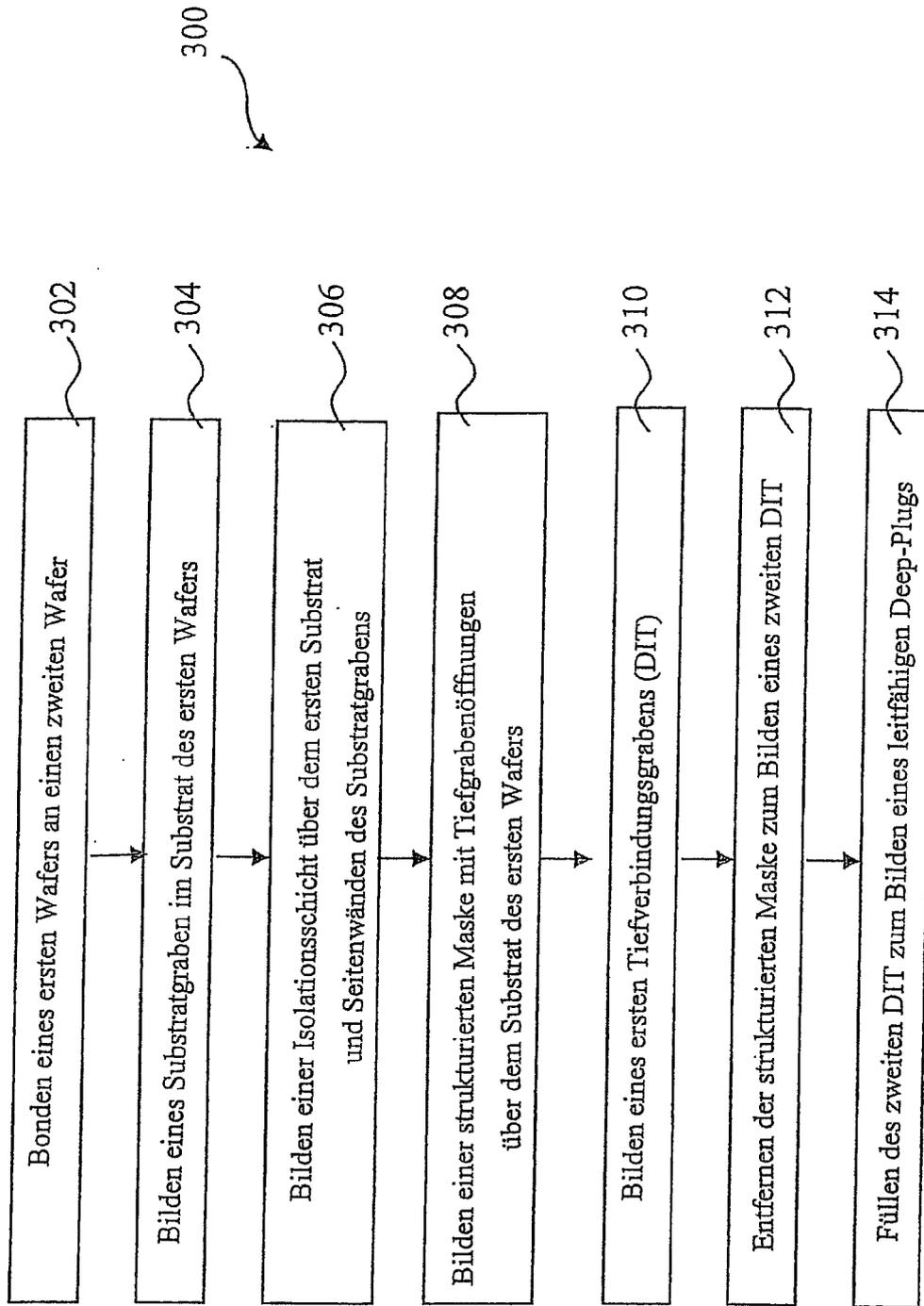


FIG. 2

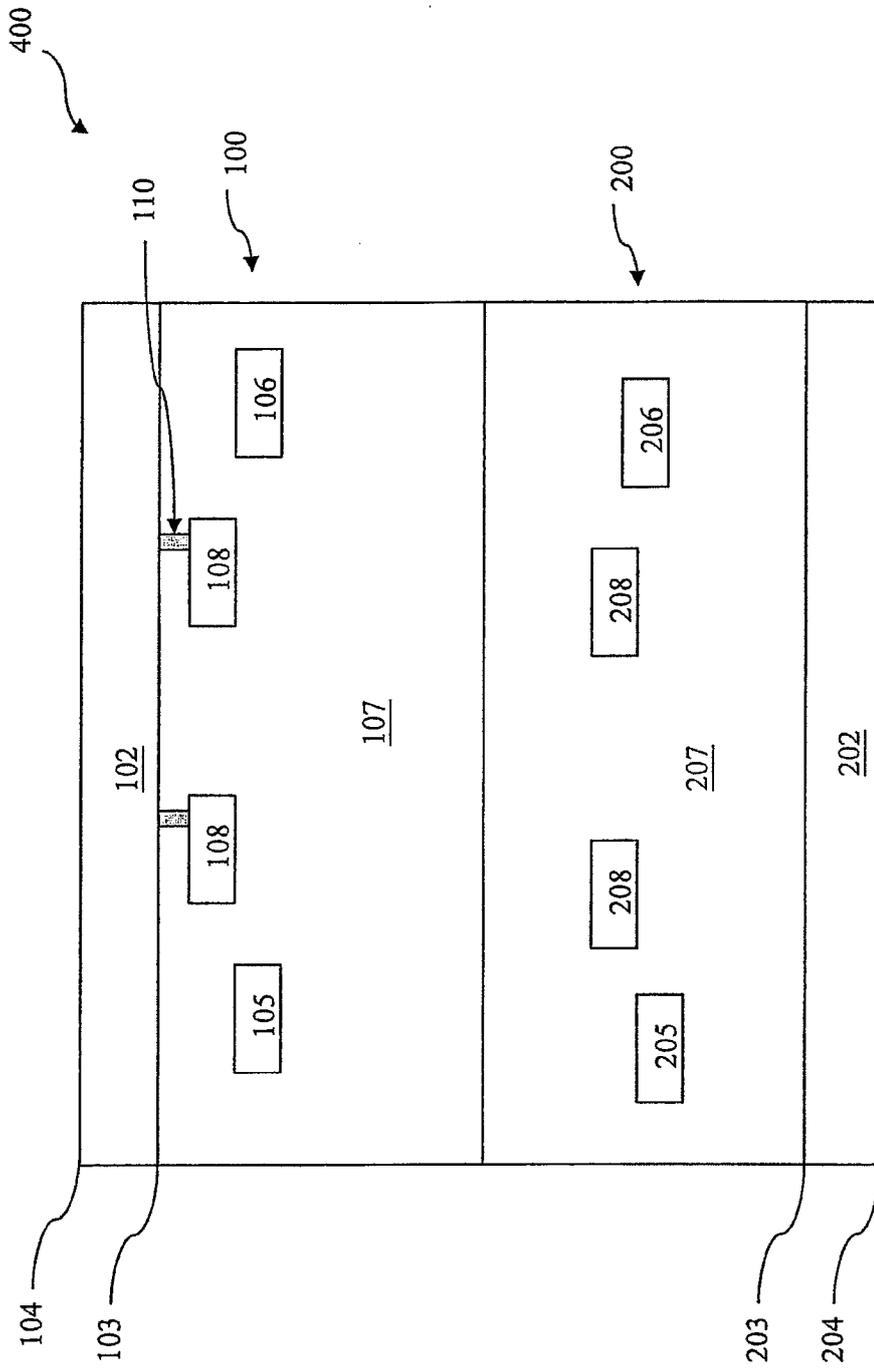


FIG. 3

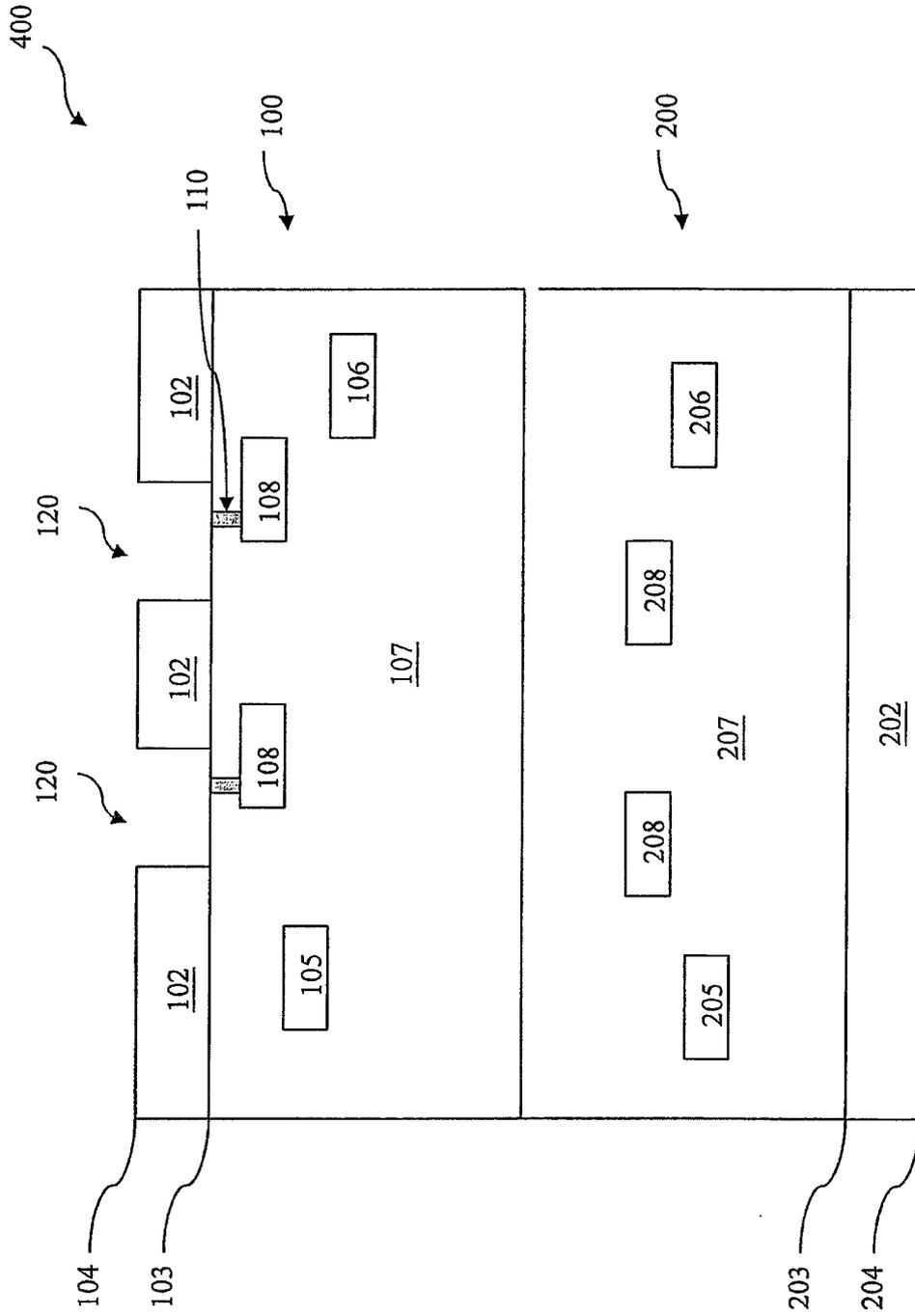


FIG. 4

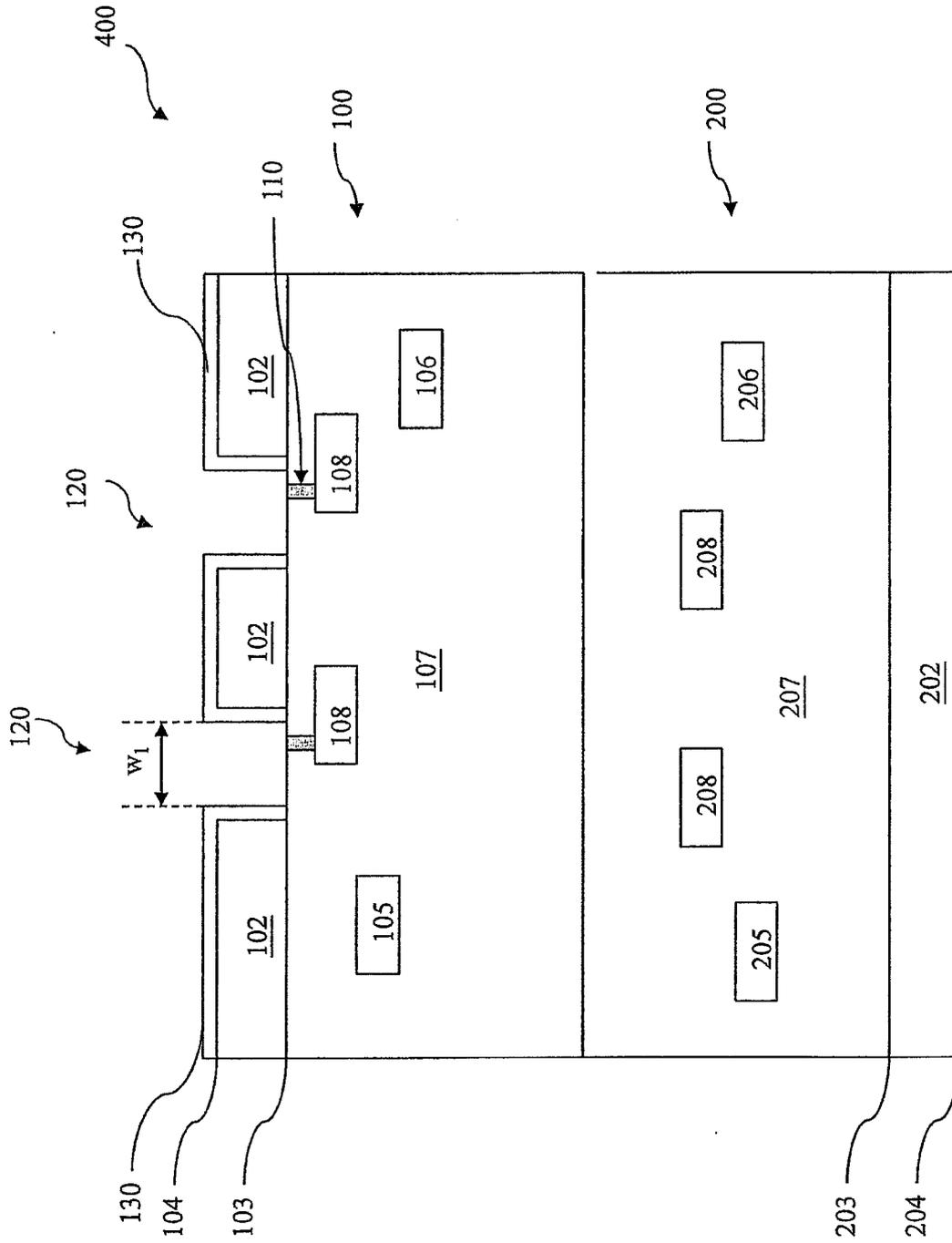


FIG. 5

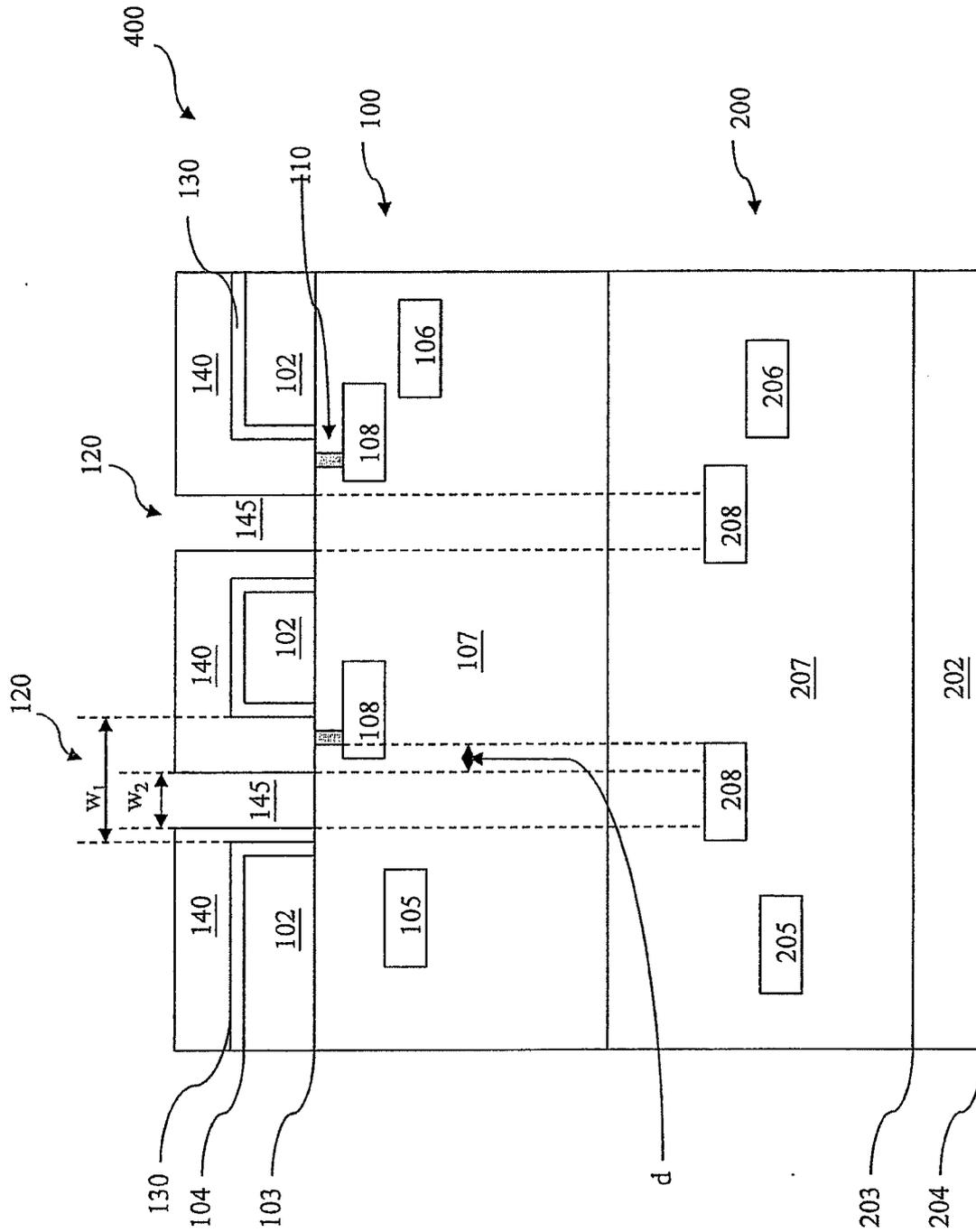


FIG. 6

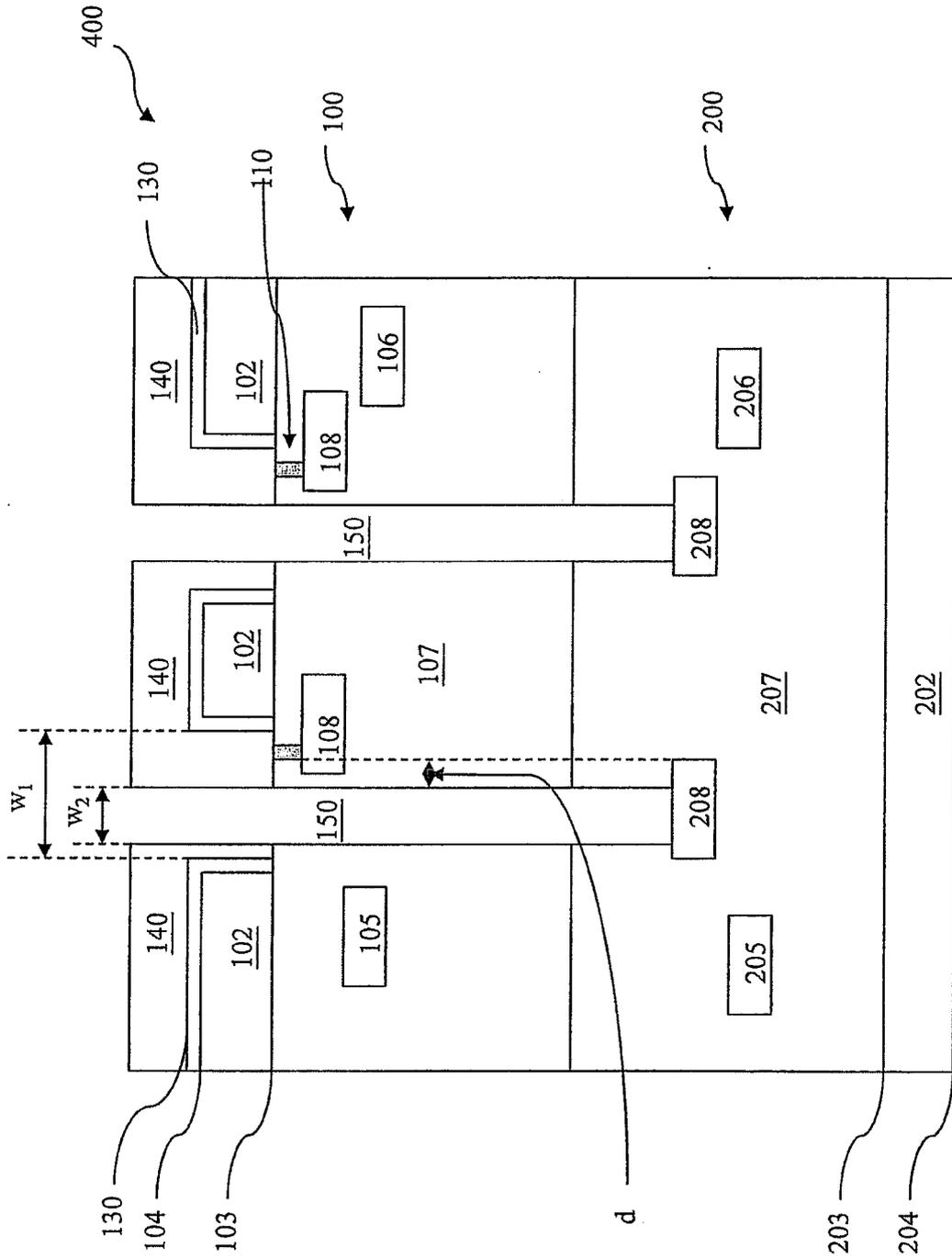


FIG. 7

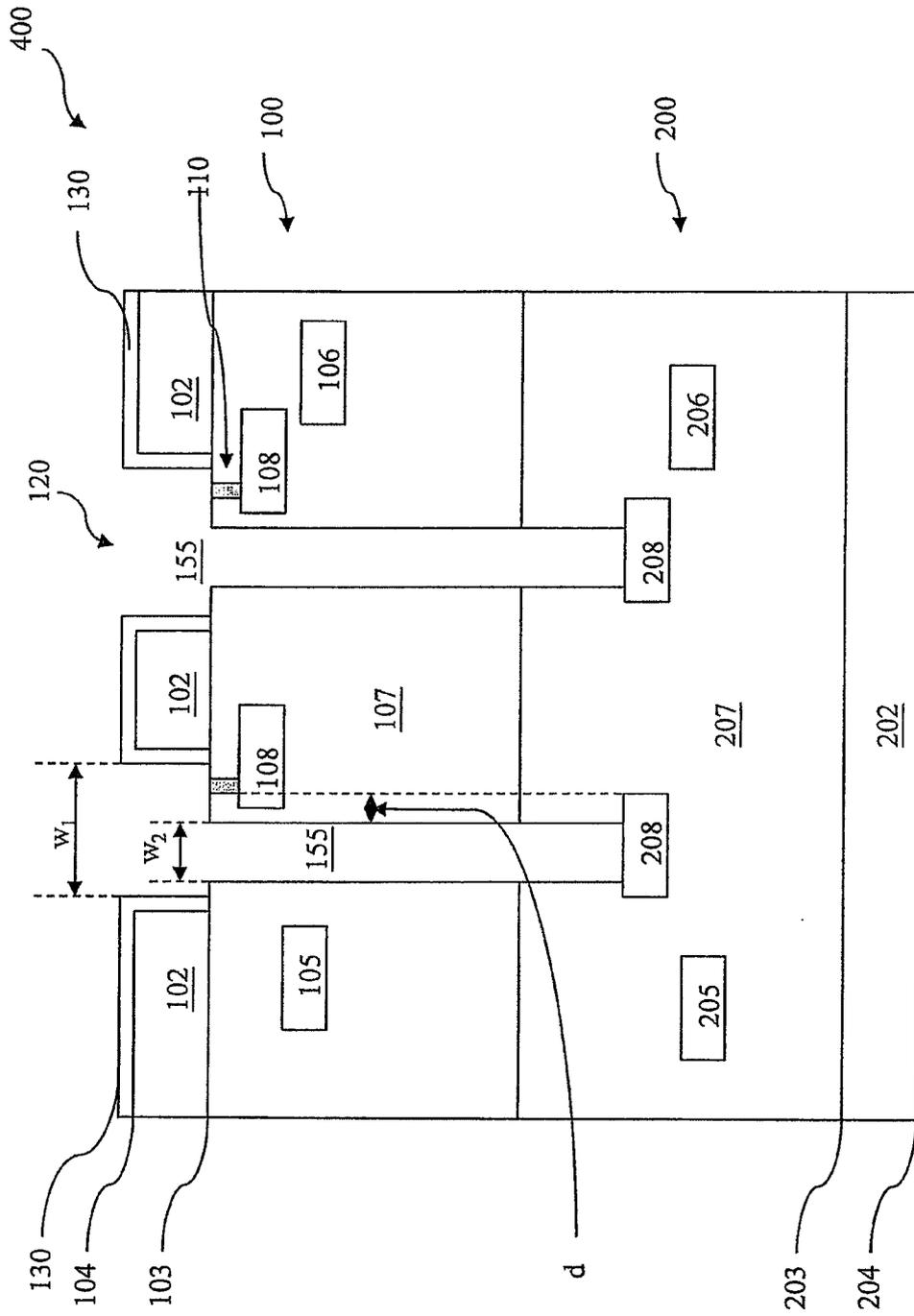


FIG. 8

