



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년04월13일
 (11) 등록번호 10-0953065
 (24) 등록일자 2010년04월07일

(51) Int. Cl.

H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)

(21) 출원번호 10-2008-0023839

(22) 출원일자 2008년03월14일

심사청구일자 2008년03월14일

(65) 공개번호 10-2009-0098439

(43) 공개일자 2009년09월17일

(56) 선행기술조사문헌

KR1020090106461 A*

W02008082888 A1*

KR100205240 B1

JP2003022687 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김유성

서울 송파구 오금동 삼성 아파트 2동 402호

노준례

서울 구로구 구로6동 136-55 201호

(74) 대리인

신영무

전체 청구항 수 : 총 5 항

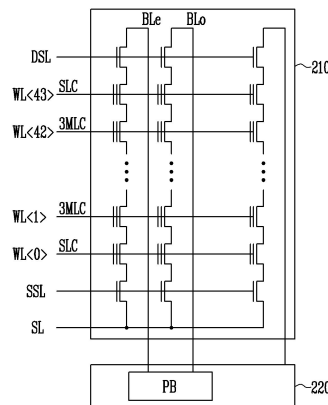
심사관 : 이우리

(54) 불휘발성 메모리 소자

(57) 요약

본 발명은 불휘발성 메모리 소자에 관한 것으로, 드레인 선택 라인에 인접한 제 1 워드라인과, 소오스 선택 라인에 인접한 제 2 워드라인을 제외한 나머지 제 3 워드라인들에 복수개의 비트 정보를 저장할 수 있는 메모리 셀들이 연결되고, 상기 제 1 및 제 2 워드라인들에, 상기 제 3 워드라인들에 연결된 멀티 레벨 셀들보다 적은 비트 정보를 저장할 수 있는 메모리 셀들이 연결되어 구성되는 메모리 셀 어레이를 포함한다.

대표도 - 도2b



특허청구의 범위

청구항 1

드레인 선택 라인에 인접한 제 44 워드라인과, 소오스 선택 라인에 인접한 제 1 워드라인에 제 1 논리 페이지를 포함하는 싱글 레벨 셀들이 연결되고,

제 2 내지 제 43 워드라인에 제 1 내지 제 3 논리 페이지를 포함하는 멀티 레벨 셀들이 연결되어 구성되는 메모리 블록들을 포함하는 메모리 셀 어레이를 포함하는 불휘발성 메모리 소자.

청구항 2

소오스 선택 라인에 인접한 제 1 워드라인에 제 1 및 제 2 논리 페이지를 포함하는 멀티 레벨 셀들이 연결되고,

제 2 내지 제 43 워드라인에 제 1 내지 제 3 논리 페이지를 포함하는 멀티 레벨 셀들이 연결되어 구성되는 메모리 블록들을 포함하는 메모리 셀 어레이를 포함하는 불휘발성 메모리 소자.

청구항 3

제 1 내지 제 42 워드라인에 제 1 내지 제 3 논리 페이지를 포함하는 멀티 레벨 셀들이 연결되고,

드레인 선택 라인에 인접한 제 43 워드라인에 제 1 및 제 2 논리 페이지를 포함하는 멀티 레벨 셀들이 연결되는 메모리 블록들을 포함하는 메모리 셀 어레이를 포함하는 불휘발성 메모리 소자.

청구항 4

제 1 내지 제 3 항중 어느 한 항에 있어서,

각각의 메모리 셀들은 워드라인과 직교방향으로 구성되는 비트라인들에 연결되고, 상기 비트라인들은 이븐 비트 라인 및 오드 비트라인으로 선택되는 것을 특징으로 하는 불휘발성 메모리 소자.

청구항 5

제 4항에 있어서,

상기 메모리 블록의 논리 페이지는 모두 256 페이지 인것을 특징으로 하는 불휘발성 메모리 소자.

청구항 6

삭제

청구항 7

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 불휘발성 메모리 소자에 관한 것으로, 특히 메모리 소자의 워드라인을 늘려서 저장할 수 있는 데이터의 용량을 늘일 수 있는 불휘발성 메모리 소자에 관한 것이다.

배경기술

[0002] 불휘발성 메모리인 플래시 메모리는 일반적으로 NAND 플래시 메모리와, NOR 플래시 메모리로 구분된다. NOR 플래시 메모리는 메모리 셀들이 각각 독립적으로 비트 라인과 워드 라인에 연결되는 구조를 가지므로 랜덤 액세스 시간 특성이 우수한 반면에, NAND 플래시 메모리는 복수개의 메모리 셀들이 직렬로 연결되어 셀 스트링 당 한 개의 컨택만을 필요로 하므로 집적도면에서 우수한 특성을 갖는다. 따라서 고집적 플래시 메모리에는 주로 NAND 구조가 사용되고 있다.

- [0003] 잘 알려진 NAND 플래시 메모리 장치는 메모리 셀 어레이, 행 디코더, 페이지 버퍼를 포함한다. 상기 메모리 셀 어레이는 행들을 따라 신장된 복수개의 워드 라인들과 열들을 따라 신장된 복수개의 비트라인들과 상기 비트라인들에 각각 대응되는 복수개의 셀 스트링들로 이루어진다.
- [0004] 최근에는 이러한 플래시 메모리의 집적도를 더욱 향상시키기 위해 한 개의 메모리 셀의 복수개의 데이터를 저장할 수 있는 다중 비트 셀에 대한 연구가 활발히 진행되고 있다. 이러한 방식의 메모리 셀을 통상 멀티 레벨 셀(Multi Level Cell; MLC)라고 한다. 이와 대비되는 단일 비트의 메모리 셀을 싱글 레벨 셀(Single Level Cell; SLC)이라 한다.
- [0005] 상기한 MLC는 상술한 바와 같이 복수 비트의 데이터를 저장하기 위해 복수의 셀 전압 레벨을 가지게 되며, 각각의 셀 문턱전압에 따라 데이터가 다르게 저장됨을 의미한다.
- [0006] 일반적으로, 플래시 메모리 소자는 메모리 셀들이 워드라인과 비트라인에 의해 선택되도록 연결된다. 비트라인은 메모리 셀들이 직렬로 연결된 셀 스트링에 각각 연결되고, 스트링으로 구성되는 메모리 셀의 게이트에 연결되는 워드라인은 비트라인과 직교하는 방향으로 형성된다.
- [0007] 하나의 셀 스트링에는 16개 또는 32개의 메모리 셀들이 직렬로 연결되어 있으며, 메모리 셀들의 개수에 따라 워드라인의 개수가 결정된다. 그리고 비트라인은 이븐(Even)과 오드(Odd) 비트라인으로 구분되어 동작한다.
- [0008] 따라서 플래시 메모리 소자에서 하나의 메모리 블록이 32개의 메모리 셀들을 포함하는 셀 스트링으로 구성된 경우, 각각의 메모리 셀들이 저장할 수 있는 데이터 비트의 수에 따라 메모리 소자에 구성되는 페이지의 개수가 달라진다.
- [0009] 도 1a 내지 도 1c는 플래시 메모리소자의 메모리 셀들의 문턱전압 분포를 나타낸다.
- [0010] 특히 도 1a는 1비트 데이터 정보를 저장할 수 있는 싱글 레벨 셀을 포함하는 플래시 메모리 소자의 문턱전압 분포이고, 도 1b는 2비트 데이터 정보를 저장할 수 있는 멀티 레벨 셀을 포함하는 플래시 메모리 소자의 문턱전압 분포이며, 도 1c는 3비트의 데이터 정보를 저장할 수 있는 멀티 레벨 셀을 포함하는 플래시 메모리 소자의 문턱전압 분포이다.
- [0011] 도 1a를 참조하면, 1 비트의 데이터 정보를 저장할 수 있는 싱글 레벨 셀을 포함하는 플래시 메모리 소자는 물리적인 하나의 페이지에 논리적인 하나의 페이지를 갖는다. 그리고 프로그램을 통해서 소거된 상태의 셀들이 프로그램 셀로 변경된다. 따라서 문턱전압 분포는 두 가지 상태로 나타난다.
- [0012] 도 1b를 참조하면, 2 비트의 데이터 정보를 저장할 수 있는 멀티 레벨 셀을 포함하는 플래시 메모리 소자는 물리적인 하나의 페이지에 논리적인 두 개의 페이지를 갖는다. 각각의 페이지는 하위(lower)의 LSB(Least Significant Bit) 페이지와, 상위(upper)의 MSB(Most Significant Bit) 페이지로 나뉜다.
- [0013] 그리고 2 비트의 데이터 정보를 저장할 수 있는 멀티 레벨 셀들은 소거 상태를 포함해서 4 개의 문턱전압 분포 상태로 프로그램된다.
- [0014] 도 1c를 참조하면, 3 비트의 데이터 정보를 저장할 수 있는 멀티 레벨 셀을 포함하는 플래시 메모리 소자는 물리적인 하나의 페이지에 논리적인 세 개의 페이지를 갖는다. 각각의 페이지는 하위(lower) 페이지와, 상위(upper) 페이지 그리고 최상위(Higher) 페이지로 나뉜다.
- [0015] 그리고 3 비트의 데이터 정보를 저장할 수 있는 멀티 레벨 셀들은 소거 상태를 포함해서 8 개의 문턱전압 분포 상태로 프로그램된다.
- [0016] 상기 도 1a 내지 도 1c와 같이 메모리 셀에 저장할 수 있는 데이터 비트의 수에 따라서 각각의 물리적인 페이지가 갖는 논리 페이지의 개수가 틀려지고, 문턱전압 분포의 개수도 달라진다.
- [0017] 따라서 워드라인의 개수와, 비트라인의 개수가 정해진 플래시 메모리 소자의 데이터 저장 용량을 늘리기 위해서는 메모리 셀들이 저장할 수 있는 비트 수가 늘어나도록 하는 방법을 사용해야 한다. 그러나 도 1a 내지 도 1c에 나타난 바와 같이 메모리 셀에 저장할 수 있는 비트의 수가 늘어날수록, 문턱전압 분포의 개수도 늘어나고, 각각의 문턱전압 간의 간격과 문턱전압 분포의 폭도 작게 제어되어야 한다.
- [0018] 상기 문턱전압 분포간의 간격과, 문턱전압 분포의 폭을 제어하는 것은 메모리 셀에 저장할 수 있는 데이터 비트의 수가 늘어날수록 어려운 문제가 된다.
- [0019] 플래시 메모리 소자의 저장 용량을 늘리기 위한 다른 방법으로는 비트라인이나 워드라인의 수를 늘리는 방법을

생각할 수 있다. 그러나 이러한 방법은 플래시 메모리 소자의 칩 사이즈나, 프로그램 동작시의 셀 부스팅 동작 제어를 위한 전압 제어 등의 많은 문제를 해결해야만 한다.

발명의 내용

해결 하고자하는 과제

[0020] 따라서 본 발명이 이루고자 하는 기술적 과제는 불휘발성 메모리 소자의 워드라인을 늘리고 멀티 레벨 셀을 사용하여 용량을 늘릴 수 있는 불휘발성 메모리 소자를 제공하는데 있다.

과제 해결수단

[0021] 본 발명의 특징에 따른 불휘발성 메모리 소자는,

[0022] 드레인 선택 라인에 인접한 제 1 워드라인과, 소오스 선택 라인에 인접한 제 2 워드라인을 제외한 나머지 제 3 워드라인들에 복수개의 비트 정보를 저장할 수 있는 메모리 셀들이 연결되고, 상기 제 1 및 제 2 워드라인들에, 상기 제 3 워드라인들에 연결된 멀티 레벨 셀들보다 적은 비트 정보를 저장할 수 있는 메모리 셀들이 연결되어 구성되는 메모리 셀 어레이를 포함한다.

[0023] 상기 제 1 및 제 2 워드라인들에 연결되는 메모리 셀들은 싱글 레벨 셀인 것을 특징으로 한다.

[0024] 상기 제 1 및 제 2 워드라인들에 연결되는 메모리 셀들은 2비트 정보를 저장하는 것을 특징으로 한다.

[0025] 상기 제 1 및 제 2 워드라인들에 연결되는 메모리 셀들은 상기 제 3 워드라인들에 연결된 메모리 셀들보다 1비트 이상 적은 비트 정보를 저장할 수 있는 메모리 셀들인 것을 특징으로 한다.

[0026] 본 발명의 다른 특징에 따른 불휘발성 메모리 소자는,

[0027] 제 1 내지 제 N 워드라인을 갖는 메모리 셀 어레이를 포함하는 불휘발성 메모리 소자에 있어서, 드레인 선택 라인에 인접한 제 N 워드라인과, 소오스 선택 라인에 인접한 제 1 워드라인에 연결되는 메모리 셀들을 1비트 정보를 저장할 수 있는 메모리 셀들로 구성하고, 제 2 내지 제 N-1 워드라인에 연결되는 메모리 셀들을 3비트 정보를 저장할 수 있는 메모리 셀들로 구성하는 것을 특징으로 한다.

[0028] 본 발명의 또 다른 특징에 따른 불휘발성 메모리 소자는,

[0029] 제 1 내지 제 N 워드라인을 갖는 메모리 셀 어레이를 포함하는 불휘발성 메모리 소자에 있어서, 소오스 선택 라인에 인접한 제 1 워드라인에 연결되는 메모리 셀들을 2비트 정보를 저장할 수 있는 메모리 셀들로 구성하고, 제 2 내지 제 N 워드라인에 연결되는 메모리 셀들을 3비트 정보를 저장할 수 있는 메모리 셀들로 구성하는 것을 특징으로 한다.

[0030] 본 발명의 또 다른 특징에 따른 불휘발성 메모리 소자는,

[0031] 제 1 내지 제 N 워드라인을 갖는 메모리 셀 어레이를 포함하는 불휘발성 메모리 소자에 있어서, 제 1 내지 제 N-1 워드라인에 연결되는 메모리 셀들을 3비트 정보를 저장할 수 있는 메모리 셀들로 구성하고, 드레인 선택 라인에 인접한 제 N 워드라인에 연결되는 메모리 셀들을 2비트 정보를 저장할 수 있는 메모리 셀들로 구성하는 것을 특징으로 한다.

효과

[0032] 이상에서 설명한 바와 같이, 본 발명에 따른 불휘발성 메모리 소자는 메모리 셀 어레이의 워드라인을 늘리고, 멀티 레벨 셀을 사용하여 저장 용량을 늘리면서 워드라인이 늘어나서 셀프 부스팅이 일어나지 않는 문제를 해결할 수 있다.

발명의 실시를 위한 구체적인 내용

[0033] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

- [0034] 도 2a는 플래시 메모리 소자의 블록도이다.
- [0035] 도 2a를 참조하면, 플래시 메모리 소자(200)는 메모리 셀 어레이(210)와, 페이지 버퍼부(220)와, Y 디코더(230)와, X 디코더(240)와 전압 제공부(250) 및 제어부(260)를 포함한다.
- [0036] 메모리 셀 어레이(210)는 데이터 저장을 위한 메모리 셀들이 직렬로 연결된 셀 스트링들이 복수개 포함되고, 각각의 셀 스트링들은 비트라인(BL)에 연결된다. 또한 상기 비트라인과 직교하는 방향으로 메모리 셀들의 게이트가 워드라인(WL)으로 연결된다.
- [0037] 페이지 버퍼부(220)는 상기 메모리 셀 어레이(210)의 비트라인에 연결되는 페이지 버퍼(PB)가 복수개 포함되는데, 각각의 페이지 버퍼(PB)는 선택된 메모리 셀에 프로그램할 데이터를 임시 저장하였다가 비트라인을 통해 메모리 셀에 전달하거나, 메모리 셀에 저장된 데이터를 독출하여 저장한다.
- [0038] Y 디코더(230)는 입력 어드레스에 따라 페이지 버퍼부(220)의 페이지 버퍼(PB)에 입출력 경로를 제공하고, X 디코더(240)는 입력 어드레스에 따라 메모리 셀 어레이(210)의 워드라인을 선택한다.
- [0039] 전압 제공부(250)는 제어부(260)의 제어에 따라 상기 X 디코더(240)가 연결하는 워드라인에 제공할 동작 전압을 생성하고, 제어부(260)는 동작 명령에 따른 제어신호를 출력하며, 메모리 셀 어레이(210)의 데이터 프로그램 정도에 따라 설정되어 있는 패스전압을 제공할 수 있도록 전압 제공부(250)를 제어한다.
- [0040] 상기 플래시 메모리 소자(200)에서 프로그램 동작은 일반적으로 공통 소오스 라인에서 드레인 선택 라인 방향으로 수행된다.
- [0041] 상기의 메모리 셀 어레이(210)에 워드라인을 늘리고, 멀티 레벨 셀을 이용하여 저장 용량을 늘릴 수 있다.
- [0042] 도 2b는 본 발명의 제 1 실시 예에 따른 메모리 셀 어레이의 구성을 나타낸 회로도이다.
- [0043] 도 2b를 참조하면, 본 발명의 제 1 실시 예에서 메모리 셀 어레이(210) 워드라인을 44개로 늘리고, 1비트 정보를 저장할 수 있는 싱글 레벨 셀과, 3비트 정보를 저장할 수 있는 멀티 레벨 셀을 이용하여 256개의 논리 페이지를 포함한다.
- [0044] 하나의 셀 스트링은 드레인 선택 트랜지스터(DST; Drain Select Transistor)와 소오스 선택 트랜지스터(SST; Source Select Transistor) 사이에 44 개의 메모리 셀들이 직렬로 된다. 상기 드레인 트랜지스터(DST)들의 게이트는 드레인 선택 라인(Drain Select Line; DSL)에 의해 연결되고, 소오스 트랜지스터(SST)의 게이트는 소오스 선택 라인(Source Select Line; SSL)에 의해 연결된다.
- [0045] 그리고 각각의 메모리 셀의 게이트들은 제 1 내지 제 44 워드라인(WL<0> 내지 WL<43>)에 연결된다. 이때 드레인 선택 라인(DSL)에 인접한 제 44 워드라인(WL<43>)과, 소오스 선택 라인(SSL)에 인접한 제 1 워드라인(WL<0>)에 연결되는 메모리 셀들은 싱글 레벨 셀로 동작한다.
- [0046] 그리고 제 2 내지 제 43 워드라인(WL<2> 내지 WL<42>)들에 연결되는 메모리 셀들은 3비트 정보를 저장할 수 있는 멀티 레벨 셀(3MLC)로 동작한다.
- [0047] 따라서 본 발명의 제 1 실시 예에 따른 메모리 셀 어레이(210)는 다음과 같은 논리 페이지를 갖는다.

표 1

	워드라인	페이지			비트/셀	이븐	오드	전체 페이지
44	WL<43>	lower			1	128	128	256
43	WL<42>	lower	upper	higher	3			
---	---	lower	upper	higher	3			
2	WL<1>	lower	upper	higher	3			
1	WL<0>	lower			1			

- [0048]
- [0049] 상기 표 1에 나타난 바와 같이 제 1 및 제 44 워드라인(WL<0>, WL<43>)은 싱글 레벨 셀이므로 하나의 논리 페이지가 포함되고, 제 2 내지 제 43 워드라인(WL<1> 내지 WL<42>)은 3비트 정보를 저장할 수 있는 멀티 레벨 셀들이므로 세 개의 논리 페이지(lower, upper, higher)를 포함한다.

[0050] 따라서 이븐 비트라인을 선택했을 때의 128 개의 논리 페이지와, 오드 비트라인을 선택했을 때의 128 개의 논리 페이지를 합하여, 전체 256개의 논리 페이지로 구성된다.

[0051] 도 2c는 본 발명의 제 2 실시 예에 따른 메모리 셀 어레이의 구성을 나타낸 회로도이다.

[0052] 도 2c를 참조하면, 본 발명의 제 2 실시 예에 따른 메모리 셀 어레이(210)는 워드라인이 43개이고, 2비트 정보를 저장할 수 있는 멀티 레벨 셀(2MLC)과, 3비트 정보를 저장할 수 있는 멀티 레벨 셀(3MLC)들로 구성된다.

[0053] 제 1 내지 제 43 워드라인(WL<0> 내지 WL<42>)에서 드레인 선택 라인(DSL)에 인접한 제 43 워드라인(WL<42>)에 연결된 메모리 셀들은 2비트 정보를 저장할 수 있는 멀티 레벨 셀로 동작하고, 나머지 워드라인들인 제 1 내지 제 42 워드라인(WL<0> 내지 WL<41>)에 연결된 메모리 셀들은 3비트 정보를 저장할 수 있는 멀티 레벨 셀로 동작한다.

[0054] 따라서 본 발명의 제 2 실시 예에 따른 메모리 셀 어레이는 다음과 같은 논리 페이지로 구성된다.

표 2

	워드라인	페이지			비트/셀	이븐	오드	전체 페이지
43	WL<42>	lower	upper		2	128	128	256
42	WL<41>	lower	upper	higher	3			
...	...	lower	upper	higher	3			
2	WL<1>	lower	upper	higher	3			
1	WL<0>	lower	upper	higher	3			

[0055]

[0056] 상기 표 2를 참조하면, 제 43 워드라인(WL<42>)에 연결된 2 비트 정보를 저장할 수 있는 멀티 레벨 셀들은 논리적으로 2개의 페이지(lower, upper)를 가진다. 그리고 제 1 내지 제 42 워드라인(WL<0> 내지 WL<41>)에 연결된 3비트 정보를 저장할 수 있는 멀티 레벨 셀들이므로 각각 논리적으로 세 개의 페이지(lower, upper, higher)를 갖는다.

[0057] 따라서 이븐 비트라인을 선택했을 때 128개의 논리 페이지를 갖고, 오드 비트라인을 선택했을 때 128개의 논리 페이지를 갖는다. 전체적으로는 256개의 논리 페이지를 갖는다.

[0058] 상기 43개의 워드라인을 가지는 메모리 셀 어레이(210)가 256개의 논리 페이지를 갖도록 다른 형태로 메모리 셀들을 구성할 수 있다.

[0059] 도 2d는 본 발명의 제 3 실시 예에 따른 메모리 셀 어레이의 구성을 나타낸 회로도이다.

[0060] 도 2d를 참조하면, 본 발명의 제 3 실시 예에 따른 메모리 셀 어레이(210)는 상기 도 2c와 같이 43개의 워드라인을 갖고, 2비트 정보를 저장할 수 있는 멀티 레벨 셀들과, 3비트 정보를 저장할 수 있는 멀티 레벨 셀들로 구성된다.

[0061] 소오스 선택 라인(SSL)에 인접한 제 1 워드라인(WL<0>)에 연결된 메모리 셀들은 2 비트 정보를 저장할 수 있는 멀티 레벨 셀(2MLC)이고, 제 2 내지 제 43 워드라인(WL<1> 내지 WL<42>)에 연결된 메모리 셀들은 3비트 정보를 저장할 수 있는 멀티 레벨 셀(3MLC)이다.

[0062] 따라서 다음과 같은 페이지 구성을 갖는다.

표 3

	워드라인	페이지			비트/셀	이븐	오드	전체 페이지
43	WL<42>	lower	upper	higher	3	128	128	256
42	WL<41>	lower	upper	higher	3			
...	...	lower	upper	higher	3			
2	WL<1>	lower	upper	higher	3			
1	WL<0>	lower	upper		2			

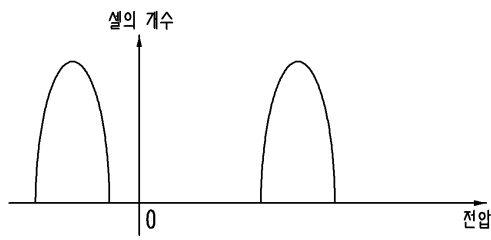
- [0063]
- [0064] 상기 표 3을 참조하면, 제 1 워드라인(WL<0>)은 2비트 정보를 저장할 수 있는 멀티 레벨 셀들이 연결되어 있으므로 두 개의 논리 페이지(lower, upper)로 구성되고, 제 2 내지 제 43 워드라인(WL<1> 내지 WL<42>)들은 3비트 정보를 저장할 수 있는 멀티 레벨 셀들이 연결되어 있으므로 세 개의 논리 페이지(lower, upper, higher)로 구성된다.
- [0065] 따라서 이븐과 오드 비트라인을 모두 합했을 때 257개의 논리 페이지로 구성된다.
- [0066] 한편, 상기 도 2b 내지 도 2c의 제 1 내지 제 3 실시 예에서 워드라인이 늘어남에 따라 프로그램 금지를 위한 셀프 부스팅이 충분히 일어나지 못하는 문제가 발생할 수 있는데, 이를 해결하기 위해서 각각의 실시 예에서 드레인 선택 라인(DSL)이나, 소오스 선택 라인(SSL)에 인접한 워드라인들에는 다른 워드라인들보다 적은 비트 정보가 저장되는 메모리 셀들을 배치하였다.
- [0067] 즉 본 발명의 실시 예들에서는 3비트 정보를 저장할 수 있는 멀티 레벨 셀로 메모리 셀 어레이를 구성하되, 구조상으로 분포 특성이 열악해질 수 있는 소오스 선택 라인(SSL)과 인접한 워드라인이나 드레인 선택 라인(DSL)에 인접한 워드라인에 연결되는 메모리 셀들은 3비트 보다는 적은 싱글 레벨 셀이나 2비트 정보를 저장할 수 있는 메모리 셀들로 배치한다. 따라서 분포 특성이 열악해질 수 있는 워드라인들의 분포 특성을 향상시킬 수 있다.
- [0068] 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시 예에서 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

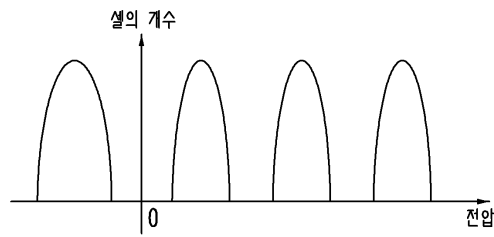
- [0069] 도 1a 내지 도 1c는 플래시 메모리소자의 메모리 셀들의 문턱전압 분포를 나타낸다.
- [0070] 도 2a는 플래시 메모리 소자의 블록도이다.
- [0071] 도 2b는 본 발명의 제 1 실시 예에 따른 메모리 셀 어레이의 구성을 나타낸 회로도이다.
- [0072] 도 2c는 본 발명의 제 2 실시 예에 따른 메모리 셀 어레이의 구성을 나타낸 회로도이다.
- [0073] 도 2d는 본 발명의 제 3 실시 예에 따른 메모리 셀 어레이의 구성을 나타낸 회로도이다.
- [0074] *도면의 주요 부분의 간단한 설명*
- [0075] 200 : 플래시 메모리 소자 210 : 메모리 셀 어레이
- [0076] 220 : 페이지 버퍼부 230 : Y 디코더
- [0077] 240 : X 디코더 250 : 전압 제공부
- [0078] 260 : 제어부

도면

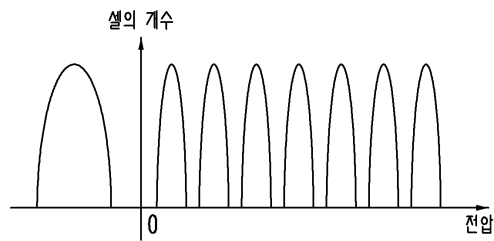
도면1a



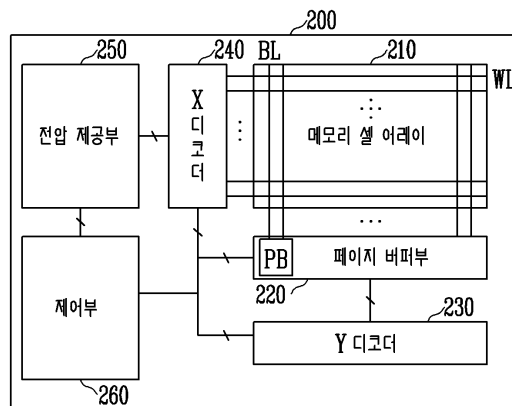
도면1b



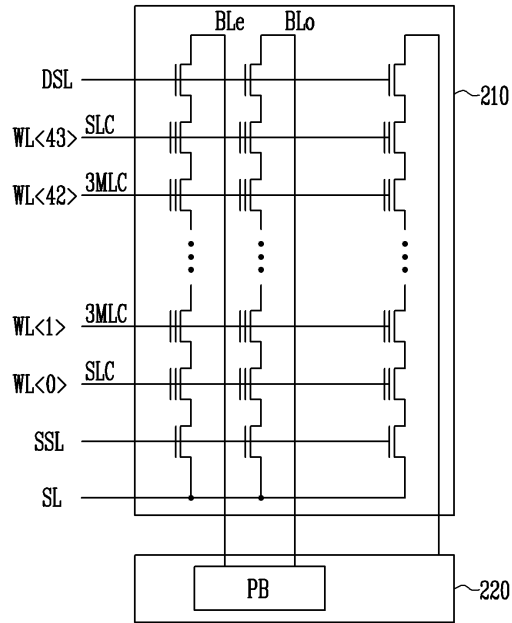
도면1c



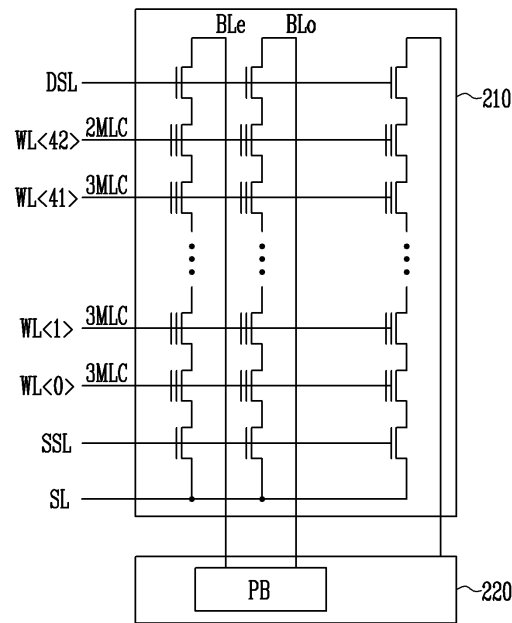
도면2a



도면2b



도면2c



도면2d

