

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-184794  
(P2005-184794A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int. Cl.<sup>7</sup>

H03G 3/20  
H03G 3/30  
H04B 1/16

F I

H03G 3/20  
H03G 3/20  
H03G 3/30  
H04B 1/16

テーマコード(参考)

5J100  
5K061

審査請求有 請求項の数 11 O L (全 19 頁)

(21) 出願番号 特願2004-340198 (P2004-340198)  
(22) 出願日 平成16年11月25日 (2004.11.25)  
(31) 優先権主張番号 2003-093553  
(32) 優先日 平成15年12月19日 (2003.12.19)  
(33) 優先権主張国 韓国 (KR)

(71) 出願人 596180076  
韓国電子通信研究院  
Electronics and Tel  
ecomunications Res  
earch Institute  
大韓民国大田廣域市儒城區柯亭洞161  
161 Kajong-dong, Yu  
song-gu, Taejon kor  
ea

(74) 代理人 100075812  
弁理士 吉武 賢次  
(74) 代理人 100088889  
弁理士 橘谷 英俊  
(74) 代理人 100082991  
弁理士 佐藤 泰和

最終頁に続く

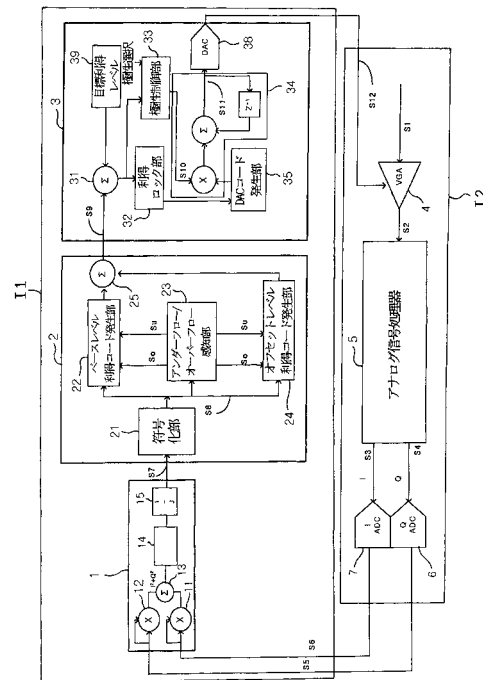
(54) 【発明の名称】 自動利得制御装置

(57) 【要約】

【課題】 本発明はバースト信号を送受信する高速データ通信において要求される高速な利得制御時間を提供でき、記憶装置を使用せずに簡単な構成で利得制御信号を発生させられる自動利得制御装置に関するものである。

【解決手段】 上記本発明による自動利得制御装置は可変利得増幅器の出力信号が目標利得レベルを有するよう可変利得増幅器の利得を制御する自動利得制御装置において、上記可変利得増幅器から出力された信号の平均電力を求めて2進コードで出力する電力検出部と、上記電力検出部から出力された平均電力コードから上記平均電力値に対応する利得コードを発生させる利得コード発生部と、上記利得コード発生部から出力された利得コードと上記可変利得増幅器の出力信号に対する目標利得コードとの偏差を算出してエラーコードを検出し上記エラーコードから利得偏差を補償する利得制御制御電圧を発生させる利得制御電圧発生部とを備える。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

可変利得増幅器の出力信号が目標利得レベルを有するよう可変利得増幅器の利得を制御する自動利得制御装置において、

上記可変利得増幅器から出力された信号の平均電力を求めて2進コードに出力する電力検出部と、

上記電力検出部から出力された平均電力コードから上記平均電力値に対応する利得コードを発生させる利得コード発生部と、

上記利得コード発生部から出力された利得コードと上記可変利得増幅部の出力信号に対する目標利得コードの偏差を算出してエラーコードを検出し上記エラーコードから利得偏差を補償する利得制御電圧を発生させる利得制御電圧発生部とを備えることを特徴とする自動利得制御装置。

10

## 【請求項 2】

上記電力検出部は、

複素入力信号 (Complex Input Signal) または実数入力信号の瞬間電力を求めるために入力信号を自乗演算する一つ以上の乗算器と、

上記乗算器から算出された自乗信号を合わせて電力信号を出力する加算器と、

上記加算器から出力される電力信号に対して一定のシンボル時間の累積値を求めるスライディング積分器と、

上記積分器により積分された値に対する平均値を求める除算器とを備えることを特徴とする請求項 1 に記載の自動利得制御装置。

20

## 【請求項 3】

上記利得コード発生部は

上記電力検出部から出力された平均電力値の2進値から、2進の「1」値が最初にあらわれる最上位ビット (MSB: Most Significant Bit) の位置値を出力する符号化部と、

上記符号化部の出力値から当該可変利得増幅器の出力値が最高最低利得レベルを外れるかを検出するアンダーフロー/オーバーフロー検出部と、

上記符号化部の出力値と上記アンダーフロー/オーバーフロー検出部から検出されたアンダーフロー及びオーバーフロー発生有無に応じるベースレベルの利得コードを発生させるベースレベル利得コード発生部と、

30

上記符号化部の出力値と上記アンダーフロー/オーバーフロー検出部から検出されたアンダーフロー/オーバーフロー発生有無とオフセットレベルの利得コードを発生させるオフセットレベル利得コード発生部と、

上記ベースレベル利得コードとオフセットレベル利得コードとを合わせて、上記電力検出部から検出された平均電力に対応する利得コードを出力する加算器とを備えることを特徴とする請求項 1 に記載の自動利得制御装置。

## 【請求項 4】

上記利得制御電圧発生部は、

上記利得コード発生部から発生された可変利得増幅器の出力に対する平均電力に対応する利得コードと目標利得コードを減算してエラーコード値を求める減算部と、

40

上記可変利得増幅器の制御電圧に対する利得の極性に応じて上記減算部から出力されたエラーコード値の極性を調整する極性制御部と、

上記減算部から求められたエラーコード値の大きさに応じて利得ループ係数を選択する利得ロック点検部と、

上記利得ロック点検部から選択された利得ループ係数と単位レベル利得を乗じて単位レベル利得に対するデジタル/アナログ変換コードを発生させるDACコード発生部と、

上記極性制御部から出力されたエラーコードと上記DACコード発生部の単位レベルDACコードとを乗じて利得補償コードを求め、これを補償値に累積させる累積部と、

上記累積部から出力された利得制御コードをアナログ電圧に変換するデジタル/アナログ変換部とを備えること特徴とする請求項 1 に記載の自動利得制御装置。

50

## 【請求項 5】

上記ベースレベル利得コード発生部は、

アンダーフローの発生有無に応じて符号化部の出力とアンダーフロー発生時のベースレベル利得コード中一つを選択する第 1 マルチプレクサと、

オーバーフローの発生有無に応じて上記第 1 マルチプレクサの出力とオーバーフロー発生時のベースレベル利得コード値中一つを選択する第 2 マルチプレクサと、

上記第 2 マルチプレクサの出力値を最大利得値に対する電力ビット列中 1 の値があらわれる位置値から減算する減算部と、

上記減算部の出力値を 2 倍の電力間に存在する利得レベル数だけ乗じてベースレベル利得コードで出力する乗算器とを備えることを特徴とする請求項 3 に記載の自動利得制御装置。 10

## 【請求項 6】

上記オフセットレベル利得コード発生部は、

符号化部の出力値の最上位ビット位置値からオフセットレベル数だけビット列を選択するオフセットビット列選択部と、

上記オフセットビット列選択部から選択されたビット列 (NB Bits) を連鎖的に連結する連結部と、

上記連結部の出力値を  $2^{N L_2} - 1$  (ここで、 $N L_2$  は 2 倍電力間の利得レベル数である) の値から減算する減算部と、

アンダーフローの発生有無に応じて上記減算部の出力値とアンダーフロー発生時のオフセットレベル値中一つを選択する第 3 マルチプレクサ、 20

オーバーフローが発生した場合のオフセットレベルと上記第 3 マルチプレクサ値中一つをオーバーフローの発生有無に応じて選択する第 4 マルチプレクサとを備えることを特徴とする請求項 3 に記載の自動利得制御装置。

## 【請求項 7】

上記アンダーフロー/オーバーフロー感知部は、

アンダーフローの発生条件と上記符号化部の出力値とを比較して発生条件より小さい値のビット位置値が入力されると、アンダーフロー発生信号を出力する第 1 比較器と、

オーバーフローの発生条件と上記符号化部の出力値とを比較して、オーバーフロー発生条件より大きい値のビット位置値が入力されるとオーバーフロー発生信号を出力する第 2 比較器とを備えることを特徴とする請求項 3 に記載の自動利得制御装置。 30

## 【請求項 8】

上記極性制御部は、

上記可変利得増幅器の利得制御電圧の極性に対応する極性制御信号に応じて + 1 または - 1 の単位極性値を選択する第 5 マルチプレクサと、

上記第 5 マルチプレクサから選択された単位極性値と上記利得コード発生部から印加されたエラーコードとを乗じて利得制御方向を決定する乗算器とを備えることを特徴とする請求項 4 に記載の自動利得制御装置。

## 【請求項 9】

上記利得ロック点検部は、

利得エラー発生範囲を所定の間隔で区分する一連の誤差値と夫々上記利得コード発生部から出力されたエラーコードとを比較して、各範囲に対応する複数の利得ループ係数選択信号を出力する複数の比較器を備えることを特徴とする請求項 4 に記載の自動利得制御装置。 40

## 【請求項 10】

上記 DAC コード発生部は、

単位レベル利得に対するデジタルアナログ変換 (DAC) コードを計算する単位レベル利得 DAC コード発生部と、

上記利得ロック点検部から発生された利得ループ係数選択信号に応じて対応する利得ループ係数を選択する選択器と、 50

上記選択器から選択された利得ループ係数に上記単位レベル利得DACコード発生部のDACコードを乗じる乗算器とを備えることを特徴とする請求項4に記載の自動利得制御装置。

【請求項11】

上記単位レベル利得DACコード発生部は、  
総利得レベル数( $N_{LO}$ )から

【数1】

$$G_{dB\ Lstep} = \frac{10 \cdot \log_{10}(2)}{N_{LO}}$$

10

を算出し、これを調節するための自動利得制御電圧

【数2】

$$V_{Lstep} = \frac{10 \cdot \log_{10}(2) - G_c \cdot N_{LO}}{S_g \cdot N_{LO}}$$

を算出した後、これに対するDACコードを

【数3】

$$C_{dacLstep} = \frac{[10 \cdot \log_{10}(2) - G_c \cdot N_{LO}]}{S_g \cdot N_{LO} \cdot V_{dac\ range}} (2^{N_{dac}} - 1)$$

20

により発生させることを特徴とする請求項10に記載の自動利得制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有無線通信において受信入力信号の大きさを受信器内部の諸装置が最適に動作可能なよう制御する自動利得制御装置に関するものである。

30

【背景技術】

【0002】

有無線通信において要求される自動利得制御装置は受信端内部に具備される同期復元(timing recovery)、搬送波獲得(carrier recovery)、等化器(equalizer)のような諸装置の安定的動作を保障し受信信号の大きさを所望のレベルに維持することにより受信器全体の性能において損失を減らすものである。一般に、有無線通信において、受信側の入力信号は送信及びチャネル状況に応じて大きさが異なり、こうして受信信号の大きさが受信器内部のブロックらが動作可能な動作範囲(Dynamic Range)内に含まれない場合、全体受信器の性能にかなり悪影響を及ぼす。したがって、自動利得制御装置はかかる問題点を解決するために用いられる。

40

【0003】

図1は従来の自動利得制御装置の構成を示したもので、図示したように、従来の自動利得制御装置は大別すると、入力された受信器信号(S20)に対して一連のアナログ信号処理を担当するアナログ信号処理端(Analog Front End Block)(110)と、上記アナログ信号処理端(110)の利得を調節する自動利得制御端(120)とで成る。上記アナログ信号処理端(110)は入力信号(S20)に対して増幅、帯域通過フィルタリング、周波数変換などを行う第1アナログ信号処理器(111)と、自動利得制御端(120)において計算された利得調節電圧に応じて調節された増幅率で上記入力信号(S20)を増幅する可変利得増幅器(Variable Gain Amplifier)(112)と、上記可変利得増幅器(112)において増幅された信号に対して低周波帯域フィルタリング及びアナロ

50

グ信号をデジタル信号に転換するなどの処理を行う第2アナログ信号処理器(113)とで構成され、自動利得制御端(120)は上記アナログ信号処理端(110)の出力信号(S21)のレベルを検出するレベル検出器(121)と、上記レベル検出器(121)の出力信号をローパスフィルタリングするローパスフィルタ(122)と、上記ローパスフィルタ(122)の出力電圧と基準電圧とのエラー差を算出する減算器(123)と、上記減算器(123)のエラー信号にループ利得係数を乗じて可変利得増幅器(112)に利得制御電圧を印加する乗算器(124)とで成る。

【0004】

上記レベル検出器(121)は全波整流器(Full-wave Rectifier)から作製することができる。この際、レベル検出器(121)は上記出力信号(S21)を自乗し、したがってレベル検出器(121)の出力信号は上記信号(S21)の電力信号となる。そして、上記ローパスフィルタ(122)は時間領域において見ると積分機能を行うので、ローパスフィルタ(122)の出力は上記電力信号に対する積分信号、即ち上記信号(S21)の平均大きさとなる。これにより、減算器(123)は上記アナログ信号処理端(110)の出力信号(S21)の実際の利得と目標とする基準利得(reference voltage)との偏差、即ちエラー信号を発生させ、乗算器(124)においてこのエラー値にループ利得係数(loop gain constant)を乗じて可変利得増幅器(112)の利得調節信号(S22)を発生させる。

10

【0005】

上記のように構成された従来の自動利得制御装置の時間応答特性は上記ローパスフィルタ(122)の帯域幅により決定される。より具体的には、上記ローパスフィルタ(122)の帯域幅が狭くなるほど時間応答特性は長くなり、帯域幅が広くなるほど時間応答特性が短くなる。

20

【0006】

しかし、近來の高速データ通信はパースト信号を使って行われる。上記パースト信号は信号区間が長くない為受信器端における正常的なデータ復旧のためには高速な利得制御時間が要求される。したがって、従来のように構成された自動利得制御装置を受信端に具備する場合、上記ローパスフィルタ(122)の帯域幅を大きくしなければならないが、帯域幅が大きすぎると雑音成分まで流れ込み上記出力信号(S21)に対する正確な大きさ数値を検出できず、その結果利得制御信号(S22)に対する誤差を招いてしまう。

30

【0007】

上記により、従来の自動利得制御装置においては、高速な利得調整時間を有するために低周波通過濾波器の帯域幅を広げるには限界がある為、パースト信号を用いた高速データ通信システムにおいて要求される十分に高速な利得調整時間を得ることが難しい。

【0008】

また、従来の自動利得制御装置はアナログ信号を処理するので利得制御が困難で誤差が大きいとの欠点がある。

【発明の開示】

【発明が解決しようとする課題】

【0009】

したがって、本発明は上述した従来の問題を解決すべく提案されたもので、その目的は高速な利得制御時間を有することができ、記憶装置を使用せずに利得コードを発生させて構成を単純化し、且つ正確な利得制御が可能な自動利得制御装置を提供することにある。

40

【課題を解決するための手段】

【0010】

上述した目的を成し遂げるための構成手段として、本発明は可変利得増幅器の出力信号が目標利得レベルを有するよう可変利得増幅器の利得を制御する自動利得制御装置において、上記可変利得増幅器から出力された信号の平均電力を求め2進コードで出力する電力検出部と、上記電力検出部から出力された平均電力コードから上記平均電力値に対応する利得コードを発生させる利得コード発生部と、上記利得コード発生部から出力された利得

50

コードと上記可変利得増幅部の出力信号に対する目標利得コードの偏差を算出してエラーコードを検出し上記エラーコードから利得偏差を補償する利得制御制御電圧を発生させる利得制御電圧発生部とを備えることを特徴とする。

【0011】

さらに、本発明による自動利得制御装置の電力検出部は、可変利得増幅器の出力に対応する複素入力信号 (Complex Input Signal) または実数入力信号を自乗演算する一つ以上の乗算器と、上記乗算器から算出された自乗信号を合わせて複素入力または実数入力信号に対する電力信号を出力する加算器と、上記加算器から出力される電力信号に対して一定シンボル時間の累積値を求めるスライディング積分器と、上記積分器の出力を基準シンボル時間で除して瞬間平均電力コードを出力する除算器とを備えていてもよい。

10

【0012】

さらに、本発明による自動利得制御装置の利得コード発生部は、上記電力検出部から出力された平均電力コードから、2進の「1」値が最初にあらわれる最上位ビット (MSB: Most Significant Bit) の位置値を出力する符号化部と、上記符号化部から出力された最上位ビット位置値を利得コードを上下した条件値と比較してアンダーフロー及びオーバーフローの発生当否を検出するアンダーフロー/オーバーフロー検出部と、上記平均電力コードの最上位ビット位置値とアンダーフロー及びオーバーフロー発生当否に応じて上記平均電力のベースレベルに対応する利得コードを発生させるベースレベル利得コード発生部と、上記平均電力コードの最上位ビット位置値と上記アンダーフロー/オーバーフロー発生当否に応じてオフセットレベルの利得コードを発生させるオフセットレベル利得コード発生部と、上記ベースレベル利得コードとオフセットレベル利得コードとを合わせ、上記電力検出部において検出された平均電力に対応する利得コードを出力する加算器とを備えていてもよい。

20

【0013】

さらに、本発明による自動利得制御装置の利得制御電圧発生部は、上記利得コード発生部から発生された可変利得増幅器の出力に対応する利得コードから目標利得コードを減算してエラーコードを求める減算部と、上記可変利得増幅器の制御電圧に対する利得の極性に応じて上記減算部から出力されたエラーコード値の極性を調整する極性制御部と、上記減算部から求められたエラーコードの大きさに応じて利得ループ係数を選択する利得ロック (lock) 点検部と、上記利得ロック点検部から選択された利得ループ係数と単位レベル利得とを乗じて単位レベル利得に対するデジタル/アナログ変換コードを発生させるDACコード発生部と、上記極性制御部から出力されたエラーコードと上記DACコード発生部の単位レベルDACコードとを乗じて利得補償コードを求めこれを以前の補償値に累積する累積部と、上記累積部から出力された利得制御コードをアナログ電圧に変換するデジタル/アナログ変換部とを備えていてもよい。

30

【0014】

さらに、本発明による自動利得制御装置のベースレベル利得コード発生部は、アンダーフローの発生有無に応じて符号化部の出力とアンダーフロー発生時のベースレベル利得コード中一つを選択する第1マルチプレクサと、オーバーフローの発生有無に応じて上記第1マルチプレクサの出力とオーバーフロー発生時のベースレベル利得コード値中一つを選択する第2マルチプレクサと、上記第2マルチプレクサの出力値を最大利得値に対する電力ビット列中1の値があらわれる位置値から減算する減算部と、上記減算部の出力値を2倍の電力間に存在する利得レベルの数だけ乗じてベースレベル利得コードで出力する乗算器とを備えていてもよい。

40

【0015】

さらに、本発明による自動利得制御装置の上記オフセットレベルコード発生部は、符号化部の出力値の最上位ビット位置値からオフセットレベルの数だけのビット列を選択するオフセットビット列選択部と、上記オフセットビット列選択部から選択されたビット列 (NB Bits) を連鎖的に連結させる連結部と、上記連結部の出力値を  $2^{N L_2} - 1$  (ここで、 $N L_2$  は2倍の電力間の利得レベル数である) の値から減算する減算部と、アンダーフ

50

ローの発生有無に応じて上記減算部の出力値とアンダーフローが発生した場合のオフセットレベル値中一つを選択する第3マルチプレクサと、オーバーフローが発生した場合のオフセットレベルと上記第3マルチプレクサ値中一つをオーバーフローの発生当否に応じて選択する第4マルチプレクサとを備えていてもよい。

【0016】

さらに、本発明による自動利得制御装置の上記アンダーフロー/オーバーフロー感知部は、アンダーフローの発生条件と上記符号化部の出力値とを比較して発生条件より小さい値のビット位置値が入力されると、アンダーフロー発生信号を出力する第1比較器と、オーバーフローの発生条件と上記符号化部の出力値とを比較して、オーバーフロー発生条件より大きい値のビット位置値が入力されるとオーバーフロー発生信号を出力する第2比較器とを備えていてもよい。

10

【0017】

さらに、本発明による自動利得制御装置の極性制御部は、上記可変利得増幅器の利得制御電圧の極性に対応する極性制御信号に応じて+1または-1の単位極性値を選択する第5マルチプレクサと、上記第5マルチプレクサから選択された単位極性値と上記利得コード発生部から印加されたエラーコードとを乗じて利得制御方向を決定する乗算器とを備えていてもよい。

【0018】

さらに、本発明による自動利得制御装置の利得ロック点検部は、利得エラー発生範囲を所定の間隔で区分する一連の誤差値と夫々上記利得コード発生部から出力されたエラーコードとを比較して、夫々の範囲に対応する複数の利得ループ係数選択信号を出力する複数の比較器とを備えていてもよい。

20

【0019】

さらに、本発明による自動利得制御装置のDACコード発生部は、単位レベル利得に対するデジタルアナログ変換(DAC)コードを計算する単位レベル利得DACコード発生部と、上記利得ロック点検部から発生された利得ループ係数選択信号に応じて対応する利得ループ係数を選択する選択器と、上記選択器から選択された利得ループ係数に上記単位レベル利得DACコード発生部のDACコードを乗じる乗算器とを備えていてもよい。

【0020】

さらに、本発明による自動利得制御装置の単位レベル利得DACコード発生部gは総利得レベル数( $N_{LO}$ )から

30

【数1】

$$G_{dB Lstep} = \frac{10 \cdot \log_{10}(2)}{N_{LO}}$$

を算出し、これを調節するための自動利得制御電圧

【数2】

$$V_{Lstep} = \frac{10 \cdot \log_{10}(2) - G_c \cdot N_{LO}}{S_g \cdot N_{LO}}$$

40

を算出した後、DACコードを

【数3】

$$C_{dacLstep} = \frac{[10 \cdot \log_{10}(2) - G_c \cdot N_{LO}]}{S_g \cdot N_{LO} \cdot V_{dac range}} (2^{N_{dac}} - 1)$$

により発生させてもよい。

50

## 【発明の効果】

## 【0021】

叙述したような本発明の自動利得制御装置によると、高速な利得制御時間を有するばかりでなく、記憶装置やルックアップテーブルを用いず、論理的演算のみで平均電力値から制御利得値を発生させるので、入力電力信号の2進値に依存しなくなり、結果として受信システムが変更されても記憶装置やルックアップテーブルの変更が不要になり、互換性及び再利用性を高められ、利得偏差が誤差範囲内に入る場合には利得制御係数値を小さく調整することにより、正確な利得制御が可能となり、且つ構成を簡略化できる優れた効果を奏する。

## 【発明を実施するための最良の形態】

10

## 【0022】

以下、添付の図面を参照しながら、本発明による自動利得制御装置の構成及び作用について詳しく説明する。

## 【0023】

図2は、本発明による自動利得制御装置の全体構成を概略的に示した図として、図においてI1は本発明により有/無線で受信された入力信号(S1)に対して必要な利得を計算し、これによる利得制御信号を発生させる自動利得制御端で、I2は本発明による自動利得制御装置の制御対象として、上記自動利得制御部(I1)の利得制御信号に応じて入力信号(S1)を高速データ通信を処理するモデムやその他の信号処理装置において要求される大きさの信号に増幅処理するアナログ信号処理端である。

20

## 【0024】

上記において、自動利得制御端(I1)は上記アナログ信号処理部(I2)から出力される信号データ(S5、S6)を演算して平均電力コードを出力する電力検出部(1)と、上記電力検出部(1)から出力された平均電力コードから上記可変利得増幅器(4)の出力信号に対する利得コード(Gain Code)を発生させる利得コード発生部(Gain Code Generator Block)(2)と、上記利得コード発生部(2)から出力された利得コードから可変利得増幅器の利得を制御する利得制御電圧を発生させる利得制御電圧発生部(Gain Controlled Voltage Block)(3)とで成る。

## 【0025】

そして、上記アナログ信号処理端(I2)は入力信号(S1)を上記自動利得制御端(I1)から印加された利得制御電圧に応じた増幅率で増幅させる可変利得増幅器(4)と、上記可変利得増幅器(4)から出力された信号(S2)に対するフィルタリング及びI/Q復調などのような信号処理を行うアナログ信号処理器(5)と、上記アナログ信号処理器(5)から出力された信号(S3、S4)をデジタルデータ(S5、S6)に変換するアナログ/デジタル変換器(6、7)とで成る。

30

## 【0026】

上記アナログ信号処理端(I2)の可変利得増幅器(4)に入力された入力信号(S1)は以前(新たな利得値が計算され設定される前)設定された利得だけ増幅されアナログ信号処理器(5)を経る。上記アナログ信号処理器(5)は増幅された受信信号に対するフィルタリング及び復調などを行う。本発明においては、上記アナログ信号処理器(5)を通過した信号に対するデジタル処理のために、アナログ/デジタル変換器(6、7)においてデジタルデータに変換する。

40

## 【0027】

上記図2は入力信号(S1)が多重レベルの大きさを有するQAM方式の信号である場合を例示したもので、この際、上記アナログ信号処理器(5)から最終的に出力された信号は複素信号である。

## 【0028】

以下、本発明による自動利得制御装置の作用は入力信号が複素信号である場合を仮定して説明する。入力信号が複素信号である場合、アナログ/デジタル変換器(6、7)は複素信号の各直交成分I、Q信号に対して夫々必要である。

50



## 【 0 0 2 9 】

上記アナログ/デジタル変換器(6、7)から出力されたI、Qデータ(S5、S6)は自動利得制御端(I1)の電力検出部(1)に入力される。

## 【 0 0 3 0 】

上記平均電力部(1)は複素入力信号(Complex Input Signal)の直交成分I(S5)とQ(S6)に対して夫々乗算器(11、12)で乗算した後、加算器(13)で自乗信号らを合わせ、入力信号に対する電力値を求める。上記加算器(13)から出力される信号は $I^2 + Q^2$ である。

## 【 0 0 3 1 】

そうしてからスライディング積分器(14)を通して、上記複素電力に対して一定シンボル時間の累積値を求めた後、これを除算器(15)を通して上記累積値をシンボル期間で除して、その平均値を求める。

## 【 0 0 3 2 】

上記のような処理により電力検出器(1)から出力される信号は次の数1のように定義することができる。

## 【 数 4 】

$$P_n = \frac{1}{J} \sum_{n=0}^{J-1} (I_n^2 + Q_n^2) \quad \dots \text{(数1)}$$

ここで、 $P_n$ は当該観察区間のシンボル時間(J)の平均電力値で、 $I_n$ 、 $Q_n$ は夫々上記アナログ信号処理端(I2)から出力される複素入力信号の直交成分値である。

## 【 0 0 3 3 】

上記のように、電力検出部(1)から出力された平均電力信号(S7)は利得コード発生部(2)に入力される。上記利得コード発生部(2)は平均電力値に対応する利得値を発生させるためのコードを生成するものとして、先ず、符号化部(21)を通して上記入力された平均電力の2進値において「1」の値が最初にあらわれる最上位ビット(MSB: Most Significant Bit)の位置を探し出す。そして、ベースレベル利得コード発生部(22)は上記符号化部(21)において探し出した最上位ビットの位置から上記アナログ信号処理端(I2)の出力信号に対する利得のベースレベルを探し出し、ベースレベルに該当する利得コードを発生させる。

## 【 0 0 3 4 】

同時に、オフセットレベル利得コード発生部(24)を通して、上記符号化部(21)から出力された最上位ビット位置に基づき、オフセットレベルに係る利得コードを発生させる。

## 【 0 0 3 5 】

さらに、アンダーフロー/オーバーフロー感知部(23)を通して、上記符号化部(21)において検出された最上位ビットの位置を基準値と比較し、アンダーフロー(underflow)またはオーバーフロー(overflow)の発生有無を判断する。

## 【 0 0 3 6 】

上記により発生したベースレベル利得コードとオフセットレベル利得コードとが加算器(25)において合算され上記アナログ信号処理端(I2)の出力信号の大きさに対応する利得コードで出力される。

## 【 0 0 3 7 】

上記利得コード発生部(2)の動作を例を挙げて説明する。先ず、入力される信号は10ビットのA/D変換された信号で、上記電力検出部(1)の平均電力計算時設定された観察区間は16シンボル区間と仮定し、上記アナログ/デジタル変換部(6、7)において入力電圧動作範囲は-600mV~600mVとする場合、最小ステップの電圧は $1.2/1024 = 1.17\text{mV}$ になるという。ここで、10ビットのA/D変換された信号の平均電力値を2進値であらわすと全て20ビットの値で表示することができる。

10

20

30

40

50

## 【 0 0 3 8 】

図 3 は上記のような仮定から、10 ビットで A / D 変換された入力とそれに対応する電力検出部 ( 1 ) の平均電力値及び利得レベルを示したものである。入力電圧 ( 1 ) はアナログ / デジタル変換部 ( 6、7 ) に入力される電圧で、A D C 出力 ( 2 ) は上記入力電圧 ( 1 ) に対応するアナログ / デジタル変換器 ( 6、7 ) の出力値を A D 変換された 2 進コードに等価的な 10 進値で示したもので、電力 ( 3 ) は上記 A D C 出力 ( 2 ) の自乗を取った値で、( 4 ) は上記電力 ( 3 ) 値を 2 進値で示したもので、A G C 利得レベル ( 5 ) は当該電力 ( 3 ) から求められた利得レベルの値で、調節利得 ( 6 ) は 1 0 0 m V r m s の値を目標レベルとする場合、各入力電圧 ( 1 ) に対応する調節利得の値である。ここで、利得調節範囲はほぼ 3 8 . 8 5 9 - ( - 8 . 0 6 ) ~ 4 2 d B となる。

10

## 【 0 0 3 9 】

したがって、入力電圧 ( 1 ) が 1 . 1 7 m V r m s の場合、調節利得 ( 6 ) は 3 8 . 8 5 9 d B として、これだけ更に増幅しなければならない。また、入力電圧 ( 1 ) が 2 5 1 . 1 9 m V r m s の場合は 8 . 0 6 d B の値だけ利得を減少させなければならない。

## 【 0 0 4 0 】

上記 A G C 利得レベル ( 5 ) は 2 進コード ( 4 ) の値が 2 倍増加する度に、即ち入力電圧 ( 1 ) に対する電力値が 2 倍増加する度に、調節すべき最小限の利得値で除した値だけのレベル数に設定する。これは数 2 のようにあらわすことができる。

## 【 数 5 】

$$NL_2 = 2^{\lceil \log_2 \left( \frac{10 \cdot \log_{10}(2)}{G_{step\ min}} \right) \rceil} \quad \dots \text{ (数 2)}$$

20

ここで、 $NL_2$  は 2 倍の電力間に存在する利得レベル数を示し、 $G_{step\ min}$  は最小利得値を示す。例えば、調節しようとする利得ステップが 0 . 7 5 2 5 7 5 d B の場合、利得レベル数は 4 になる。これは電力が 2 倍になると利得レベル数が 4 増加するという意味である。上記のように調節しようとする最小利得値を単位にして電力が 2 倍になる際の利得レベル数を設定することにより利得レベル数を容易に求めることができ、単に記憶装置を用いて利得レベル数を設定する場合多量の記憶装置を使用しなければならない問題を解決できる。このようにすると、電力が 2 倍に増加する度に利得レベル数が一定値ずつ増加する。したがって、電力の 2 進ビット列に  $N_B = \log_2 (NL_2 = 2 \text{ 倍間利得レベル数})$  だけのビットを加算した場合のビット列を

30

## 【 数 6 】

$$\vec{z} = [z_n, z_{n-1}, \dots, z_0, b_{-1}, \dots, b_{-m}]$$

とすると、利得レベル数は次の数 3 のように示すことができる。

## 【 数 7 】

$$N_{GL} = NL_2 \cdot (P_{g\ max} - P_{msb\_position}) + N_{offset} \quad \dots \text{ (数 3)}$$

40

上記数 3 において、 $N_{GL}$  は利得レベル数で、 $NL_2$  は 2 倍電力値間の利得レベルで、 $P_{g\ max}$  は最大利得値に対する電力ビット列の位置で、 $P_{msb\_position}$  は入力された電力ビット列において M S B の位置、 $N_{offset}$  はオフセットレベル数である。

## 【 0 0 4 1 】

上記オフセットレベル数はビット列

【数 8】

→  
Z

から  $P_{msb\_position}$  があられるビット数の下位ビット  $N_B = \log_2 (N_{L_2} = 2 \text{ 倍間利得レベル数})$  だけ選択した後、選択されたビット列の10進値を  $(2^{N_B} - 1)$  から引いた値である。例えば、 $N_{L_2}$  が4の場合、オフセットレベル数は次の数4のようになる。

【数 9】

$$N_{offset} = \begin{cases} 0, \text{ bit pattern} = '11' \\ 1, \text{ bit pattern} = '10' \\ 2, \text{ bit pattern} = '01' \\ 3, \text{ bit pattern} = '00' \end{cases} \quad \dots \text{ (数 4)}$$

10

【0042】

例えば、上記電力検出部(1)から出力される平均電力に対するビット列が「0000011011101100110001」で、2倍電力間の利得レベル数が  $N_{L_2} = 4$  であると、ビット列

20

【数 10】

$$\vec{z} = [z_n, z_{n-1}, \dots, z_0, b_{-1}, \dots, b_{-m}]$$

は「0000011011101100110001000」となる。図3に示したように、最大利得調整地点(即ち、オーバーフローが発生するMSB位置)は15となり上記平均電力ビット列のMSB位置は13となる。そしてオフセットレベル数は  $3 - 2 = 1$  となる。したがって、発生する利得レベル数は数3により、 $4(15 - 13) + 1 = 9$  となる。

30

【0043】

かかる原理を基に上記利得コード発生部(2)について説明する。

【0044】

上記利得コード発生部(2)は符号化部(21)を通して平均電力値のビット列において最初に1の値があられる位置を探し出す。そして、上記値からベースレベルコード発生部(22)はベースレベルのコード値を、オフセットレベルコード発生部(23)はオフセットレベルのコード値を発生させる。

【0045】

上記ベースレベルのコード発生部(22)はより具体的に図4に示したように構成される。即ち、アンダーフローの発生有無に応じて上記符号化部(21)の出力とアンダーフロー発生時のベースレベル利得コード値(223)中一つを選択する第1マルチプレクサ(221)と、オーバーフローの発生有無に応じて上記第1マルチプレクサ(221)の出力とオーバーフローの発生に該当するベースレベル利得コード値(224)中一つを選択する第2マルチプレクサ(222)と、上記第2マルチプレクサ(222)の出力値を最大利得値に対する電力ビット列中1の値があられる位置値(224)から減算する減算器(225)と、上記減算器(225)の出力値を2倍の電力間に存在する利得レベル数だけ乗じる乗算器(226)とで構成されている。

40

【0046】

上記のように構成されたベースレベル利得コード発生部(22)は数3において、右側一番目の項の値を計算する。ここで、アンダーフロー及びオーバーフローは自動利得制御装置において最小及び最大の調整利得値の範囲を外れる場合をいう。

50

## 【 0 0 4 7 】

次に、図5は上記利得コード発生部(2)においてオフセットレベルのコード数を発生させるオフセットレベルコード発生部(24)の構造を示したものである。図示したように、上記オフセットレベルコード発生部(24)は符号化部(21)の出力値の最上位ビット位置値からオフセットレベル数( $N_{offset}$ )だけビット列を選択するオフセットビット列選択部(241)と、上記オフセットビット列選択部(241)から選択されたビット列を連結させアンダーフロー/オーバーフローの発生有無に応じてオフセットレベルを補正するオフセットレベル補正部(242)とで成る。

## 【 0 0 4 8 】

上記オフセットレベル補正部(242)は上記オフセットレベル選択部(241)から選択されたビット列(NB Bits)を連鎖的に連結する連結部(243)と、上記連結部(243)から連結された値だけ( $2^{NL_2} - 1$ )から引く減算器(246)と、アンダーフローの発生有無に応じて上記減算器(246)の出力値とアンダーフロー発生時のオフセットレベル値(247)中一つを選択する第3マルチプレクサ(248)と、オーバーフローの発生有無に応じて、上記オーバーフロー発生時のオフセットレベル値(=0)(249)と上記第3マルチプレクサ(248)の出力中一つを選択する第4マルチプレクサ(250)とで成る。

## 【 0 0 4 9 】

上記構成により、オフセットレベル利得コード発生部(24)は電圧レベルに対応するオフセットレベルを算出する。

## 【 0 0 5 0 】

上記アナログ信号処理端(I2)の出力電圧が最小最大調整利得範囲を外れるかを感知するオーバーフロー/アンダーフロー感知部(23)は図6に示したように、アンダーフローの発生条件(233)と上記符号化部(21)の出力値とを比較して発生条件より小さい値のビット位置値を有する場合アンダーフローの発生を知らせる第1比較器(231)と、オーバーフローの発生条件(234)と上記符号化部(21)との出力を比較して、上記条件(234)より符号化部(21)の出力値が大きい場合オーバーフローの発生を知らせる第2比較器(232)とで成る。

## 【 0 0 5 1 】

以上に説明したように構成された利得コード発生部(2)は上記数3により、利得レベルに対応するコードを発生させるものとして、上記利得コード発生部(2)から出力される利得レベルに対して、オーバーフロー/アンダーフローの発生有無別にまとめると次の数5のようになる。

## 【 数 1 1 】

$$N_{GL} = \begin{cases} 0, & \text{overflow} \\ (L_{Govf} - P_{msb}) \cdot NL_2 + N_{offset}, & \text{normal} \\ (L_{Govf} - L_{Guvf}) \cdot NL_2 + (2^{NL_2} - 1), & \text{underflow} \end{cases} \quad \dots \text{ (数 5)}$$

## 【 0 0 5 2 】

ベースレベル利得コード発生部(22)の出力とオフセットレベル利得コード発生部(24)の出力とを合わせる加算器(25)を通して上記数5に示したように、上記電力検出部(1)において検出された平均電力に対応する利得コード値が発生される。

## 【 0 0 5 3 】

そして、自動利得制御部(3)は上記利得コード発生部(2)から発生された利得コード値は調整しようとする目標利得コード値との差を通して現在の平均電力に如何なる程の利得を設定しなければならないかを判断する。上記自動利得制御部(3)は減算器(31)において上記利得コード発生部(2)から発生された現在の平均電力レベルに対応する

10

20

30

40

50

利得コードと目標利得コード値（３９）との差、即ちエラーコードの値を求める。上記求められたエラーコード値は利得ロック点検部（３２）と極性制御部（３３）とに入力されるが、先ず、極性制御部（３３）は図７に示したように極性制御信号の値に応じて可変利得増幅器（４）に対する制御電圧の極性（＋、－）を選択する第５マルチプレクサ（３３３）と、上記第５マルチプレクサ（３３３）から選択された極性値と上記減算器（３１）から出力されたエラーコード値とを乗じる乗算器（３３４）とで構成され、極性制御信号に応じて上記エラーコード値の極性を調整する。

【００５４】

上記のようにエラーコード値の極性を調整する理由は、アナログ信号処理端（Ｉ２）の可変利得増幅器（４）の利得制御電圧は図８に示したように、電圧に応じて利得が増加するプラスの勾配を有するポジティブ利得勾配カーブと、電圧に応じて利得が減少するマイナスの勾配を有するネガティブ利得勾配カーブの二つであるからで、当該可変利得増幅器（４）の利得制御電圧の特性に応じてエラーコード値の極性を異ならせなければならない。上記図８のグラフに示した利得制御電圧に応じた利得変化特性は数式であらわすと次の数６のようになる。

10

【数１２】

$$G_{dB}(V) = \begin{cases} G_{\mu}, & \text{for } V < V1 \\ \pm \frac{\Delta G}{\Delta V} \cdot V + G_{\pm}, & \text{for } V1 \leq V \leq V2 \\ G_{\pm}, & \text{for } V > V2 \end{cases} \quad \dots \text{ (数6)}$$

20

【００５５】

そして、上記極性制御部（３３）を通過したエラーコード値（Ｓ１０）は単位レベル利得をＤＡ変換（Digital to Analog Converter）されるコード値に転換させる単位レベルＤＡＣコード発生部（３５）の出力と乗じる。

【００５６】

上記において、単位レベルＤＡＣコード発生部（３５）は利得ループ係数（gain loop constant）を発生させる役目を果たすもので、これを通して利得ループ係数の値を調節することにより利得調整時間を変化させることができる。即ち、高速データ通信におけるバースト信号の場合、高速な利得制御時間を有さなければならないが、これは上記エラーコード値が大きい場合には上記単位レベルＤＡＣコード発生部（３５）において大きい値の利得ループ係数値を設定することにより獲得することができる。

30

【００５７】

本発明による自動利得制御装置は、バースト信号が入力される初期にはエラーコード値が大きくなる為、大きい利得ループ係数値を利用し、エラーコード値が誤差範囲内にあれば小さい利得ループ係数値を有するようにして利得制御を精密に行えるようにする。

【００５８】

上記のように利得ループ係数値の設定は利得ロック点検部（３２）において判断される。上記利得ロック点検部（３２）は図１０に示したように、減算器（３１）から算出されたエラーコード値を夫々の誤差値と比較して、エラーコード値の範囲をチェックして、利得ループ係数選択信号を発生させる複数の比較器（３２１）から成る。即ち、利得ロック点検部（３２）はエラーコード値の大きさが如何なる範囲に属するかをチェックして単位レベルＤＡＣコード発生部（３５）に知らせる。

40

【００５９】

次いで、単位レベルＤＡＣコード発生部（３５）は上記利得ロック点検部（３２）においてチェックされた範囲に該当する利得ループ係数に対するＤＡＣコード値を生成する。

【００６０】

図９は上記単位レベルＤＡＣコード発生部（３５）の詳細な構成及び動作の流れを示し

50

たブロック構成図として、単位レベルDACコード発生部(35)は単位制御電圧に対する利得コード値を発生させる単位レベル利得コード発生部(351)と、上記利得ロック点検部(32)から印加された利得ループ係数選択信号に応じて当該範囲の利得ループ係数を選択する利得ループ係数選択部(352)と、上記単位レベル利得コード発生部(351)から発生された単位電圧に対する利得コードと上記利得ループ係数選択部(352)から選択された利得ループ係数とを乗じて当該エラーコード値に要求されるDACコードを出力する乗算部(353)とで成る。

【0061】

上記DACコード発生部(35)の動作を図9を参照しながらより詳しく説明すると、上記単位レベル利得コード発生部(351)は先ず設定しようとする全体利得レベル数( $N_{LO}$ )を設定する(E1)。そして、上記設定された全体利得レベル数( $N_{LO}$ )から単位レベルに対する単位利得値( $G_{dB\ Lstep}$ )を算出する(E2)。この際、単位レベルに対する単位利得値( $G_{dB\ Lstep}$ )に対する算出式は次の数7のとおりである。

10

$$G_{dB\ Lstep} = \frac{10 \cdot \log_{10}(2)}{N_{LO}} \quad \dots (\text{数7})$$

【0062】

上記数7を通して、単位利得レベルに対する値が得られると、図8のような利得制御電圧特性カーブによる当該単位利得レベルに応じる利得制御電圧を計算する(E3)。上記において単位利得レベルに応じる利得制御電圧の計算は次の数8のように行われる。

20

【数14】

$$G = S_G \cdot v + G_c, \quad \text{ここで } S_G = \frac{\Delta G}{\Delta v}, G_c = \text{係数}$$

$$G_{dB\ Lstep} = \frac{10 \cdot \log_{10}(2)}{N_{LO}} = S_G \cdot v_{Lstep} + G_c \quad \dots (\text{数8})$$

30

$$v_{Lstep} = \frac{10 \cdot \log_{10}(2) - G_c \cdot N_{LO}}{S_G \cdot N_{LO}}$$

上記数8において、 $S_G$ は制御電圧に対する利得の勾配、 $v_{Lstep}$ は単位利得レベルに対応する単位利得電圧を示す。

【0063】

上記のように単位制御電圧値( $v_{Lstep}$ )が計算されると、この単位制御電圧値を発生させられるDACコードを求める(E4)。上記DACコード値はデジタル/アナログ変換器の電圧発生式から求められ、これは次の数9のとおりである。

40

【数15】

$$V_{dac} = v_{Lstep} = \frac{V_{dac\_range}}{2^{N_{dac}} - 1} \cdot C_{dacLstep}$$

$$C_{dacLstep} = \frac{[10 \cdot \log_{10}(2) - G_c \cdot N_{LO}]}{S_g \cdot N_{LO} \cdot V_{dac\_range}} (2^{N_{dac}} - 1) \quad \dots (\text{数9})$$

上記数9において、 $V_{dac\_range}$ はDACの出力電圧の範囲を示し、 $C_{dac}$

50

L s t e p が単位利得レベルに対応する d B 利得ステップを発生させるための単位レベル D A C コードである。

【 0 0 6 4 】

このように、単位レベル利得コード発生部 ( 3 5 1 ) から求められた単位レベル D A C コード値は単位レベルに対する制御電圧を生成する。上記利得ロック点検部 ( 3 2 ) から発生された利得ループ係数選択信号により利得ループ係数選択器 ( 3 5 2 ) から選択された利得係数が乗算器 ( 3 5 1 ) を通して上記単位レベル D A C コード値と乗じられ、上記当該エラーコード値の範囲に対応する利得ループ係数を発生させる。

【 0 0 6 5 】

上記 D A C コード発生部 ( 3 5 ) から発生された D A C 制御電圧コードは上記極性制御部 ( 3 3 ) を通して極性が設定されたエラーコード値と共に累積器 ( Accumulator ) ( 3 4 ) に入力される。上記累積器 ( 3 4 ) は以前の利得補償値を貯蔵する記憶素子と現在のエラーコードに上記 D A C コード発生部 ( 3 5 ) から出力された利得ループ係数に対応する D A C コード値を乗じる乗算器と、上記乗算器から出力された値に上記記憶素子に記憶された以前の値を合わせて利得補償値を累積する加算器とで構成され、以前に計算された制御電圧コードに上記算出されたエラーコード値に対する補償分を合わせてデジタルアナログ変換部 ( 3 8 ) に出力する。上記デジタルアナログ変換部 ( 3 8 ) は補償された利得制御電圧コードをアナログ電圧信号に変換して上記可変利得増幅部 ( 4 ) に印加する。その結果、上記可変利得増幅部 ( 4 ) は利得エラーを補償する方向に増幅率を調節して、次に入力される信号 ( s 1 ) を補償された利得で増幅する。

【 0 0 6 6 】

図 1 1 は本発明による自動利得制御装置において、正弦波に対する利得を補償した例を示すもので、図示のように、正弦波信号の初期エラーコード値が利得ロック点検部 ( 3 2 ) において利得に必要な誤差範囲を外れる場合、大きい利得ループ係数を選択して補償利得を大きくすることにより、速い時間内に誤差範囲内のエラーコードを有するようにし、エラーコードが誤差範囲内に入ると、小さい値の利得ループ係数を選択して、微細な利得制御を具現する。

【 図面の簡単な説明 】

【 0 0 6 7 】

【 図 1 】 従来 of 自動利得制御装置の構成図である。

【 図 2 】 本発明による自動利得制御装置の全体構成図である。

【 図 3 】 本発明による自動利得制御装置の動作例を示したテーブルである。

【 図 4 】 本発明による自動利得制御装置において、ベースレベル利得コード発生部の詳細構成図である。

【 図 5 】 本発明による自動利得制御装置において、オフセットレベル利得コード発生部の詳細構成図である。

【 図 6 】 本発明による自動利得制御装置において、アンダーフロー / オーバーフロー感知部の詳細構成図である。

【 図 7 】 本発明による自動利得制御装置において、極性制御部の詳細構成図である。

【 図 8 】 本発明による自動利得制御装置において、可変利得増幅器の利得制御電圧に応じた補償利得曲線を示したものである。

【 図 9 】 本発明による自動利得制御装置において、 D A C コード発生部の構成及び動作の流れを示したブロック図である。

【 図 1 0 】 本発明による自動利得制御装置において、利得ロック点検部の詳細構成図である。

【 図 1 1 】 本発明による自動利得制御装置において、正弦波に対する利得制御補償例を示したグラフである。

【 符号の説明 】

【 0 0 6 8 】

1 電力検出部

10

20

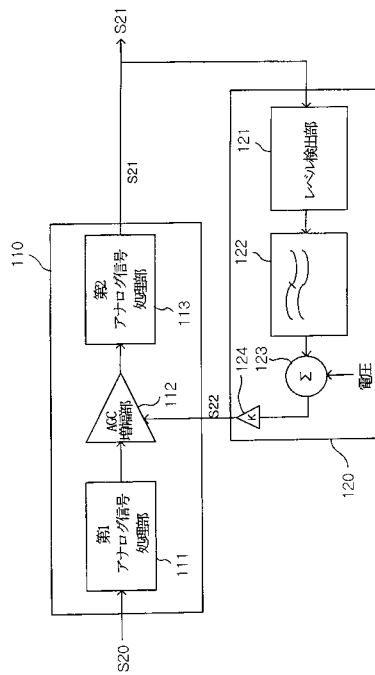
30

40

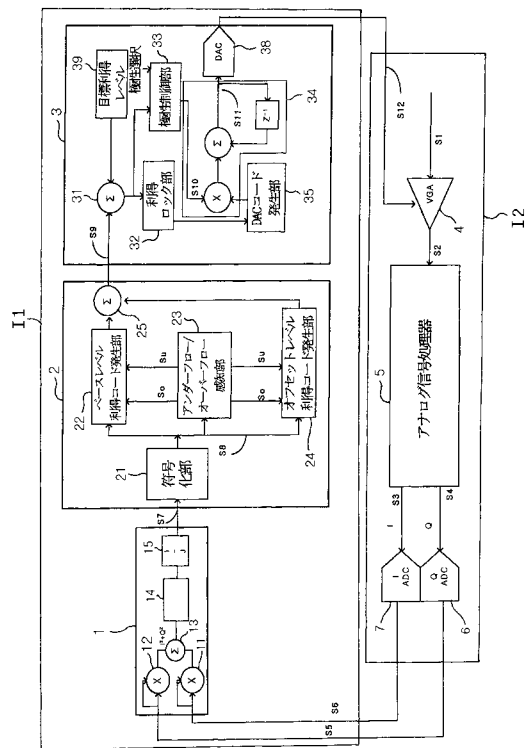
50

- 2 利得コード発生部
- 3 利得制御電圧発生部
- I 1 自動利得制御端
- I 2 アナログ信号処理端

【図1】



【図2】





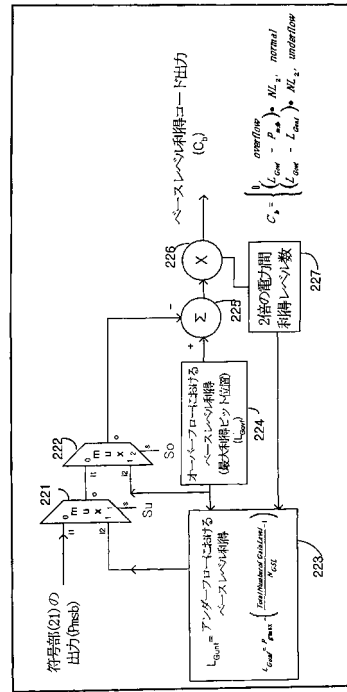
【 図 3 】

入力電圧 (1) (mVrms)	A/D出力(2) (等価的な decimal数)	電力 (3)	13ビットに対する 二進モード (4)	A/D 利得レベル (5)	調整利得(6)
600	513	26319	10000000000000001	1	
25119	215	46225	00010100010010001	1	-0.06dB
23077	197	38909	000100101110011001	2	
141	121	14641	0000011100100110001	7	-3.07
100	85	7225	0000001110000110001	11	0
1.17	1	1	0000000000000000001	63	36.859

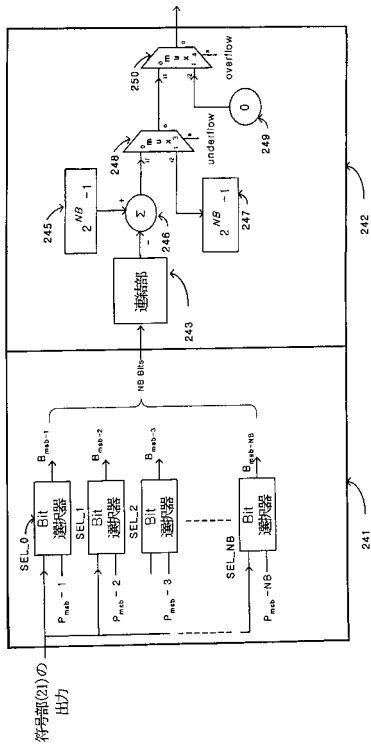
基準電圧  
(目標値)

underflow地点

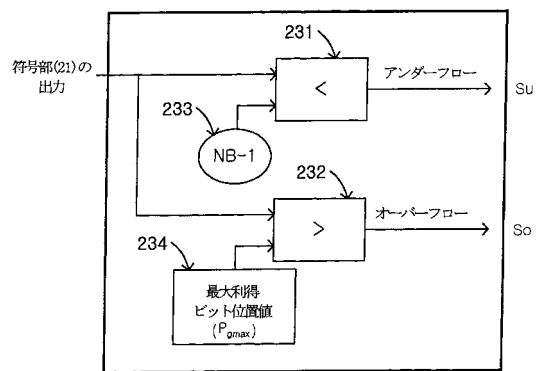
【 図 4 】



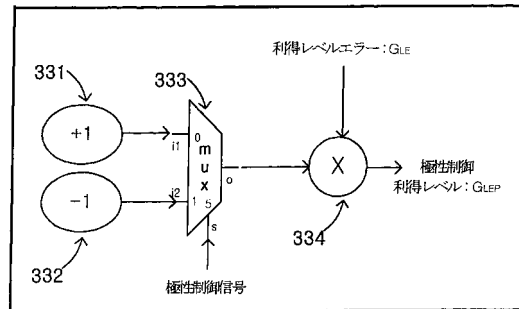
【 図 5 】



【 図 6 】



【 図 7 】





## フロントページの続き

- (74)代理人 100096921  
弁理士 吉元 弘
- (74)代理人 100103263  
弁理士 川崎 康
- (74)代理人 100107582  
弁理士 関根 毅
- (72)発明者 カン、フン、シク  
大韓民国デジョン、セオ グ、マンニョン ドン、チョワン、アパート、102 908
- (72)発明者 ウォン、デ、ホワン  
大韓民国デジョン、ユソン グ、ジョンミン ドン、ナラエ、アパート、103 905
- (72)発明者 キム、ジ、ユン  
大韓民国デジョン、セオ グ、マンニョン ドン、チョワン、アパート、102 908
- (72)発明者 ベーク、ジェ、イン  
大韓民国デジョン、ジョン グ、テピュン ドン、ベオドネ、アパート、105 2004
- Fターム(参考) 5J100 JA01 KA05 LA00 LA07 LA08 LA11 QA01 SA02  
5K061 CC52