(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월25일
(11) 등록번호 10-1158902
(24) 등록일자 2012년06월15일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01)
(21) 출원번호 10-2005-0081975
(22) 출원일자 2005년09월03일
심사청구일자 2010년09월03일
(65) 공개번호 10-2007-0025617
(43) 공개일자 2007년03월08일
(56) 선행기술조사문헌
KR1020040000980 A*
KR1020050041355 A*
KR1020050053281 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김혁진
충청남도 천안시 동남구 목천읍 목천안터2길 19, 신도브래뉴 아파트 212동 304호
김경욱
서울특별시 강남구 테헤란로5길 51-14 (역삼동)
서동욱
충청남도 천안시 서북구 두정중11길 17, 대아이이투빌아파트 102동 1503호 (두정동)
(74) 대리인
박영우

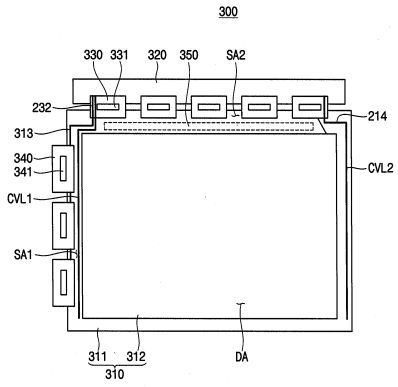
전체 청구항 수 : 총 26 항 심사관 : 유창훈

(54) 발명의 명칭 **어레이 기판, 액정표시패널 및 이를 구비한 액정표시장치**

(57) 요 약

표시 품질을 향상시킨 어레이 기판, 액정표시패널 및 이를 구비한 액정표시장치가 개시된다. 베이스 기판은 제1 방향으로 연장된 게이트 배선들과, 제2 방향으로 연장된 데이터 배선들에 의해 정의되는 복수의 화소들이 형성된 표시 영역과 표시 영역을 둘러싸는 주변 영역으로 이루어진다. 스토리지 전압 배선들은 화소들마다 형성된다. 연결 배선들은 제2 방향으로 배열된 화소들 중 서로 인접한 화소들에 형성된 스토리지 전압 배선들을 연결한다. 공통 전압 인가부는 주변 영역에 형성되고, 제1 방향으로 배열된 화소들 중 일부 화소들에 형성된 스토리지 전압 배선들에 공통 전압을 인가한다. 표시 영역의 각 영역에 일정한 전류를 공급하여 공통 전극의 왜곡 정도를 감소시키고 이에 따라, 액정표시장치의 표시 품질을 향상시킬 수 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

제1 방향으로 연장된 게이트 배선들과, 제2 방향으로 연장된 데이터 배선들에 의해 정의되는 복수의 화소들이 형성된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역으로 이루어진 베이스 기판;

상기 화소들마다 형성된 복수의 스토리지 전압 배선들;

상기 제2 방향으로 연장되며, 상기 표시 영역 내에서 상기 제2 방향으로 배열된 화소들 중 서로 인접한 화소들에 형성된 상기 스토리지 전압 배선들을 연결하는 연결 배선들; 및

상기 주변 영역에 형성되고, 상기 제1 방향으로 배열된 화소들 중 일부 화소들에 형성된 스토리지 전압 배선들에 공통 전압을 인가하는 공통 전압 인가부를 포함하는 것을 특징으로 하는 어레이 기판.

청구항 2

제1항에 있어서, 상기 제1 방향으로 배열된 화소들에 형성된 스토리지 전압 배선은 하나의 배선으로 연결된 것을 특징으로 하는 어레이 기판.

청구항 3

제2항에 있어서, 상기 주변 영역 중 제1 주변 영역에서 상기 제2 방향으로 형성되어 상기 스토리지 전압 배선의 일단과 연결되고, 상기 공통 전압을 상기 스토리지 전압 배선에 제공하는 제1 공통 전압 배선을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 4

제3항에 있어서, 상기 제1 주변 영역과 대향하는 제3 주변 영역에서 상기 제2 방향으로 형성되어 상기 스토리지 전압 배선의 타단과 연결되는 제2 공통 전압 배선을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 5

제1항에 있어서, 상기 공통 전압 인가부는 상기 주변 영역 중 제2 주변 영역에서 상기 제1 방향으로 형성되는 것을 특징으로 하는 어레이 기판.

청구항 6

제1항에 있어서, 상기 공통 전압 인가부는 상기 주변 영역 중 제4 주변 영역에서 상기 제1 방향으로 형성되는 것을 특징으로 하는 어레이 기판.

청구항 7

제1항에 있어서, 상기 공통 전압 인가부는 상기 주변 영역 중 제2 주변 영역과 상기 제2 주변 영역과 대향하는 제4 주변영역에서 상기 제1 방향으로 각각 형성되는 것을 특징으로 하는 어레이 기판.

청구항 8

제1항에 있어서, 상기 공통 전압 인가부는 상기 제1 방향으로 형성되고, 상기 스토리지 전압 배선보다 상대적으로 넓은 폭을 갖는 제1 신호 배선과,

상기 제2 방향으로 형성되고, 상기 제1 신호 배선과 상기 스토리지 전압 배선들을 연결하는 제2 신호 배선들을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 9

제8항에 있어서, 상기 제2 신호 배선들은 상기 제1 신호 배선과 동일 금속층으로 형성된 것을 특징으로 하는 어레이 기판.

청구항 10

제8항에 있어서, 상기 제2 신호 배선들은 상기 제1 신호 배선과 다른 금속층으로 형성된 것을 특징으로 하는

어레이 기판.

청구항 11

제8항에 있어서, 상기 공통 전압 인가부는 상기 제1 방향으로 배열된 화소들에 형성된 스토리지 전압 배선들과 각각 연결된 것을 특징으로 하는 어레이 기판.

청구항 12

제1항에 있어서, 상기 스토리지 전압 배선들은 3중막 구조로 형성된 것을 특징으로 하는 어레이 기판.

청구항 13

제12항에 있어서, 상기 연결 배선들 각각은 서로 인접하는 n(n은 자연수)개의 화소들마다 형성된 것을 특징으로 하는 어레이 기판.

청구항 14

제13항에 있어서, 상기 n은 3인 것을 특징으로 하는 어레이 기판.

청구항 15

제12항에 있어서, 상기 공통 전압 인가부는 상기 제1 방향으로 형성되고, 상기 스토리지 전압 배선보다 상대적으로 넓은 폭을 갖는 제3 신호 배선과,

상기 제2 방향으로 형성되고, 상기 제3 신호 배선과 상기 스토리지 전압 배선들을 연결하는 제4 신호 배선들을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 16

제15항에 있어서, 상기 제4 신호 배선들은 상기 제3 신호 배선과 동일 금속층으로 형성된 것을 특징으로 하는 어레이 기판.

청구항 17

제15항에 있어서, 상기 제4 신호 배선들은 상기 제3 신호 배선과 다른 금속층으로 형성된 것을 특징으로 하는 어레이 기판.

청구항 18

공통 전극이 형성된 제1 기판; 및

상기 제1 기판과 결합하여 액정층을 수용하는 제2 기판을 포함하며,

상기 제2 기판은,

제1 방향으로 연장된 게이트 배선들과, 제2 방향으로 연장된 데이터 배선들에 의해 정의되는 복수의 화소들이 형성된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역으로 이루어진 베이스 기판;

상기 화소들마다 형성된 복수의 스토리지 전압 배선들;

상기 제2 방향으로 연장되며, 상기 표시 영역 내에서 상기 제2 방향으로 배열된 화소들 중 서로 인접한 화소들에 형성된 상기 스토리지 전압 배선들을 연결하는 연결 배선들; 및

상기 주변 영역에 형성되고, 상기 제1 방향으로 배열된 화소들 중 일부 화소들에 형성된 스토리지 전압 배선들에 공통 전압을 인가하는 공통 전압 인가부를 포함하는 것을 특징으로 하는 액정표시패널.

청구항 19

제18항에 있어서, 상기 제1 기판은 상기 표시 영역과 대응되는 영역에 컬러필터층이 형성된 컬러필터 기판인 것을 특징으로 하는 액정표시패널.

청구항 20

제18항에 있어서, 상기 공통 전압 인가부는 상기 제1 방향으로 형성되고, 상기 스토리지 전압 배선보다 상대적으로 넓은 폭을 갖는 제1 신호 배선과,

상기 제2 방향으로 형성되고, 상기 제1 신호 배선과 상기 스토리지 전압 배선들을 연결하는 제2 신호 배선들을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 21

제18항에 있어서, 상기 주변 영역에는 상기 제1 기판에 형성된 공통 전극에 상기 공통 전압을 인가하는 쇼트 포인트들이 형성된 것을 특징으로 하는 액정표시패널.

청구항 22

제21항에 있어서, 상기 공통 전압 인가부는 상기 제2 방향으로 형성되어 상기 쇼트 포인트들과 상기 스토리지 전압 배선들을 전기적으로 연결하는 신호 배선들인 것을 특징으로 하는 액정표시패널.

청구항 23

제21항에 있어서, 상기 공통 전압 인가부는 상기 쇼트 포인트에 상기 공통 전압을 제공하는 전압 배선과 상기 스토리지 전압 배선들을 연결하는 신호 배선인 것을 특징으로 하는 액정표시패널.

청구항 24

제18항에 있어서, 상기 스토리지 전압 배선들은 3중막 구조로 형성된 것을 특징으로 하는 액정표시패널.

청구항 25

제24항에 있어서, 상기 연결 배선들 각각은 서로 인접하는 n(n은 자연수)개의 화소들마다 형성된 것을 특징으로 하는 액정표시패널.

청구항 26

광을 발생하는 백라이트 어셈블리; 및

상기 광을 이용하여 영상을 표시하고, 제1 기판과 대향하여 액정층을 수용하고, 복수의 게이트 라인과 데이터 라인에 의해 정의되는 화소 영역을 갖는 제2 기판을 구비한 표시패널 어셈블리를 포함하며,

상기 제2 기판은,

제1 방향으로 연장된 게이트 배선들과, 제2 방향으로 연장된 데이터 배선들에 의해 정의되는 복수의 화소들이 형성된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역으로 이루어진 베이스 기판;

상기 화소들마다 형성된 복수의 스토리지 전압 배선들;

상기 제2 방향으로 연장되며, 상기 표시 영역 내에서 상기 제2 방향으로 배열된 화소들 중 서로 인접한 화소들에 형성된 상기 스토리지 전압 배선들을 연결하는 연결 배선들; 및

상기 주변 영역에 형성되고, 상기 제1 방향으로 배열된 화소들 중 일부 화소들에 형성된 스토리지 전압 배선들에 공통 전압을 인가하는 공통 전압 인가부를 포함하는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0024] 본 발명은 어레이 기판, 액정표시패널 및 이를 구비한 액정표시장치에 관한 것으로서 보다 상세하게는, 표시 품질을 향상시킨 어레이 기판, 액정표시패널 및 이를 구비한 액정표시장치에 관한 것이다.

[0025] 최근 들어, 모니터, 노트북, 티브이 및 이동 통신 단말기 등의 경량화 및 박형화 추세에 따라 표시 장치도 경

량화 및 박형화가 요구되고 있으며, 이러한 요구의 충족을 위하여 기존의 음극선관 대신 다양한 평판표시장치(Flat Panel Display)의 개발 및 대중화가 급속히 이루어지고 있다.

[0026] 액정표시장치(LCD : Liquid Crystal Display)는 이러한 평판표시장치의 하나로서, 두 개의 기판 사이에 유전율 이방성(Dielectric Anisotropy)을 갖는 액정 물질을 주입하여 전계를 인가하고, 그 전계의 세기를 조절함으로써 기판에 투과되는 빛의 양을 제어하여 원하는 화상을 표시하는 장치이다.

[0027] 이러한 액정표시장치는 최근 급속히 그 설치 범위가 확대되어 노트북, 컴퓨터의 모니터, 티브이 및 이동 통신 단말기 등과 같이 다양한 장치들의 표시 장치로 사용되고 있으며, 그에 따라 표시 품질의 향상에 대한 요구도 더욱 높아지고 있다.

[0028] 상기 액정표시장치는 액정표시패널을 갖는다. 상기 액정표시패널은 어레이 기판, 대향 기판 및 상기 어레이 기판과 대향 기판 사이에 개재된 액정층을 갖는다. 상기 어레이 기판은 상호 교차하는 다수개의 데이터 라인 및 게이트 라인을 가지며, 상기 데이터 라인 및 게이트 라인에 의해 정의되는 복수의 화소(pixel)로 구성된다.

[0029] 상기 복수의 화소는 각각 스위칭 소자, 액정 커패시터 및 스토리지 커패시터를 갖는다. 상기 액정 커패시터의 제1 전극은 상기 스위칭 소자의 드레인 전극과 연결된 화소 전극이고, 상기 제2 전극은 대향 기판에 형성된 공통 전극이다. 상기 스토리지 커패시터의 제1 전극은 상기 화소 전극이고 상기 제2 전극은 상기 어레이 기판에 인가되는 공통 전극이다.

[0030] 상기 게이트 라인에 인가된 게이트 신호는 상기 스위칭 소자의 게이트 전극에 인가되어 상기 스위칭 소자를 턴-온시키면 상기 데이터 라인에 인가된 데이터 신호가 상기 스위칭 소자의 소스 전극을 통해 상기 액정 커패시터의 제1 전극인 상기 화소 전극에 인가된다.

[0031] 또한, 상기 스토리지 커패시터의 제1 전극인 상기 화소 전극에 데이터 신호가 인가된 후, 상기 데이터 신호의 전위 레벨을 유지하기 위해 상기 스토리지 커패시터의 제2 전극에는 일정한 DC 전압이 인가된다. 따라서, 상기 액정 커패시터에 인가되는 데이터 신호와 상기 스토리지 커패시터에 저장되는 데이터 신호에 의해 상기 액정 커패시터 및 스토리지 커패시터에 전하가 충전되고, 상기 전하의 충전율에 따라서 액정의 배열각이 변경된다. 이렇게 배열각이 변경된 액정층을 투과하거나 반사한 광에 의해 화상 데이터가 표시된다.

[0032] 그러나, 상기 스토리지 커패시터를 구성하는 스토리지 전압 배선은 상기 공통 전압 배선과 제1 방향으로 연결되고, 상기 화소 전극과 오버랩되어 있다. 또한, 상기 스토리지 커패시터의 제2 전극 즉, 공통 전극은 상기 액정표시패널의 양단에서 제2 방향으로 형성된 공통 전압 배선에 의해 외부로부터 공통 전압을 제공받는다.

[0033] 따라서, 상기 공통 전압은 상기 공통 전압 배선에 의해 상기 액정표시패널의 양단에 제공되고, 상기 스토리지 전압 배선의 RC 딜레이 등에 의해 상기 액정표시패널의 각 영역에서 전류 공급 정도의 차이가 발생한다.

[0034] 이에 따라, 상기 화소 전극과 공통 전극 사이에 커플링 현상이 유발될 경우, 상기 액정표시패널의 양단과 중심 부분에서 공통 전극의 왜곡 정도의 차이가 발생하며, 이는 액정표시패널의 중심 부분에서 화면이 초록빛을 띠게 되는 등의 표시 불량이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0035] 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 표시 영역 내의 각 영역에 일정한 전류를 공급하여 공통 전극의 왜곡 정도를 감소시킬 수 있는 어레이 기판을 제공하는데 있다.

[0036] 본 발명의 다른 목적은 상기 어레이 기판을 구비한 액정표시패널을 제공하는데 있다.

[0037] 본 발명의 또 다른 목적은 상기 액정표시패널을 구비한 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

[0038] 상기 목적을 달성하기 위하여 본 발명의 일 실시예에 의한 어레이 기판은 베이스 기판, 스토리지 전압 배선들, 연결 배선들 및 공통 전압 인가부를 포함한다. 상기 베이스 기판은 제1 방향으로 연장된 게이트 배선들과, 제2 방향으로 연장된 데이터 배선들에 의해 정의되는 복수의 화소들이 형성된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역으로 이루어진다. 상기 스토리지 전압 배선들은 상기 화소들마다 형성된다. 상기 연결 배선들은 상기 제2 방향으로 배열된 화소들 중 서로 인접한 화소들에 형성된 상기 스토리지 전압 배선들을 연결한다. 상기 공통 전압 인가부는 상기 주변 영역에 형성되고, 상기 제1 방향으로 배열된 화소들 중 일

부 화소들에 형성된 스토리지 전압 배선들에 공통 전압을 인가한다.

[0039] 상기 다른 목적을 달성하기 위하여 본 발명의 일 실시예에 의한 액정표시패널은 제1 기판 및 제2 기판을 포함한다. 상기 제1 기판은 공통 전극을 포함한다. 상기 제2 기판은 상기 제1 기판과 대향하여 액정층을 수용한다. 또한, 상기 제2 기판은 베이스 기판, 스토리지 전압 배선들, 연결 배선들 및 공통 전압 인가부를 포함한다. 상기 베이스 기판은 제1 방향으로 연장된 게이트 배선들과, 제2 방향으로 연장된 데이터 배선들에 의해 정의되는 복수의 화소들이 형성된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역으로 이루어진다. 상기 스토리지 전압 배선들은 상기 화소들마다 형성된다. 상기 연결 배선들은 상기 제2 방향으로 배열된 화소들 중 서로 인접한 화소들에 형성된 상기 스토리지 전압 배선들을 연결한다. 상기 공통 전압 인가부는 상기 주변 영역에 형성되고, 상기 제1 방향으로 배열된 화소들 중 일부 화소들에 형성된 스토리지 전압 배선들에 공통 전압을 인가한다.

[0040] 본 발명의 또 다른 목적을 달성하기 위하여 본 발명의 일 실시예에 의한 액정표시장치는 백라이트 어셈블리 및 표시패널 어셈블리를 포함한다. 상기 백라이트 어셈블리는 광을 발생하여 상기 표시패널 어셈블리로 제공한다. 상기 표시패널 어셈블리는 상기 광을 이용하여 영상을 표시하고, 제1 기판과 대향하여 액정층을 수용하고, 복수의 게이트 베선들과 데이터 배선들에 의해 정의되는 복수의 화소들을 갖는 제2 기판을 구비한다. 또한, 상기 제2 기판은 베이스 기판상에 형성되는 스토리지 전압 배선들, 연결 배선들 및 공통 전압 인가부를 포함한다.

[0041] 이러한 어레이 기판, 액정표시패널 및 이를 구비한 액정표시장치에 의하면, 표시 영역의 각 영역에 일정한 전류를 공급하여 공통 전극의 왜곡 정도를 감소시키고 이에 따라, 액정표시장치의 표시 품질을 향상시킬 수 있다.

[0042] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0043] 도 1은 본 발명의 일 실시예에 의한 액정표시장치를 도시한 분해 사시도이다.

[0044] 도 1을 참조하면, 본 발명의 일 실시예에 의한 액정표시장치(100)는 백라이트 어셈블리(200) 및 표시패널 어셈블리(300)를 포함한다.

[0045] 상기 백라이트 어셈블리(200)는 램프 유닛(210) 및 광학 부재(220)를 포함한다.

[0046] 구체적으로, 상기 램프 유닛(210)은 광을 발생시키는 램프(211) 및 상기 램프(211)를 감싸면서 상기 램프(211)를 외부 충격 등으로부터 보호하는 램프 커버(212)를 포함한다.

[0047] 상기 램프(211)는 일례로, 냉음극 형광 램프(cold cathode fluorescent lamp)가 사용될 수 있으며, 상기 램프 유닛(210)은 도광판(221)의 일측면에 배치될 수도 있고, 상기 백라이트 어셈블리(200)의 휘도 특성을 향상시키기 위하여 상기 도광판(221)의 대응되는 양측면에 배치될 수도 있다.

[0048] 또한, 상기 램프 커버(212)는 상기 램프(211)에서 출사된 광을 상기 도광판(221)이 배치된 방향 이외의 방향으로 상기 광이 누설되는 것을 방지하여 상기 백라이트 어셈블리(200)의 휘도 특성을 향상시키기 위하여 내측면에 램프 리플렉터(reflector)를 더 포함하여 형성할 수도 있다.

[0049] 상기 광학 부재(220)는 도광판(221), 광학 시트들(222) 및 반사판(223)을 포함한다.

[0050] 구체적으로, 상기 도광판(221)은 상기 램프 유닛(210)에서 출사된 광을 가이드하여 상기 광학 시트들(222)로 제공한다. 이를 위해, 상기 도광판(221)에는 상기 광의 경로를 가이드하는 도광 패턴(도시되지 않음)이 형성된다.

[0051] 상기 광학 시트들(222)은 상기 도광판(221)의 상부에 배치되고, 상기 도광판(221)을 경유한 광의 휘도 특성을 향상시켜 상기 표시패널 어셈블리(300)로 제공한다. 이를 위해, 상기 광학 시트들(222)은 확산 시트 또는 편광 시트등으로 구성될 수 있다.

[0052] 상기 반사판(223)은 상기 도광판(221)의 하부에 배치되고, 상기 광이 상기 도광판(221) 하부로 누설되는 것을 방지하기 위해 사용된다. 즉, 상기 반사판(223)은 상기 도광판(221)의 하부 방향으로 누설되는 광을 반사하여 이를 다시 상기 도광판(221)으로 제공함으로써 광의 이용 효율을 향상시키고, 상기 백라이트 어셈블리(200)의 휘도 특성을 향상시킨다.

[0053] 여기서, 상기 반사판(223) 이외의 다양한 반사 부재 예를 들어, 얇은 시트 형상의 반사 시트 등을 사용할 수 있음은 당업자에게 자명한 사항이다.

[0054] 본 발명의 일 실시예에 의한 백라이트 어셈블리(200)는 상기 램프(211)가 측면에 배치되는 에지 타입(Edge-Type)이다. 그러나, 상기 백라이트 어셈블리(200)는 다수의 램프가 상기 표시패널 어셈블리(300)의 하부에 배치되는 직하 타입(Direct-Type)으로 형성할 수도 있다.

[0055] 상기 표시패널 어셈블리(300)는 상기 백라이트 어셈블리(200)의 상부에 배치된다. 상기 표시패널 어셈블리(300)는 영상을 표시하기 위한 액정표시패널(310), 상기 액정표시패널(310)에 구동신호를 제공하기 위한 소스 인쇄회로기판(320), 상기 액정표시패널(310)과 상기 소스 인쇄회로기판(320)을 전기적으로 연결하기 위한 데이터 TCP(330) 및 상기 액정표시패널(310)의 일측에 연결되는 게이트 TCP(340)를 포함한다.

[0056] 상기 액정표시패널(310)은 어레이 기판(311), 대향 기판(312) 및 상기 두 기판(311, 312) 사이에 개재된 액정층(도시되지 않음)을 포함한다.

[0057] 구체적으로, 상기 어레이 기판(311)은 스위칭 소자인 TFT(도시되지 않음)가 매트릭스 형태로 형성된 투명한 유리기판이다. 상기 TFT들의 소스 및 게이트 단자에는 각각 어레이 기판(311) 상에 형성된 데이터 및 게이트 라인이 연결되고, 드레인 단자에는 투명한 도전성 재질로 이루어진 화소전극이 연결된다.

[0058] 상기 어레이 기판(311)에는 상기 데이터 및 게이트 라인에 의해 정의되는 다수개의 화소를 구비하고, 상기 다수개의 화소는 각각 상기 TFT, 액정 커패시터 및 스토리지 커패시터를 갖는다. 상기 액정 커패시터의 제1 전극은 상기 TFT의 드레인 전극과 연결된 화소 전극이고, 상기 제2 전극은 대향 기판에 형성된 공통 전극이다. 상기 스토리지 커패시터의 제1 전극은 상기 화소 전극이고 상기 제2 전극은 상기 어레이 기판(311)에 인가되는 공통 전극이다.

[0059] 또한, 상기 어레이 기판(311)에는 외부로부터 공통 전압이 제공되는 공통 전압 배선, 상기 스토리지 커패시터의 보조 용량을 정의하는 복수의 스토리지 전압 배선 및 상기 스토리지 전압 배선의 소정 영역에서 복수의 접점을 형성하는 공통 전압 인가부를 포함한다.

[0060] 이에 관한 보다 구체적인 설명은 도 2 내지 도 13을 통하여 상세히 설명하기로 한다.

[0061] 상기 대향 기판(312)은 상기 어레이 기판(311)에 마주하여 배치된다. 상기 대향 기판(312)에는 색화소인 레드(R), 그린(G), 블루(B) 화소가 박막공정에 의해 형성된 컬러필터층(도시되지 않음)이 형성될 수 있다. 상기 대향 기판(312)의 전면에는 투명한 도전성 재질로 이루어진 공통 전극(도시되지 않음)이 도포된다.

[0062] 상기 소스 인쇄회로기판(320)은 데이터 구동 신호 및 게이트 구동 신호를 발생시켜 상기 데이터 TCP(330)로 출력한다.

[0063] 상기 데이터 TCP(330)는 상기 데이터 라인(도시되지 않음)을 구동하기 위한 데이터 구동칩(331)을 구비하고, 상기 게이트 TCP(340)는 상기 게이트 라인(도시되지 않음)을 구동하기 위한 게이트 구동칩(341)을 구비한다.

[0064] 상기 소스 인쇄회로기판(320)에서 출력된 상기 게이트 구동 신호를 상기 게이트 TCP로 제공하기 위해 상기 어레이 기판(311)에는 게이트 구동 배선(도시되지 않음)이 형성된다.

[0065] 또한, 본 발명의 일 실시예에 의한 액정표시장치(100)는 제1 수납 용기(400), 몰드 프레임(500) 및 제2 수납 용기(600)를 더 포함한다.

[0066] 상기 제1 수납 용기(400)는 상기 백라이트 어셈블리(200) 즉, 램프 유닛(210) 및 광학 부재(220)를 수납한다. 이 때, 상기 제1 수납 용기(400)의 바닥면(410)에는 상기 반사판(223)을 대신하여 상기 도광판(221)의 하부 방향으로 누설되는 광을 상기 도광판(221)으로 다시 제공하기 위해 반사 효율이 우수한 재질을 코팅될 수도 있다.

[0067] 상기 몰드 프레임(500)은 상기 액정표시패널(310)의 유동을 방지하고, 상기 백라이트 어셈블리(200)로부터 상기 액정표시패널(310)이 소정 간격 이격 배치되도록 상기 제1 수납 용기(400)에 수납된 상기 백라이트 어셈블리(200)의 상부에 배치된다.

[0068] 상기 제2 수납 용기(600)는 베젤부(610)와 측벽(620)으로 구성되고, 상기 백라이트 어셈블리(200)를 상기 표시패널 어셈블리(300)의 상부에 고정한다.

[0069] 상기 베젤부(610)는 상기 액정표시패널(310)의 유효 표시 영역 즉, 화상이 표시되는 영역을 노출시키기 위한 직사각 형상의 테두리이고, 상기 측벽(620)은 상기 베젤부(610)의 에지로부터 연장되어 상기 액정표시패널(310)의 위치를 가이드한다.

[0070] 도 2는 본 발명의 일 실시예에 의한 표시패널 어셈블리를 도시한 도면이고, 도 3은 도 2에 도시된 어레이 기판의 일부 영역을 확대 도시한 부분 확대도이며, 도 4는 도 2에 도시된 어레이 기판에 형성된 스토리지 전압 배선을 개략적으로 도시한 도면이다.

[0071] 도 2와 도 3을 참조하면, 본 발명의 일 실시예에 의한 표시패널 어셈블리(300)는 액정표시패널(310), 소스 인쇄회로기판(320), 데이터 TCP(330) 및 게이트 TCP(340)를 포함한다.

[0072] 상기 액정표시패널(310)은 어레이 기판(311), 대향 기판(312) 및 상기 두 기판(311, 312) 사이에 개재된 액정층(도시되지 않음)을 포함한다.

[0073] 구체적으로, 상기 어레이 기판(311)은 베이스 기판 상에 화상을 표시하는 기본 단위인 복수의 화소들이 매트릭스 형태로 형성된 기판이다. 상기 복수의 화소들 중 제ji 화소(Pji)는 제j 게이트 라인(GLj), 제i 데이터 라인(DLi), 제ji 박막 트랜지스터(Thin Film Transistor : 이하, TFT)(Tji) 및 제ji 화소 전극(PEji)으로 이루어진다.

[0074] 상기 제j 게이트 라인(GLj)은 제1 방향(D1)으로 연장되고, 상기 제i 데이터 라인(DLi)은 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장되어 상기 제j 게이트 라인(GLj)과 절연되게 교차한다.

[0075] 상기 제i 데이터 라인(DLi)과 제j 게이트 라인(GLj)은 인접하는 제i-1 데이터 라인(DLi-1)과 제j-1 게이트 라인(GLj-1)에 의해서 제ji 화소영역(PAji)을 정의한다. 상기 제ji 화소영역(PAji)에는 상기 제ji TFT(Tji) 및 제ji 화소 전극(PEji)이 형성된다.

[0076] 상기 제ji TFT(Tji)의 게이트 전극(G)은 상기 제j 게이트 라인(GLj)으로부터 분기되고, 소오스 전극(S)은 상기 제i 데이터 라인(DLi)으로부터 분기되며, 드레인 전극(D)은 상기 제ji 화소 전극(PEji)과 전기적으로 연결된다. 따라서, 상기 TFT(Tji)는 상기 제j 게이트 라인(GLj)으로 인가된 게이트 신호에 응답하여 상기 제i 데이터 라인(DLi)으로 인가된 데이터 신호를 상기 제ji 화소전극(PEji)으로 출력한다.

[0077] 또한, 상기 제ji 화소(Pji)는 공통 전압이 인가되고, 상기 제ji 화소전극(PEji)과 마주하여 보조 용량을 정의하는 제ji 스토리지 전압 배선(SEji)을 더 구비한다.

[0078] 도 3과 도 4를 참조하면, 상기 제ji 스토리지 전압 배선(SEji)은 상기 제j 게이트 라인(GLj)과 평행하게 제1 방향(D1)으로 연장되어 상기 제1 방향(D1)으로 인접하는 제ji-1 스토리지 전압 배선(SEji-1) 및 제ji+1 스토리지 전압 배선(SEji+1)과 전기적으로 연결된다. 또한, 상기 제ji 스토리지 전압 배선(SEji)은 상기 제2 방향(D2)으로 분기되어 상기 제i 데이터 라인(DLi)과 평행하게 형성되는 형상을 갖는다.

[0079] 상기 제ji 스토리지 전압 배선(SEji)은 상기 제j 게이트 라인(GLj)과 동일한 레이 아웃 상에서 알루미늄(Al), 알루미늄 합금(Al alloy), 크롬(Cr), 몰르브덴(Mo) 등으로 형성될 수 있다. 또한, 상기한 금속 및 금속 합금 이외에도 다양한 금속 또는 도전체로 형성될 수도 있다.

[0080] 한편, 상기 제ji 스토리지 전압 배선(SEji)은 상기 제2 방향(D2)으로 인접하는 제j-1i 스토리지 전압 배선(SEj-1i) 및 제j+1i 스토리지 전압 배선(SEj+1i)과 전기적으로 분리된다.

[0081] 이는 상기 제ji 스토리지 전압 배선(SEji)과 상기 제j 게이트 라인(GLj)이 동일한 레이 아웃 상에 형성되어, 상기 제ji 스토리지 전압 배선(SEji)과 제j-1i 스토리지 전압 배선(SEj-1i) 사이에는 제j-1 게이트 라인(GLj-1)이 형성되고, 상기 제ji 스토리지 전압 배선(SEji)과 제j+1i 스토리지 전압 배선(SEj+1i)사이에는 제j 게이트 라인(GLj)이 개재되기 때문이다.

[0082] 따라서, 상기 ji 화소(Pji)는 상기 제ji 스토리지 전압 배선(SEji)과 제j+1i 스토리지 전압 배선(SEj+1i)을 전기적으로 연결시키는 제ji 연결 배선(BEji)을 더 구비한다.

[0083] 일반적으로, 베이스 기판과의 접촉성등을 향상시키기 위해 상기 제ji 스토리지 전압 배선(SEji)이 2중막 구조 예를 들어, Cr/AlNd 구조로 형성되고, 상기 제ji 스토리지 전압 배선(SEji)을 형성하기 위한 식각 공정 중 하부에 배치되는 Cr에 언더 컷(undercut)이 발생되고, 상기 언더 컷이 발생된 영역에 전하가 축적되어 틱(ticks)성 가로줄 현상이 발생한다.

[0084] 따라서, 상기 제ji 연결 배선(BEji)은 상기 제ji 스토리지 전압 배선(SEji)에 연결되어 상기 전하들의 이동 경로를 보다 확보하고, 다양한 전하 이동 경로를 통해 상기 언더 컷이 발생된 영역에서 전하가 축적되는 것을 방지하기 위해 형성한다.

[0085] 상기 제ji 연결 배선(BEji)은 상기 제j 게이트 라인(GLj)과 전기적으로 절연되면서 상기 제ji 스토리지 전압

배선(SEji)과 제j+1i 스토리지 전압 배선(SEj+1i)을 전기적으로 연결시키기 위하여 상기 제ji 화소전극(PEji)과 동일한 레이 아웃상에 형성된다. 이 때, 상기 제ji 연결 배선(BEji)은 상기 제ji 화소전극(PEji)과 소정의 간격으로 이격되어 서로 전기적으로 분리된다.

[0086] 여기서, 제j-1i 연결 배선(BEj-1i)은 제ji 스토리지 전압 배선(SEji)과 제j-1i 스토리지 전압 배선(SEj-1i)을 전기적으로 연결시키고, 제j+1i 연결 배선(BEj+1i)은 제ji 스토리지 전압 배선(SEji)과 제j+1i 스토리지 전압 배선(SEj+1i)을 전기적으로 연결시킨다. 이에 따라, 상기 어레이 기판(311) 상에 형성된 스토리지 전압 배선(SE)은 매트릭스 형태로 형성되고, 상기 제2 방향(D2)과 제1 방향(D1)에 대해 상호 전기적으로 연결된다.

[0087] 또한, 상기 어레이 기판(311)은 상기 스토리지 전압 배선(SE)과 연결되고, 상기 스토리지 전압 배선(SE)에 외부로부터 제공되는 공통 전압(Vcom)을 제공하는 공통 전압 배선(CVL)을 더 포함한다.

[0088] 상기 공통 전압 배선(CVL)은 상기 스토리지 전압 배선(SE)과 동일한 레이 아웃 상에 형성되고, 상기 다수의 화소에 의해 정의되는 표시 영역(DA)을 둘러싼 주변 영역(SA)에 형성된다.

[0089] 상기 공통 전압 배선(CVL)은 상기 주변 영역(SA) 중 제1 주변 영역(SA1)에 형성되는 제1 공통 전압 배선(CVL1)과 상기 제1 주변 영역(SA1)과 대향하는 제3 주변 영역(SA3)에 형성된 제2 공통 전압 배선(CVL2)을 포함한다.

[0090] 상기 제1 공통 전압 배선(CVL1)은 상기 제1 주변 영역(SA1)에 상기 게이트 TCP(340)가 형성되고, 상기 게이트 TCP(340)에는 게이트 라인(GL)이 연결되어 있기 때문에, 전기적 절연을 위해 상기 스토리지 전압 배선(SE)과 서로 다른 레이 아웃 상에 형성된다. 이에 따라, 상기 제1 공통 전압 배선(CVL1)과 상기 스토리지 전압 배선(SE)은 상기 스토리지 전압 배선(SE)과 연결 배선(BEp)을 통해 전기적으로 연결된다.

[0091] 상기 제2 공통 전압 배선(CVL2)은 상기 제3 주변 영역(SA3)에 상기 스토리지 전압 배선(SE)과 동일한 레이 아웃 상에 형성되어 직접 상기 스토리지 전압 배선(SE)과 연결된다.

[0092] 상기 제1 및 제2 공통 전압 배선(CVL1, CVL2)은 상기 스토리지 전압 배선(SE)이 패널 상의 위치에 따라 RC 딜레이 등에 의해 전류 공급을 원활하게 하도록 상기 어레이 기판(311)의 제1 및 제3 주변 영역(SA1, SA3)에서 상기 스토리지 전압 배선(SE)의 양단과 전기적으로 연결되나, 상기 제1 및 제2 공통 전압 배선(CVL1, CVL2) 중 하나만을 형성할 수도 있다.

[0093] 다시 도 2를 참조하면, 상기 소스 인쇄회로기판(320)은 상기 데이터 TCP(330)에 실장된 데이터 구동칩(331)을 구동하기 위한 데이터 구동 신호와 상기 게이트 TCP(340)에 실장된 게이트 구동칩(341)을 구동하기 위한 게이트 구동 신호를 발생시켜 출력한다. 이러한 소스 인쇄회로기판(320)은 상기 데이터 TCP(240)를 통해 상기 어레이 기판(311)에 연결된다.

[0094] 상기 데이터 TCP(330)는 m개의 데이터 라인(DL)을 다수의 블록으로 나누어 구동하기 위해 복수로 구성되며, 상기 주변 영역(SA) 중 상기 제1 주변 영역(SA1)과 인접한 제2 주변 영역(SA2)에 실장된다.

[0095] 이 때, 다수의 데이터 TCP(330) 중에서 적어도 하나의 데이터 TCP(330)에는 상기 소스 인쇄회로기판(320)에서 발생된 게이트 구동 신호를 상기 어레이 기판(311)에 전송하기 위한 금속 배선(232)이 형성된다. 이 경우, 상기 어레이 기판(311)에는 상기 금속 배선(232)과 연결되고, 상기 게이트 구동 신호를 상기 게이트 TCP(330)로 전송하기 위한 금속 배선(313)이 형성된다.

[0096] 상기 게이트 TCP(340)는 n개의 게이트 라인(GL)을 다수의 블록으로 나누어 구동하기 위해 복수로 구성되며, 상기 주변영역(SA) 중 제1 주변 영역(SA2)에 실장된다.

[0097] 또한, 본 발명의 일 실시예에 의한 액정표시패널(310)은 상기 어레이 기판(311)에 형성된 상기 스토리지 전압 배선(SE)의 위치에 따라 즉, 상기 어레이 기판(311)의 제1 주변 영역(SA1) 또는 제3 주변 영역(SA3)에 형성된 공통 전압 배선(CVL1, CVL2)에서 이격된 위치에 따라 제공되는 전류가 일정하도록 공통 전압(Vcom)을 인가하는 공통 전압 인가부(350)를 더 포함한다.

[0098] 상기 공통 전압 인가부(350)는 외부로부터 제공되는 공통 전압(Vcom)을 상기 스토리지 전압 배선(SE)의 소정 영역에서 즉, 각 화소(Pji)들마다 형성된 스토리지 전압 배선(SEji)들 중 일부의 스토리지 전압 배선(SEji)들과 복수의 접점을 형성하여 상기 공통 전압(Vcom)을 인가한다. 이에 관해 보다 구체적으로 설명하면 다음과 같다.

[0099] 도 5는 본 발명의 일 실시예에 의한 공통 전압 인가부를 설명하기 위한 개념도이고, 도 6은 도 5에 도시된 공

통 전압 인가부의 일부 영역을 확대 도시한 부분 확대도이다.

[0100] 도 5와 도 6을 참조하면, 본 발명의 일 실시예에 의한 공통 전압 인가부(350)는 어레이 기판(311)에 형성된 표시 영역(DA)을 둘러싼 주변 영역(SA) 중 제2 주변 영역(SA2)에 형성된다.

[0101] 상기 공통 전압 인가부(350)는 상기 제2 주변 영역(SA2) 상에서 제1 방향(D1)으로 형성되고, 양단이 상기 어레이 기판(311)의 제1 주변 영역(SA1)과 제3 주변 영역(SA3)에 형성된 공통 전압 배선(CVL1, CVL2)에 연결된 신호 배선(SL)으로 구성된다.

[0102] 이 때, 상기 신호 배선(SL)은 상기 표시 영역(DA) 내에 형성된 스토리지 전압 배선(SE)보다 상대적으로 넓은 선 폭으로 형성된다. 이는 상기 신호 배선(SL)의 단면적을 증가시켜 저항값을 상기 스토리지 전압 배선(SE)보다 낮게 형성함으로써, 상기 공통 전압 배선(CVL1, CVL2)에서 상기 신호 배선(SL)으로 제공되는 전류가 이동함에 따라 손실되는 것을 방지하기 위함이다.

[0103] 상기 신호 배선(SL)은 상기 표시 영역(DA) 내에 형성된 스토리지 전압 배선(SE)의 소정 영역에서 복수의 전기적 접점을 형성한다. 즉, 상기 신호 배선(SL)은 각각의 화소(Pji)들에 포함된 모든 스토리지 전압 배선(SE)마다 전기적 접점을 형성할 수 있고, 상기 각각의 화소들(Pji)에 포함된 스토리지 전압 배선(SE) 중 일정 화소에 형성된 스토리지 전압 배선(SE)에만 전기적 접점을 형성할 수도 있다.

[0104] 이 때, 상기 신호 배선(SL)은 제1 방향(D1)으로 형성된 하나의 배선으로 형성하고, 상기 스토리지 전압 배선(SE) 중 제1i 스토리지 전압 배선(SE1i)과 연결 배선(BEq)을 통해 전기적으로 연결될 수 있다.

[0105] 또한, 상기 신호 배선(SL)은 제1 방향(D1)으로 형성된 제1 신호 배선으로부터 제2 방향(D2)으로 분기된 제2 신호 배선에 의해 동일한 레이 아웃 상에서 상기 제1i 스토리지 전압 배선(SE1i)과 전기적으로 연결될 수도 있다.

[0106] 또한, 상기 신호 배선(SL)은 상기 제2 주변 영역(SA2)과 대향하는 제4 주변 영역(SA4)에 형성될 수도 있고, 상기 제2 주변 영역(SA2)과 제4 주변 영역(SA4) 모두에 형성될 수도 있다.

[0107] 이와 같은 신호 배선(SL)을 통해 상기 각 화소(Pji)들마다 형성된 스토리지 전압 배선(SE)에 공통 전압(Vcom)이 일정하게 인가되고, 일정한 전류가 상기 스토리지 전압 배선(SE)마다 공급된다. 이에 따라, 각 화소(Pji)들에서 특히, 상기 공통 전압 배선(CVL1, CVL2)으로부터 원거리에 배치되는 화소(Pji)들에서 전류 공급의 차이에 의해 유발되는 공통 전압(Vcom)의 왜곡 현상을 방지한다.

[0108] 도 7은 본 발명의 다른 실시예에 의한 공통 전압 인가부를 설명하기 위한 개념도이고, 도 8은 도 7에 도시된 공통 전압 인가부를 설명하기 위한 단면도이며, 도 9는 도 7에 도시된 공통 전압 인가부의 일부 영역을 확대 도시한 부분 확대도이다.

[0109] 도 7 내지 도 9를 참조하면, 본 발명의 다른 실시예에 의한 공통 전압 인가부(350)는 어레이 기판(311)에 형성된 표시 영역(DA)을 둘러싼 주변 영역(SA) 중 제2 주변 영역(SA2)에 형성된다.

[0110] 상기 공통 전압 인가부(350)는 상기 제2 주변 영역(SA2) 상에서 형성되는 쇼트 포인트(351)에서 제2 방향(D2)으로 연장된 신호 배선(SL)으로 구성된다.

[0111] 상기 쇼트 포인트(351)는 어레이 기판(311)에 외부로부터 제공되는 공통 전압(Vcom)을 상기 어레이 기판(311)과 대향하는 대향 기판(312)에 형성된 공통 전극(312b)에 제공한다.

[0112] 이를 위해, 상기 쇼트 포인트(351)에는 상기 어레이 기판(311)을 구성하는 베이스 기판(311a) 상에 형성된 공통 전극(311b)에 일단이 접촉되고, 상기 대향 기판(312)을 구성하는 베이스 기판(312a) 상에 형성된 공통 전극(312b)에 타단이 접촉되어 상기 공통 전극들(311b, 312b)을 전기적으로 연결되는 접촉 부재(311c)가 형성된다. 또한, 상기 쇼트 포인트(351)는 상기 공통 전압(Vcom)이 제공되는 전압 배선 즉, 몽블랑 배선(MBL)과 연결된다.

[0113] 상기 어레이 기판(311)과 대향 기판(312)이 하나의 공통 전압을 사용하여 등전위를 적용할 경우 상기 쇼트 포인트(351)에는 상기 어레이 기판(311)의 제1 및 제3 주변 영역(SA1, SA3)에 형성된 공통 전압 배선(CVL1, CVL2)과 동일한 공통 전압(Vcom)이 제공된다.

[0114] 또한, 상기 쇼트 포인트(351)에서 제2 방향(D2)으로 연장된 복수의 신호 배선(SL)은 표시 영역(DA) 내에 제1 방향으로 배열된 화소(Pji)들 중 일부 화소에 형성된 스토리지 전압 배선(SE)과 전기적 접점을 형성한다. 따라서, 상기 신호 배선(SL)은 일단이 상기 스토리지 전압 배선(SE)과 전기접 접점을 형성하고, 타단이 상기 쇼

트 포인트(351)와 전기적 접점을 형성한다.

[0115] 이에 따라, 상기 쇼트 포인트(351)에 제공된 공통 전압(Vcom)에 기인한 전류는 상기 신호 배선(SL)을 통해 제1 방향으로 배열된 화소(Pji)들 중 일부 화소에 형성된 스토리지 전압 배선(SE)으로 제공된다.

[0116] 상기 쇼트 포인트(351)는 일반적으로 상기 어레이 기판(311)에 복수로 형성되고, 상기 신호 배선(SL)은 상기 쇼트 포인트(351) 마다 각각 형성하여 상기 스토리지 전압 배선(SE)과 전기적 접점을 형성할 수 있다.

[0117] 또한, 상기 쇼트 포인트(351) 중 일부에서만 상기 신호 배선(SL)을 연장 형성하여 상기 스토리지 전압 배선(SE)과 전기적 접점을 형성할 수도 있다. 이 때, 상기 신호 배선(SL)은 상기 스토리지 전압 배선(SE) 중 제1i 스토리지 전압 배선(SE1i)과 전기적으로 연결될 수 있다.

[0118] 이와 같은 쇼트 포인트(351)와 상기 신호 배선(SL)을 통해 스토리지 전압 배선(SE)의 여러 영역 즉, 제1 방향(D1)으로 배열된 화소들 중 일부 화소들에 형성된 스토리지 전압 배선(SE)에 전압 인가 포인트를 형성하고, 스토리지 전압 배선(SE)의 각 영역에 일정한 전류를 공급한다.

[0119] 이에 따라, 각 화소에서 특히, 상기 공통 전압 배선(CVL1, CVL2)으로부터 원거리에 배치되는 화소에서 전류 공급의 차이에 의해 유발되는 공통 전압(Vcom)의 왜곡 현상을 방지한다.

[0120] 도 10은 본 발명의 또 다른 실시예에 의한 공통 전압 인가부를 설명하기 위한 개념도이고, 도 11은 도 10에 도시된 공통 전압 인가부의 일부 영역을 확대 도시한 부분 확대도이다.

[0121] 도 10과 도 11을 참조하면, 본 발명의 또 다른 실시예에 의한 공통 전압 인가부(350)는 어레이 기판(311)에 형성된 표시 영역(DA)을 둘러싼 주변 영역(SA) 중 제2 주변 영역(SA2)에 형성된다.

[0122] 상기 공통 전압 인가부(350)는 제2 주변 영역(SA2) 상에서 도 7에 도시된 쇼트 포인트(351)에 공통 전압(Vcom)을 제공하기 위해 형성되는 전압 배선 즉, 몽블랑 배선(MBL)에서 제2 방향(D2)으로 연장된 신호 배선(SL)으로 구성된다.

[0123] 상기 몽블랑 배선(MBL)은 상기 쇼트 포인트(351)에 상기 공통 전압(Vcom)을 제공하기 위해 소스 인쇄회로기판(320)과 데이터 TCP(330)를 경유하여 복수의 상기 쇼트 포인트(351)와 공통 연결된다.

[0124] 따라서, 상기 어레이 기판(311)과 도 8에 도시된 대향 기판(312)에 하나의 공통 전압을 사용하여 등전위를 적용할 경우 상기 몽블랑 배선(MBL)에는 상기 어레이 기판(311)의 제1 및 제3 주변 영역(SA1, SA3)에 형성된 공통 전압 배선(CVL1, CVL2)과 동일한 공통 전압(Vcom)이 제공된다.

[0125] 또한, 상기 신호 배선(SL)은 일단이 표시 영역(DA) 내에 형성된 스토리지 전압 배선(SE)과 전기적 접점을 형성하고, 타단이 상기 몽블랑 배선(MBL)에서 연장되어 상기 몽블랑 배선(MBL)에 흐르는 전류는 상기 신호 배선(SL)을 통해 상기 스토리지 전압 배선(SE)으로 제공된다. 이 때, 상기 신호 배선(SL)은 복수로 구성되고, 상기 복수의 신호 배선(SL)은 상기 스토리지 전압 배선(SE)에 제공되는 전류가 스토리지 전압 배선(SE) 자체의 저항등에 의한 손실을 방지하고, 각각의 화소에 형성된 스토리지 전압 배선(SEji)마다 일정한 전류를 제공하기 위하여 일정 간격으로 형성하는 것이 바람직하다.

[0126] 이와 같은 몽블랑 배선(MBL)과 상기 신호 배선(SL)을 통해 스토리지 전압 배선(SE)의 여러 영역에 전압 인가 포인트를 형성하고, 스토리지 전압 배선(SE)의 각 영역에 일정한 전류를 공급한다. 이에 따라, 각 화소(Pji)들에서 특히, 상기 공통 전압 배선(CVL1, CVL2)으로부터 원거리에 배치되는 화소들에서 전류 공급의 차이에 의해 유발되는 공통 전압(Vcom)의 왜곡 현상을 방지한다.

[0127] 도 12는 도 2에 도시된 어레이 기판의 다른 실시예의 일부 영역을 확대 도시한 부분 확대도이고, 도 13은 도 12에 도시된 어레이 기판에 형성된 스토리지 전압 배선을 개략적으로 도시한 도면이다.

[0128] 도 12와 도 13을 참조하면, 본 발명의 다른 실시예에 의한 어레이 기판(311)은 화상을 표시하는 기본 단위인 다수의 화소가 매트릭스 형태로 형성된 기판이다. 상기 다수의 화소 중 제ji 화소(Pji)는 제j 게이트 라인(GLj), 제i 데이터 라인(DLi), 제ji 박막 트랜지스터(Thin Film Transistor : 이하, TFT)(Tji) 및 제ji 화소전극(PEji)으로 이루어진다.

[0129] 상기 제j 게이트 라인(GLj)은 제1 방향(D1)으로 연장되고, 상기 제i 데이터 라인(DLi)은 제2 방향(D2)으로 연장되어 상기 제i 데이터 라인(DLi)은 상기 제j 게이트 라인(GLj)과 절연되게 교차한다.

[0130] 상기 제i 데이터 라인(DLi)과 제j 게이트 라인(GLj)은 인접하는 제i-1 데이터 라인(DLi-1)과 제j-1 게이트 라인(GLj-1)에 의해서 제ji 화소영역(PAji)을 정의한다. 상기 제ji 화소영역(PAji)에는 상기 제ji TFT(Tji) 및

제ji 화소 전극(PEji)이 형성된다.

[0131] 상기 제ji TFT(Tji)의 게이트 전극(G)은 상기 제j 게이트 라인(GLj)으로부터 분기되고, 소오스 전극(S)은 상기 제i 데이터 라인(DLi)으로부터 분기되며, 드레인 전극(D)은 상기 제ji 화소 전극(PEji)과 전기적으로 연결된다. 따라서, 상기 TFT(Tji)는 상기 제j 게이트 라인(GLj)으로 인가된 게이트 신호에 응답하여 상기 제i 데이터 라인(DLi)으로 인가된 데이터 신호를 상기 제ji 화소전극(PEji)으로 출력한다.

[0132] 또한, 상기 제ji 화소(Pji)는 공통 전압(Vvom)이 인가되고, 상기 제ji 화소전극(PEji)과 마주하여 보조 용량을 정의하는 제ji 스토리지 전압 배선(SEji)을 더 구비한다.

[0133] 상기 제ji 스토리지 전압 배선(SEji)은 상기 제j 게이트 라인(GLj)과 평행하게 제1 방향(D1)으로 연장되어 상기 제1 방향(D1)으로 인접하는 제ji-1 스토리지 전압 배선(SEji-1) 및 제ji+1 스토리지 전압 배선(SEji+1)과 전기적으로 연결된다. 또한, 상기 제ji 스토리지 전압 배선(SEji)은 상기 제2 방향(D2)으로 분기되어 상기 제i 데이터 라인(DLi)과 평행하게 형성되는 형상을 갖는다.

[0134] 상기 제ji 스토리지 전압 배선(SEji)은 상기 제j 게이트 라인(GLj)과 동일한 레이 아웃 상에서 알루미늄(Al), 알루미늄 합금(Al alloy), 크롬(Cr), 몰르브덴(Mo) 등으로 형성될 수 있다. 또한, 상기한 금속 및 금속 합금 이외에도 다양한 금속 또는 도전체로 형성될 수도 있다.

[0135] 한편, 상기 제ji 스토리지 전압 배선(SEji)은 상기 제2 방향(D2)으로 인접하는 제j-1i 스토리지 전압 배선(SEj-1i) 및 제j+1i 스토리지 전압 배선(SEj+1i)과 전기적으로 분리된다. 이는 상기 제ji 스토리지 전압 배선(SEji)과 상기 제j 게이트 라인(GLj)이 동일한 레이 아웃 상에 형성되어, 상기 제ji 스토리지 전압 배선(SEji)과 제j-1i 스토리지 전압 배선(SEj-1i) 사이에는 제j-1 게이트 라인(GLj-1)이 개재되고, 상기 제ji 스토리지 전압 배선(SEji)과 제j+1i 스토리지 전압 배선(SEj+1i)사이에는 제j 게이트 라인(GLj)이 개재되기 때문이다.

[0136] 또한, 상기 제ji 스토리지 전압 배선(SEji)은 3중막 구조 예를 들어, Mo/Al/Mo 구조로 형성되고, 이에 따라, 상기 제ji 스토리지 전압 배선(SEji)은 공정 중에 언더 컷(undercut)이 발생되지 않고, 언더 컷이 발생된 영역에서 전하가 축적되어 발생하는 틱(ticks)성 가로줄 현상이 발생되지 않는다. 이에 따라, 도 3에 도시된 바와 같이 상기 제ji 스토리지 전압 배선(SEji)과 제j+1i 스토리지 전압 배선(SEj+1i)을 전기적으로 연결시키는 제ji 연결 배선(BEji)은 제거된다.

[0137] 또한, 상기 어레이 기판(311)은 상기 스토리지 전압 배선(SE)과 연결되고, 상기 스토리지 전압 배선(SE)에 외부로부터 제공되는 공통 전압(Vcom)을 제공하는 공통 전압 배선(CVL)을 더 포함한다.

[0138] 상기 공통 전압 배선(CVL)은 상기 스토리지 전압 배선(SE)과 동일한 레이 아웃 상에 형성되고, 상기 다수의 화소에 의해 정의되는 표시 영역(DA)을 둘러싼 주변 영역(SA)에 형성된다.

[0139] 상기 공통 전압 배선(CVL)은 상기 주변 영역(SA) 중 제1 주변 영역(SA1)에 형성되는 제1 공통 전압 배선(CVL1)과 상기 제1 주변 영역(SA1)과 대향하는 제3 주변 영역(SA3)에 형성되는 제2 공통 전압 배선(CVL2)을 포함한다.

[0140] 상기 제1 공통 전압 배선(CVL1)은 상기 제1 주변 영역(SA1)에 상기 게이트 TCP(340)가 형성되고, 상기 게이트 TCP(340)에는 상기 게이트 라인(GL)이 연결되어 있기 때문에, 전기적 절연을 위해 상기 스토리지 전압 배선(SE)과 서로 다른 레이 아웃 상에 형성된다. 이에 따라, 상기 제1 공통 전압 배선(CVL1)과 상기 스토리지 전압 배선(SE)은 상기 스토리지 전압 배선(SE)과 직접 연결되는 제1 공통 전압 배선(CVL1)과 상기 스토리지 전압 배선(SE)은 연결 배선(BEp)을 통해 전기적으로 연결된다.

[0141] 상기 제2 공통 전압 배선(CVL2)은 상기 제3 주변 영역(SA3)에 상기 스토리지 전압 배선(SE)과 동일한 레이 아웃 상에 형성되어 직접 상기 스토리지 전압 배선(SE)과 연결된다.

[0142] 상기 제1 및 제2 공통 전압 배선(CVL1, CVL2)은 상기 스토리지 전압 배선(SE)이 패널 상의 위치에 따라 RC 딜레이 등에 의해 전류 공급 정도의 차이가 발생하게 됨을 방지하기 위해 상기 어레이 기판(311)의 제1 및 제3 주변 영역(SA1, SA3) 즉, 상기 스토리지 전압 배선(SE)의 양단에서 전기적으로 연결되나, 상기 제1 및 제2 공통 전압 배선(CVL1, CVL2) 중 하나만을 형성할 수도 있다.

[0143] 따라서, 본 발명의 다른 실시예에 의한 어레이 기판(311)과 같이 스토리지 전압 배선(SE)을 3중막 구조로 형성됨에 따라 각각의 스토리지 전압 배선(SE)은 상기 공통 전압 배선(CVL)을 통해 연결되는 양단을 제외하고는

상호 연결되지 아니한다.

[0144] 이에 따라, 도 5 내지 도 11에서 설명한 바와 같이 각각의 화소들마다 형성된 복수의 스토리지 전압 배선(SE)들에 공통 전압(Vcom)에 의한 일정한 전류를 공급하기 위하여 n개의 화소별로 연결 배선(BEr)을 형성한다. 일례로, 상기 연결 배선(BEr)은 인접하는 R, G, B 각각의 화소에 의해 하나의 색을 표현하는 단위 화소(UF) 즉, 인접하는 3개의 화소마다 연결 배선(BEr)을 각각 형성하여 제2 방향(D2)으로 인접하는 상기 스토리지 전압 배선(SE)을 상호 전기적으로 연결시킨다.

[0145] 상기 스토리지 전압 배선(SE)들이 상호 연결됨에 따라 도 5 내지 도 11에서 설명한 바와 같이 상기 양단이 공통 전압 배선(CVL1, CVL2)과 연결되어 제1 방향(D1)으로 연장된 신호 라인(SL), 쇼트 포인트(351) 및 몽블랑 배선(MBL)과 상기 스토리지 전압 배선(SE)과 전기적 접점을 형성할 수 있다.

[0146] 이와 같은 구성을 통하여 각 화소(Pji)들에서 특히, 상기 공통 전압 배선(CVL1, CVL2)으로부터 원거리에 배치되는 화소들에서 전류 공급의 차이에 의해 유발되는 공통 전압(Vcom)의 왜곡 현상을 방지한다.

발명의 효과

[0147] 상기와 같은 본 발명에 따르면, 스토리지 전압 배선의 각 영역마다 공통 전압이 제공되는 공통 전압 인가부가 형성되어 표시 영역의 각 영역 특히, 액정표시패널 중심부의 스토리지 전압 배선 각 영역에 일정한 전류를 공급하여 공통 전극의 왜곡 정도를 감소시킬수 있다.

[0148] 상기 공통 전극의 왜곡 정도를 감소시켜 상기 공통 전극의 왜곡에 따라 유발되는 표시 불량을 방지함으로써, 액정표시장치의 표시 품질을 향상시킬 수 있다.

[0149] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 의한 액정표시장치를 도시한 분해 사시도이다.

[0002] 도 2는 본 발명의 일 실시예에 의한 표시패널 어셈블리를 도시한 도면이다.

[0003] 도 3은 도 2에 도시된 어레이 기판의 일부 영역을 확대 도시한 부분 확대도이다.

[0004] 도 4는 도 2에 도시된 어레이 기판에 형성된 스토리지 전압 배선을 개략적으로 도시한 도면이다.

[0005] 도 5는 본 발명의 일 실시예에 의한 공통 전압 인가부를 설명하기 위한 개념도이다.

[0006] 도 6은 도 5에 도시된 공통 전압 인가부의 일부 영역을 확대 도시한 부분 확대도이다.

[0007] 도 7은 본 발명의 다른 실시예에 의한 공통 전압 인가부를 설명하기 위한 개념도이다.

[0008] 도 8은 도 7에 도시된 공통 전압 인가부를 설명하기 위한 단면도이다.

[0009] 도 9는 도 7에 도시된 공통 전압 인가부의 일부 영역을 확대 도시한 부분 확대도이다.

[0010] 도 10은 본 발명의 또 다른 실시예에 의한 공통 전압 인가부를 설명하기 위한 개념도이다.

[0011] 도 11은 도 10에 도시된 공통 전압 인가부의 일부 영역을 확대 도시한 부분 확대도이다.

[0012] 도 12는 도 2에 도시된 어레이 기판의 다른 실시예의 일부 영역을 확대 도시한 부분 확대도이다.

[0013] 도 13은 도 12에 도시된 어레이 기판에 형성된 스토리지 전압 배선을 개략적으로 도시한 도면이다.

[0014] * 도면의 주요부분에 대한 부호의 설명 *

[0015] 100 : 액정표시장치 200 : 백라이트 어셈블리

[0016] 300 : 표시패널 어셈블리 310 : 액정표시패널

[0017] 311 : 어레이 기판 312 : 대향 기판

[0018] 320 : 소스 인쇄회로기판 330 : 데이터 TCP

[0019] 340 : 게이트 TCP 350 : 공통 전압 인가부

[0020] 400 : 제1 수납 용기 500 : 몰드 프레임

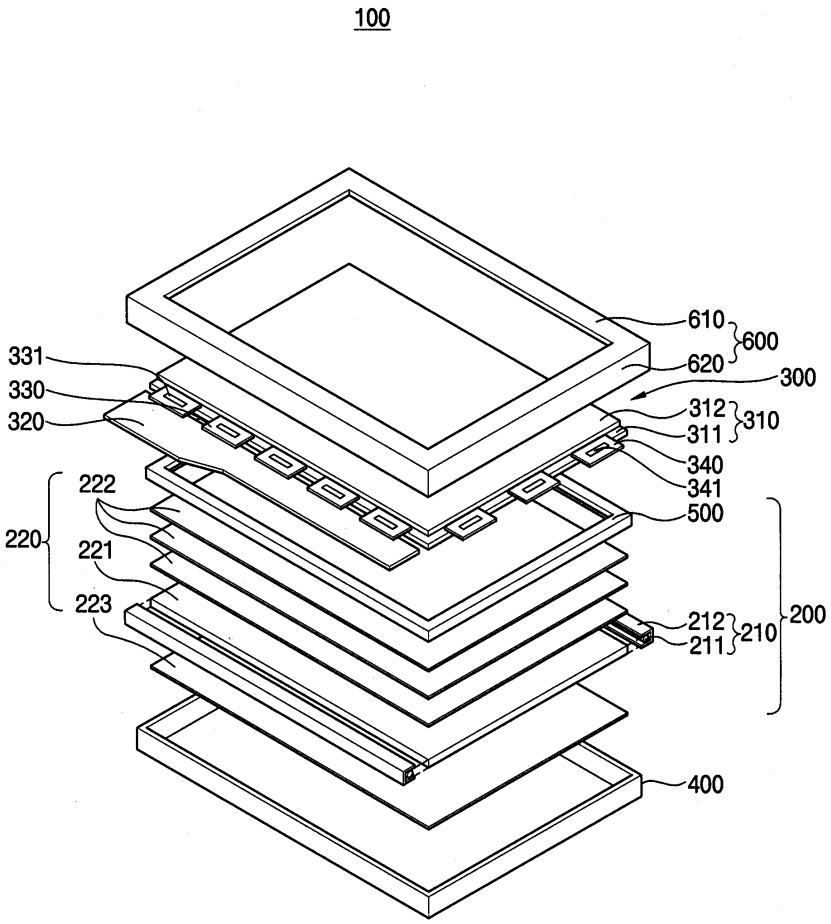
[0021] 600 : 제2 수납 용기

[0022] CVL : 공통 전압 배선 SL : 신호 배선

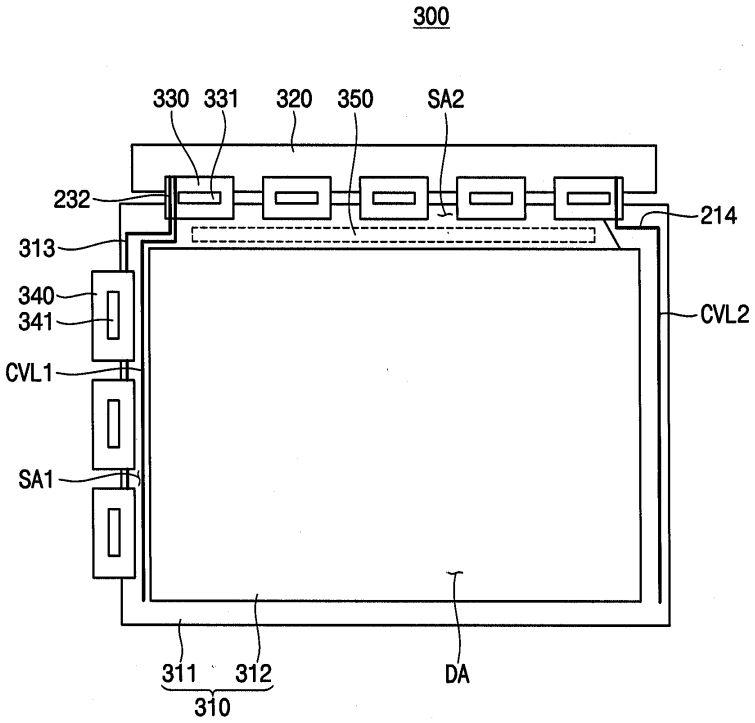
[0023] BE : 연결 배선 SE : 스토리지 전압 배선

도면

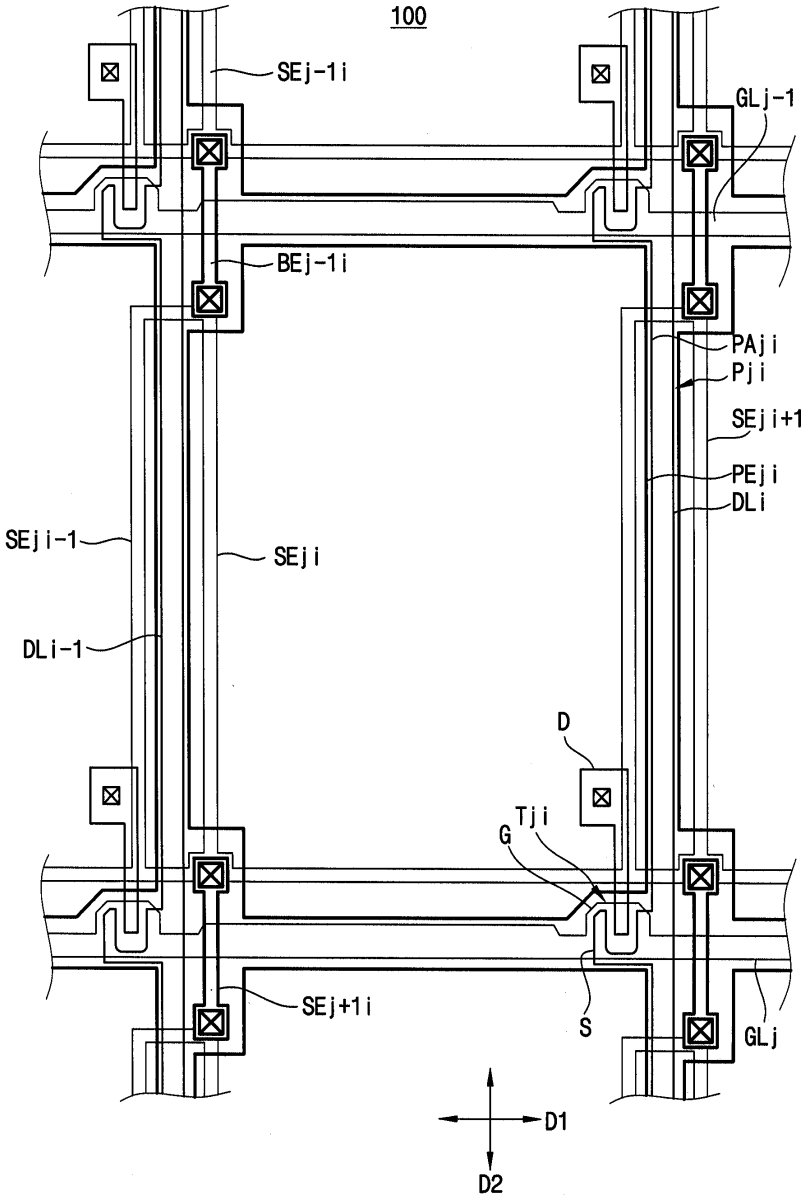
도면1



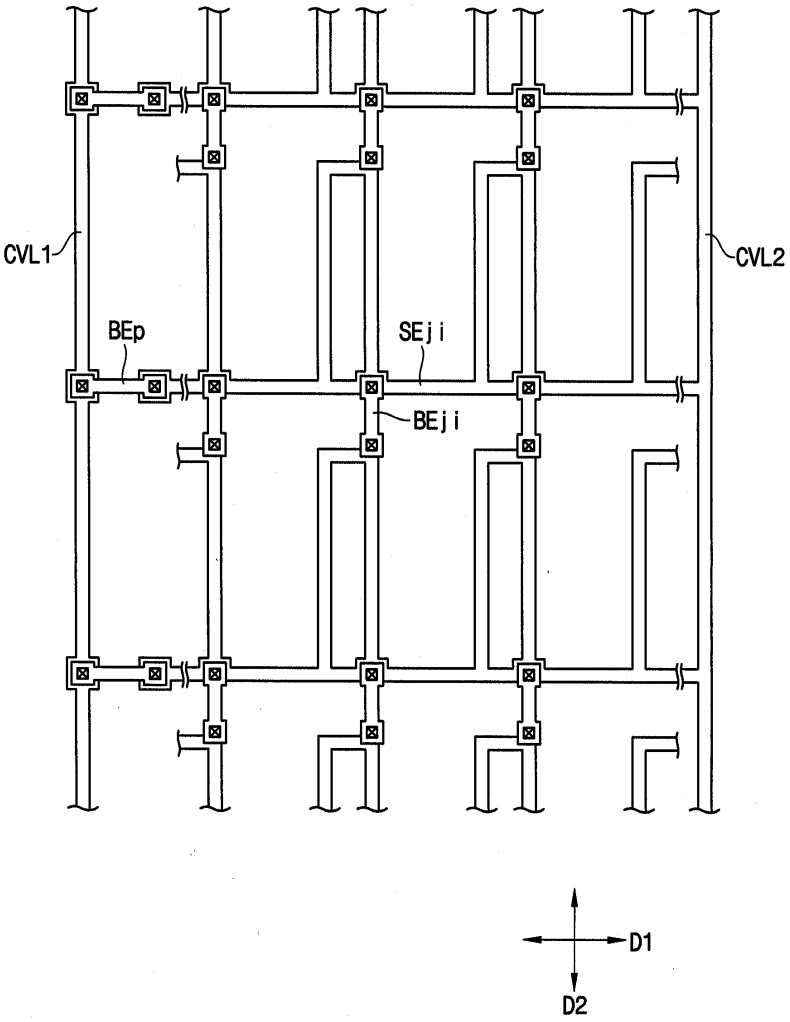
도면2


300
330
331
320
350
SA2
232
214
313
340
341
CVL2
CVL1
SA1
311
312
310
DA

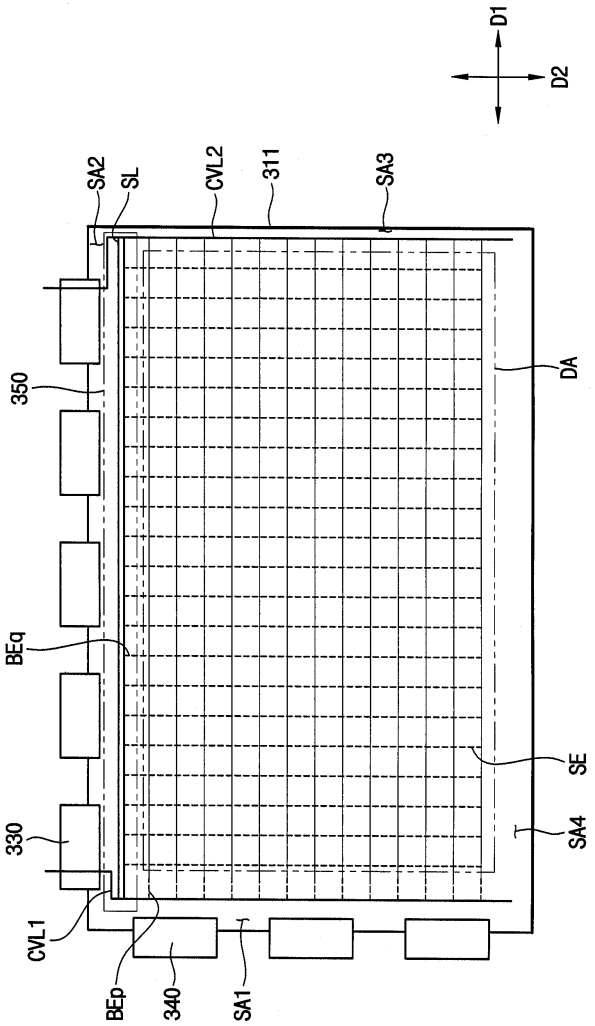
도면3


100
SEj-1i
GLj-1
BEj-1i
PAji
Pji
SEji+1
PEji
DLi
SEji-1
SEji
DLi-1
D
Tji
G
SEj+1i
S
GLj
D1
D2

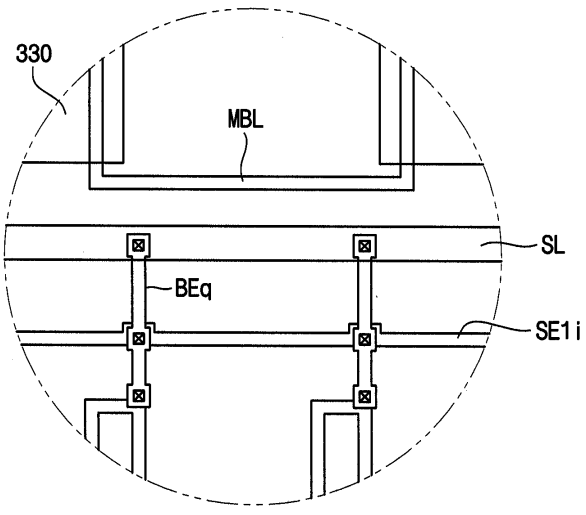
도면4



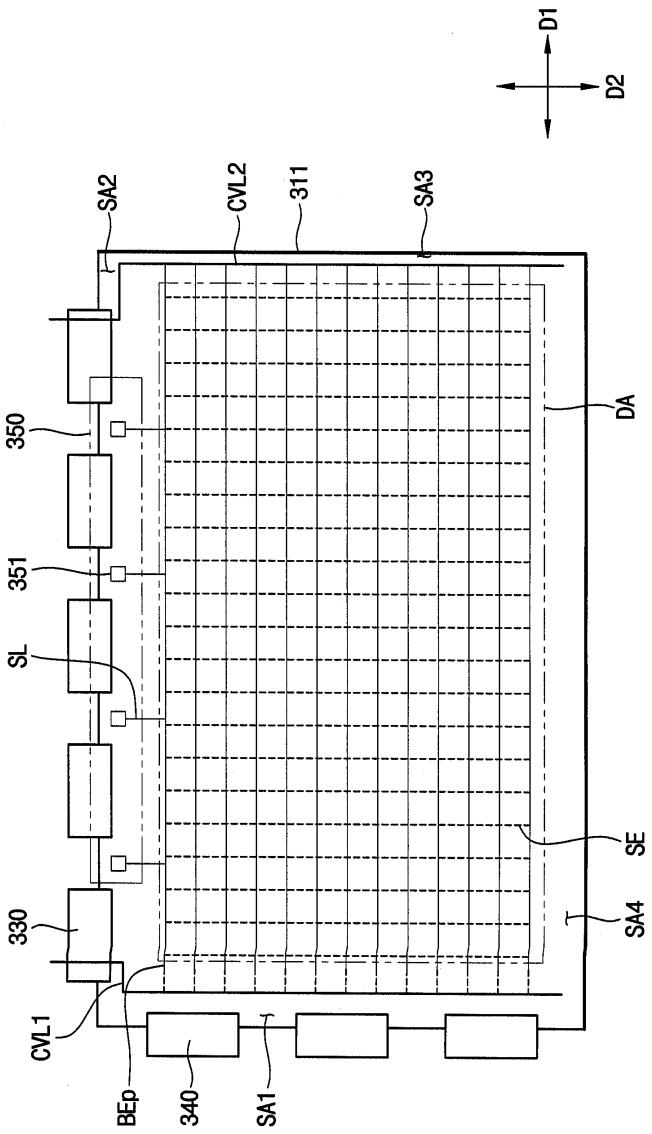
도면5


D1
D2
SA2
SL
CVL2
311
SA3
350
DA
BEq
SE
330
SA4
CVL1
BEp
340
SA1

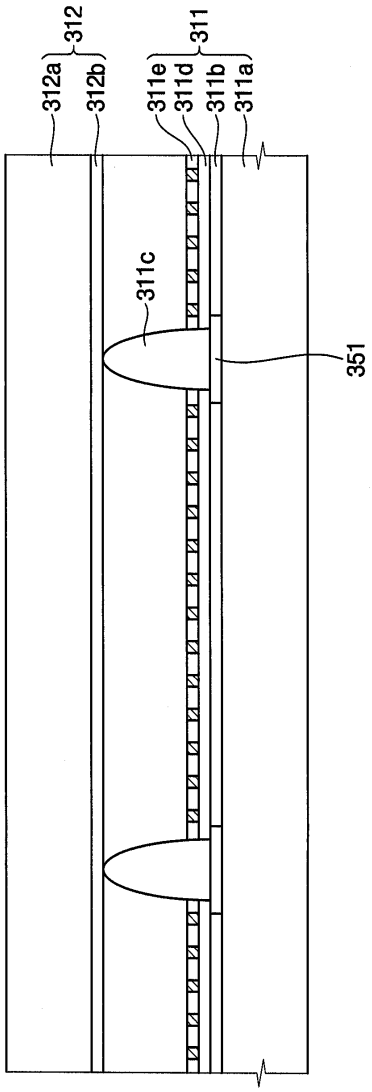
도면6


330
MBL
SL
BEq
SE1i

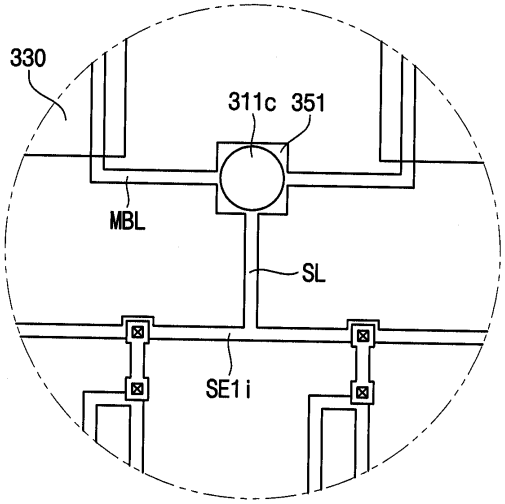
도면7



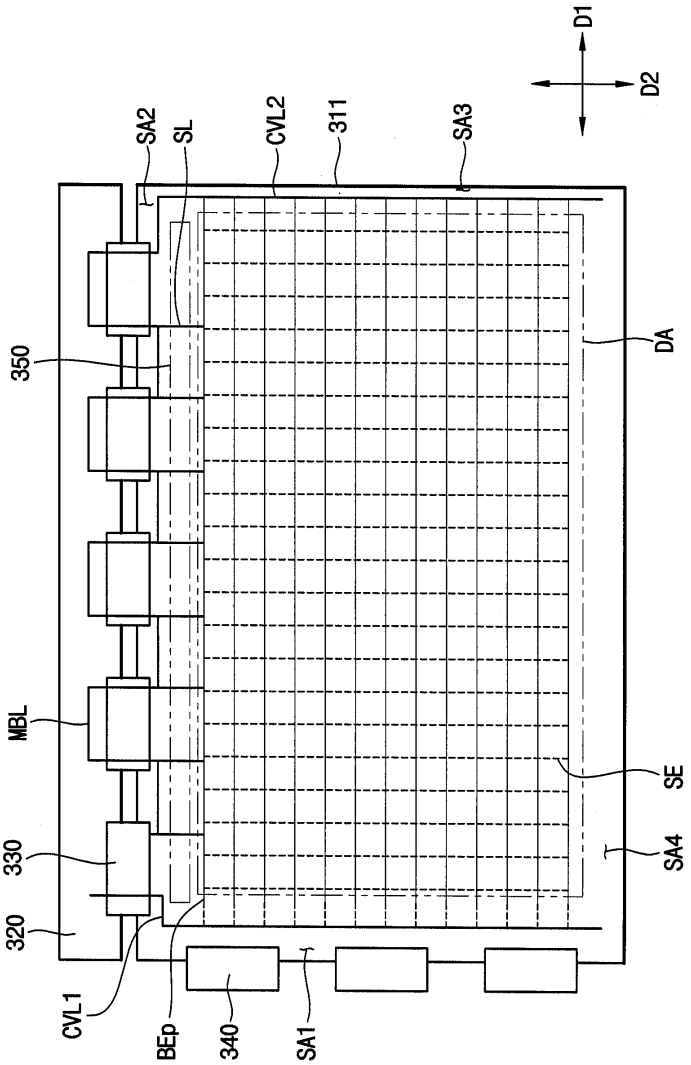
도면8



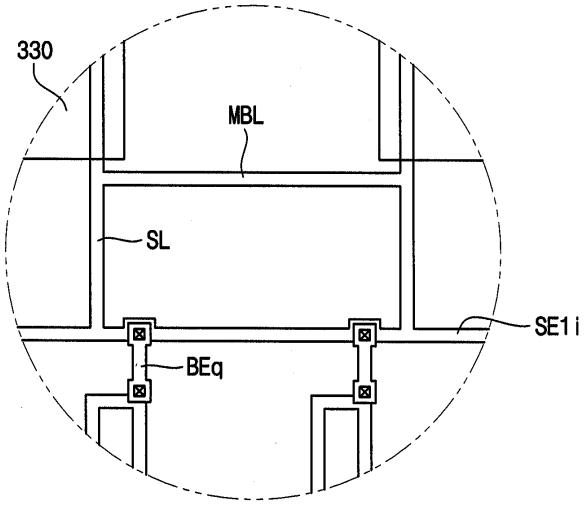
도면9



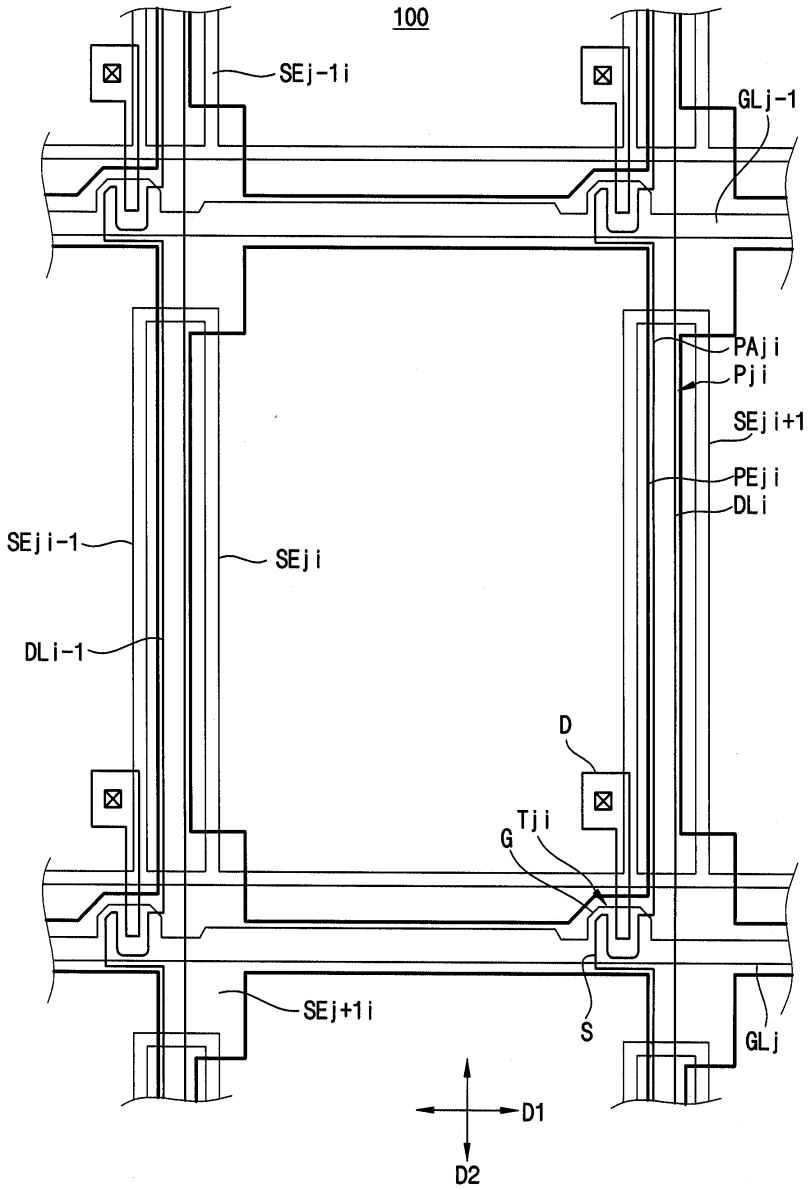
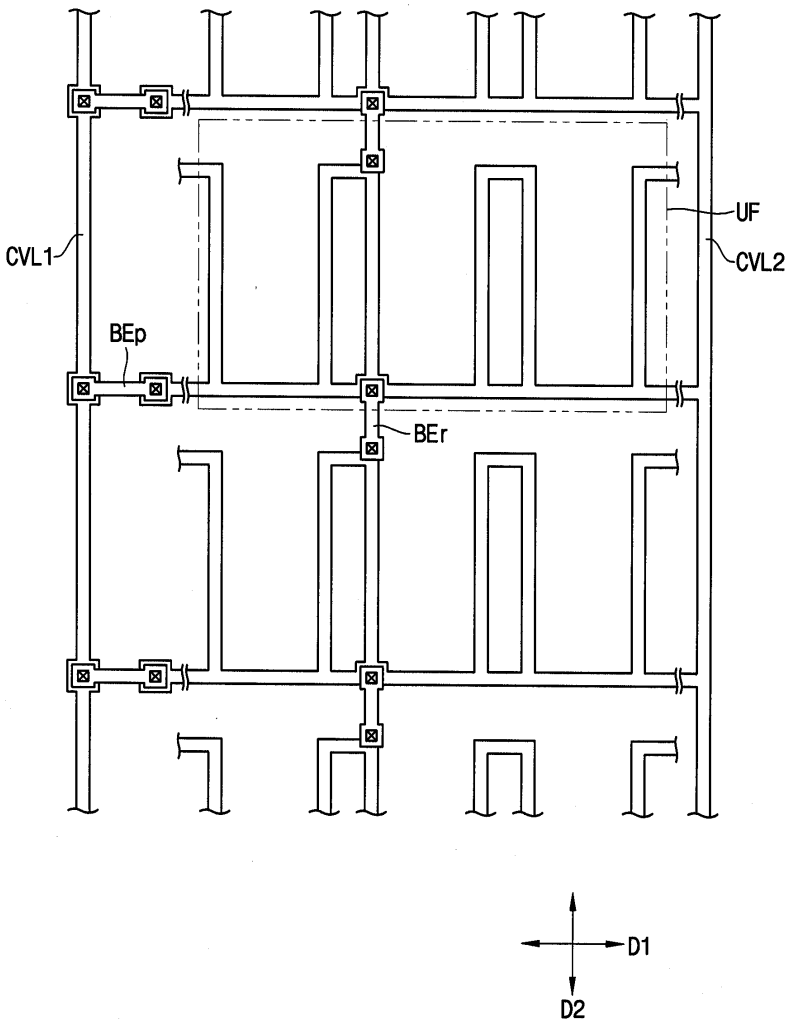
도면10


D1
D2
SA2
SL
CVL2
311
SA3
350
DA
MBL
SE
330
SA4
320
CVL1
BEp
340
SA1

도면11



도면12


100
SEj-1i
GLj-1
PAji
Pji
SEji+1
PEji
DLi
SEji-1
SEji
DLi-1
D
Tji
G
SEj+1i
S
GLj
D1
D2

도면13