



(12) 发明专利申请

(10) 申请公布号 CN 113451314 A

(43) 申请公布日 2021.09.28

(21) 申请号 202110734431.0

(22) 申请日 2020.02.20

(62) 分案原申请数据

202080000434.5 2020.02.20

(71) 申请人 长江存储科技有限责任公司

地址 430074 湖北省武汉市东湖新技术开发区未来三路88号

(72) 发明人 刘磊 王迪 周文犀 夏志良

(74) 专利代理机构 北京永新同创知识产权代理有限公司 11376

代理人 刘柳 杨锡劼

(51) Int. Cl.

H01L 27/108 (2006.01)

H01L 21/18 (2006.01)

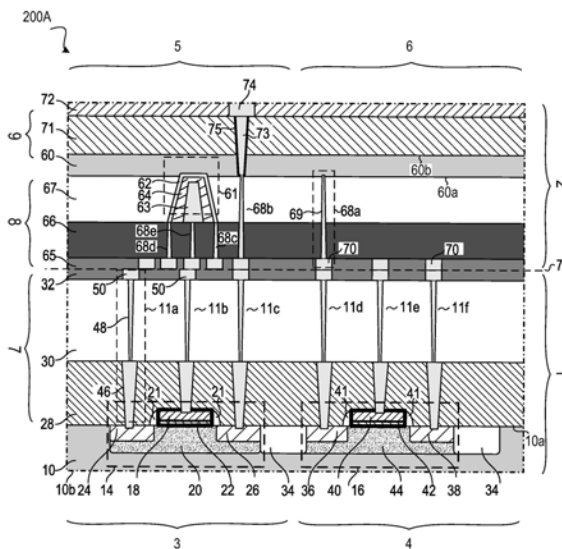
权利要求书4页 说明书13页 附图14页

(54) 发明名称

具有XTACKING架构的DRAM存储器件

(57) 摘要

具有XTACKING架构的DRAM存储器件。提供了一种半导体器件。半导体器件包括具有形成于其中的阵列晶体管的第一晶圆，和具有形成于其中的电容器结构的第二晶圆。半导体器件还包括形成于第一晶圆和第二晶圆之间的、包括多个键合结构的键合界面。键合结构被配置为将阵列晶体管耦合至电容器结构，以形成存储单元。



1. 一种动态随机存取存储器 (DRAM), 包括:
 - 第一晶圆, 其具有形成于其中的阵列晶体管;
 - 第二晶圆, 其具有形成于其中的电容器结构; 以及形成于所述第一晶圆和所述第二晶圆之间的键合界面, 其中, 所述第一晶圆的第一侧和所述第二晶圆的第一侧面朝彼此, 所述键合界面被配置为将所述阵列晶体管耦合至所述电容器结构, 以形成存储单元。
2. 根据权利要求1所述的DRAM, 其中, 所述第一晶圆包括第一衬底并且所述第二晶圆包括第二衬底, 所述第一衬底具有第一侧和相反的第二侧, 所述第二衬底具有第一侧和相反的第二侧, 所述阵列晶体管位于所述第一衬底的所述第一侧中。
3. 根据权利要求2所述的DRAM, 还包括:
 - 形成于所述第一衬底的所述第一侧上的所述阵列晶体管之上的第一电介质堆叠体;
 - 形成于所述第一电介质堆叠体中并且延伸穿过所述第一电介质堆叠体的多个第一触点结构, 所述第一触点结构的第一端子触点耦合至所述阵列晶体管的第一掺杂区;
 - 第二电介质堆叠体, 其形成于所述第二衬底的所述第一侧上, 使得所述电容器结构位于所述第二电介质堆叠体中;
 - 形成于所述第二电介质堆叠体中并且延伸穿过所述第二电介质堆叠体的多个第二触点结构;
 - 形成于所述第二衬底的所述第二侧上的第三电介质堆叠体; 以及
 - 穿硅触点 (TSC), 其形成于所述第三电介质堆叠体中并且从所述第二衬底的所述第二侧延伸穿过所述第二衬底, 以连接至所述第二触点结构的第二端子触点。
4. 根据权利要求3所述的DRAM, 其中, 所述阵列晶体管还包括:
 - 耦合至所述第一触点结构的所述第一端子触点的所述第一掺杂区;
 - 耦合至所述第一触点结构的字线结构的栅极结构; 以及
 - 耦合至所述第一触点结构的位线结构的第二掺杂区。
5. 根据权利要求4所述的DRAM, 其中, 所述电容器结构还包括:
 - 杯状底板, 其形成于所述第二电介质堆叠体中, 以便延伸远离所述第二衬底的所述第一侧, 并且耦合至所述第二触点结构的底板触点;
 - 细长顶板, 其位于所述底板之内并且耦合至所述第二触点结构的顶板触点; 以及
 - 位于所述底板和所述顶板之间的高K层。
6. 根据权利要求5所述的DRAM, 其中, 所述底板触点与所述第一端子触点键合到一起, 并且所述位线结构与所述第二端子触点键合到一起。
7. 根据权利要求6所述的DRAM, 还包括:
 - 形成于所述第一衬底的所述第一侧中的外围晶体管。
8. 根据权利要求7所述的DRAM, 其中, 所述外围晶体管还包括:
 - 连接至所述第一触点结构的栅极触点的栅极结构;
 - 连接至所述第一触点结构的源极触点的源极区; 以及
 - 连接至所述第一触点结构的漏极触点的漏极区, 其中:所述栅极触点、所述源极触点和所述漏极触点中的每一者键合至相应的第二触点结构。

9. 根据权利要求3所述的DRAM,还包括:

形成于所述第二衬底的所述第一侧中的外围晶体管,其中,所述外围晶体管包括:
连接至所述第二触点结构的栅极触点的栅极结构;
连接至所述第二触点结构的源极触点的源极区;以及
连接至所述第二触点结构的漏极触点的漏极区,所述栅极触点、所述源极触点和所述漏极触点中的每一者键合至相应的第一触点结构。

10. 一种用于制造动态随机存取存储器 (DRAM) 的方法,包括:

在第一衬底的第一侧中形成阵列晶体管;
在第二衬底的第一侧中形成第二电介质堆叠体;以及
在所述第二电介质堆叠体中并且在所述第二衬底的所述第一侧之上形成电容器结构;
以及

使所述第一衬底和所述第二衬底通过键合界面来键合,使得所述电容器结构耦合至所述阵列晶体管,并且

所述第一衬底的所述第一侧和所述第二衬底的所述第一侧面朝彼此。

11. 根据权利要求10所述的方法,还包括:

在所述第一衬底的所述第一侧上的所述阵列晶体管之上形成第一电介质堆叠体,并且在所述第一电介质堆叠体中形成多个第一触点结构,所述阵列晶体管耦合至所述第一触点结构中的至少一者;

在所述第二电介质堆叠体中形成多个第二触点结构,所述电容器结构耦合至所述第二触点结构中的至少一者;

从与所述第二衬底的所述第一侧相反的第二侧去除所述第二衬底的部分;

在所述第二衬底的所述第二侧之上形成第三电介质堆叠体;以及

在所述第三电介质堆叠体中形成穿硅触点TSC,所述TSC从所述第二衬底的所述第二侧延伸穿过所述第二衬底,以连接至所述第二触点结构的第二端子触点。

12. 根据权利要求11所述的方法,还包括:

在所述第一衬底的所述第一侧中形成外围晶体管,其中,所述外围晶体管包括:
连接至所述第一触点结构的栅极触点的栅极结构;
连接至所述第一触点结构的源极触点的源极区;以及
连接至所述第一触点结构的漏极触点的漏极区,
所述栅极触点、所述源极触点和所述漏极触点中的每一者键合至相应的第二触点结构。

13. 根据权利要求12所述的方法,其中,形成所述阵列晶体管还包括:

形成耦合至所述第一触点结构的字线结构的栅极结构;
形成耦合至所述第一触点结构的第一端子触点的第一掺杂区;以及
形成耦合至所述第一触点结构的位线结构的第二掺杂区。

14. 根据权利要求13所述的方法,其中,形成所述电容器结构还包括:

形成杯状底板,所述杯状底板布置在所述第二电介质堆叠体中,以便延伸远离所述第二衬底的所述第一侧并且耦合至所述第二触点结构的底板触点;

形成细长顶板,其位于所述底板之内并且耦合至所述第二触点结构的顶板触点;以及

形成位于所述底板和所述顶板之间的高K层。

15. 根据权利要求14所述的方法,其中,使所述第一衬底和所述第二衬底键合还包括:

将所述底板触点与所述第一端子触点键合到一起,使得所述电容器结构耦合至所述阵列晶体管的所述第一掺杂区;以及

将所述位线结构与所述第二端子触点键合到一起,使得所述TSC耦合至所述阵列晶体管的所述第二掺杂区。

16. 根据权利要求11所述的方法,还包括:

在所述第二衬底的所述第一侧中形成外围晶体管,其中,所述外围晶体管包括:

连接至所述第二触点结构的栅极触点的栅极结构;

连接至所述第二触点结构的源极触点的源极区;以及

连接至所述第二触点结构的漏极触点的漏极区,所述栅极触点、所述源极触点和所述漏极触点中的每一者键合至相应的第一触点结构。

17. 一种动态随机存取存储器 (DRAM), 包括:

形成于第一衬底的第一侧之上的第一阵列区和第一外围区,所述第一阵列区具有形成于所述第一衬底的所述第一侧中的至少一个阵列晶体管,所述第一外围区具有形成于所述第一衬底的所述第一侧中的至少一个外围晶体管;

形成于第二衬底的第一侧之上的第二阵列区和第二外围区,所述第二阵列区具有形成于所述第二衬底的所述第一侧之上的至少一个电容器结构,所述至少一个电容器结构耦合至所述至少一个阵列晶体管的第一掺杂区,所述第一衬底的所述第一侧和所述第二衬底的所述第一侧面朝彼此;以及

键合界面,其被配置为将所述第一衬底键合至所述第二衬底,使得所述第一阵列区耦合至所述第二阵列区,并且使得所述第一外围区耦合至所述第二外围区。

18. 根据权利要求17所述的DRAM,还包括:

形成于所述第一衬底的所述第一侧上的所述至少一个阵列晶体管之上的第一电介质堆叠体;

形成于所述第一电介质堆叠体中并且延伸穿过所述第一电介质堆叠体的多个第一触点结构;

第二电介质堆叠体,其形成于所述第二衬底的所述第一侧上,使得所述至少一个电容器结构位于所述第二电介质堆叠体中;

形成于所述第二电介质堆叠体中并且延伸穿过所述第二电介质堆叠体的多个第二触点结构;

形成于所述第二衬底的、与所述第二衬底的所述第一侧相反的第二侧上的第三电介质堆叠体;以及

至少一个穿硅触点 (TSC), 其形成于所述第三电介质堆叠体中并且从所述第二衬底的所述第二侧延伸穿过所述第二衬底,以连接至所述第二触点结构的第二端子触点。

19. 根据权利要求18所述的DRAM,其中,所述至少一个阵列晶体管还包括:

耦合至所述第一触点结构的第一端子触点的第一掺杂区;

耦合至所述第一触点结构的字线结构的栅极结构;以及

耦合至所述第一触点结构的位线结构的第二掺杂区。

20. 根据权利要求19所述的DRAM,其中,所述至少一个电容器结构还包括:
杯状底板,其形成于所述第二电介质堆叠体中,以便延伸远离所述第二衬底的所述第一侧并且耦合至所述第二触点结构的底板触点;
细长顶板,其位于所述底板之内并且耦合至所述第二触点结构的顶板触点;以及
位于所述底板和所述顶板之间的高K层,其中:
所述底板触点和所述第一端子触点键合到一起,并且
所述位线结构和所述第二端子触点键合到一起。

具有XTACKING架构的DRAM存储器件

[0001] 本申请是申请日为2020年2月20日、申请号为202080000434.5、名称为“具有XTACKING架构的DRAM存储器件”的发明专利申请的分案申请。

背景技术

[0002] 动态随机存取存储器 (DRAM) 是一种类型的随机存取半导体存储器, 其将每一位数据存储在具有电容器和阵列晶体管的存储单元中, 所述电容器和阵列晶体管两者通常是基于金属氧化物半导体 (MOS) 技术的。电容器可以被设置到充电状态或放电状态。采取这两种状态来表示位的两个值, 这两个值在常规上被称为零和一。DRAM还包括外围晶体管, 以形成外围电路。外围电路和阵列晶体管操纵数据输入/输出 (I/O) 以及存储单元操作 (例如, 写或读)。

[0003] 随着DRAM技术朝向更高密度和高容量, 例如, 朝向10nm节点变迁, 电容器的数量急剧提高, 并且电容器的尺寸急剧下降。电容器的数量和尺寸的变化可能导致更长的工艺时间以及更复杂的工艺流程。

发明内容

[0004] 概念涉及DRAM存储器件的形成, 例如, 具有Xtacking架构的DRAM存储器件的形成。借助于Xtacking架构, 在阵列晶圆上加工DRAM存储器件的电容器, 并且使用实现预期的I/O速度和功能的逻辑技术节点来在分别的外围晶圆上加工DRAM存储器件的外围晶体管和阵列晶体管。在完成了阵列晶圆和外围晶圆的加工时, 通过在一个工艺步骤中跨越晶圆之间的界面形成的金属VIA (垂直互连通道) 来对两个晶圆电连接。通过使用Xtacking技术, 能够实现更高的存储密度、更简单的工艺流程以及更少的循环时间。

[0005] 根据本公开的一个方面, 提供了一种半导体器件, 所述半导体器件可以包括: 具有形成于其中的阵列晶体管的第一晶圆和具有形成于其中的电容器结构的第二晶圆。半导体器件还包括形成于第一晶圆和第二晶圆之间的、包括多个键合结构的键合界面。键合结构被配置为将阵列晶体管耦合至电容器结构, 以形成存储单元。

[0006] 在一些实施例中, 第一晶圆可以包括第一衬底并且第二晶圆可以包括第二衬底。第一衬底具有第一侧和相反的第二侧。第二衬底具有第一侧和相反的第二侧。阵列晶体管可以位于第一衬底的第一侧中。

[0007] 此外, 半导体器件可以包括: 形成于阵列晶体管之上并且位于第一衬底的第一侧上的第一电介质堆叠体; 以及形成于第一电介质堆叠体中并且延伸穿过第一电介质堆叠体的多个第一触点结构, 其中, 第一触点结构的第一端子触点耦合至阵列晶体管的第一掺杂区。半导体器件还可以包括: 第二电介质堆叠体, 其形成于第二衬底的第一侧上, 使得电容器结构位于第二电介质堆叠体中, 其中, 多个第二触点结构形成于第二电介质堆叠体中并且延伸穿过第二电介质堆叠体。半导体器件可以包括: 形成于第二衬底的第二侧上的第三电介质堆叠体; 以及形成于第三电介质堆叠体中的穿硅触点 (TSC)。TSC可以从第二衬底的第二侧延伸穿过第二衬底, 以连接至第二触点结构的第二端子触点。

[0008] 阵列晶体管还可以包括栅极结构和第二掺杂区。栅极结构可以耦合至第一触点结构中的字线结构,并且第二掺杂区可以耦合至第一触点结构中的位线结构。

[0009] 电容器结构可以具有杯状底板。底板可以形成于第二电介质堆叠体中。底板还延伸远离第二衬底的第一侧并且耦合至第二触点结构的底板触点。电容器结构还可以具有细长顶板,所述细长顶板位于底板之内并且耦合至第二触点结构的顶板触点。高K层进一步位于底板和顶板之间。

[0010] 在一些实施例中,底板触点可以与第一端子触点键合到一起,并且位线结构可以与第二端子触点可以键合到一起。

[0011] 半导体器件可以进一步具有形成于第一衬底的第一侧中的外围晶体管。外围晶体管可以具有连接至第一触点结构的栅极触点的栅极结构、连接至第一触点结构的源极触点的源极区、以及连接至第一触点结构的漏极触点的漏极区。栅极触点、源极触点和漏极触点中的每一者可以键合至相应的第二触点结构。

[0012] 在另一实施例中,半导体器件可以具有形成于第二衬底的第一侧中的外围晶体管。相应地,外围晶体管具有连接至第二触点结构的栅极触点的栅极结构、连接至第二触点结构的源极触点的源极区、以及连接至第二触点结构的漏极触点的漏极区。栅极触点、源极触点和漏极触点中的每一者键合至相应的第一触点结构。

[0013] 根据本公开的另一方面,提供了一种用于制造半导体器件的方法。在所公开的方法中,可以在第一衬底的第一侧中形成阵列晶体管。第一电介质堆叠体形成于阵列晶体管之上并且位于第一衬底的第一侧上,并且多个第一触点结构形成于第一电介质堆叠体中,其中,阵列晶体管耦合至第一触点结构中的至少一者。此外,可以在第二衬底的第一侧之上进一步形成电容器结构。在第二衬底的第一侧上形成第二电介质堆叠体,并且在第二电介质堆叠体中形成多个第二触点结构,其中,电容器结构耦合至第二触点结构中的至少一者,并且电容器结构位于第二电介质堆叠体中。接下来,通过多个键合结构,使第一衬底和第二衬底键合到一起,使得电容器结构耦合至阵列晶体管,并且第一衬底的第一侧和第二衬底的第一侧面朝彼此。

[0014] 方法还可以包括在第一衬底的第一侧中形成外围晶体管。外围晶体管可以包括连接至第一触点结构的栅极触点的栅极结构、连接至第一触点结构的源极触点的源极区、以及连接至第一触点结构的漏极触点的漏极区,其中,栅极触点、源极触点和漏极触点中的每一者键合至相应的第二触点结构。

[0015] 在一些实施例中,形成阵列晶体管可以包括形成栅极结构、第一掺杂区和第二掺杂区。栅极结构可以耦合至第一触点结构的字线结构,第一掺杂区可以耦合至第一触点结构的第一端子触点,并且第二掺杂区可以耦合至第一触点结构的位线结构。

[0016] 在一些实施例中,可以从与第二衬底的第一侧相反的第二侧去除第二衬底的部分。接下来,可以在第二衬底的第二侧之上形成第三电介质堆叠体。可以在第三电介质堆叠体中形成穿硅触点(TSC)。TSC可以从第二衬底的第二侧延伸并且进一步延伸穿过第二衬底,以连接至第二触点结构的第二端子触点。

[0017] 为了形成电容器结构,可以形成杯状底板。杯状底板可以布置在第二电介质堆叠体中,并且延伸远离第二衬底的第一侧,以连接至第二触点结构的底板触点。此外,可以形成细长的顶板。顶板可以位于底板之内并且耦合至第二触点结构的顶板触点。高K层可以位

于底板和顶板之间。

[0018] 在一些实施例中,使第一衬底与第二衬底键合可以包括:将底板触点与第一端子触点键合到一起,使得电容器结构耦合至阵列晶体管的第一掺杂区,以及将位线结构与第二端子触点键合到一起,使得TSC耦合至阵列晶体管的第二掺杂区。

[0019] 在所公开的方法中,还可以在第二衬底的第一侧中形成外围晶体管。外围晶体管可以具有连接至第二触点结构的栅极触点的栅极结构、连接至第二触点结构的源极触点的源极区、以及连接至第二触点结构的漏极触点的漏极区。栅极触点、源极触点和漏极触点中的每一者进一步键合至相应的第一触点结构。

[0020] 根据本公开的又一方面,提供了一种半导体器件。半导体器件可以具有形成于第一衬底的第一侧之上的第一阵列区和第一外围区。第一阵列区具有形成于第一衬底的第一侧中的至少一个阵列晶体管,并且第一外围区具有形成于第一衬底的第一侧中的至少一个外围晶体管。半导体器件可以具有形成于第二衬底的第一侧之上的第二阵列区和第二外围区。第二阵列区具有形成于第二衬底的第一侧之上的至少一个电容器结构,并且至少一个电容器结构可以耦合至至少一个阵列晶体管的第一掺杂区。第一衬底的第一侧和第二衬底的第一侧面朝彼此。半导体器件还可以具有多个键合结构,所述多个键合结构被配置为将第一阵列区键合至第二阵列区,并且将第一外围区键合至第二外围区。

[0021] 半导体器件可以具有:形成于第一衬底的第一侧上的至少一个阵列晶体管之上的第一电介质堆叠体;以及形成于第一电介质堆叠体中并且延伸穿过第一电介质堆叠体的多个第一触点结构,其中,第一触点结构的第一端子触点耦合至至少一个阵列晶体管的第一掺杂区。半导体器件还可以具有:第二电介质堆叠体,其形成于第二衬底的第一侧上,使得至少一个电容器结构位于第二电介质堆叠体中;以及形成于第二电介质堆叠体中并且延伸穿过第二电介质堆叠体的多个第二触点结构。半导体器件还可以具有:形成于第二衬底的第二侧上的第三电介质堆叠体;以及形成于第三电介质堆叠体中的至少一个穿硅触点(TSC)。第二衬底的第二侧与第二衬底的第一侧相反。TSC可以从第二衬底的第二侧延伸穿过第二衬底,以连接至第二触点结构中的第二端子触点。

[0022] 在一些实施例中,至少一个阵列晶体管还可以包括耦合至第一触点结构的字线结构的栅极结构,以及耦合至第一触点结构的位线结构的第二掺杂区。在一些实施例中,至少一个电容器结构还可以包括杯状底板、细长顶板和高K层。杯状底板形成于第二电介质堆叠体中,延伸远离第二衬底的第一侧,并且耦合至第二触点结构的底板触点。细长顶板位于底板之内并且耦合至第二触点结构的顶板触点。高K层位于底板和顶板之间。底板触点与第一端子触点键合到一起,并且位线结构与第二端子触点键合到一起。

附图说明

[0023] 通过结合附图阅读下述详细描述,本发明的各个方面将得到最佳的理解。应当指出,根据本行业的标准实践,各种特征并非是按比例绘制的。实际上,为了讨论的清楚起见,可以增大或者缩小各种特征的尺寸。

[0024] 图1A是根据本公开的示例性实施例的按照平面配置形成的DRAM存储器件的示意图。

[0025] 图1B是根据本公开的示例性实施例的按照堆叠配置形成的DRAM存储器件的示意

图。

[0026] 图1C是根据本公开的示例性实施例的按照沟槽配置形成的DRAM存储器件的示意图。

[0027] 图2是根据本公开的示例性实施例的用于制造DRAM存储器件的工艺流程。

[0028] 图3是根据本公开的示例性实施例的DRAM存储器件的截面图。

[0029] 图4A是根据本公开的示例性实施例的第一示例性DRAM存储器件的截面图。

[0030] 图4B是根据本公开的示例性实施例的第二示例性DRAM存储器件的截面图。

[0031] 图5A是根据本公开的示例性实施例的第一示例性DRAM存储器件中的存储单元的示意图。

[0032] 图5B是根据本公开的示例性实施例的用于制作第一示例性DRAM存储器件的第一工艺流程的示意图。

[0033] 图5C是根据本公开的示例性实施例的用于制作第一示例性DRAM存储器件的第二工艺流程的示意图。

[0034] 图6A是根据本公开的示例性实施例的第二示例性DRAM存储器件中的存储单元的示意图。

[0035] 图6B是根据本公开的示例性实施例的用于制作第二示例性DRAM存储器件的第一工艺流程的示意图。

[0036] 图6C是根据本公开的示例性实施例的用于制作第二示例性DRAM存储器件的第二工艺流程的示意图。

[0037] 图7-10是根据本公开的示例性实施例的制造第一示例性DRAM存储器件的各种第一中间步骤的截面图。

[0038] 图7、图8、图11和图12是根据本公开的示例性实施例的制造第一示例性DRAM存储器件的第二中间步骤的截面图。

[0039] 图13-15是根据本公开的示例性实施例的制造第二示例性DRAM存储器件的中间步骤的截面图。

[0040] 图16是根据本公开的示例性实施例的用于制造示例性DRAM存储器件的工艺的流程图。

具体实施方式

[0041] 下文的公开内容提供了用于实施所提供的主题的不同特征的很多不同实施例或示例。下文描述了部件和布置的具体示例以简化本公开。当然,这些只是示例,并非意在构成限制。例如,下文的描述当中出现的在第二特征上或之上形成第一特征可以包括所述第一特征和第二特征是所形成的可以直接接触的特征的实施例,并且还可以包括可以在所述第一特征和第二特征之间形成额外的特征从而使得所述第一特征和第二特征可以不直接接触的实施例。此外,本公开可以在各个示例中重复使用作为附图标记的数字和/或字母。这种重复的目的是为了简化和清楚的目的,并且本身不指示所讨论的在各种实施例和/或配置之间的关系。

[0042] 此外,文中为了便于说明可以采用空间相对术语,例如,“下面”、“以下”、“下方”、“以上”、“上方”等,以描述一个元件或特征与其他元件或特征的关系。空间相对

术语意在包含除了附图所示的取向之外的处于使用或操作中的器件的不同取向。所述装置可以具有其他取向(旋转90度或者处于其他取向上),并照样相应地解释文中采用的空间相对描述词。

[0043] DRAM存储器件可以包括阵列区和外围区。阵列区可以包括多个DRAM存储单元。DRAM存储单元中的每者可以由电容器和阵列晶体管形成,电容器和阵列晶体管两者通常是基于金属氧化物半导体(MOS)技术的。电容器可以被充电或放电。采取这两种状态来表示位的两个值,这两个值在常规上被称为零和一。电容器可以是按照平面配置、堆叠配置或者沟槽配置形成的,具体取决于制造方法。电容器可以耦合至阵列晶体管的第一掺杂区(例如,漏极区),以通过第一掺杂区来被充电或放电。字线可以耦合至阵列晶体管的栅极,以将阵列晶体管导通(turn on)或截止(turn off)。位线可以耦合至阵列晶体管的第二掺杂区(例如,源极区),并且起着用于对电容器充电或放电的路径的作用。

[0044] 外围区可以包括多个外围晶体管,以形成被配置为对DRAM存储单元进行操作(例如,对DRAM存储单元进行写或读)的外围电路。外围电路可以包括行解码器、列解码器、输入/输出控制器、复用器或者感测放大器等。行解码器耦合至DRAM存储单元的字线,并且被配置为导通或者截止阵列晶体管的栅极。列解码器耦合至DRAM存储单元的位线,并且被配置为对DRAM存储单元进行读或写。输入/输出控制器被配置为控制输入和输出信号。复用器是数据选择器,并且被配置为在几个输入信号当中选择输入信号并且将所选择的输入信号转发至单条输出线。感测放大器被配置为感测来自位线的、表示DRAM存储单元中存储的数据位(零或一)的低功率信号,并且将小电压摆幅(swing)放大到可识别逻辑电平,从而能够由DRAM存储器件外的逻辑单元正确地解释数据。

[0045] 图1A是按照平面配置形成的DRAM存储单元的示意图,其中,电容器形成于衬底(未示出)的顶表面之上并沿顶表面延伸。图1B是按照堆叠配置形成的DRAM存储器件的示意图,其中,电容器形成在置于衬底(未示出)之上的电介质堆叠体中。图1C是按照沟槽配置形成的DRAM存储器件的示意图,其中,电容器位于衬底(未示出)中。与图1A中的DRAM存储单元相比,图1B-1C中的DRAM存储单元可以减小DRAM存储单元的尺寸并且提高DRAM存储器件的存储密度。

[0046] 图2是用于制造DRAM存储器件的工艺流程。如图2所示,在相同晶圆中顺序地加工阵列晶体管、外围晶体管和电容器。随着DRAM技术朝向更高的密度和高容量变迁,制造DRAM存储器件需要更长的工艺时间和更复杂的工艺流程。

[0047] 图3是具有按照堆叠配置形成的电容器的DRAM存储器件100(又称为器件100)的截面图,并且电容器、阵列晶体管和外围晶体管形成于相同晶圆中。为了简单和清楚起见,图3示出了阵列晶体管104、外围晶体管106和电容器108。如图3所示,阵列晶体管104、外围晶体管106和电容器形成于相同晶圆102中。晶圆102可以具有衬底110。衬底110可以是半导体衬底,例如,Si衬底。阵列晶体管104和外围晶体管106位于衬底110中。电介质堆叠体101形成于衬底110之上。电介质堆叠体101可以包括一个或多个电介质层。在图3的示例性实施例中,电介质堆叠体101可以包括四个层间电介质(ILD)层112-118。电容器108形成于电介质堆叠体101中。

[0048] 在一些实施例中,ILD层112-118可以包括以下各项中的一项:硼磷硅酸盐玻璃(BPSG)、无掺杂硅酸盐玻璃(USG)、磷硅酸盐玻璃(PSG)、原硅酸四乙酯(TEOS)

(tetraethylorthosilicate)、 SiH_4 氧化物、 SiO_2 、旋涂电介质(SOD)或者其他适当电介质。ILD层112-118可以具有处于10nm到10 μm 的范围内的厚度。

[0049] 阵列晶体管104可以具有通过触点结构124耦合至电容器108的第一掺杂区(例如,漏极区)120。阵列晶体管104可以具有通过第一连接通道耦合至位线的第二掺杂区(例如,源极区)122。第一连接通道可以由触点结构126、通孔(Via)128和第一金属(M1)层130形成。阵列晶体管104可以具有通过第二连接通道耦合至字线的栅极132。第二连接通道可以由触点134、通孔136和M1层138形成。

[0050] 在本公开中,DRAM存储器件是基于Xtacking架构形成的。借助于Xtacking架构,在第一实施例中,在阵列晶圆上加工出DRAM存储器件的电容器,并且使用逻辑技术节点在分别的外围晶圆上加工出DRAM存储器件的外围晶体管和阵列晶体管。在替代实施例中,DRAM存储器件的电容器和外围晶体管可以是在外围晶圆上加工的,并且阵列晶体管可以是在阵列晶圆上加工的。

[0051] 图4A是第一示例性DRAM存储器件200A(又称为器件200A)的截面图,并且图4B是第二示例性DRAM存储器件200B(又称为器件200B)的截面图。器件200A和200B是基于Xtacking架构形成的。如图4A所示,器件200A可以具有形成第一晶圆1中的第一阵列区3和第一外围区4、以及形成于第二晶圆2中的第二阵列区5和第二外围区6。第一晶圆1可以具有第一衬底10,并且第二晶圆可以具有第二衬底60。第一衬底10可以具有第一侧10a和相反的第二侧10b。第二衬底60可以具有第一侧60a和相反的第二侧60b。

[0052] 第一阵列区3和第一外围区4形成于第一衬底10的第一侧10a之上。第一阵列区3可以具有多个阵列晶体管,并且第一外围区4可以具有多个外围晶体管。为了简单和清楚起见,在图4A中示出了阵列晶体管14和外围晶体管16。阵列晶体管14和外围晶体管16可以被形成到第一衬底10的第一侧10a中,并且通过浅沟槽隔离(STI)34相互隔离。

[0053] 阵列晶体管14可以具有形成于第一衬底10中的第一掺杂区(例如,漏极区)24和第二掺杂区(例如,源极区)26。阵列晶体管14可以具有位于第一衬底10的第一侧10a之上的栅极结构18以及位于第一衬底10中的并且起着阵列晶体管14的主体的作用的p型掺杂阱(PW)20。栅极电介质层22位于栅极结构18和PW 20之间。电介质间隔体21可以沿栅极结构18和栅极电介质层22的侧壁设置。

[0054] 根据电路设计,外围晶体管16可以是n型晶体管或p型晶体管。外围晶体管16可以具有位于第一衬底10中的第一源极/漏极(S/D)区36和第二S/D区38。外围晶体管16可以具有位于第一衬底10之上的栅极结构40以及位于第一衬底10中并且起着外围晶体管16的主体的作用的掺杂阱区44。栅极电介质层42位于栅极结构40和掺杂阱区44之间。根据外围晶体管16的结构,掺杂阱区44可以具有n型掺杂剂或p型掺杂剂。电介质间隔体41可以沿栅极结构40和栅极电介质层42的侧壁设置。

[0055] 在器件200A中,第一电介质堆叠体7形成于阵列晶体管14之上,并且位于第一衬底10的第一侧10a上。第一电介质堆叠体7可以包括多个ILD层。例如,在图4A中示出了三个ILD层28、30和32。多个第一触点结构可以形成在第一电介质堆叠体7中并且进一步延伸穿过第一电介质堆叠体7。在图4A的示例性实施例中,包括六个第一触点结构11a-11f。第一触点结构11a-11f的每者可以包括触点46、通孔48和M1层50。第一触点结构11a-11f可以包括耦合至阵列晶体管14的第一掺杂区24的第一端子触点11a。第一触点结构11a-11f还可以包括耦

合至阵列晶体管14的栅极结构18的字线结构11b。第一触点结构11a-11f还可以包括耦合至阵列晶体管14的第二掺杂区26的位线结构11c。第一触点结构11d、11e和11f还可以分别耦合至外围晶体管16的第一S/D区36、栅极结构40和第二S/D区38。相应地,第一触点结构11d起着第一S/D触点的作用,第一触点结构11f起着第二S/D触点的作用,并且第一触点结构11e起着外围晶体管16的栅极触点的作用。

[0056] 在一些实施例中,ILD层28、30和32可以包括BPSG、USG、PSG、TEOS、 SiH_4 氧化物、 SiO_2 、SOD或其他适当电介质材料。ILD层28、30和32可以具有处于10nm到10 μm 的范围内的厚度。可以应用任何适当制造工艺来形成ILD层28、30和32,诸如CVD工艺、PVD工艺、原子层沉积(ALD)工艺、扩散工艺、溅射工艺或其组合。

[0057] 仍然参考图4A,第二阵列区5和第二外围区6形成于第二衬底60的第一侧60之上。第二阵列区5可以具有形成于第二衬底60的第一侧60a之上的多个电容器结构。为了简单和清楚起见,在图4A中示出了电容器结构61。此外,第二电介质堆叠体8可以形成在第二衬底60的第一侧60a上,使得电容器结构(例如,电容器结构61)位于第二电介质堆叠体8中。第二电介质堆叠体8可以具有多个ILD层。例如,在图4A中包括三个ILD层65、66和67。电容器结构61可以具有杯状(cup-shaped)底板62,所述杯状底板62设置在第二电介质堆叠体8中并且进一步延伸远离第二衬底60的第一侧60a。电容器结构61可以具有位于底板62内的细长(elongated)顶板63。高K层64位于底板62和顶板63之间。在一些实施例中,底板62的顶表面、顶板63的顶表面和高K层64的顶表面可以是共平面的。

[0058] 在一些实施例中,ILD层65-67可以包括BPSG、USG、PSG、TEOS、 SiH_4 氧化物、 SiO_2 、SOD或其他适当电介质材料。ILD层65-67可以具有处于10nm到10 μm 的范围内的厚度。可以应用任何适当制造工艺以形成ILD层65-67,诸如CVD工艺、PVD工艺、ALD工艺、扩散工艺、溅射工艺或其组合。

[0059] 在第二衬底60的第一侧60a之上,多个第二触点结构位于第二电介质堆叠体8中并且进一步延伸穿过第二电介质堆叠体8。例如,在图4A中示出了五个第二触点结构68a-68e。第二触点结构中的每者可以具有相互连接的VIA 69和M1层70。第二触点结构68a-68e可以包括耦合至底板62的一个或多个底板触点68c-68d。第二触点结构68a-68e可以包括耦合至顶板63的顶板触点68e。在一些实施例中,可以为顶板触点68e供应恒定电压,例如,0.5伏。底板触点68c-68d可以连接至底板62。底板触点68c-68d还可以耦合至第一触点结构11a-11f的第一端子触点11a,使得电容器结构61耦合至阵列晶体管14的第一掺杂区24。

[0060] 器件200A可以具有形成于第二衬底60的第二侧60b上的第三电介质堆叠体9。第三电介质堆叠体9可以包括多个ILD层。例如,在图4A中示出了两个ILD层71和72。在一些实施例中,ILD层71和72可以包括SiN、TEOS、 SiH_4 氧化物、 SiO_2 或其他适当电介质材料。此外,可以在第三电介质堆叠体9中形成多个穿硅触点(TSC)。TSC可以进一步从第二衬底60的第二侧60b延伸穿过第二衬底60,以连接至第二触点结构。器件200A还可以具有起着键合焊盘的作用并且位于TSC上的多个底部顶部金属(BTM)。在图4A的示例性实施例中,示出了TSC 73和BTM 74,其中,BTM 74可以位于TSC 73上,并且起着键合焊盘的作用。TSC可以连接至第二触点结构。例如,TSC 73可以连接至第二触点结构68。在一些实施例中,阻隔层75可以设置在TSC 73与第三电介质堆叠体9和第二衬底60之间。

[0061] 在器件200A中,键合界面76形成于第一晶圆1和第二晶圆2之间,所述键合界面76

包括多个键合结构(未示出)。键合结构(未示出)可以位于M1层50和/或M1层70上。键合结构可以包括Cu、Ni、SnAg或者其他适当键合材料。键合结构可以被配置为通过将M1层50和M1层70键合,来将第一晶圆1和第二晶圆2键合到一起。相应地,第一触点结构11a-11f耦合至第二触点结构68a-68e(例如,第一触点结构11b耦合至第二触点结构68e,第一触点结构11c耦合至第二触点结构68b,第一触点结构11d耦合至第二触点结构68a,等等),第一阵列区3耦合至第二阵列区5,并且第一外围区4耦合至第二外围区6。此外,第一衬底10的第一侧10a和第二衬底60的第一侧60a面朝彼此。

[0062] 在晶圆1和晶圆2之间的耦合可以如图4A中所例示的。在第一示例中,第一触点结构的位线结构11c键合至第二触点结构(或第二端子触点)68b。因此,TSC 73可以通过位线结构11c和第二触点结构68b耦合至阵列晶体管14的第二掺杂区26。相应地,可以通过由BTM 74、TSC 73、位线结构11c和第二触点结构68b形成的连接通道,将操作电压施加至阵列晶体管14的第二掺杂区26。在第二示例中,底板触点68c-68d可以键合至第一端子触点11a,使得电容器结构61耦合至阵列晶体管14的第一掺杂区(例如,漏极区)。

[0063] 在一些实施例中,第一衬底10和第二衬底60可以是半导体衬底,例如,Si衬底。第一衬底10和第二衬底60还可以包括其他半导体,诸如锗(Ge)、碳化硅(SiC)、硅锗(SiGe)或金刚石。栅极电介质层22和42可以由SiO₂、HfO₂、高K电介质材料或其他适当电介质材料构成。栅极结构18和40可以由多晶硅、W、WN、Ti、TiN、TaN、AlTiC、AlTiO、AlTiN或其他适当材料构成。触点46和69可以由W、Ru、Co或其他适当导电材料构成。通孔48、M1层50和M1层70可以由Cu、Al、Ru、Co、W或其他适当导电材料构成。第一电介质堆叠体7、第二电介质堆叠体8和第三电介质堆叠体9可以包括SiO₂、TEOS、USG、PSG、BPSG、SiN、SiCN或其他适当电介质材料。底板62和顶板63可以包括Ti、TiN、多晶硅或其他适当导电材料。高K层64可以包括HfO₂、AlO₂、ZrO₂或其他适当高K电介质材料。TSC 73和BTM 74可以由Cu、Al、W或其他适当导电材料构成。阻隔层75可以由TEOS、SiO₂或其他适当电介质材料构成。

[0064] 图4B是第二示例性DRAM存储器件200B的截面图。器件200B具有与器件200A类似的结构。例如,器件200B具有第一晶圆302和第二晶圆304。第一晶圆302具有形成于第一衬底210的第一侧210a之上的第一阵列区202和第一外围区204。第二晶圆304具有形成于第二衬底212的第一侧212a之上的第二阵列区206和第二外围区208。示例性阵列晶体管214形成于第一衬底210中,并且位于第一阵列区202中。示例性电容器结构216位于第二阵列区206中。然而,与器件200A相比较,外围晶体管(例如,示例性外围晶体管218)形成于第二衬底212中,并且位于第二外围区208中。

[0065] 第一晶圆302可以具有多个第一触点结构220a-220f。第二晶圆304可以具有多个第二触点结构222a-222g。键合界面303可以形成于第一晶圆302和第二晶圆304之间,所述键合界面303包括多个键合结构(未示出)。键合结构(未示出)可以位于M1层232和/或M1层234上。第一触点结构220a-220f和第二触点结构222a-222g可以通过键合结构来相互键合(例如,第一触点结构220b键合至第二触点结构222b,第一触点结构220c键合至第二触点结构222d,第一触点结构220d键合至第二触点结构222e,第一触点结构220e键合至第二触点结构222f,第一触点结构220f键合至第二触点结构222g,等等),使得第一阵列区202和第二阵列区206相互耦合,并且第一外围区204和第二外围区208相互耦合。例如,第一外围区204中的第一触点结构220d-220f键合至第二触点结构222e-222g。第二触点结构222e-222g还

连接至外围晶体管218。相应地,第一外围区204中的第一触点结构220d-220f耦合至第二外围区208中的外围晶体管218。与器件200A类似,TSC 226延伸穿过第二衬底212,以连接至第二触点结构222d。TSC 226还通过由第二触点结构222d和第一触点结构220c形成的连接通道来耦合至阵列晶体管214。

[0066] 应当指出,器件200A或200B中的电容器结构是按照堆叠配置形成的。然而,电容器结构也可以按照平面配置或沟槽配置形成。

[0067] 图5A是第一示例性DRAM存储器件200A中的存储单元的示意图。如图5A所示,阵列晶体管(在图5A中又被称为晶体管)是在第一晶圆(例如,晶圆A)中加工的,并且电容器是在第二晶圆(例如,晶圆B)中加工的。阵列晶体管的漏极区可以耦合至位线,并且阵列晶体管的源极区可以耦合至电容器。阵列晶体管的栅极耦合至字线。

[0068] 图5B是用于制作第一示例性DRAM存储器件200A的第一工艺流程的示意图。如图5B中所示,器件200A的包括外围晶体管的外围器件(或外围区)可以与阵列晶体管一起被加工到第一晶圆502中。与此同时,器件200A的电容器可以被加工到第二晶圆504中。第一晶圆502和第二晶圆504可以被键合到一起,以在经键合的晶圆506中形成具有Xtacking架构的DRAM存储器件200A。

[0069] 图5C是根据本公开的示例性实施例的用于制作第一示例性DRAM存储器件200A的第二工艺流程的示意图。在步骤S508处,可以在第一晶圆(例如,第一晶圆1)中形成外围晶体管(例如,外围晶体管16)和阵列晶体管(例如,阵列晶体管14)。之后,在步骤S510中,第一晶圆可以被转送(send on)以形成触点(例如,触点46)。之后,在步骤S512处,第一晶圆可以被转送以接受后道工序(BEOL)工艺,其中,通孔(例如,通孔48)和金属层(例如,M1层50)可以被形成在触点之上。与此同时,可以在步骤S514处,在第二晶圆(例如,第二晶圆2)中形成电容器(例如,电容器结构61)。之后,在步骤S516处,第二晶圆可以被转送以形成触点(例如,VIA 69)。接下来,在步骤S518处,第二晶圆可以被转送以接受BEOL工艺,以形成金属层(例如,M1层70)。在步骤S520处,可以使第一晶圆和第二晶圆键合到一起。在步骤S522处,可以形成钝化层(例如,第三电介质堆叠体9)和键合焊盘(例如,TSC 73和BTM 74)。

[0070] 图6A是第二示例性DRAM存储器件200B中的存储单元的示意图。如图6A所示,阵列晶体管(在图6A中又被称为晶体管)是在第一晶圆(例如,晶圆A)中加工的,并且电容器是在第二晶圆(例如,晶圆B)中加工的。阵列晶体管的漏极区耦合至位线,并且阵列晶体管的源极区耦合至电容器。阵列晶体管的栅极耦合至字线。

[0071] 图6B是用于制作第二示例性DRAM存储器件200B的第一工艺流程的示意图。如图6B中所示,器件200B的包括外围晶体管的外围器件(或外围区)可以与电容器一起被加工到第一晶圆604中。与此同时,器件200B的晶体管(或阵列晶体管)可以被加工到第二晶圆602中。第一晶圆604和第二晶圆602可以被键合到一起,以在经键合的晶圆606中形成具有Xtacking架构的DRAM存储器件200B。

[0072] 图6C是用于制作第二示例性DRAM存储器件200B(或器件200B)的第二工艺流程的示意图。在步骤S608处,阵列晶体管(例如,阵列晶体管214)可以形成在第一晶圆(例如,第一晶圆302)中。之后,在步骤S610中,第一晶圆可以被转送,以形成触点(例如,触点228)。之后,在步骤S612处,第一晶圆可以被转送,以接受后道工序(BEOL)工艺,其中,通孔(例如,通孔230)和金属层(例如,M1层232)可以被形成到触点之上。与此同时,可以在步骤S614处,在

第二晶圆(例如,第二晶圆304)中形成电容器(例如,电容器结构216)和外围晶体管(例如,218)。之后,在步骤S616处,第二晶圆可以被转送,以形成触点(例如,触点238、通孔236)。接下来,在步骤S618处,第二晶圆可以被转送,以接受BEOL工艺,以形成金属层(例如,M1层234)。在步骤S620处,可以使第一晶圆和第二晶圆键合到一起。在步骤S622处,可以形成钝化层(例如,第三电介质堆叠体240)和键合焊盘(例如,TSC 226和BTM 224)。

[0073] 图7-10是根据本公开的示例性实施例的制造第一示例性DRAM存储器件200A的各种第一中间步骤的截面图。如图7所示,在第一晶圆1中形成第一阵列区3和第一外围区4。第一阵列区3包括多个阵列晶体管以及多个外围晶体管。为了简单和清楚起见,在图7中示出了阵列晶体管14和外围晶体管16。第一晶圆1可以具有第一衬底10,所述第一衬底10包括第一侧10a和相反的第二侧10b。第一电介质堆叠体7可以形成于阵列晶体管14和外围晶体管16之上,并且位于第一衬底10的第一侧10a上。第一电介质堆叠体7可以包括一个或多个电介质层,例如,图7中所示的ILD层28、30和32。

[0074] 多个第一触点结构11a-11f可以形成在第一电介质堆叠体7中,并且耦合至阵列晶体管14和外围晶体管16。例如,第一触点结构11a-11f可以包括耦合至阵列晶体管14的第一掺杂区24的第一端子触点11a。第一触点结构11a-11f还可以包括耦合至阵列晶体管14的栅极结构18的字线结构11b。第一触点结构11a-11f还可以包括耦合至阵列晶体管14的第二掺杂区26的位线结构11c。第一触点结构11d、11e和11f还可以分别耦合至外围晶体管16的第一S/D区36、栅极结构40和第二S/D区38。相应地,第一触点结构11d和11f起着S/D触点的作用,并且第一触点结构11e起着外围晶体管16的栅极触点的作用。

[0075] 为了生产上文提及的第一晶圆1,可以应用各种半导体制造工艺。这些半导体制作工艺可以包括:沉积工艺、光刻工艺、蚀刻工艺、湿法清洁工艺、计量学测量工艺、实时缺陷分析、表面平面化工艺或者注入工艺等。沉积工艺还可以包括化学气相沉积(CVD)工艺、物理气相沉积(PVD)工艺、扩散工艺、溅射工艺、原子层沉积(ALD)工艺、电镀工艺等。

[0076] 例如,可以应用注入工艺来形成阵列晶体管14的p型掺杂阱(PW)20、第一掺杂区24和第二掺杂区26。可以应用沉积工艺来形成阵列晶体管14的栅极电介质层22、栅极结构18和间隔体21。第一电介质堆叠体7可以通过沉积工艺形成的。为了形成第一电介质堆叠体7中的第一触点结构11a-11f,可以通过应用光刻工艺和蚀刻工艺来形成多个触点开口(未示出)。接下来可以应用沉积工艺,以利用导电材料来填充触点开口。之后,可以用于表面平面化工艺来去除第一电介质堆叠体7的顶表面之上的多余导电材料。

[0077] 在图8中,第二阵列区5和第二外围区6形成于第二晶圆2的第二衬底60的第一侧60a之上。电容器结构61可以形成于第二阵列区5中。第二衬底60可以具有第一侧60a和相反的第二侧60b。第二电介质堆叠体8可以形成于第二衬底60的第一侧60a之上。第二电介质堆叠体8可以包括一个或多个ILD层65-67。电容器结构61可以位于第二衬底60的第一侧60a之上并且被设置到第二电介质堆叠体8中。电容器结构61可以具有杯状底板62,所述杯状底板62设置在第二电介质堆叠体8中并且进一步延伸远离第二衬底60的第一侧60a。电容器结构61可以具有位于底板62内的细长顶板63。高K层64位于底板62和顶板63之间。在一些实施例中,底板62的顶表面、顶板63的顶表面和高K层64的顶表面可以共平面。

[0078] 在第二晶圆2中,多个第二触点结构68a-68e可以形成在第二电介质堆叠体8中。第二触点结构68a-68e可以包括耦合至底板62的一个或多个底板触点68c-68d。第二触点结构

68a-68e还可以包括耦合至顶板63的顶板触点68e。

[0079] 为了形成第二晶圆2,可以用于沉积工艺,以在第二衬底60的第一侧60a上形成第二电介质堆叠体8。可以应用包括光刻工艺和蚀刻工艺的图案化工艺,以形成底板开口(未示出)。接下来,可以通过沉积工艺来沉积导电材料,以形成底板62。可以通过在底板62之上的沉积工艺来形成高K层64。可以再次应用图案化工艺,以在第二电介质堆叠体8中形成顶板开口(未示出),并且可以再次应用沉积工艺,以利用导电材料来填充顶板开口,以形成顶板63。此外,可以应用图案化工艺来形成触点开口(未示出)。之后,可以在触点开口中沉积导电材料,以形成第二触点结构68a-68e。

[0080] 在图9中,可以应用键合工艺来将第一晶圆1与第二晶圆2键合。为了将第一晶圆1键合至第二晶圆2,可以在第一晶圆1中的M1层50和/或第二晶圆2中的M1层70之上形成多个键合结构(未示出),例如,柱。键合结构可以包括Cu、Ni和SnAg。此外,可以通过应用键合工艺,使M1层50通过键合结构来键合至M1层70。键合工艺可以是在高于220°C的温度上操作的,使得键合结构能够熔化,以在第一晶圆1中的M1层50和第二晶圆2中的M1层70之间形成连接。当使第一晶圆1和第二晶圆2键合到一起时,第一晶圆1中的第一阵列区3可以耦合至第二晶圆2中的第二阵列区5。第一晶圆1中的第一外围区4也可以通过第一触点结构和第二触点结构来耦合至第二晶圆2中的第二外围区6。例如,第二触点结构68a可以被连接至第一触点结构11d,并且还可以耦合至外围晶体管16的第一S/D区36。第二触点结构68b连接至第一触点结构(或位线结构)11c,并且还耦合至阵列晶体管14的第二掺杂区26。

[0081] 在图10中,可以从第二衬底60的第二侧60b去除第二衬底60的部分,以减小第二衬底60的厚度。第三电介质堆叠体9可以形成于第二衬底60的第二侧60b之上。第三电介质堆叠体9可以包括一个或多个ILD层71-72。可以应用光刻工艺和蚀刻工艺的组合,以在第三电介质堆叠体9中形成触点开口(未示出)。触点开口还可以延伸穿过第二衬底60,以暴露出第二触点结构。例如,在图10中可以暴露出第二触点结构68b。可以应用沉积工艺(例如,CVD工艺),以形成阻隔层75,并且可以应用电镀工艺,以形成TSC 73。还可以应用PVD工艺,以形成BTM 74。在形成TSC 73和BTM 74时,可以形成具有与图4A中的DRAM存储器件200A类似的配置的DRAM存储器件200A。

[0082] 图7、图8、图11和图12是根据本公开的示例性实施例的制造第一示例性DRAM存储器件200A的第二中间步骤的截面图。如上文所提及的,在图7中,在第一晶圆1中形成第一阵列区3和第一外围区4。在图8中,在第二晶圆2中形成第二阵列区5和第二外围区6。该制造工艺之后进行至图11所示的步骤。在图11中,可以从第二衬底60的第二侧60b去除第二衬底60的部分,以减小第二衬底60的厚度。第三电介质堆叠体9可以形成于第二衬底60的第二侧60b之上。第三电介质堆叠体9可以包括一个或多个ILD层,例如,ILD层71-72。可以应用光刻工艺和蚀刻工艺的组合,以在第三电介质堆叠体9中形成触点开口(未示出)。触点开口可以进一步延伸穿过第二衬底60,以暴露出第二触点结构。例如,在图11中可以暴露出第二触点结构68b。可以应用沉积工艺(例如,电镀工艺),以形成TSC 73。还可以应用PVD工艺,以形成BTM 74。

[0083] 在图12中,可以通过键合工艺来使第一晶圆1和第二晶圆2相互键合。该键合工艺可以与图9中提及的键合工艺类似,其中,可以在M1层50和/或M1层70之上形成多个键合结构(未示出),并且M1层50和M1层70还可以通过用于使键合结构熔化的热工艺来相互连接。

在该键合工艺完成时,可以在第一晶圆1和第二晶圆2之间形成键合界面76,并且可以形成具有与图4A所示的DRAM存储器件200A类似的配置的DRAM存储器件200A。

[0084] 图13-15是根据本公开的示例性实施例的制造第二示例性DRAM存储器件200B的中间步骤的截面图。如图13所示,可以在第一晶圆302中形成第一阵列区202和第一外围区204。第一阵列区202包括多个阵列晶体管。为了简单和清楚起见,在第一阵列区202中示出了阵列晶体管214。第一晶圆302可以具有第一衬底210和形成于第一衬底210的第一侧210a上的第一电介质堆叠体248。多个第一触点结构220a-11f可以形成在第一电介质堆叠体248中,并且设置在第一阵列区202和第一外围区204中。第一触点结构220a-220f中的至少一者耦合至阵列晶体管214。例如,第一触点结构220a-220f可以包括耦合至阵列晶体管214的第一掺杂区242的第一端子触点220a。第一触点结构220a-220f还可以包括耦合至阵列晶体管214的栅极结构246的字线结构220b。第一触点结构220a-220f还可以包括耦合至阵列晶体管214的第二掺杂区244的位线结构220c。

[0085] 在图14中,第二阵列区206和第二外围区208可以形成在第二晶圆304中。第二晶圆304可以具有第二衬底212,所述第二衬底212包括第一侧212a和相反的第二侧212b。第二电介质堆叠体250可以形成于第二衬底212的第一侧212a上。多个电容器结构可以形成在第二阵列区206中并且位于第二电介质堆叠体250中。多个外围晶体管可以形成在第二外围区208中,并且还延伸到第二衬底212的第一侧212a中。为了简单和清楚起见,在图14中示出了电容器结构216和外围晶体管218。此外,多个第二触点结构222a-222g可以延伸远离第二衬底212的第一侧212a,并且被设置在第二电介质堆叠体250中。

[0086] 第二触点结构222a-222g可以耦合至电容器结构216和外围晶体管218。例如,第二触点结构222a-222g可以包括耦合至电容器结构216的底板252的一个或多个底板触点222a和222c。第二触点结构222a-222g还可以包括耦合至电容器结构216的顶板254的顶板触点222b。第二触点结构222a-222g还可以包括耦合至第一S/D区256的第一S/D触点222e、耦合至栅极结构258的栅极触点222f、以及耦合至外围晶体管218的第二S/D区260的第二S/D触点222g。

[0087] 在图15中,第一晶圆302和第二晶圆304可以沿键合界面303键合到一起,使得第一阵列区202和第二阵列区206能够相互耦合,并且第一外围区204和第二外围区208能够相互耦合。此外,可以从第二衬底212的第二侧212b去除第二衬底212的部分。第三电介质堆叠体240可以形成于第二衬底212的第二侧212b上。TSC 226可以形成在第三电介质堆叠体240中,并且进一步延伸穿过第二衬底212,以连接至第二触点结构222d。之后,BTM 224形成于TSC 226之上。在完成TSC 226和BTM 224时,形成了具有与图4B中所示的器件200B类似的配置的DRAM存储器件200B。

[0088] 图16是根据一些实施例的用于制造DRAM存储器件的工艺1600的流程图。工艺1600开始于步骤S1604处,其中,在第一衬底的第一侧中形成阵列晶体管。之后,工艺1600进行至步骤S1604,其中,第一电介质堆叠体形成于第一衬底的第一侧上的阵列晶体管之上,并且在第一电介质堆叠体中形成多个第一触点结构。阵列晶体管耦合至第一触点结构中的至少一者。在一些实施例中,可以如参考图7或图13所例示的来执行步骤S1604和S1606。在图7中,还可以在第二衬底的第一侧中形成外围晶体管。

[0089] 之后,工艺1600进行至步骤S1608,其中,可以在第二衬底的第一侧上形成第二电

介质堆叠体。在步骤S1610处,可以在第二衬底的第一侧之上形成电容器结构,并且接下来可以在第二电介质堆叠体中形成多个第二触点结构,其中,电容器结构耦合至第二触点结构中的至少一者,并且电容器结构位于第二电介质堆叠体中。在一些实施例中,可以如参考图8或图14所例示的来执行步骤S1608和S1610。在图14中,还可以在第二衬底的第一侧中形成外围晶体管。

[0090] 之后,工艺1600进行至步骤S1612,其中,通过多个键合结构来使第一衬底和第二衬底键合到一起,使得电容器结构耦合至阵列晶体管,并且第一衬底的第一侧和第二衬底的第一侧面朝彼此。在一些实施例中,可以如参考图9或图15所例示的来执行步骤S1612。

[0091] 应当指出,可以在工艺1600之前、期间和之后提供额外步骤,并且对于工艺1600的额外实施例而言,可以对本文描述的步骤中的一些步骤予以替换、删除,以不同顺序执行或者并行执行。在示例中,当在第一衬底中处理步骤S1604和S1606时,可以并行地在第二衬底中处理步骤S1608和S1610。在另一示例中,当第一衬底和第二衬底被键合到一起时,可以从第二衬底的第二侧去除第二衬底的部分。可以在第二衬底的第二侧上形成第三电介质堆叠体,并且可以在第三电介质堆叠体中形成多个TSC。TSC还可以延伸穿过第二衬底,以连接至第二触点结构。

[0092] 在工艺1600的后续的工艺步骤中,可以在DRAM存储器件之上形成各种额外的互连结构(例如,具有导电线和/通孔的金属化层)。这样的互连结构使DRAM存储器件与其他触点结构和/或有源器件电连接,以形成功能电路。还可以形成诸如钝化层、输入/输出结构等的额外器件特征。

[0093] 文中描述的各种实施例提供了相对于相关DRAM存储器件的几种优势。例如,在相关DRAM存储器件中,在相同晶圆中加工出存储单元和外围晶体管,这需要更长的工艺时间和更复杂的工艺流程。所公开的DRAM存储器件是基于Xtacking架构制造的。借助于Xtacking架构,在阵列晶圆上加工出DRAM存储器件的电容器,并且使用用于实现预期的I/O速度和功能的逻辑技术节点来在分别的外围晶圆上加工出DRAM存储器件的外围晶体管和阵列晶体管。在完成了阵列晶圆的加工和外围晶圆的加工时,通过在一个工艺步骤中跨越整个晶圆同时形成的键合结构,使两个晶圆电连接。通过使用创新的Xtacking技术,能够实现更高的存储密度、更简单的工艺流程以及更少的循环时间。

[0094] 前文概述了几个实施例的特征,从而使本领域技术人员可以更好地理解本公开的各个方面。本领域技术人员应当认识到他们可以容易地使用本公开作为基础来设计或者修改其他的工艺或结构,以达到与文中介绍的实施例相同的目的和/或实现与之相同的优点。本领域技术人员还应当认识到这样的等价设计不脱离本公开的精神和范围,而且他们可以在本文中做出各种变化、替换和更改,而不脱离本公开的精神和范围。

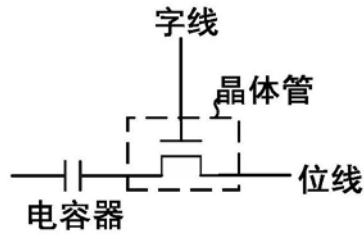


图1A

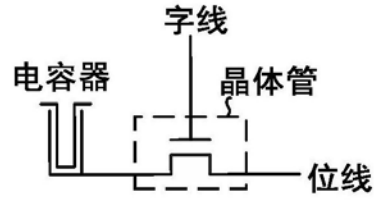


图1B

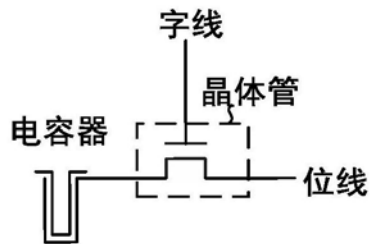


图1C

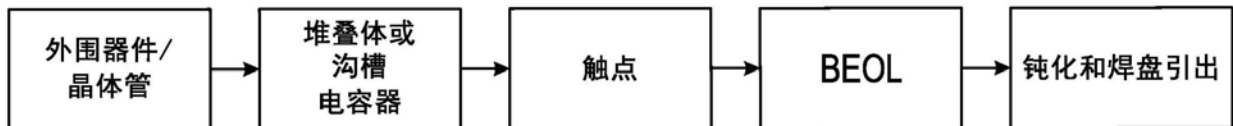


图2

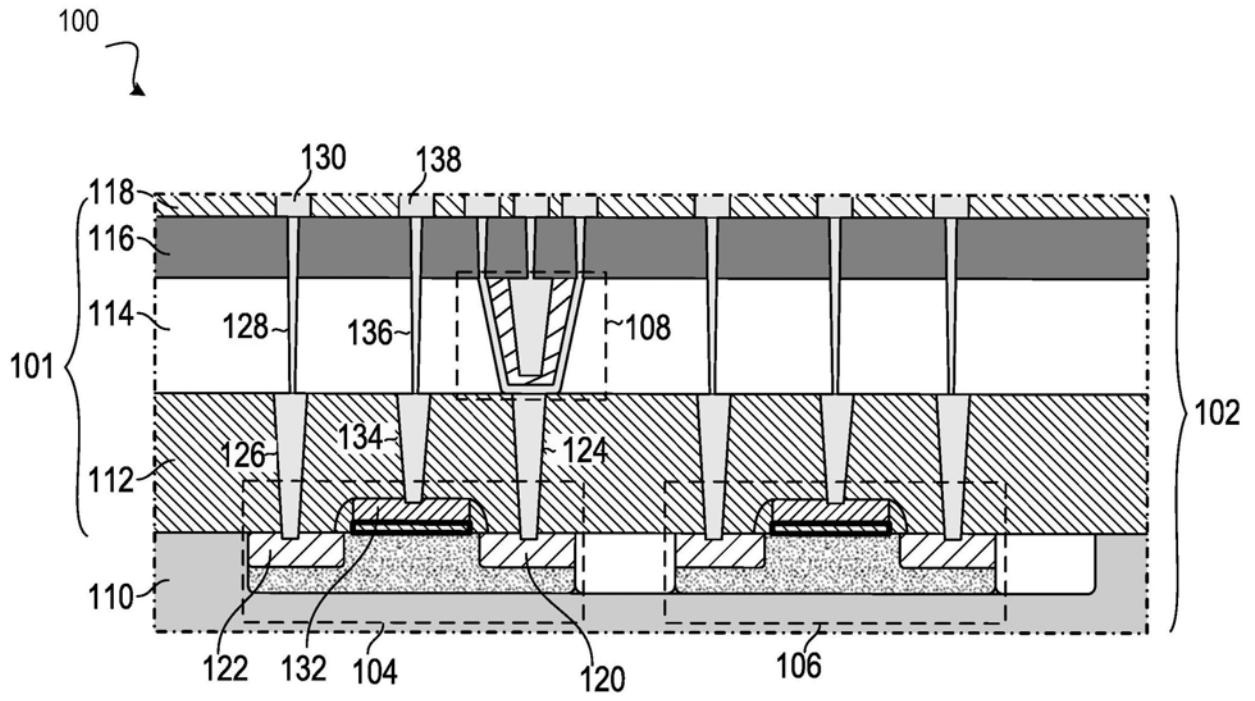


图3

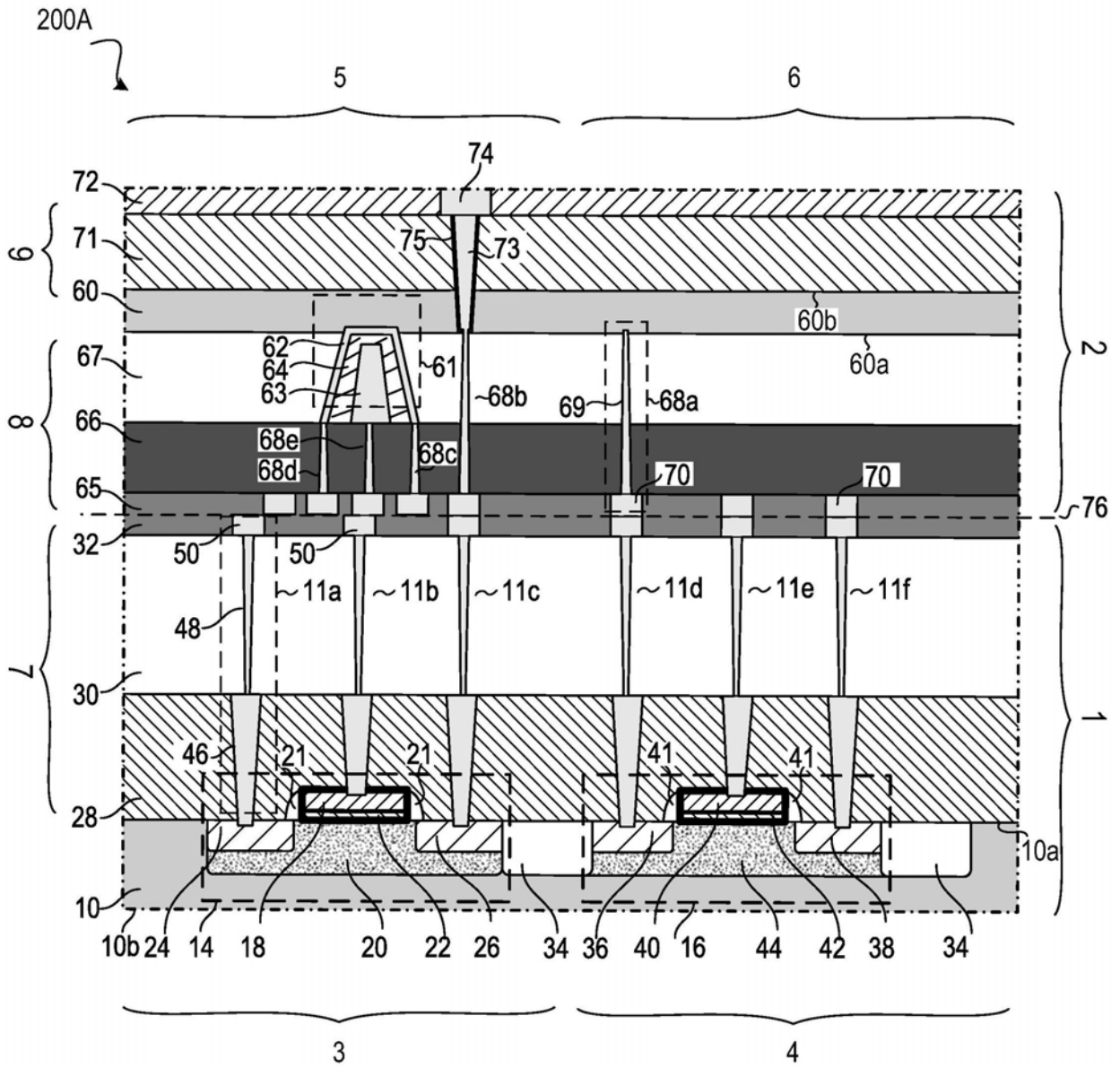


图4A

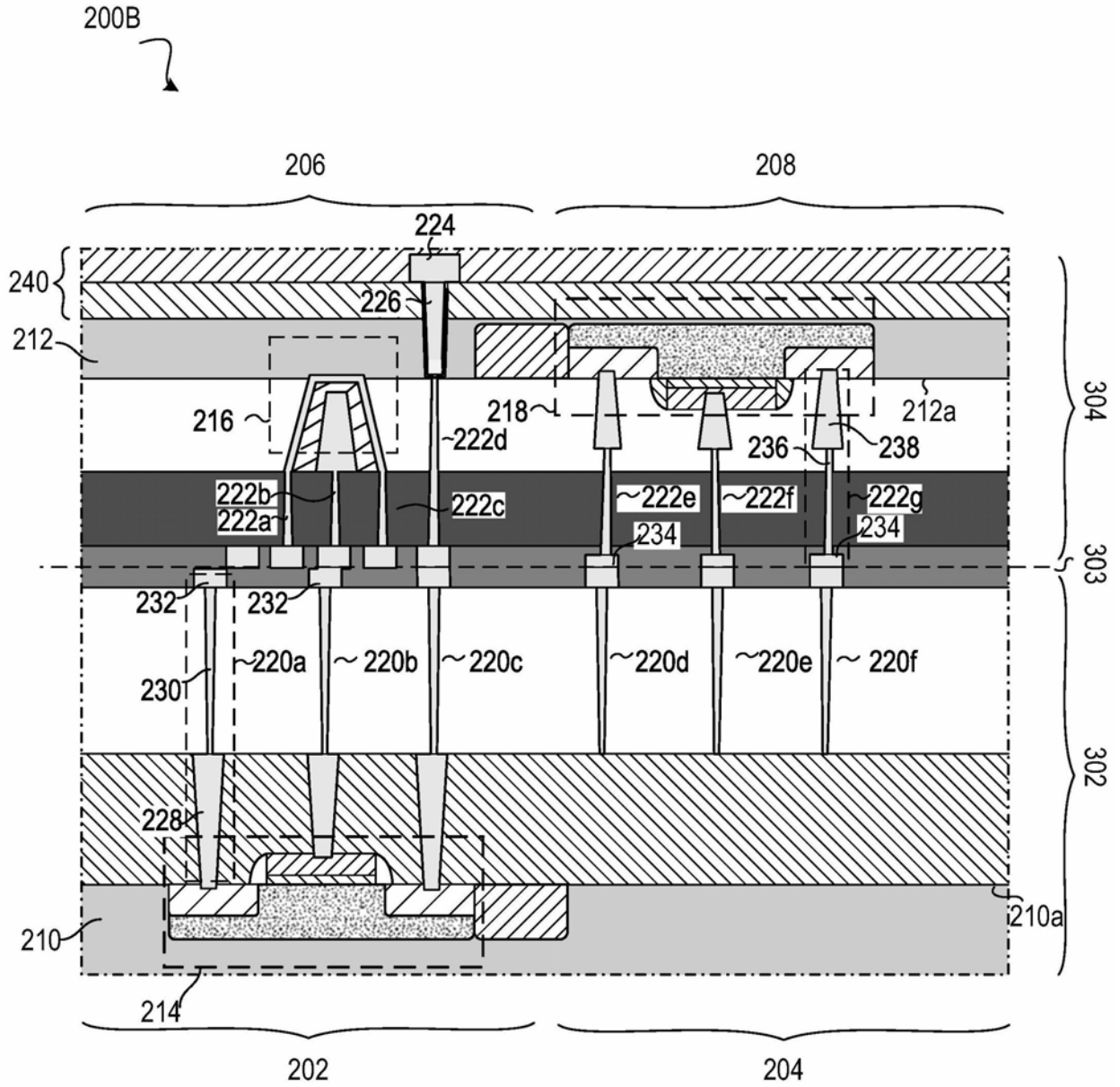


图4B

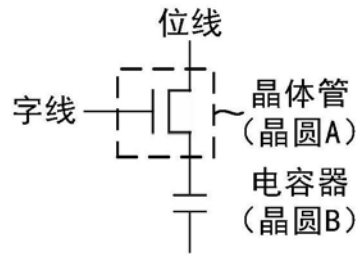


图5A

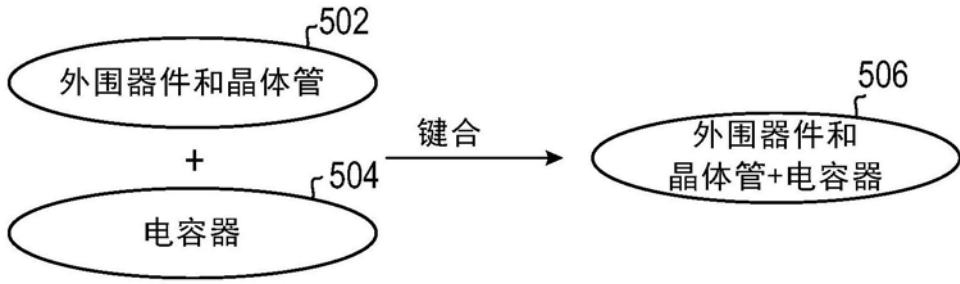


图5B

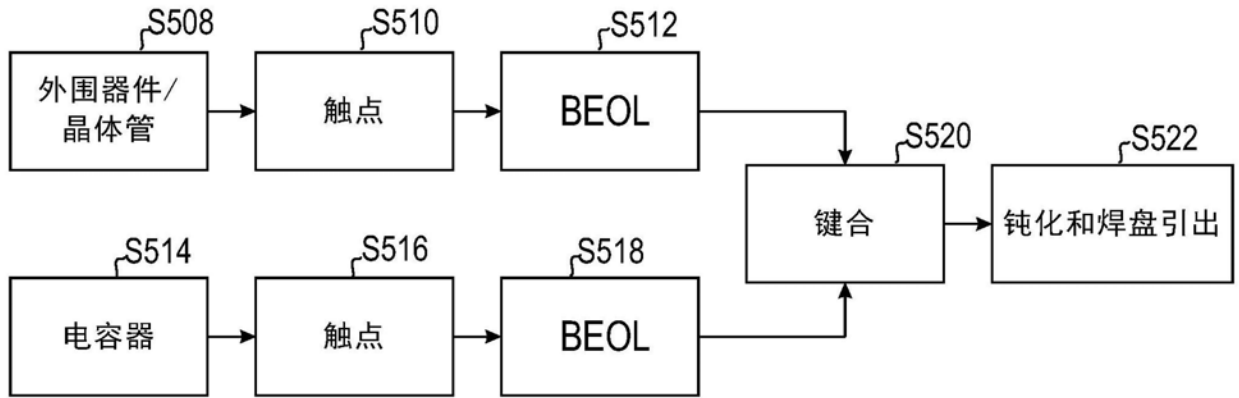


图5C

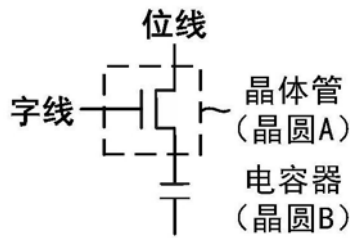


图6A

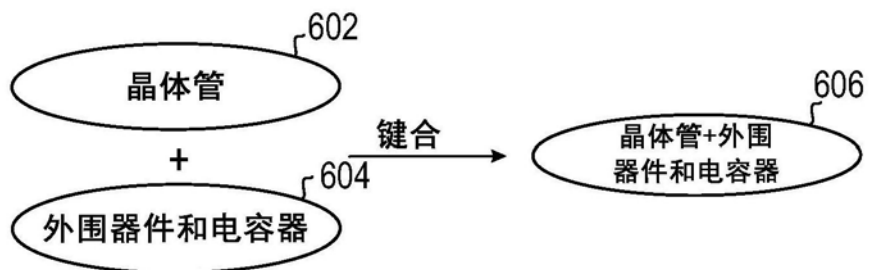


图6B

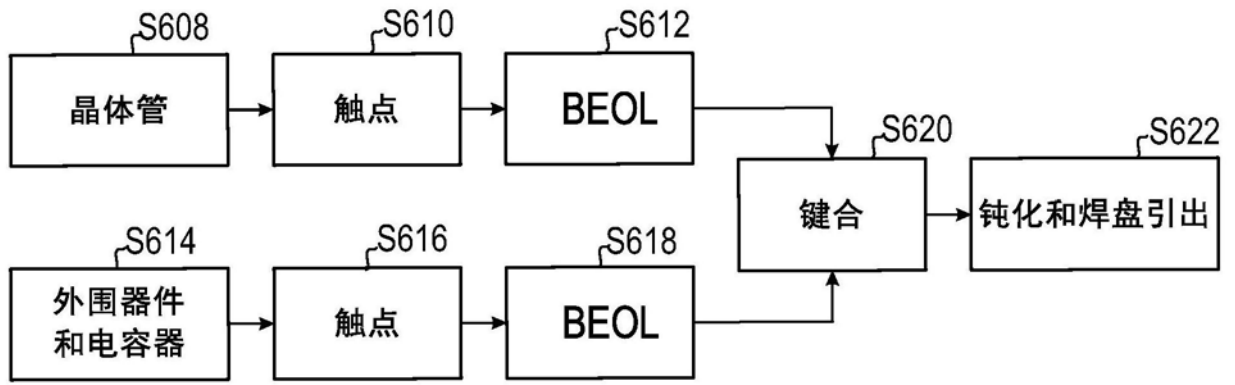


图6C

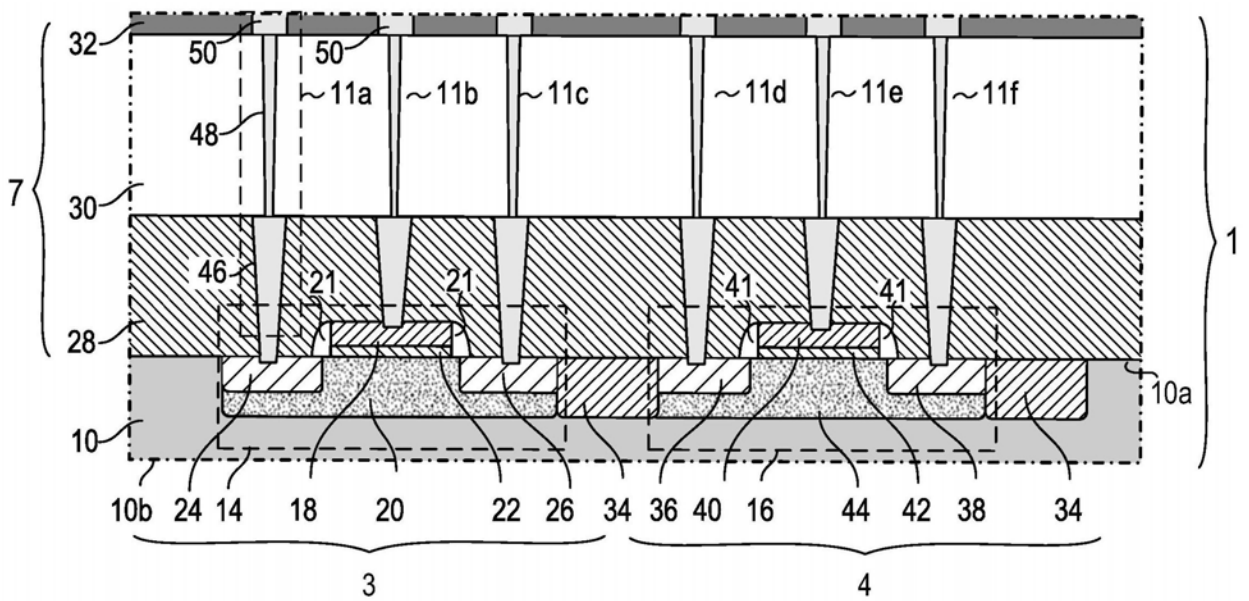


图7

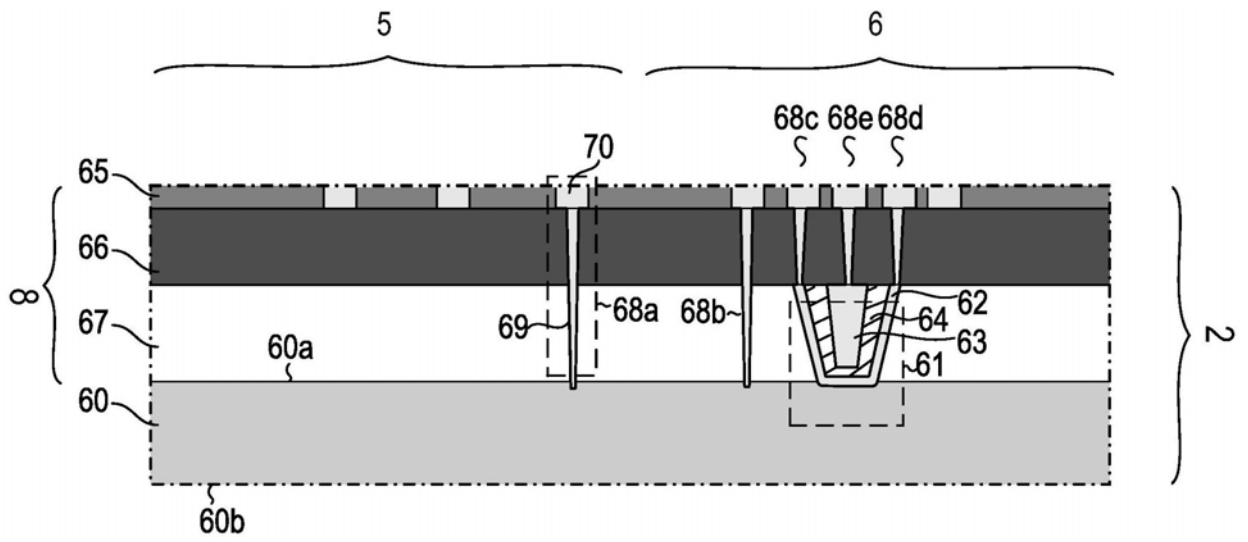


图8

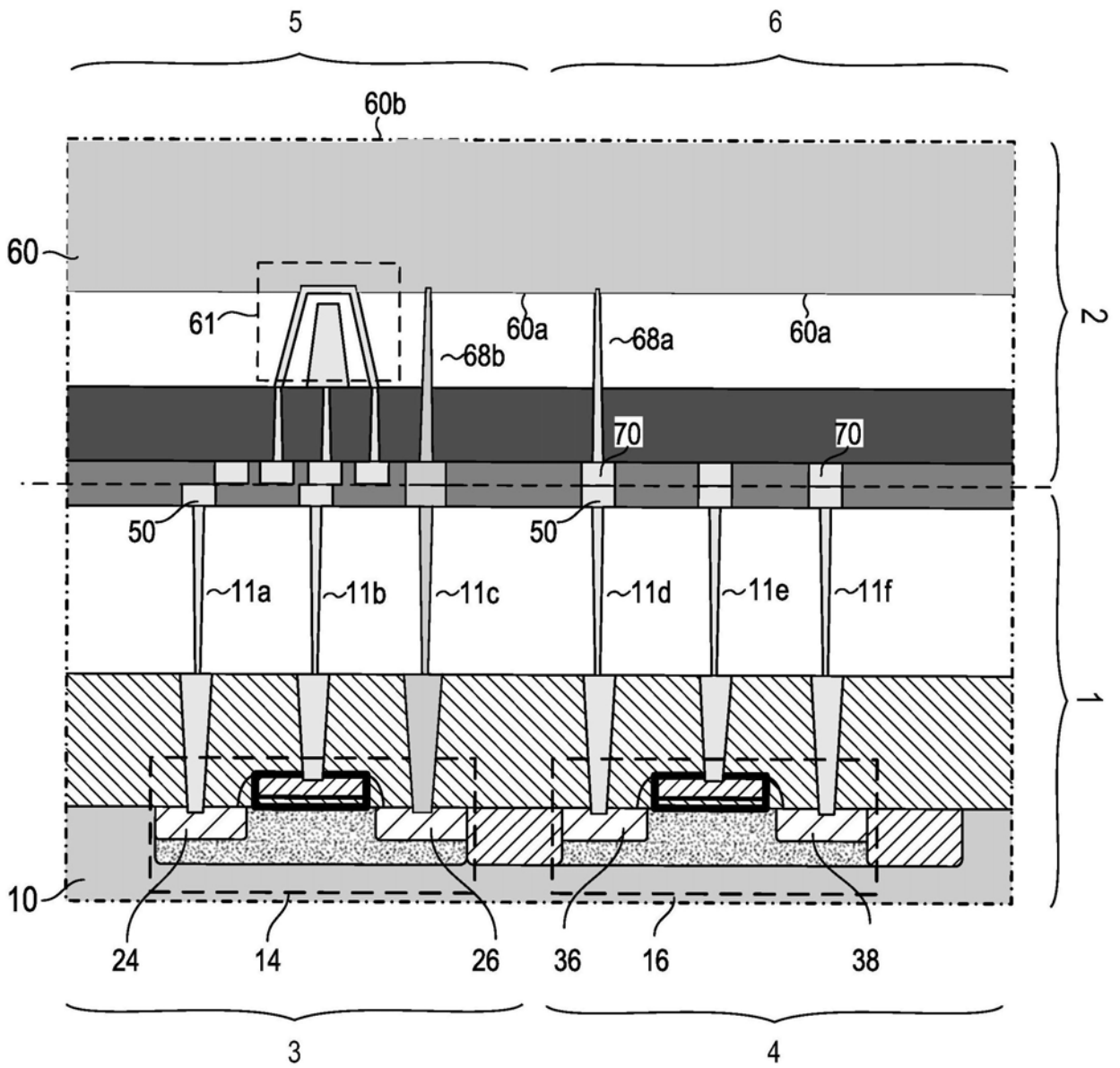


图9

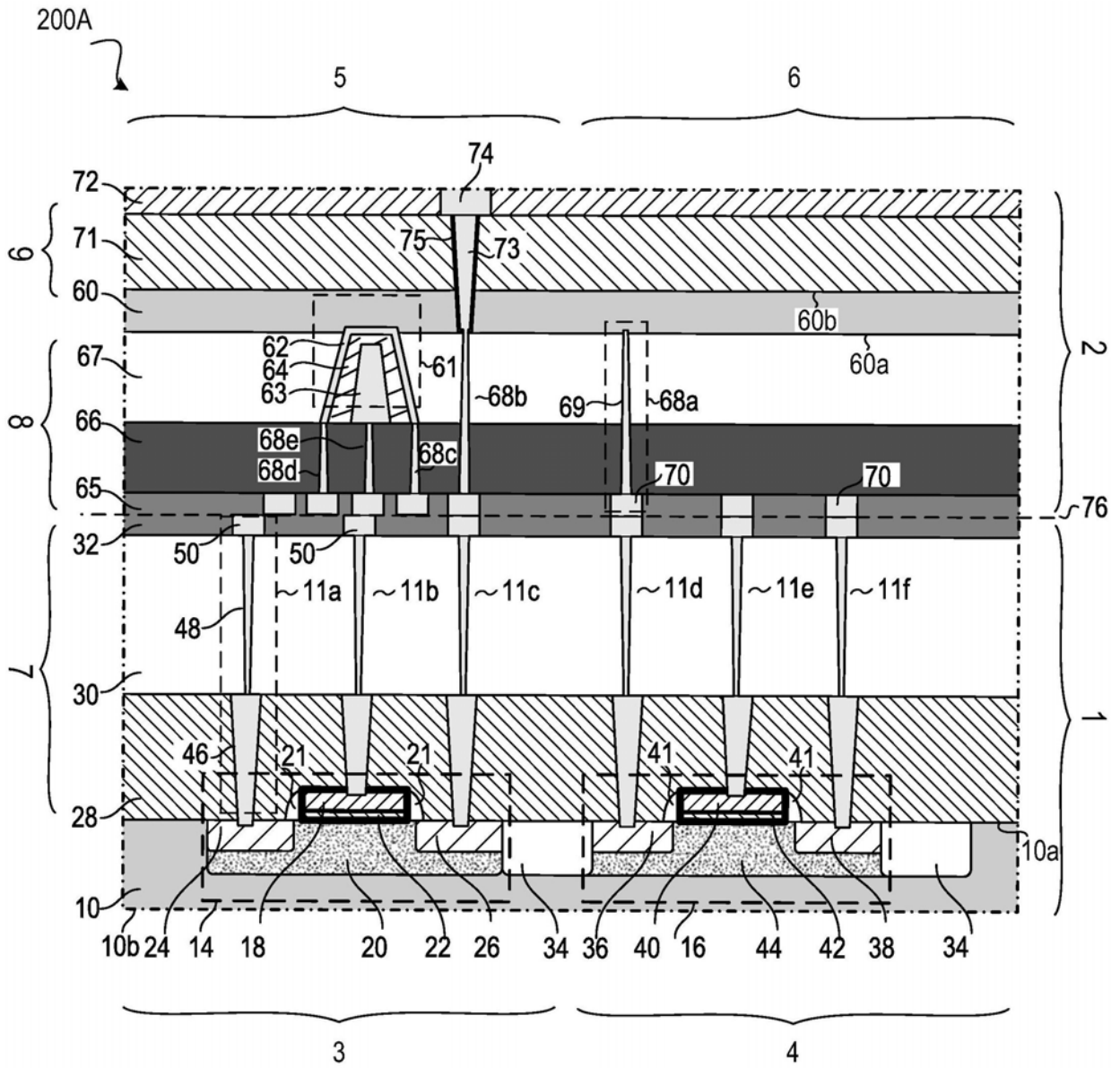


图10

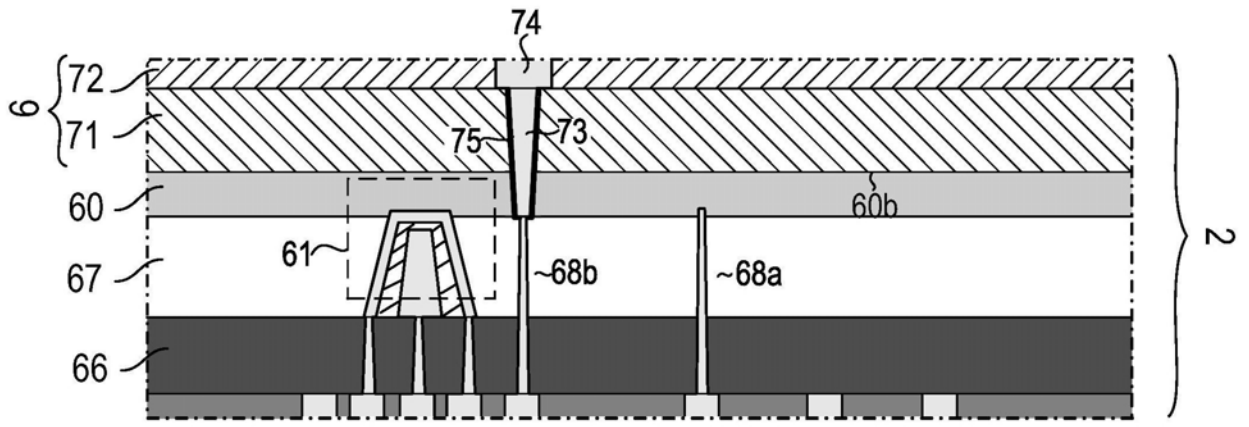


图11

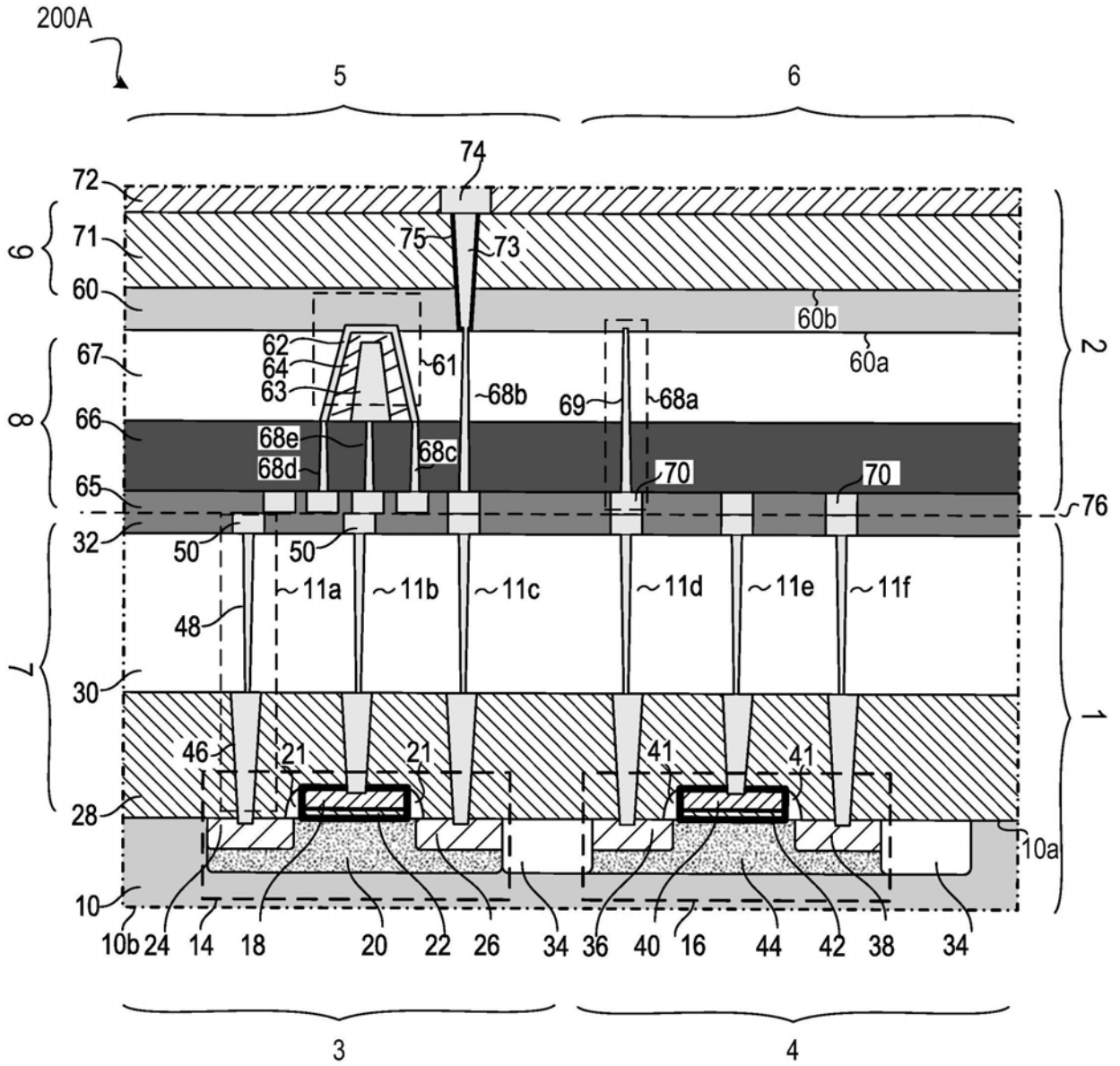


图12

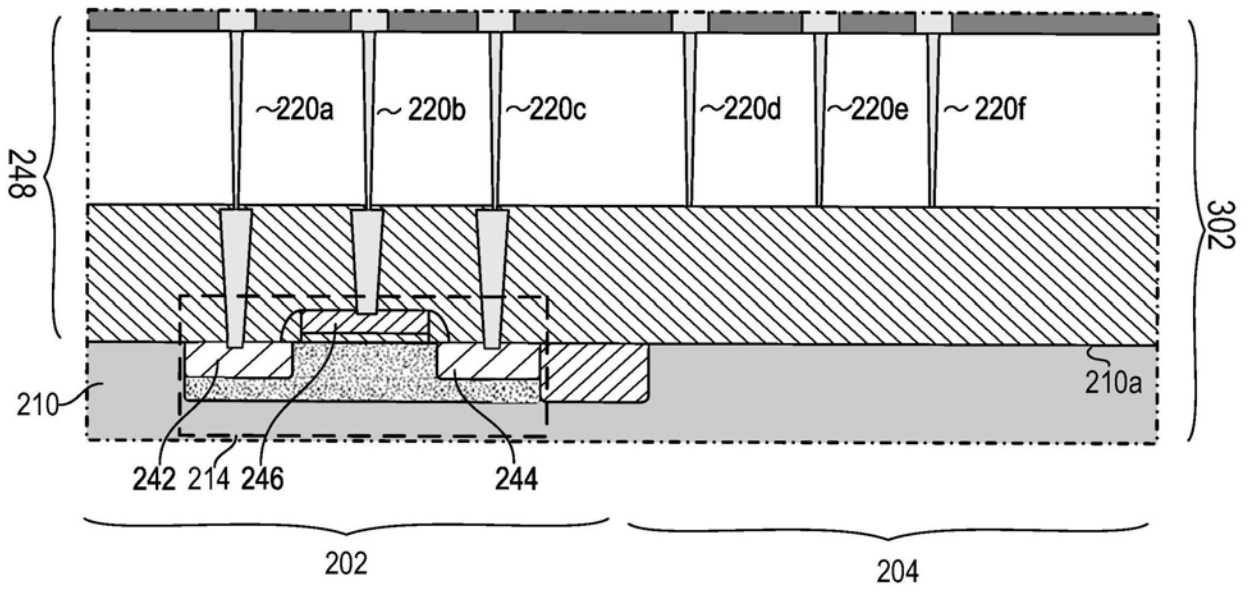


图13

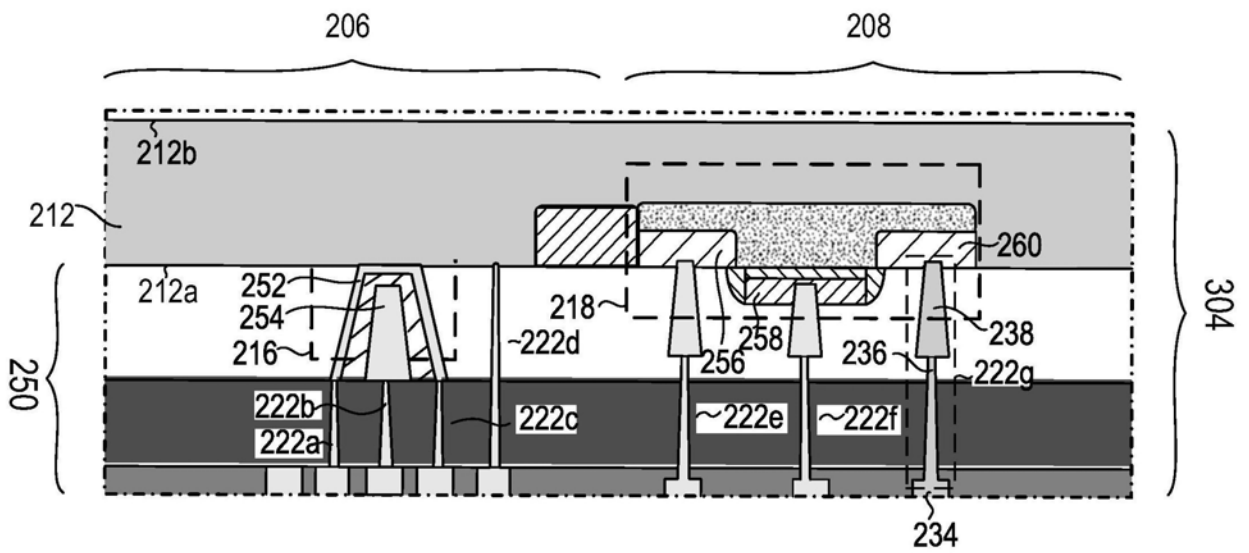


图14

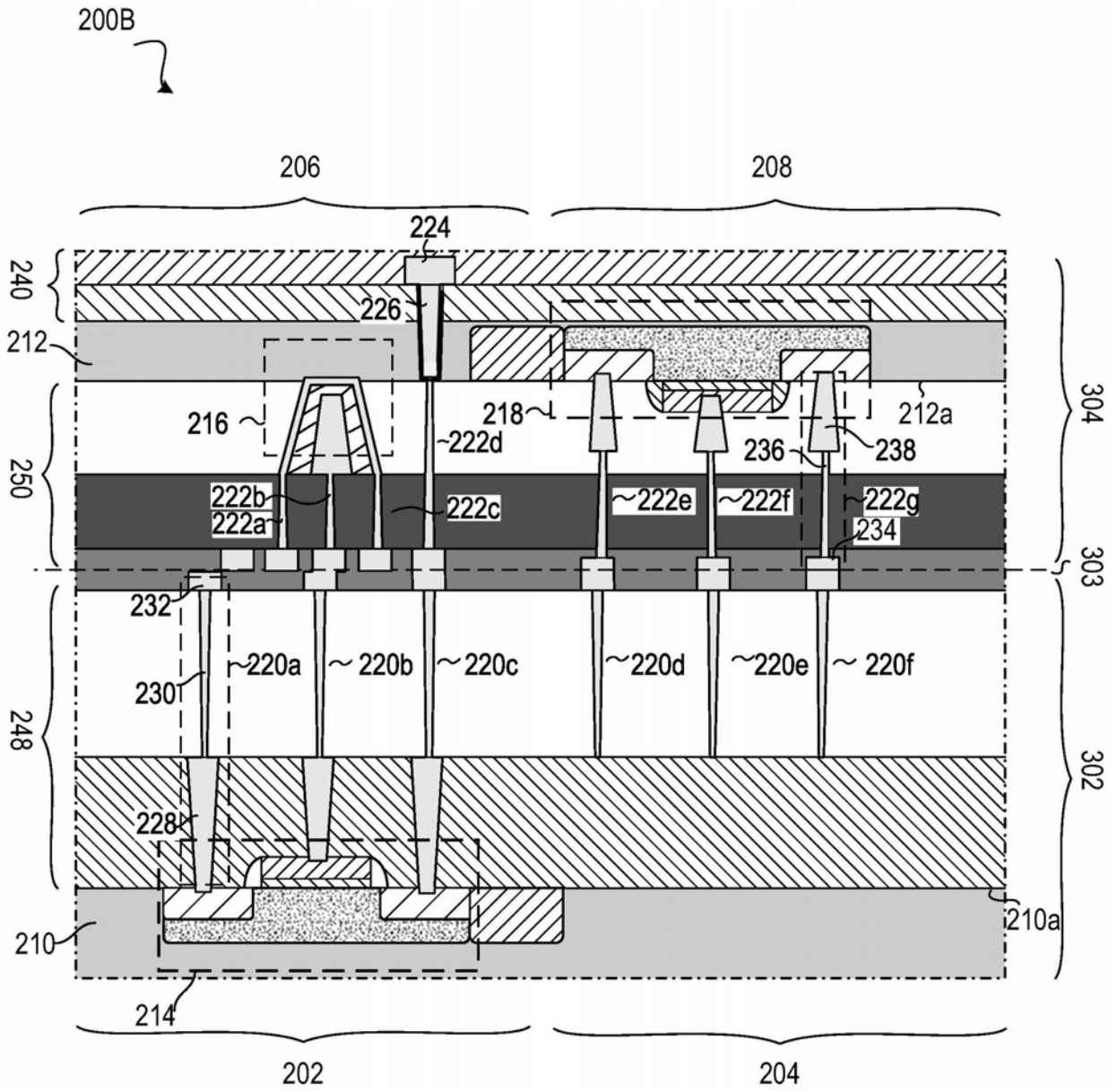


图15

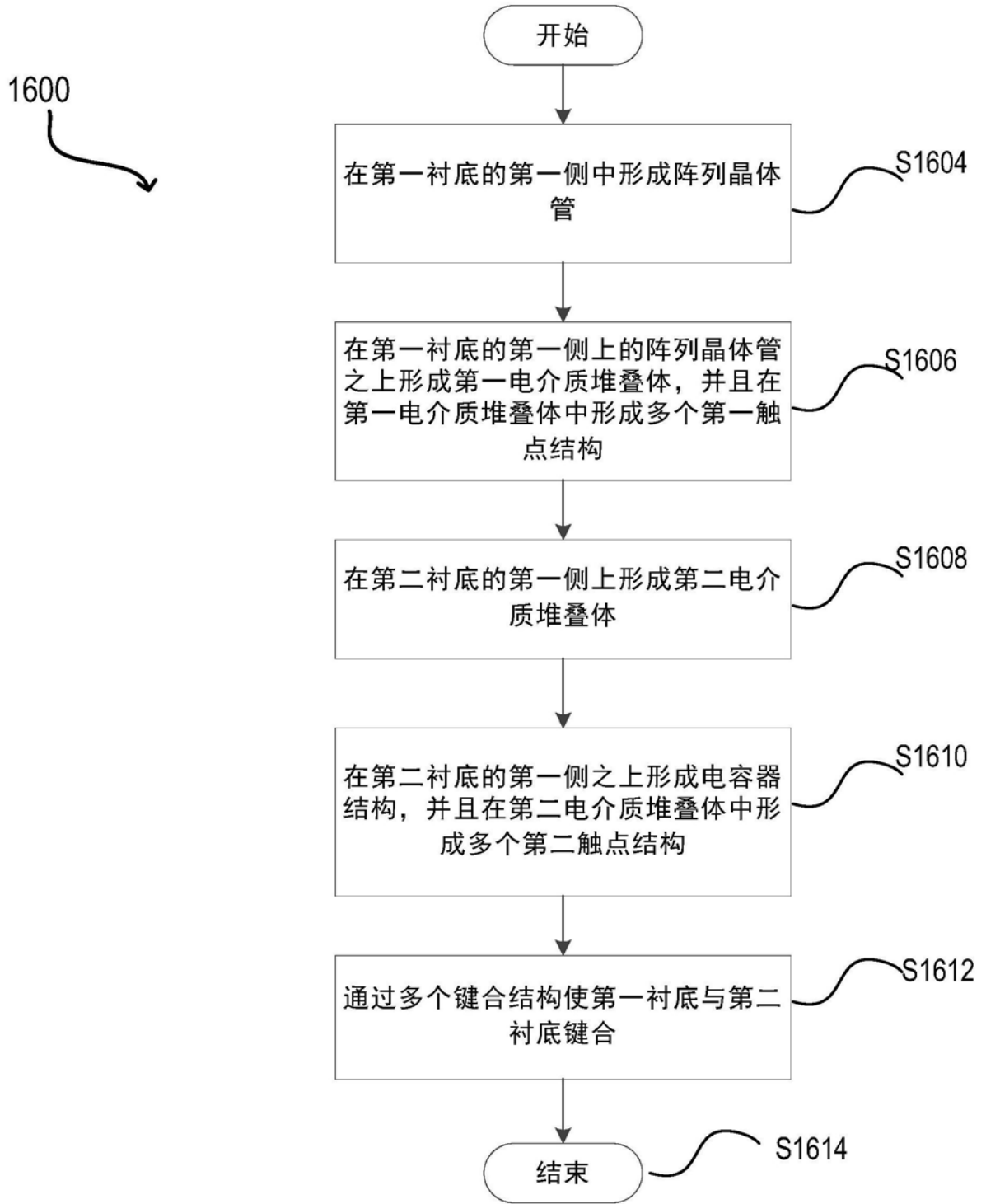


图16