

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-351013

(P2006-351013A)

(43) 公開日 平成18年12月28日(2006.12.28)

(51) Int. Cl.		F I			テーマコード (参考)
G06F 9/48	(2006.01)	G06F 9/46	455B		5B069
G06F 3/14	(2006.01)	G06F 3/14	310A		

審査請求 有 請求項の数 20 O L (全 14 頁)

(21) 出願番号	特願2006-164372 (P2006-164372)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成18年6月14日 (2006.6.14)	(74) 代理人	100095728 弁理士 上柳 雅誉
(31) 優先権主張番号	11/153122	(74) 代理人	100107076 弁理士 藤網 英吉
(32) 優先日	平成17年6月15日 (2005.6.15)	(74) 代理人	100127661 弁理士 宮坂 一彦
(33) 優先権主張国	米国 (US)	(72) 発明者	ジュラジ ビストリッキ アメリカ合衆国 カリフォルニア州 サン ホゼ 225号 リバーオークスパークウ エイ 150番 エプソンリサーチ&デベ ロップメントインク内

最終頁に続く

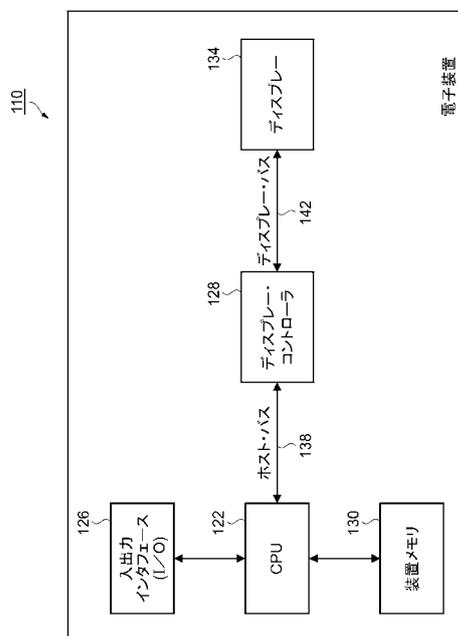
(54) 【発明の名称】 電子装置において保存／リストア手順を行なうための方法及びシステム

(57) 【要約】

【課題】 インタフェース保存／リストア手順を行なうためのシステムおよび方法。

【解決手段】 電子装置においてインタフェース保存／リストア手順を行なうためのシステムおよび方法はディスプレイ・プロセッサのホスト・インタフェースと連動して第1タスクを実行し始めるプロセッサを含む。プロセッサはその後第1タスクより優先度の高い第2タスクを実行するための割り込み要求を受信する。保存／リストア・モジュールが応答し、ホスト・インタフェースからタスク状態をインタフェース状態レジスタに格納する。タスク状態は第1タスクの実行が中断された時点に対応する。プロセッサは第1タスクを一時的に停止し、第2タスクを実行する。第2タスクが完了後、保存／リストア・モジュールは格納されたタスク状態をホスト・インタフェースにリストアし、プロセッサは次に第1タスクを効率的に再開できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

電子装置において保存/リストア手順を行なうためのシステムで、

第 1 タスクが第 2 タスクを実行するために一時的に中断された場合、前記第 1 タスクの実行が中断された時点に対応する第 1 タスク状態を、前記第 1 タスク及び前記第 2 タスクを行なうコントローラ装置のホスト・インタフェースからインタフェース状態レジスタに格納する保存/リストアモジュールであって、該保存/リストア・モジュールは前記第 2 タスクが完了後、前記第 1 タスク状態を前記ホスト・インタフェースにリストアし、前記コントローラ装置は次に前記第 1 タスクを再開する保存/リストア・モジュールを含むシステム。

10

【請求項 2】

前記コントローラ装置は、前記ホスト・インタフェース、前記保存/リストア・モジュール、および前記インタフェース状態レジスタを含むディスプレイ・コントローラの集積回路装置として実施される、請求項 1 に記載されるシステム。

【請求項 3】

さらに最初に前記コントローラ装置の前記ホスト・インタフェースにより前記第 1 タスクを実行し始めるプロセッサを含み、該プロセッサはその後前記第 1 タスクより高い優先度を有する前記第 2 タスクを実行する割り込み要求を受信する、請求項 1 に記載されるシステム。

【請求項 4】

前記ディスプレイ・コントローラは前記プロセッサおよび携帯電子装置におけるディスプレイ装置間のインタフェースとして機能する、請求項 3 に記載されるシステム。

20

【請求項 5】

前記ディスプレイ・コントローラの前記保存/リストア・モジュールは前記保存/リストア手順を前記プロセッサに透明である形で行なう、請求項 3 に記載されるシステム。

【請求項 6】

前記プロセッサが前記コントローラ装置に保存命令を発行し、前記保存/リストア・モジュールに前記第 1 タスク状態を格納するよう指示する、請求項 3 に記載されるシステム。

【請求項 7】

前記第 2 タスクが完了後前記プロセッサはリストア命令を発行し、前記保存/リストア・モジュールに前記第 1 タスク状態をリストアするよう指示する、請求項 3 に記載されるシステム。

30

【請求項 8】

前記ホスト・インタフェースが任意の時点で一つの処理タスクのみをサポートするように実施されている、請求項 1 に記載されるシステム。

【請求項 9】

前記第 1 タスク状態はアドレス、レジスタ値、あらかじめフェッチされた言葉、および内部値の内少なくとも 1 つを含む、請求項 1 に記載されるシステム。

【請求項 10】

前記ホスト・インタフェースはステート・マシンとして実施され、前記第 1 タスク状態は前記ステート・マシンからの状態値を含む、請求項 1 に記載されるシステム。

40

【請求項 11】

前記割り込み要求は前記電子装置に連結した割り込みソースにより生成され、前記プロセッサが前記コントローラ装置と連動して前記第 2 タスクを直ちに実行するよう要求する、請求項 3 に記載されたシステム。

【請求項 12】

前記電子装置上のディスプレイにおける画像データの表示をサポートするために前記第 1 タスクおよび前記第 2 タスクは前記プロセッサおよび前記コントローラ装置間で情報を転送することを含む、請求項 3 に記載されるシステム。

50

【請求項 13】

前記プロセッサは前記ホスト・インタフェースの動作状態が、前記第2タスクを実行するために前記第1タスクを中断した時点と同一の状態では該第1タスクを再開する請求項3に記載されるシステム。

【請求項 14】

前記保存/リストア・モジュールが中断された処理タスクの多層ヒエラルキーをサポートし、前記第1タスクおよび前記第2タスクに加え、対応タスク状態を保存する、請求項3に記載されるシステム。

【請求項 15】

前記プロセッサからのリストア命令により、前記保存/リストア・モジュールが最後に保存したタスク状態の組を前記ホスト・インタフェースにリストアする、請求項14に記載されるシステム。

10

【請求項 16】

前記プロセッサは前記第2タスクより高い優先度を有する第3タスクを実行するための第2の割り込み要求を受信し、前記保存/リストア・モジュールは応答して前記ホスト・インタフェースから前記インタフェース状態レジスタに第2タスク状態を格納し、前記第2タスク状態は前記第2タスクの実行が中断された時点に対応する、請求項3に記載されるシステム。

【請求項 17】

前記プロセッサは前記第3タスクを実行するために一時的に前記第2タスクを停止し、前記保存/リストア・モジュールは前記第3タスクが完了後前記第2タスクの状態を前記ホスト・インタフェースにリストアし、前記プロセッサは次に前記第2タスクを再開する、請求項16に記載されるシステム。

20

【請求項 18】

前記第1タスクおよび前記第2タスクはマルチスレッド環境において前記プロセッサにより実行される別個のスレッドである、請求項3に記載されるシステム。

【請求項 19】

電子装置において保存/リストア手順を行なうための方法で、

第1タスクが、第2タスクを実行するために一時的に中断された場合、前記第1タスクの実行が中断された時点に対応する第1タスク状態を、前記第1タスク及び前記第2タスクを行なうコントローラ装置のホスト・インタフェースからインタフェース状態レジスタに格納するステップと、

30

前記第2タスクが完了後、前記保存/リストア・モジュールにより前記第1タスク状態を前記ホスト・インタフェースにリストアするステップと、

前記コントローラ装置により前記第1タスクを再開するステップと、を含む方法。

【請求項 20】

電子装置において保存/リストア手順を行なうためのシステムで、

第2タスクを実行するために第1タスクが中断された場合にコントローラ装置からタスク状態を格納する保存/リストア・モジュールで、前記保存/リストア・モジュールは前記第2タスクが完了後、前記タスク状態を前記コントローラ装置にリストアし、前記コントローラ装置は次に前記第1タスクを再開するモジュール、

40

を含むシステム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は一般的に電子ディスプレイのコントローラ・システムに関し、特に電子装置においてインタフェースの保存/リストア手順を行なうためのシステムおよび方法に関する

50

。

【背景技術】

【0002】

電子データの効率的な扱い方法を実施することは最新電子装置の設計者および製造者にとって重要な事項である。しかし電子装置において効率的にデータを扱うことはシステム設計者にとって相当な問題となり得る。例えば装置の機能性および性能向上の要求が増えるとシステムの運転能力の増強が必要となり、さらにハードウェア・リソースの追加が必要となる可能性がある。能力またはハードウェアがさらに必要となると、それに対応して生産コストの増加や運転上の非効率による経済的な悪影響をもたらす可能性がある。

【特許文献1】米国特許第5,799,188号明細書

10

【発明の開示】

【発明が解決しようとする課題】

【0003】

さらに、各種高度な操作を装置が行なう能力が増強されるとシステム使用者にとって利点が増えるかもしれないが、同時にデバイスの各種構成要素の制御および管理の必要も高まる可能性がある。例えばデジタル画像データを効率的に操作、転送、および表示する拡張機能の電子装置においてはデジタル・データ量の多さと複雑さのため効率的な実施が有益かもしれない。

【0004】

システム資源に対する要求が増加し、データ量も著しく増加しているため電子データの扱いの制御に関し新しい手法を開発することは関連電子技術にとって重要問題であることは明らかである。従って上述のすべての理由から電子データを扱うための効率的なシステムを開発することは最新電子装置の設計者、製造者、および使用者にとって重要な事項である。

20

【課題を解決するための手段】

【0005】

本発明により、電子装置においてインタフェース保存/リストア手順を行なうためのシステムおよび方法が開示される。実施形態によって電子装置は中央演算装置(CPU)、ディスプレイ、および変形モジュールを有するディスプレイ・コントローラを含むように実施されることができる。

30

【0006】

一実施形態で、CPUはディスプレイ・コントローラと連動してタスク1を実行し始める。例えば、CPUはタスク1を行なうためにホスト・インタフェース経由でディスプレイ・コントローラと通信することができる。その後、CPUは任意の適当な割り込みソースからタスク2の割り込みを受信し、ディスプレイ・コントローラと連動してより優先度のより高いタスク2を行なう。タスク2の割り込みに応答して、CPUはディスプレイ・コントローラにSave_Interface_States命令を発行する。ディスプレイ・コントローラの保存/リストア・モジュールは、CPUから受信したSave_Interface_States命令に応答して現在のタスク1状態をインタフェース状態レジスタに保存する。

【0007】

40

CPUは次にディスプレイ・コントローラと連動して優先度のより高いタスク2を実行する。タスク2が問題なく完了すると、CPUはディスプレイ・コントローラにRestore_Interface_States命令を発行する。ディスプレイ・コントローラの保存/リストア・モジュールはそこでCPUから受信したRestore_Interface_States命令に応答して、保存されたタスク1の状態をインタフェース状態レジスタからホスト・インタフェース(またはその他の適当な構成要素)にリストアする。最後にCPUは、対応する状態、値、および条件を優先度のより高いタスク2のために最初にタスク1が中断された時と同じにして、中断されたタスク1の実行を再開することができる。

【0008】

上述の保存/リストア手順は多層保存/リストア手順を用いて中断タスクをいくつでも

50

望まれる数だけサポートするように拡張することができる。少なくとも上述の理由から、本発明は電子装置においてインタフェース保存/リストア手順を行なうための改良システムおよび方法を提供する。

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施形態を図面に基づいて説明する。

【0010】

[実施形態1]

本発明はディスプレイ・コントローラ・システムの改良に関する。以下の説明は通常の当業者が発明を制作し、使用できるように呈示され、特許出願およびその要求事項という関係において提供される。本明細書に開示される実施形態に対する各種変更は当業者には明らかであり、その一般的原則は他の実施形態にも適用できる。従って本発明は示される実施形態にのみ限定する意図はなく、本明細書で説明する原則および特徴と整合性が取れる最大範囲に適用されるものである。

10

【0011】

本発明は電子装置においてインタフェース保存/リストア手順を行なうためのシステムおよび方法を含み、ディスプレイ・プロセッサのホスト・インタフェースと連動して第1タスクを実行し始めるプロセッサを含む。プロセッサはその後第1タスクより優先度が高い第2タスクを実行するための割り込み要求を受信する。保存/リストア・モジュールが応答してホスト・インタフェースからタスク状態をインタフェース状態レジスタに格納する。タスク状態は第1タスクにおける中断実行点に対応する。プロセッサは第2タスクを実行するために第1タスクを一時的に停止する。保存/リストア・モジュールは第2タスクが完了後、格納されたタスク状態をホスト・インタフェースにリストアし、プロセッサはそこで第1タスクを効率的に再開することができる。

20

【0012】

本発明による電子装置110の一実施形態のブロック図が示される。図1の実施形態は中央演算装置(CPU)122、入出力インタフェース(I/O)126、ディスプレイ・コントローラ128、装置メモリ130、および1つ以上のディスプレイ134を含むが、これらに限定されない。別の実施形態では、電子装置110が図1の実施形態に関連して考察される要素または機能に加え、またはそれらに代わり、要素または機能を含むことができる。

30

【0013】

図1の実施形態において、CPU122は任意の適当で有効なプロセッサ・デバイスまたはマイクロプロセッサとして実施でき、各種ソフトウェア・プログラムの命令に応答して電子装置110の操作を制御し、調整する。図1の実施形態において装置メモリ130は任意の望ましい記憶装置構成からなり、ランダム・アクセス・メモリ(RAM)、読み出し専用メモリ(ROM)、および着脱式メモリまたはハードディスク・ドライブなどの記憶装置を含むがこれらに限定されない。図1の実施形態においてデバイス・メモリ130は電子装置110の各種変形手順をサポートするためにCPU122が実行するプログラム命令を有する変形ソフトウェア146を含むことができるがこれに限定されない。

【0014】

図1の実施形態において、装置アプリケーションはCPU122が画像データおよび対応する転送および表示情報をホスト・バス138経由でディスプレイ・コントローラ128に提供できるようなプログラム命令を含むことができる。本発明によりディスプレイ・コントローラ128は次に応答的に受信画像データをディスプレイ・バス142経由で電子装置110のディスプレイ134の少なくとも1つに提供する。図1の実施形態において、入出力インタフェース(I/O)126は電子装置110との間で任意の必要な情報を受信および/あるいは送信するために1つ以上のインタフェースを含むことができる。入出力インタフェース126は装置使用者が電子装置110と通信できるような手段を1つ以上含むことができる。さらに各種外付け電子装置もI/O126を通して電子装置110と通信することができる。例えばデジタル・カメラなどのデジタル画像装置が捕らえた画像データを電子装置110に提供するため

40

50

に入出力インタフェース126を利用することができる。

【0015】

図1の実施形態において電子装置110はディスプレイ・コントローラ128を有利に用いてディスプレイ134に関する各種操作および機能を効率的に管理することができる。ディスプレイ・コントローラ128の実施および機能は図2-4および図6-8に関連してさらに後述される。図1の実施形態において電子装置110は任意の望ましい種類の電子装置またはシステムとして実施することができる。例えば実施形態によって、電子デバイス110は携帯電話、携帯情報端末、電子画像装置、またはコンピュータ装置として実施されることができる。電子デバイス110の操作および利用の各種実施形態は図2-8に関連してさらに後述される。

10

【0016】

次に図2では本発明による、図1におけるディスプレイ・コントローラ128の一実施形態のブロック図が示される。図2の実施形態はコントローラ・ロジック212、ビデオ・メモリ216、コントローラ・レジスタ220、ホスト・インタフェース224、保存/リストア・モジュール226、および1つ以上の保存インタフェース状態228を含むがこれらに限定されない。別の実施形態で、ディスプレイ・コントローラ128は図2の実施形態に関連して説明される要素または機能に加え、またはそれらに代わる要素または機能を含むことができる。

【0017】

図2の実施形態において、ディスプレイ・コントローラ128は画像データおよび対応する転送および表示情報をCPU122(図1)から受ける集積回路装置として実施することができる。ディスプレイ・コントローラ128は次に受信画像データを装置使用者に表示するために電子装置110のディスプレイ134に適当かつ効率的な方法で自動的に提供する。図2の実施形態でコントローラ・ロジック212はディスプレイ・コントローラ128の全体的操作を管理し調整する。図2の実施形態において、ディスプレイ・コントローラ128はコントローラ・レジスタ220を用いて各種の構成、制御、および状態情報を格納することができる。

20

【0018】

図2の実施形態において、ディスプレイ・コントローラ128はホスト・インタフェース124を用い、ホスト・バス138(図1)経由でCPU122と双方向通信を行なう。実施形態によって、ホスト・インタフェース224およびホスト・バス138を効率的、コンパクト、かつ経済的な方法で実施するために、ホスト・インタフェース224は通常任意の所定時点で単一の処理タスクのみに対応する情報を送受信する。例えばCPU122はデータ書き込みタスクを行なってディスプレイ・コントローラ128にデータを転送することができる。同様にCPU122はデータ読み取りタスクを行なってディスプレイ・コントローラ128からデータをアクセスすることができる。

30

【0019】

本発明により、ディスプレイ・コントローラ128は保存/リストア・モジュールを有利に用い、所定の優先度のより低いタスクを中断して優先度のより高いタスクを行なわなければならない場合に常にホスト・インタフェース224(またはその他の適当なソース)からのインタフェース状態を保存することができる。優先度のより高いタスクが実行された後、ディスプレイ・コントローラは保存されたインタフェース状態228をホスト・インタフェース228(またはその他の適当なソース)にリストアし、効率的かつ有効に中断された優先度のより低いタスクを完了することができる。ディスプレイ・コントローラの利用は図3-8に関連してさらに後述される。

40

【0020】

次に図3では本発明による、図2におけるビデオ・メモリ216の一実施形態のブロック図が示される。図3の実施形態においてビデオ・メモリ216は表示データ312および非表示データ316を含むがこれらに限定されない。別の実施形態で、ビデオ・メモリ216は図3の実施形態に関連して説明される要素または機能に加え、またはそれらに代わる要素または

50

機能を含むことができる。

【0021】

図3の実施形態において、ビデオ・メモリ216は任意の有効な種類のメモリ装置または構成を用いて実施することができる。例えば、実施形態によってビデオ・メモリ216はランダム・アクセス・メモリ(RAM)装置として実施することができる。図3の実施形態において、表示データ312はCPU122またはその他の適当なソースにより提供される画像データを含むことができる。図3の実施形態において、非表示データは電子装置110のディスプレイ134上に呈示されることを目的としない任意の適当な種類の情報またはデータを含むことができる。例えば、非表示データ316を用いてディスプレイ・コントローラ128が使用するための所定のフォントまたはその他のオブジェクトをキャッシュすることができる。

10

【0022】

図4では本発明による、図2におけるコントローラ・レジスタの一実施形態のブロック図が示される。図4の実施形態において、コントローラ・レジスタ220は構成レジスタ412、転送レジスタ416、および雑レジスタ420を含むが、これらに限定されない。別の実施形態で、コントローラ・レジスタ220は図4の実施形態に関連して説明される要素または機能に加え、またはそれらに代わる要素または機能を含むことができる。

【0023】

図4の実施形態において、CPU122(図1)または他の適当な構成要素は情報をコントローラ・レジスタ220に書き込み、ディスプレイ・コントローラ128の構成ロジック212が使用する各種操作パラメータおよび他の関係情報を指定することができる。図4の実施形態において、コントローラ・レジスタ220は構成レジスタ412を用いて電子装置110のディスプレイ・コントローラ128および/あるいはディスプレイ134の構成に係わる各種情報を格納することができる。例えば、構成レジスタ220は表示の種類、表示サイズ、表示フレーム率、および各種表示タイミングのパラメータを指定することができる。図4の実施形態において、コントローラ・レジスタ220は転送レジスタ416を用いてビデオ・メモリ216(図3)から電子装置110のディスプレイ134にピクセル・データを提供するための転送操作に関わる各種情報を格納することができる。図4の実施形態において、コントローラ・レジスタ220は雑レジスタ420を用いてディスプレイ・コントローラ128が使用する任意の望ましい種類の情報またはデータを効率的に格納することができる。

20

30

【0024】

図5では本発明による、図1におけるディスプレイ134の一実施形態のブロック図が示される。図5の実施形態でディスプレイ134はディスプレイ・メモリ512、ディスプレイ・レジスタ516、タイミング論理520、および1つ以上の画面524を含むが、これらに限定されない。別の実施形態でディスプレイ134は図5の実施形態に関連して説明されるいくつかの要素あるいは機能に加え、または代わる要素あるいは機能を含むことができる。

【0025】

図5の実施形態において、ディスプレイ134はランダム・アクセス・メモリに基づく液晶ディスプレイ・パネル(RAMベースのLCDパネル)として実施されている。しかし別の実施形態において、ディスプレイ134は任意の適当なディスプレイ技術または構成を用いて実施することができる。図5の実施形態において、ディスプレイ・コントローラ128は各種の表示情報をディスプレイ・バス142経由でディスプレイ・レジスタ516に送る。ディスプレイ・レジスタ516はそこで、受信したディスプレイ情報を用いて有効にタイミング論理520を制御することができる。図5の実施形態において、ディスプレイ論理514はディスプレイ134向けのデータ転送および表示機能を管理し、調整する。

40

【0026】

図5の実施形態において、ディスプレイ・コントローラ128はビデオ・メモリ216(図2)から画像データをディスプレイ・バス142経由でディスプレイ・メモリ512に提供する。図5の実施形態において、ディスプレイ・メモリ512は通常ランダム・アクセス・メモリ(RAM)として実施される。しかし他の各種実施形態において、ディスプレイ・メモリ

50

512の実施は任意の有効なメモリ・デバイスの種類または構成を用いることができる。図5の実施形態において、ディスプレイ・メモリ512は次にディスプレイ・コントローラ128から受信した画像データを電子装置110の装置使用者が閲覧できるようにタイミング論理520経由で1つ以上の画面524に有利に提供する。

【0027】

図6では本発明による、図2におけるインタフェース状態228の一実施形態のブロック図が示される。別の実施形態において、インタフェース状態228は図6の実施形態に関連して説明される要素または機能に加え、またはそれらに代わる要素または機能を用いて容易に実施することができる。例えばインタフェース状態228は、メモリ容量およびディスプレイ・コントローラ128の特定の実施によって、任意の望ましい数中断された処理タスクに対するインタフェース状態の組を別個に格納するレジスタを含むことができる。

10

【0028】

図6の実施形態において、インタフェース状態228はタスク1の状態614(a)からたすくNの状態614(c)を含むことができ、各々優先度のより高い処理タスクのために現在中断されている処理タスクに対応する。インタフェース状態228はホスト・インタフェース224またはその他の適当な構成要素からの任意の望ましい種類の情報を含むことができる。例えば、インタフェース状態228はレジスタ値、アドレス、あらかじめフェッチされた情報、カウンタ値、および内部値を含む事ができる。実施形態により、ホスト・インタフェース224はステート・マシンとして実施されることができ、インタフェース状態228はステート・マシンからの現在の状態値を含むことができる。インタフェース状態228の利用は図7

20

【0029】

図7では本発明の一実施形態による、インタフェース保存/リストア手順を行なうための方法ステップのフローチャートが示される。図7の例は説明の目的で呈示され、別の実施形態において本発明は図7の実施形態に関連して説明されるステップおよび順序に加え、またはそれらに代わるステップおよび順序を容易に用いることができる。

【0030】

図7の実施形態ではステップ712においてCPU122(図1)はディスプレイ・コントローラ128(図1)と連動してタスク1を実行し始める。例えばCPU122はホスト・インタフェース224(図2)経由でディスプレイ・コントローラ128と通信しタスク1を行なうことができる。ステップ716において、CPU122はディスプレイ・コントローラ128と連動して優先度のより高いタスク2を行なうために任意の適当な割り込みソースからタスク2の割り込みを受信する。

30

【0031】

タスク2の割り込みに応答し、CPU122はステップ720においてディスプレイ・コントローラ128にSave_Interface_States命令を発行する。ステップ724において、CPU122より受信したSave_Interface_States命令に応答し、ディスプレイ・コントローラ128の保存/リストア・モジュール226(図2)がすべての現在のタスク1状態614(a)をインタフェース状態レジスタ228(図6)に保存する。

【0032】

ステップ728において、CPU122はディスプレイ・コントローラ128と連動して高優先度のタスク2を行なう。タスク2が問題なく完了すると、ステップ732においてCPU122はディスプレイ・コントローラ128にRestore_Interface_States命令を発行する。ステップ736において、ディスプレイ・コントローラ128の保存/リストア・モジュール226は、CPU122より受信したRestore_Interface_States命令に応答し、保存されたタスク1の状態614(a)をインタフェース状態レジスタ228からホスト・インタフェース224(またはその他の適当な構成要素)にリストアする。最後にステップ740において、CPU122は対応状態、値、および条件をタスク1が最初に中断された時点と同じにして中断されたタスク1の実行を再開することができる。

40

【0033】

50

図7の実施形態はディスプレイ・コントローラ128用に保存/リストア手順を行なうことを考察しているが、別の実施形態では保存/リストア手順が他の適当な任意の装置に関連して有効に利用され得る。さらに、図7の実施形態は単一の優先度のより高いタスクという状況で呈示されている。しかし本発明は多層保存/リストア手順を用いて中断タスクをいくつでも望まれる数だけサポートするように拡張することができる。多層保存/リストア手順を説明する典型的な一実施形態を図8に関連して以下に述べる。

【0034】

図8では本発明の一実施形態による、多層インタフェース保存/リストア手順を説明する図が示される。図8の例は説明の目的で呈示され、別の実施形態において本発明は図8の実施形態に関連して説明されるステップおよび順序に加え、またはそれらに代わるステップおよび順序を容易に用いることができる。

10

【0035】

図8の実施形態では、ステップ814においてCPU122およびディスプレイ・コントローラ128がタスク1を開始し、ステップ818においてタスク1と同等またはより高い優先度の任意のタスクに対しタスク1への割り込みがイネーブルされる。タスク1の主要部中、ステップ822においてCPU122はタスク1を行なうために必要に応じディスプレイ・コントローラ128のホスト・インタフェース224を自由使用する。タスク1はタスク2の割り込み(IRQ)からタスクNの割り込み(IRQ)までにより中断され得る。

【0036】

図8の実施形態において、タスク1が実行中にCPU122は現在実行中のタスク1より高い優先レベルを有するタスク2よりタスク2の割り込み(IRQ)を受信する。CPU122およびディスプレイ・コントローラ128は応答してタスク2を開始する。ステップ838において、CPU122はディスプレイ・コントローラ128にSave_Interface_States命令を発行し、同コントローラは応答して中断されたタスク1に対応するタスク1の状態614(a)(図6)をインタフェース状態228に格納する。ステップ842において、タスク2と同等またはより高い優先度の任意のタスクに対しタスク2の割り込みがイネーブルされる。タスク2の主要部中、CPU122はステップ846においてタスク2を行なうために必要に応じディスプレイ・コントローラ128のホスト・インタフェース224を自由使用する。タスク2はタスク3の割り込み(IRQ)からタスクNの割り込み(IRQ)までにより中断され得る。

20

30

【0037】

図8の実施形態で、タスク2が実行中にCPU122は現在実行中のタスク1より高い優先レベルを有するタスク3よりタスク3の割り込み(IRQ)を受信する。CPU122およびディスプレイ・コントローラ128は応答してタスク3を開始する。ステップ866において、CPU122はディスプレイ・コントローラ128にSave_Interface_States命令を発行し、同コントローラは応答して中断されたタスク2に対応するタスク2の状態614(b)(図6)をインタフェース状態228に格納する。ステップ870において、タスク3と同等またはより高い優先度の任意のタスクに対しタスク3の割り込みがイネーブルされる。タスク2の主要部中、CPU122はステップ874においてタスク3を行なうために必要に応じディスプレイ・コントローラ128のホスト・インタフェース224を自由使用する。タスクはタスク4の割り込み(IRQ)からタスクNの割り込み(IRQ)までにより中断され得る。

40

【0038】

タスク3が問題なく完了すると、ステップ878においてCPU122はディスプレイ・コントローラ128にRestore_Interface_States命令を発行し、ディスプレイ・コントローラは応答してインタフェース状態228からタスク2の状態614(b)をホスト・インタフェース224にリストアする。図8の実施形態において、ディスプレイ・コントローラ128がRestore_Interface_States命令を受信すると、ディスプレイ・コントローラ128はタスク状態614の内最後に格納した組をインタフェース状態228からホスト・インタフェース224にリストアする。

【0039】

50

図 8 の実施形態において、ディスプレイ・コントローラ 128 がタスク 2 の状態 614(b) を
 ホスト・インタフェース 224 にリストアした後、CPU 122 およびディスプレイ・コントロ
 ーラ 128 はステップ 846 において中断されたタスク 2 の主要部の実行を再開できる。タスク
 2 が問題なく完了すると、ステップ 850 において CPU 122 はディスプレイ・コントローラ
 128 に Restore_Interface_States 命令を発行し、ディスプレイ・コントローラは応答して
 インタフェース状態 228 からタスク 1 の状態 614(a) をホスト・インタフェース 224 にリス
 トアする。

【 0 0 4 0 】

図 8 の実施形態において、ディスプレイ・コントローラ 128 がタスク 1 の状態 614(a) を
 ホスト・インタフェース 224 にリストアした後、CPU 122 およびディスプレイ・コントロ
 ーラ 128 はステップ 822 において中断されたタスク 1 の主要部の実行を再開できる。少なく
 とも上述の理由から、本発明は電子装置においてインタフェース保存/リストア手順を行
 なうための改良システムおよび方法を提供する。

10

【 0 0 4 1 】

発明は特定の好ましい実施形態を参考に上記に説明された。この開示に照らし他の実施
 形態が当業者には明らかになるであろう。例えば本発明は上記実施形態で述べた以外の特
 定の構成および方法を用いて実施することができる。さらに本発明は好ましい実施形態と
 して上述した以外のシステムと併せて有効に使用することができる。従って上記実施形態
 に対するこれらおよびその他の異なる形は本発明に含まれることが意図され、本発明は
 添付請求項によってのみ限定される。

20

【 図面の簡単な説明 】

【 0 0 4 2 】

【 図 1 】 本発明による電子装置の一実施形態のブロック図。

【 図 2 】 本発明による、図 1 におけるディスプレイ・コントローラの一実施形態のブロ
 ック図。

【 図 3 】 本発明による、図 2 におけるビデオ・メモリの一実施形態のブロック図。

【 図 4 】 本発明による、図 2 におけるコントローラ・レジスタの一実施形態のブロック図

。

【 図 5 】 本発明による、図 1 のディスプレイの一実施形態のブロック図。

【 図 6 】 本発明による、図 2 におけるインタフェース状態の一実施形態のブロック図。

30

【 図 7 】 本発明の一実施形態により、インタフェース保存/リストア手順を行なうための
 方法処置のフローチャート。

【 図 8 】 本発明の一実施形態による多層インタフェース保存/リストア手順を例示する図

。

【 符号の説明 】

【 0 0 4 3 】

126 入出力インタフェース (I / O)

130 装置メモリ

138 ホスト・バス

128 ディスプレー・コントローラ

40

142 ディスプレー・バス

134 ディスプレー

212 コントローラ論理

216 ビデオ・メモリ

220 コントローラ・レジスタ

224 ホスト・インタフェース

226 保存/リストア・モジュール

228 インタフェース状態

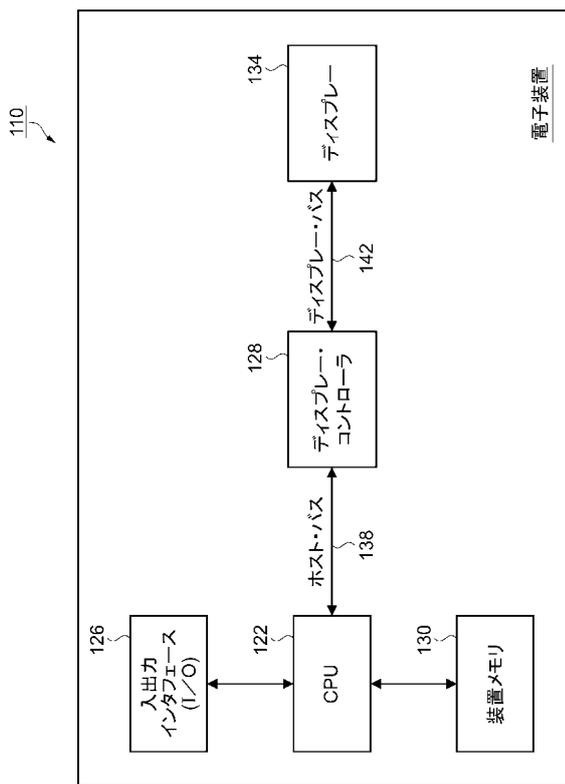
312 表示データ

316 非表示データ

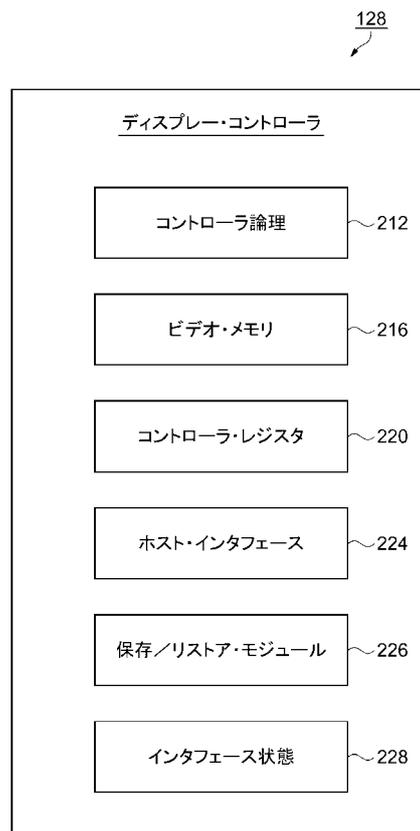
50

- 412 構成レジスタ
- 416 転送レジスタ
- 420 雑レジスタ
- 524 画面
- 520 タイミング論理
- 512 ディスプレー・メモリ
- 142 ディスプレー・バス
- 514 ディスプレー論理
- 516 ディスプレー・レジスタ
- 614(a) タスク 1 の状態
- 614(b) タスク 2 の状態
- 614(n) タスク N の状態

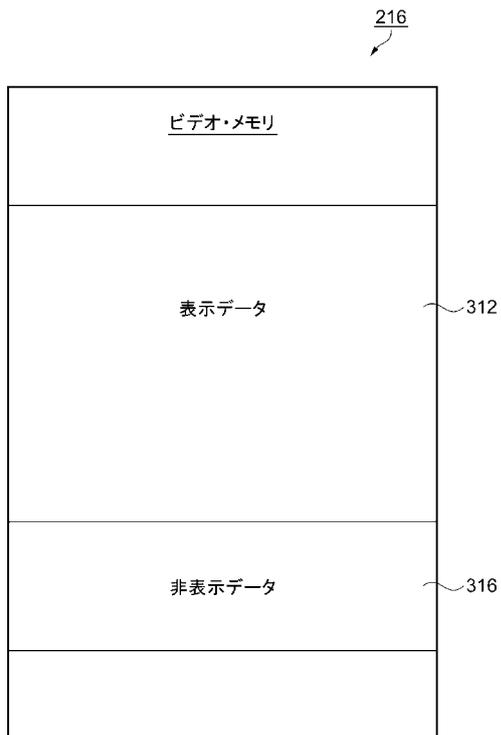
【 図 1 】



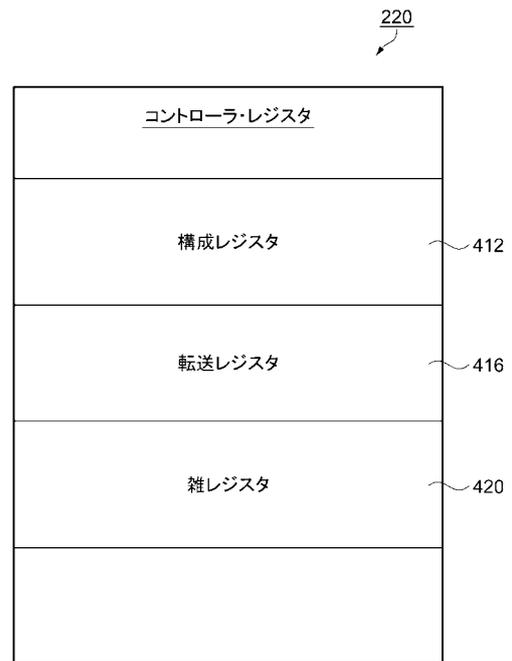
【 図 2 】



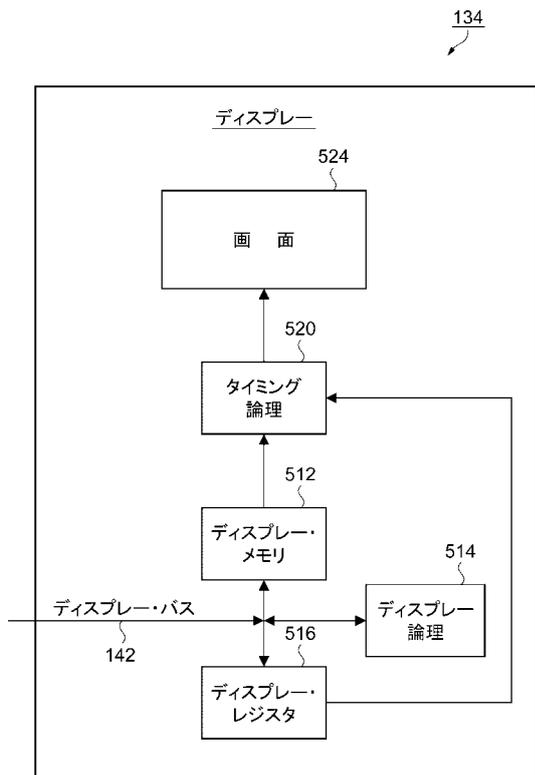
【 図 3 】



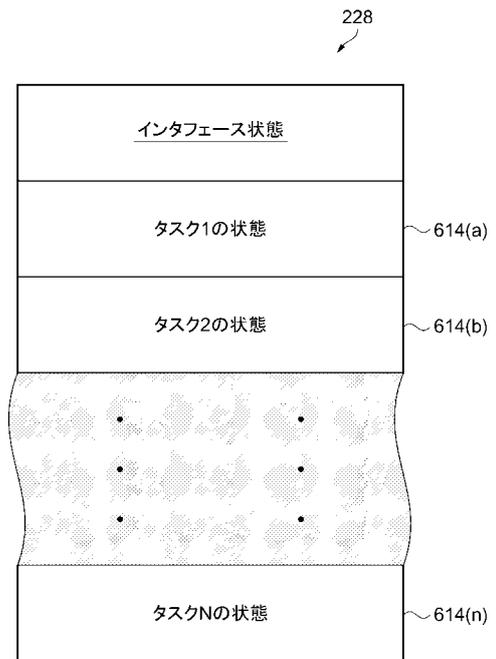
【 図 4 】



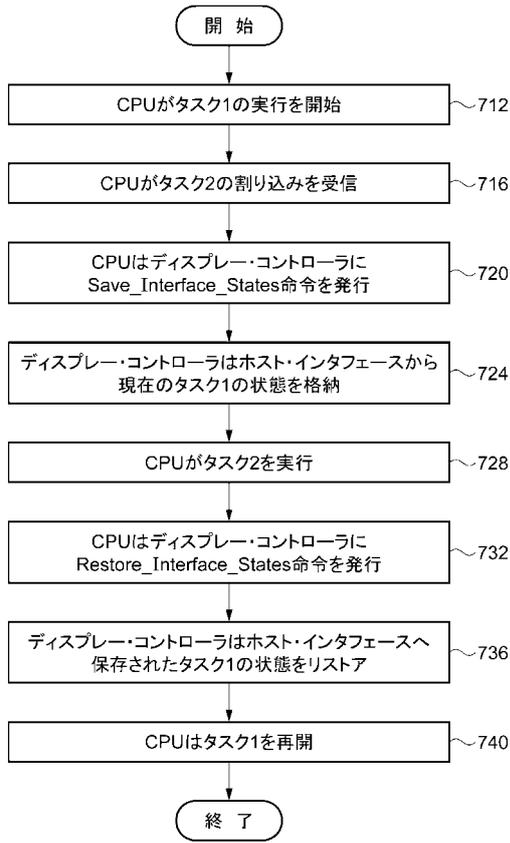
【 図 5 】



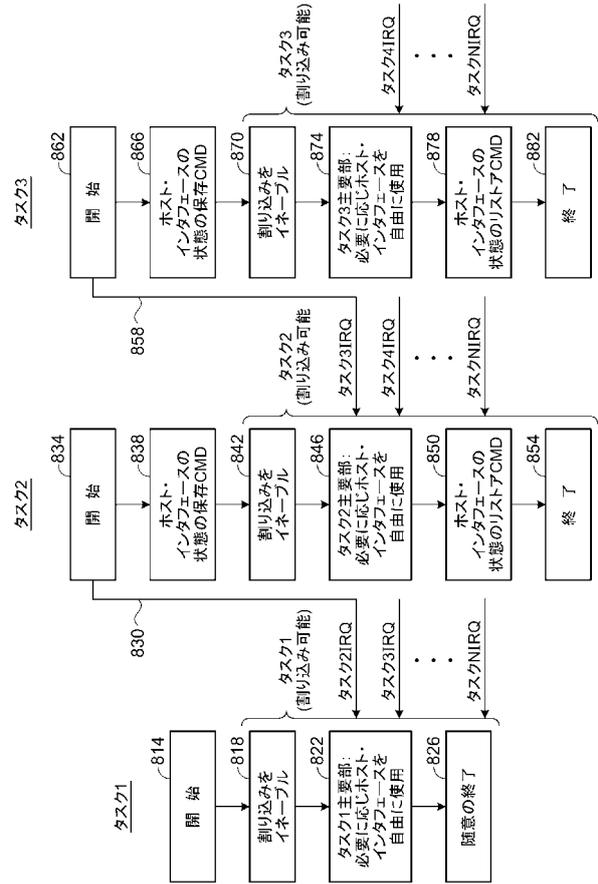
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 ダグ マックファディエン

アメリカ合衆国 カリフォルニア州 サンホゼ 225号 リバーオークスパークウェイ 150
番 エプソンリサーチ&デベロップメントインク内

(72)発明者 キース ケジサ

アメリカ合衆国 カリフォルニア州 サンホゼ 225号 リバーオークスパークウェイ 150
番 エプソンリサーチ&デベロップメントインク内

Fターム(参考) 5B069 BB01 BB11 BC01