



(12) 发明专利

(10) 授权公告号 CN 111584339 B

(45) 授权公告日 2023.07.28

(21) 申请号 202010396274.2

(22) 申请日 2017.11.21

(65) 同一申请的已公布的文献号  
申请公布号 CN 111584339 A

(43) 申请公布日 2020.08.25

(30) 优先权数据  
2016-226024 2016.11.21 JP

(62) 分案原申请数据  
201711165278.4 2017.11.21

(73) 专利权人 东京毅力科创株式会社  
地址 日本东京都

(72) 发明人 高桥智之 林大辅 喜多川大

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322  
专利代理师 龙淳 徐飞跃

(51) Int.Cl.  
H01J 37/32 (2006.01)  
H01L 21/683 (2006.01)

(56) 对比文件  
CN 101847560 A, 2010.09.29  
JP H10204645 A, 1998.08.04  
审查员 丁萍

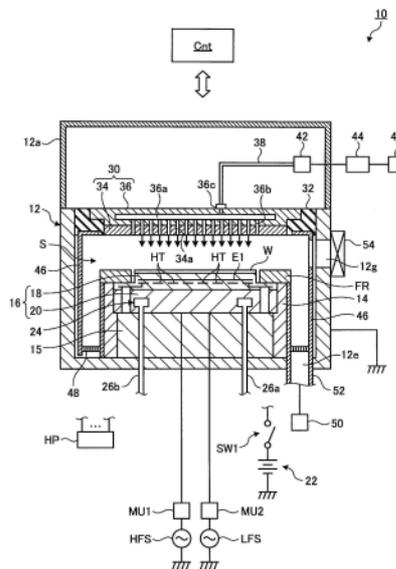
权利要求书2页 说明书9页 附图12页

(54) 发明名称

载置台和等离子体处理装置

(57) 摘要

本发明提供一种载置台和具有该载置台的等离子体处理装置。该载置台包括：被施加高频电力的基座；设置在基座上，具有用于载置被处理体的载置区域和包围载置区域的外周区域的静电卡盘；设置在载置区域的内部的加热器；与加热器连接并延伸至外周区域的内部的配线层；在外周区域与配线层的接点部连接的供电端子；和导电层，其设置在外周区域的内部或者设置在位于外周区域之外的厚度方向上的其它区域，从外周区域的厚度方向看时与供电端子重叠。由此，能够提高沿着被处理体的周向的电场强度的均匀性。



1. 一种载置台,其特征在于,具有:  
由导电性材料构成的基座;  
设置在所述基座上的用于载置被处理体的载置区域;  
设置在所述基座上的包围所述载置区域的外周区域;  
设置在所述载置区域的内部的加热器;  
与所述加热器连接并延伸至所述外周区域的内部的配线层;  
在所述外周区域与所述配线层的接点部连接的供电端子;和  
环状的导电层,其设置在所述外周区域的内部或者设置在位于所述外周区域之外的所述外周区域的厚度方向上的其它区域,从所述外周区域的厚度方向看时所述导电层的一部分与所述供电端子重叠,  
所述导电层与所述导电层以外的部位电绝缘。
2. 如权利要求1所述的载置台,其特征在于:  
还具有设置在所述外周区域上的聚焦环。
3. 如权利要求1所述的载置台,其特征在于:  
所述配线层包含水平延伸的线状图案和在与所述线状图案交叉的方向上延伸的接触孔。
4. 如权利要求1所述的载置台,其特征在于:  
所述导电层包含从所述外周区域的厚度方向看时不与所述供电端子重叠的部分。
5. 如权利要求2所述的载置台,其特征在于:  
所述导电层设置在位于所述外周区域之外的所述外周区域的厚度方向上的所述聚焦环的内部,或者所述聚焦环与所述外周区域之间。
6. 如权利要求1所述的载置台,其特征在于:  
所述供电端子贯通所述基座而与所述接点部连接。
7. 一种载置台,其特征在于,具有:  
由导电性材料构成的基座;  
设置在所述基座上的用于载置被处理体的载置区域;  
设置在所述基座上的包围所述载置区域且具有贯通孔的外周区域;和  
环状的导电层,其设置在位于所述外周区域之外的所述外周区域的厚度方向上的其它区域,从所述外周区域的厚度方向看时所述导电层的一部分与所述贯通孔重叠,  
所述导电层与所述导电层以外的部位电绝缘。
8. 如权利要求7所述的载置台,其特征在于:  
还具有设置在所述外周区域上的聚焦环。
9. 如权利要求8所述的载置台,其特征在于:  
所述导电层设置在所述聚焦环的内部。
10. 一种等离子体处理装置,其特征在于,具有:  
处理容器;  
产生用于在所述处理容器内生成等离子体的高频电力的高频电源;  
加热器电源;和  
设置在所述处理容器内的载置台,

所述载置台具有：

由导电性材料构成的基座；

设置在所述基座上的用于载置被处理体的载置区域；

包围所述载置区域的外周区域；

设置在所述载置区域的内部的加热器；

与所述加热器电源连接的供电端子；

连接所述加热器和所述供电端子的配线层，所述配线层在所述载置区域中与所述加热器连接，并在所述外周区域中与所述供电端子连接；和

环状的导电层，其设置在所述外周区域的内部或者设置在位于所述外周区域之外的所述外周区域的厚度方向上的其它区域，从所述外周区域的厚度方向看时所述导电层的一部分与所述供电端子重叠，

所述导电层与所述导电层以外的部位电绝缘。

11. 一种等离子体处理装置，其特征在于，具有：

处理容器；

产生用于在所述处理容器内生成等离子体的高频电力的高频电源；和

设置在所述处理容器内的载置台，

所述载置台具有：

由导电性材料构成的基座；

设置在所述基座上的用于载置被处理体的载置区域；

设置在所述基座上的包围所述载置区域且具有贯通孔的外周区域；和

环状的导电层，其设置在位于所述外周区域之外的所述外周区域的厚度方向上的其它区域，从所述外周区域的厚度方向看时所述导电层的一部分与所述贯通孔重叠，

所述导电层与所述导电层以外的部位电绝缘。

12. 如权利要求10或11所述的等离子体处理装置，其特征在于：

所述高频电源与所述载置台电连接。

13. 如权利要求10或11所述的等离子体处理装置，其特征在于：

所述载置台被供给具有400kHz~40MHz的频率的高频偏置电力。

## 载置台和等离子体处理装置

### 技术领域

[0001] 本发明的各方面和实施方式涉及载置台和等离子体处理装置。

### 背景技术

[0002] 等离子体处理装置在配置于处理容器内部的载置台上载置被处理体。载置台例如具有基座和静电卡盘等。基座被施加等离子体生成用的高频电力。静电卡盘由电介质形成，设置在基座上，具有用于载置被处理体的载置区域和包围载置区域的外周区域。

[0003] 另外，有时在静电卡盘的内部设置有用于进行被处理体的温度控制的加热器。例如已知在静电卡盘中的载置区域的内部设置加热器，使与加热器连接的配线层延伸至外周区域的内部，在外周区域连接配线层的接点部和加热器用的供电端子的构造。其中，在这样的构造中，被施加到基座的高频电力的一部分从加热器用的供电端子向外部的电源泄漏，高频电力被浪费消耗。

[0004] 对此，已知有以下技术，即：在连接加热器用的供电端子与外部的电源的供电线设置滤波器，以使得被施加到基座而从加热器用的供电端子向供电线泄漏的高频电力衰减。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1：日本特开2013-175573号公报

[0008] 专利文献2：日本特开2016-001688号公报

[0009] 专利文献3：日本特开2014-003179号公报

### 发明内容

[0010] 然而，由于滤波器与设置在静电卡盘的内部的加热器的数量对应地设置，因此，在滤波器的数量增多的情况下，从避免装置的大型化的观点出发，作为各滤波器有时使用阻抗值低的小型滤波器。这样的小型滤波器应用于载置台的情况下，从加热器用的供电端子向供电线泄漏的高频电力不会被充分衰减，在被处理体的周向上的位置中的与加热器用的供电端子对应的位置，电位局部降低。其结果，有可能使沿被处理体的周向上的电场强度的均匀性受到损害。

[0011] 本发明是为了解决上述问题而提出的，其公开了一种载置台，在一个实施方式中，该载置台具有被施加高频电力的基座；静电卡盘，其设置在所述基座上，具有用于载置被处理体的载置区域和包围所述载置区域的外周区域；设置在所述载置区域的内部的加热器；与所述加热器连接并延伸至所述外周区域的内部的配线层；在所述外周区域与所述配线层的接点部连接的供电端子；和导电层，其设置在所述外周区域的内部或者设置在位于所述外周区域之外的所述外周区域的厚度方向上的其它区域，从所述外周区域的厚度方向看时与所述供电端子重叠。

[0012] 根据公开的一个实施方式的载置台，起到能够提高沿被处理体的周向上的电场强度的均匀性的效果。

**附图说明**

- [0013] 图1是概略地表示一实施方式的等离子体处理装置的图。
- [0014] 图2是表示一实施方式的载置台的俯视图。
- [0015] 图3是图2的I-I线的剖视图。
- [0016] 图4是表示一实施方式的基座、静电卡盘和聚焦环的结构的一例的剖视图。
- [0017] 图5是用于说明一实施方式的导电层的作用的一例的图。
- [0018] 图6是用于说明一实施方式的导电层的作用的一例的图。
- [0019] 图7是表示与有无导电层相对应的电场强度的模拟结果的图。
- [0020] 图8是表示一实施方式的导电层的设置方式的一例的图。
- [0021] 图9是表示一实施方式的导电层的设置方式的另一例的图。
- [0022] 图10是表示一实施方式的导电层的设置方式的又一例的图。
- [0023] 图11是用于说明一实施方式的导电层的作用的另一例的图。
- [0024] 图12是表示一实施方式的等离子体处理装置的效果(蚀刻速率的实际检测结果)的图。
- [0025] 附图标记说明
- [0026] 10 等离子体处理装置
- [0027] 12 处理容器
- [0028] 12a 接地导体
- [0029] 12e 排气口
- [0030] 12g 搬送出入口
- [0031] 14 支承部
- [0032] 15 支承台
- [0033] 16 载置台
- [0034] 18 静电卡盘
- [0035] 18a 载置区域
- [0036] 18b 外周区域
- [0037] 18b-1 贯通孔
- [0038] 20 基座
- [0039] 21 紧固部件
- [0040] 22 直流电源
- [0041] 24 冷媒流路
- [0042] 26a 配管
- [0043] 26b 配管
- [0044] 30 上部电极
- [0045] 32 绝缘性遮蔽部件
- [0046] 34 电极板
- [0047] 34a 气体排出孔
- [0048] 36 电极支承体
- [0049] 36a 气体扩散室

- [0050] 36b 气体流通孔
- [0051] 36c 气体导入口
- [0052] 38 气体供给管
- [0053] 40 气源组
- [0054] 42 阀组
- [0055] 44 流量控制器组
- [0056] 46 沉积物屏蔽件
- [0057] 48 排气板
- [0058] 50 排气装置
- [0059] 52 排气管
- [0060] 54 闸阀
- [0061] 60 滤波器
- [0062] 62 导电层
- [0063] CT 接点部
- [0064] Cnt 控制部
- [0065] E1 电极
- [0066] EL 供电线
- [0067] ET 供电端子
- [0068] EW 配线层
- [0069] FR 聚焦环
- [0070] HFS 第1高频电源
- [0071] HP 加热器电源
- [0072] HT 加热器
- [0073] LFS 第2高频电源
- [0074] MU1、MU2 匹配器
- [0075] S 处理空间
- [0076] SW1 开关
- [0077] W 晶片。

### 具体实施方式

[0078] 以下,参照附图对本发明的公开的载置台和等离子体处理装置的实施方式进行详细说明。此外,在各附图中对相同或者相当的部分标注相同的附图标记。

[0079] 图1是概略地表示一实施方式的等离子体处理装置10的图。在图1中,概略地表示一实施方式的等离子体处理装置的纵截面的构造。图1所示的等离子体处理装置10是电容耦合型平行平板等离子体蚀刻装置。等离子体处理装置10具有大致圆筒状的处理容器12。处理容器12例如由铝构成,其表面被实施阳极氧化处理。

[0080] 在处理容器12内设置有载置台16。载置台16具有静电卡盘18、聚焦环FR和基座20。基座20具有大致圆盘形状,其主部例如由铝等导电性的金属构成。基座20构成下部电极。基座20由支承部14和支承台15支承。支承部14是从处理容器12的底部延伸来的圆筒状的部

件。支承台15是配置在处理容器12的底部的圆柱状的部件。

[0081] 基座20经由匹配器MU1与第1高频电源HFS电连接。第1高频电源HFS是产生等离子体生成用的高频电力的电源,产生27~100MHz的频率例如40MHz的高频电力。匹配器MU1具有用于使第1高频电源HFS的输出阻抗与负载侧(基座20侧)的输入阻抗匹配的电路。

[0082] 另外,基座20经由匹配器MU2与第2高频电源LFS电连接。第2高频电源LFS产生用于将离子引入到晶片W的高频电力(高频偏置电力),将该高频偏置电力供给到基座20。高频偏置电力的频率是400kHz~40MHz的范围内的频率,例如为3MHz。匹配器MU2具有用于使第2高频电源LFS的输出阻抗与负载侧(基座20侧)的输入阻抗匹配的电路。

[0083] 静电卡盘18设置在基座20上,利用库仑力等的静电力吸附晶片W,来保持晶片W。静电卡盘18在电介质制的主体部内具有静电吸附用的电极E1。电极E1经由开关SW1与直流电源22电连接。另外,在静电卡盘18的内部设置有多个加热器HT。各加热器HT与加热器电源HP电连接。各加热器HT基于从加热器电源HP单独供给来的电力产生热,以加热静电卡盘18。由此,能够控制保持于静电卡盘18的晶片W的温度。

[0084] 在静电卡盘18上设置有聚焦环FR。聚焦环FR设置来用于提高等离子体处理的均匀性。聚焦环FR由电介质构成,例如能够由石英构成。

[0085] 在基座20的内部形成有冷媒流路24。冷媒从设置在处理容器12的外部的制冷单元经由配管26a被供给到冷媒流路24。被供给到冷媒流路24后的冷媒再经由配管26b返回制冷单元。此外,关于包含基座20和静电卡盘18的载置台16的详细在后文述说。

[0086] 在处理容器12内设置有上部电极30。该上部电极30在载置台16的上方与基座20相对配置,基座20和上部电极30彼此大致平行地设置。在基座20与上部电极30之间形成有处理空间S。

[0087] 上部电极30隔着绝缘性遮蔽部件32被支承于处理容器12的上部。上部电极30可以包含电极板34和电极支承体36。电极板34面向处理空间S,提供多个气体排出孔34a。该电极板34可以由焦耳热少的低阻抗的导体或者半导体构成。

[0088] 电极支承体36将电极板34以可拆卸的方式支承,例如能够由铝等的导电性材料构成。该电极支承体36可以具有水冷构造。在电极支承体36的内部设置有气体扩散室36a。自该气体扩散室36a起,与气体排出孔34a连通的多个气体流通孔36b向下方延伸。另外,在电极支承体36形成有向气体扩散室36a导入处理气体的气体导入口36c,在该气体导入口36c连接气体供给管38。

[0089] 气体供给管38经由阀组42和流量控制器组44与气源组40连接。阀组42具有多个开闭阀,流量控制器组44具有质量流量控制器等的多个流量控制器。另外,气源组40具有等离子体处理所需的多种气体用的气源。气源组40的多个气源经由对应的开闭阀和对应的质量流量控制器与气体供给管38连接。

[0090] 在等离子体处理装置10,来自气源组40的多个气源中被选择的一个以上的气源的一种以上的气体被供给到气体供给管38。被供给到气体供给管38的气体到达气体扩散室36a,经由气体流通孔36b和气体排出孔34a排出到处理空间S。

[0091] 另外,如图1所示,等离子体处理装置10还可以包含接地导体12a。接地导体12a是大致圆筒状的接地导体,设置成从处理容器12的侧壁延伸到比上部电极30的高度位置靠上方的位置。

[0092] 另外,在等离子体处理装置10中,沿着处理容器12的内壁可拆卸地设置有沉积物屏蔽件46。另外,沉积物屏蔽件46也设置在支承部14的外周。沉积物屏蔽件46是用于防止在处理容器12上附着蚀刻副产物(沉积物)的部件,能够通过覆盖 $Y_2O_3$ 等的陶瓷而构成。

[0093] 在处理容器12的底部侧,在支承部14与处理容器12的内壁之间设置有排气板48。排气板48例如能够通过覆盖 $Y_2O_3$ 等的陶瓷而构成。在该排气板48的下方,在处理容器12设置有排气口12e。排气口12e经由排气管52与排气装置50连接。排气装置50具有涡轮分子泵等的真空泵,能够将处理容器12内减压至期望的真空度。另外,在处理容器12的侧壁设置有晶片W的搬送出入口12g,该搬送出入口12g能够通过闸阀54开闭。

[0094] 另外,等离子体处理装置10还可以具有控制部Cnt。该控制部Cnt是具有处理器、存储部、输入装置、显示装置等的计算机,控制等离子体处理装置10的各部。在该控制部Cnt中,使用输入装置,操作者为了管理等离子体处理装置10而能够进行指令的输入操作等,另外,通过显示装置能够将等离子体处理装置10的运行状况可视化显示。并且,控制部Cnt的存储部存储有用于通过处理器控制由等离子体处理装置10执行的各种处理的控制程序、或用于根据处理条件使等离子体处理装置10的各构成部执行处理的程序即处理方案。

[0095] 接着,对载置台16进行详细说明。图2是表示一实施方式的载置台16的俯视图。图3是图2的I-I线的剖视图。图4是表示一实施方式的基座20、静电卡盘18和聚焦环FR的构成的一例的剖视图。此外,在图2中,为了说明的方便,省略聚焦环FR。

[0096] 如图2~图4所示,载置台16具有静电卡盘18、聚焦环FR和基座20。静电卡盘18具有载置区域18a和外周区域18b。载置区域18a是俯视时呈大致圆形的区域。在载置区域18a上载置作为被处理体的晶片W。载置区域18a的上表面例如由多个凸部的顶面构成。另外,载置区域18a的直径是与晶片W大致相同的直径或者比晶片W的直径稍小。外周区域18b是包围载置区域18a的区域,呈大致环状延伸。在一实施方式中,外周区域18b的上表面在比载置区域18a的上表面低的位置。在外周区域18b上设置有聚焦环FR。

[0097] 另外,在外周区域18b形成有将外周区域18b在厚度方向上贯通的贯通孔18b-1,在贯通孔18b-1插通用于将基座20固定在支承台15的紧固部件21。在一实施方式中,通过多个紧固部件21将基座20固定在支承台15,因此,根据紧固部件21的数量在外周区域18b形成有多个贯通孔18b-1。

[0098] 静电卡盘18在载置区域18a内具有静电吸附用的电极E1。电极E1如上所述经由开关SW1与直流电源22连接。

[0099] 另外,在载置区域18a的内部设置有多个加热器HT。例如如图2所示,在载置区域18a的中央的圆形区域内和包围该圆形区域的同心状的多个环状区域设置有多个加热器HT。另外,在多个环状区域的各自内,在周向上配置多个加热器HT。多个加热器HT从加热器电源HP被供给单独调整过的电力。由此,单独控制各加热器HT发出的热,从而单独调整载置区域18a内的多个部分区域的温度。

[0100] 另外,如图3和图4所示,在静电卡盘18内设置有多个配线层EW。多个配线层EW与多个加热器HT分别连接,延伸至外周区域18b的内部。例如各配线层EW能够包含水平延伸的线状的图案和在与线状的图案交叉的方向(例如垂直方向)上延伸的接触孔。另外,各配线层EW在外周区域18b构成接点部CT。接点部CT在外周区域18b从该外周区域18b的下表面露出。

[0101] 接点部CT连接用于供给由加热器电源HP生成的电力的供电端子ET。在一实施方式中,如图4所示,供电端子ET在每一个配线层EW设置,贯通基座20,在外周区域18b与对应的配线层EW的接点部CT连接。供电端子ET和加热器电源HP通过供电线EL连接。在供电线EL设置有滤波器60。滤波器60使施加到基座20后从供电端子ET向供电线EL泄漏的高频电力衰减。滤波器60与加热器HT的数量对应设置。在一实施方式中,设置有多个加热器HT,因此与加热器HT的数量对应地设置多个滤波器60。在此,从避免等离子体处理装置10的大型化的观点出发,有时作为各滤波器60使用阻抗值低的小型滤波器。这样的小型滤波器应用于载置台16的情况下,被施加到基座20后从供电端子ET向供电线EL泄漏的高频电力并没有被充分衰减。

[0102] 另外,如图2~图4所示,在外周区域18b的内部设置有由导体形成的导电层62。导电层62在从外周区域18b的厚度方向看时与供电端子ET重叠。具体来讲,导电层62形成包含在从外周区域18b的厚度方向看时与供电端子ET重叠的部分和不与供电端子ET重叠的部分的环状。而且,导电层62与其它部位电绝缘。由此,导电层62中,与供电端子ET重叠的部分的电位和不与供电端子ET重叠的部分的电位相等。导电层62包含例如W、Ti、Al、Si、Ni、C和Cu中的至少任一者。

[0103] 在此,使用等离子体处理装置10的等效电路说明导电层62的作用。图5和图6是用于说明一实施方式的导电层62的作用的一例的图。图5所示的等效电路相当于不存在导电层62的等离子体处理装置10。图6所示的等效电路相当于在一实施方式的等离子体处理装置10,即外周区域18b的内部设置有导电层62的等离子体处理装置10。此外,在图5和图6中,箭头表示高频电力的流动,箭头的宽度表示高频电力的大小。

[0104] 如图5和图6所示,从第1高频电源HFS施加到基座20的高频电力的一部分,从供电端子ET向供电线EL泄漏。从供电端子ET向供电线EL泄漏的高频电力,因滤波器60的阻抗值比较低,因此没有被充分衰减。因此,在不存在导电层62的情况下,如图5所示,在外周区域18b的内部的位置(即,晶片W的周向的位置)中的与供电端子ET对应的位置,电位局部降低,向处理空间S供给的高频电力局部降低。作为结果,在不存在导电层62的情况下,沿着晶片W的周向的电场强度的均匀性受到损失。在图5的例子中,沿晶片W的周向的处理空间S的区域中,与供电端子ET对应的区域A、B的电场强度,比不与供电端子ET对应的区域C的电场强度降低。

[0105] 对此,在外周区域18b的内部设置有导电层62的情况下,在导电层62中,与供电端子ET重叠的部分的电位和不与供电端子ET重叠的部分的电位相等。因此,在外周区域18b的内部设置有导电层62的情况下,如图6所示,沿晶片W的周向,导电层62和处理空间S之间的电位差变为一定,向处理空间S均等地供给高频电力。作为结果,在外周区域18b的内部设置有导电层62的情况下,能够提高沿晶片W的周向上的电场强度的均匀性。在图6的例子中,沿晶片W的周向的处理空间S的区域中的、与供电端子ET对应的区域A、B的电场强度和与供电端子ET对应的区域C的电场强度之差减少。

[0106] 图7是表示与有无导电层62相应的电场强度的模拟结果的图。图7中,横轴表示以300mm尺寸的晶片W的中心位置为基准的晶片W的径向的位置[mm],纵轴表示处理空间S的电场强度[V/m]。此外,处理空间S的电场强度是从静电卡盘18的载置区域18a离开3mm的上方的位置的电场强度。另外,晶片W的径向上150mm的位置与载置区域18a的边缘部对应,晶片W

的径向上157mm的位置与供电端子ET对应,晶片W的径向上172mm的位置与外周区域18b的边缘部对应。

[0107] 另外,在图7中,曲线501表示在不存在导电层62的情况下,沿晶片W的周向的处理空间S的区域中的、与供电端子ET对应的区域中计算出的电场强度的分布。另外,曲线502表示在不存在导电层62的情况下,沿晶片W的周向的处理空间S的区域中的、不与供电端子ET对应的区域中计算出的电场强度的分布。

[0108] 另一方面,在图7中,曲线601表示在外周区域18b的内部设置有导电层62的情况下,沿晶片W的周向的处理空间S的区域中的、与供电端子ET对应的区域中计算出的电场强度的分布。另外,曲线602表示在外周区域18b的内部设置有导电层62的情况下,沿晶片W的周向的处理空间S的区域中的、不与供电端子ET对应的区域中计算出的电场强度的分布。此外,在图7的模拟中,作为导电层62使用W。

[0109] 如图7的曲线501、502所示,在不存在导电层62的情况下,与供电端子ET对应的区域的电场强度比不与供电端子ET对应的区域的电场强度降低。

[0110] 对此,如图7的曲线601、602所示,在外周区域18b的内部设置有导电层62的情况下,与供电端子ET对应的区域的电场强度和不与供电端子ET对应的区域的电场强度的差减少。即,在外周区域18b的内部设置有导电层62的情况下,能够提高沿晶片W的周向的电场强度的均匀性。

[0111] 接着,说明一实施方式的导电层62的设置方式。在一实施方式中,表示在外周区域18b的内部设置有导电层62的情况,但也可以在外周区域18b之外的厚度方向上的其它区域设置导电层62。即,导电层62设置在外周区域18b之外的厚度方向上的其它区域,在从外周区域18b的厚度方向看时与供电端子ET重叠。

[0112] 作为一例,例如如图8所示,导电层62可以设置在外周区域18b之外的厚度方向上的聚焦环FR的内部,在从外周区域18b的厚度方向看时与供电端子ET重叠。图8是表示一实施方式的导电层62的设置方式的一例的图。图8所示的导电层62与图2所示的导电层62同样地,形成为包含从外周区域18b的厚度方向看时与供电端子ET重叠的部分和不与供电端子ET重叠的部分的环状。而且,导电层62与其它部位电绝缘。由此,在导电层62中,与供电端子ET重叠的部分的电位和不与供电端子ET重叠的部分的电位相等。

[0113] 作为另一例,例如如图9所示,导电层62设置在外周区域18b之外的厚度方向上的聚焦环FR与外周区域18b之间,在从外周区域18b的厚度方向看时与供电端子ET重叠。图9是表示一实施方式的导电层62的设置方式的另一例的图。图9所示的导电层62与图2所示的导电层62同样地,形成为包含在从外周区域18b的厚度方向看时与供电端子ET重叠的部分和不与供电端子ET重叠的部分的环状。而且,导电层62与其它部位电绝缘。由此,在导电层62中,与供电端子ET重叠的部分的电位和不与供电端子ET重叠的部分的电位相等。此外,在图9的说明中,表示了导电层62和聚焦环FR为不同部件的情况,但是,导电层62也可以为覆盖聚焦环FR的与外周区域18b相对的面的导电膜。

[0114] 另外,导电层62可以设置在外周区域18b之外的厚度方向上的其它区域,且在从外周区域18b的厚度方向看时,不仅与供电端子ET重叠还与外周区域18b的贯通孔18b-1重叠。例如导电层62如图10所示,设置在外周区域18b之外的厚度方向上的聚焦环FR的内部,在从外周区域18b的厚度方向看时,不仅与供电端子ET重叠,还与外周区域18b的贯通孔18b-1重

叠。图10是表示一实施方式的导电层62的设置方式的又一例的图。图10相当于图2的J-J线中的剖视图。图10所示的导电层62形成为在从外周区域18b的厚度方向看时包含与供电端子ET重叠的部分、不与供电端子ET重叠的部分、与贯通孔18b-1重叠的部分和不与贯通孔18b-1重叠的部分的环状。而且,导电层62与其它部位电绝缘。由此,在导电层62中,与供电端子ET重叠的部分的电位、不与供电端子ET重叠的部分的电位、与贯通孔18b-1重叠的部分的电位和不与贯通孔18b-1重叠的部分的电位相等。

[0115] 在此,使用等离子体处理装置10的等效电路说明图10所示的导电层62的作用。图11是用于说明一实施方式的导电层62的作用的另一例的图。图11所示的等效电路相当于在一实施方式的等离子体处理装置10、即聚焦环FR的内部设置有导电层62的等离子体处理装置10。此外,在图11中,箭头表示高频电力的流动,箭头的宽度表示高频电力的大小。

[0116] 如上所述,在聚焦环FR的内部设置有导电层62的情况下,与供电端子ET重叠的部分的电位、不与供电端子ET重叠的部分的电位、与贯通孔18b-1重叠的部分的电位和不与贯通孔18b-1重叠的部分的电位相等。因此,在聚焦环FR的内部设置有导电层62的情况下,如图11所示,沿晶片W的周向,导电层62与处理空间S之间的电位差成为一定,能够向处理空间S均等地供给高频电力。作为结果,在聚焦环FR的内部设置有导电层62的情况下,能够提高沿晶片W的周向的电场强度的均匀性。在图11的例子中,沿晶片W的周向的处理空间S的区域中的、与供电端子ET对应的区域A的电场强度、与贯通孔18b-1对应的区域B的电场强度和与贯通孔18b-1对应的区域C的电场强度大致相等。

[0117] 接着,说明一实施方式的等离子体处理装置10的效果(蚀刻速率的实际检测结果)。图12是表示一实施方式的等离子体处理装置10的效果(蚀刻速率的实际检测结果)的图。图12包含曲线701~曲线703。

[0118] 曲线701表示使用不存在导电层62的等离子体处理装置10(比较例),对沿300mm尺寸的晶片W的周向的蚀刻速率的分布进行实际检测获得的实际检测结果。曲线702表示使用在外周区域18b的内部设置有导电层62的等离子体处理装置10(实施例1),对沿300mm尺寸的晶片W的周向的蚀刻速率的分布进行实际检测获得的实际检测结果。曲线703表示使用在聚焦环FR的内部设置有导电层62的等离子体处理装置10(实施例2),对沿300mm尺寸的晶片W的周向的蚀刻速率的分布进行实际检测获得的实际检测结果。在曲线701~曲线703中,横轴表示以晶片W的边缘部的规定位置为基准的晶片W的周向的角度[度( $^{\circ}$ )],纵轴表示沿晶片W的径向距晶片W的端部3mm的位置的蚀刻速率[nm/min]。另外,在各自曲线中,用白点表示与供电端子ET对应的区域的蚀刻速率,用黑点表示不与供电端子ET对应的区域的蚀刻速率。

[0119] 如图12所示,在比较例中,沿晶片W的周向的规定的范围中,与供电端子ET对应的区域中的蚀刻速率的平均值和不与供电端子ET对应的区域中的蚀刻速率的平均值之差即“振幅”是0.14nm/min。

[0120] 对此,在实施例1中,上述的“振幅”是0.060nm/min,在实施例2中,上述的“振幅”是0.068nm/min。即,在实施例1、2中,与比较例相比,能够抑制沿晶片W的周向的蚀刻速率的变动。这考虑是由于在外周区域18b的内部或者聚焦环FR的内部设置有导电层62的情况下,沿晶片W的周向的电场强度的均匀性提高,因此,沿晶片W的周向的蚀刻速率的不均匀能够局部改善。

[0121] 以上,根据一实施方式,在静电卡盘18的外周区域18b的内部或者在外周区域18b之外的厚度方向上的其它区域,设置有在从外周区域18b的厚度方向看时与供电端子ET重叠的导电层62。因此,根据一实施方式,能够避免在晶片W的周向上的位置中的与供电端子ET对应的位置的电位局部降低,能够提高沿晶片W的周向的电场强度的均匀性。其结果,能够改善沿晶片W的周向的蚀刻速率的不均匀。

[0122] 此外,在上述的实施方式中,表示导电层62在从外周区域18b的厚度方向看时与供电端子ET重叠的例子,但是,在从外周区域18b的厚度方向看时不仅可以于供电端子ET重叠还可以与配线层EW的一部分重叠。在该情况下,配线层EW与导电层62的重叠部分相对于配线层EW的与外周区域18b对应的部分的比率优选76%以上。

[0123] 另外,在上述的实施方式中,作为产生等离子体生成用的高频电力的电源的第1高频电源HFS经由匹配器MU1与基座20电连接,但是,第1高频电源HFS也可以经由匹配器MU1与上部电极30连接。

[0124] 另外,上述的实施方式中的等离子体处理装置10是电容耦合型平行平板等离子体(CCP)蚀刻装置,但是,作为等离子体源也可以使用感应耦合型等离子体(ICP)、微波等离子体、表面波等离子体(SWP)、径向线隙缝天线(RLSA)等离子体、电子回旋共振(ECR)等离子体。

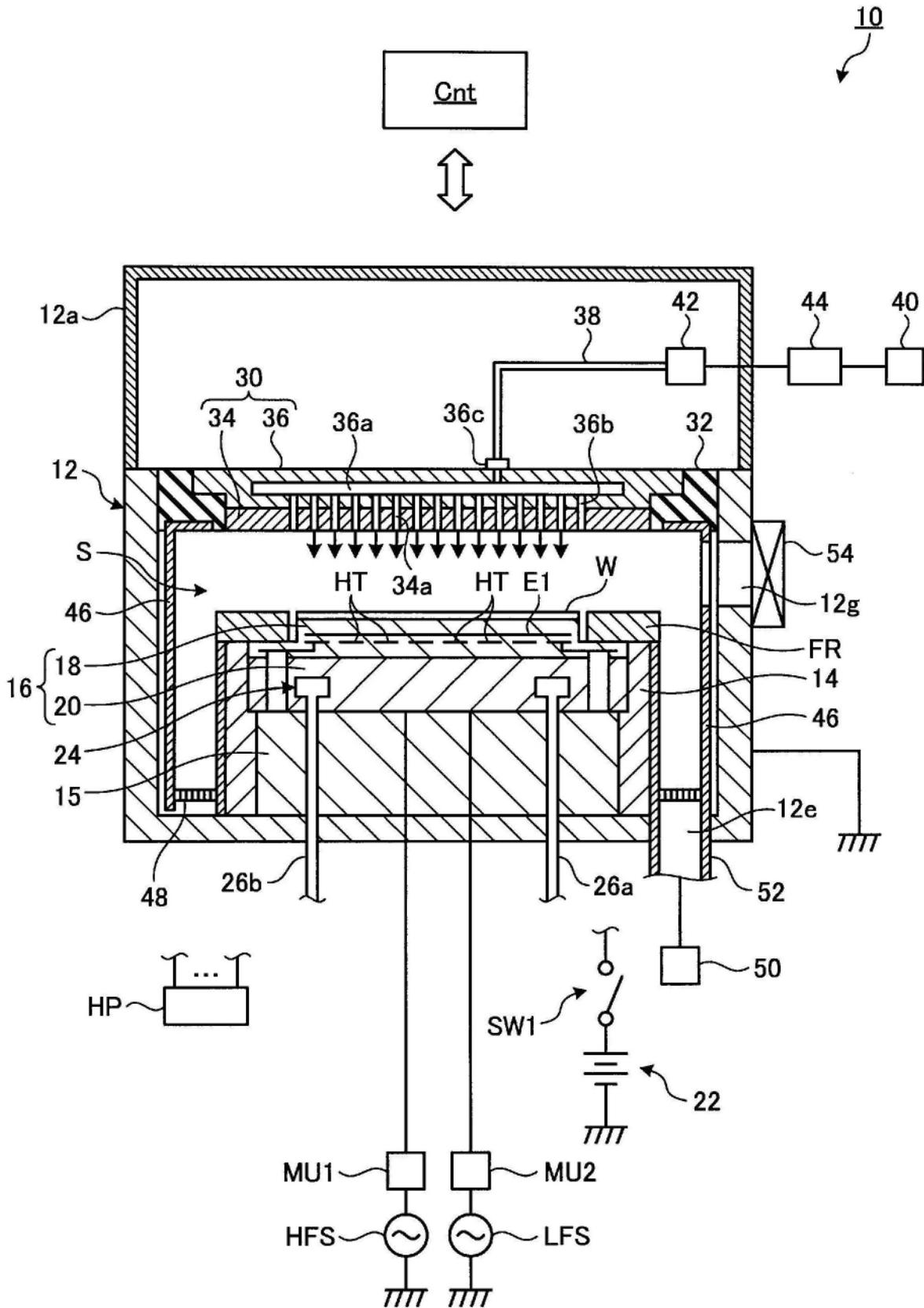


图1

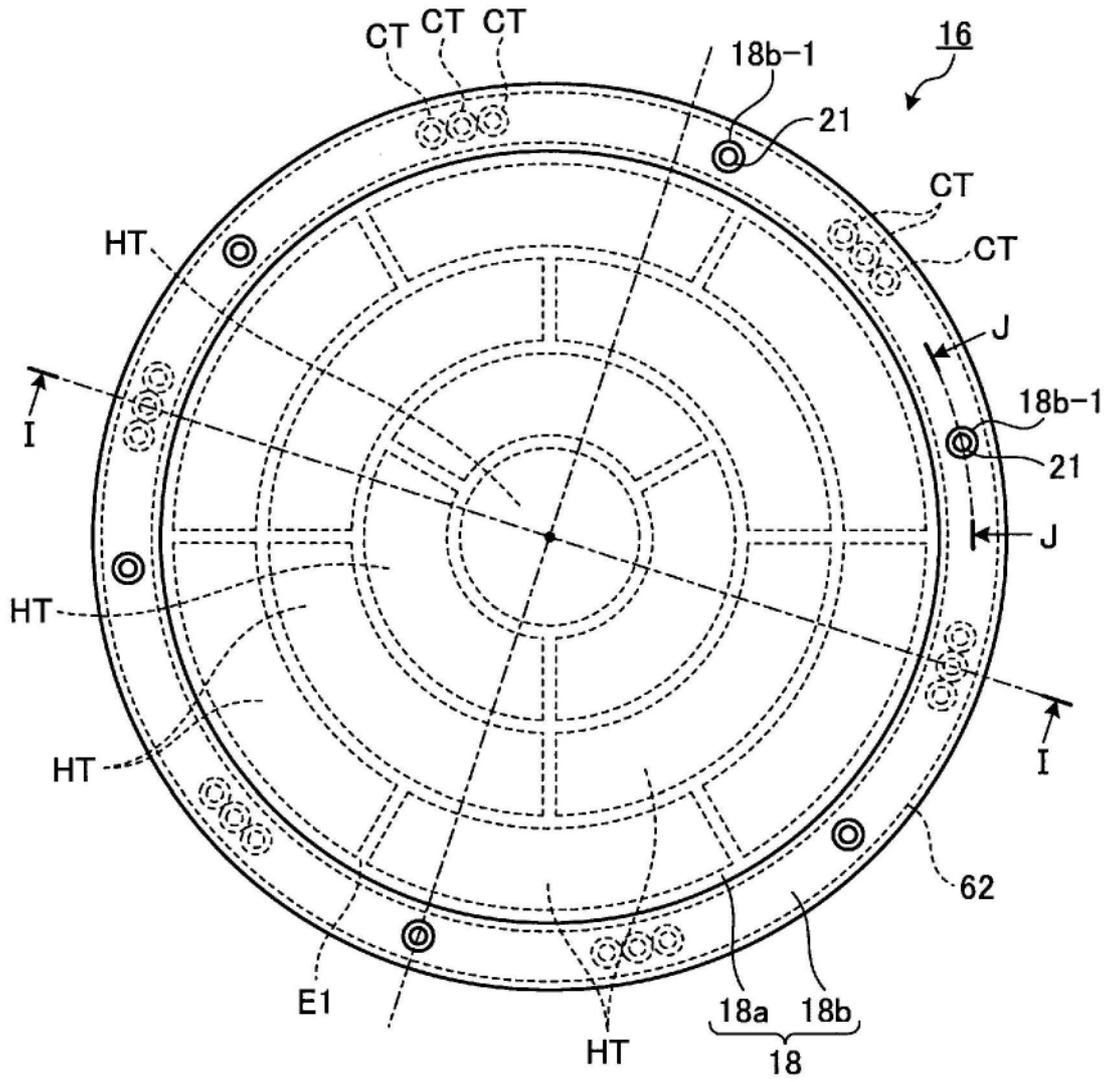


图2

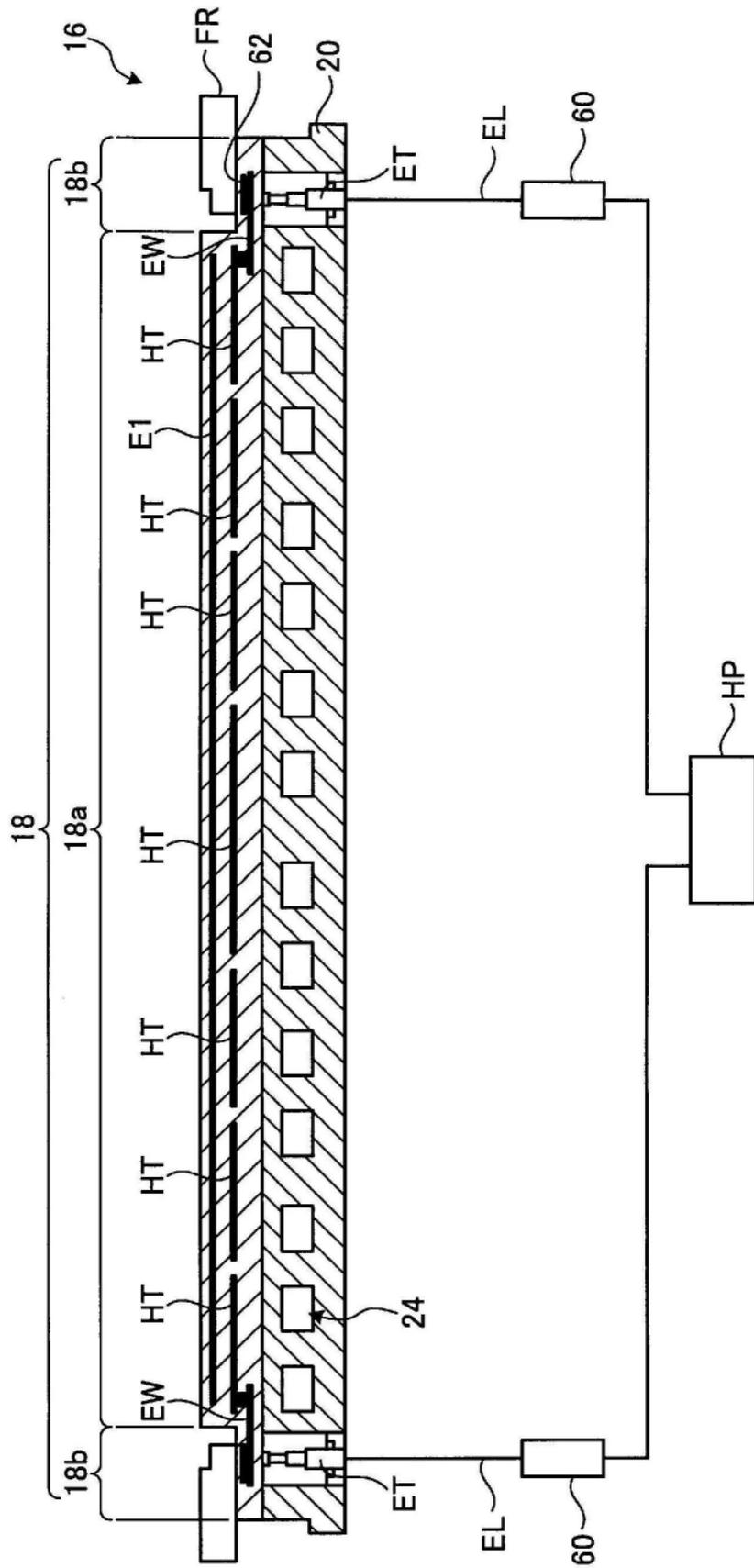


图3

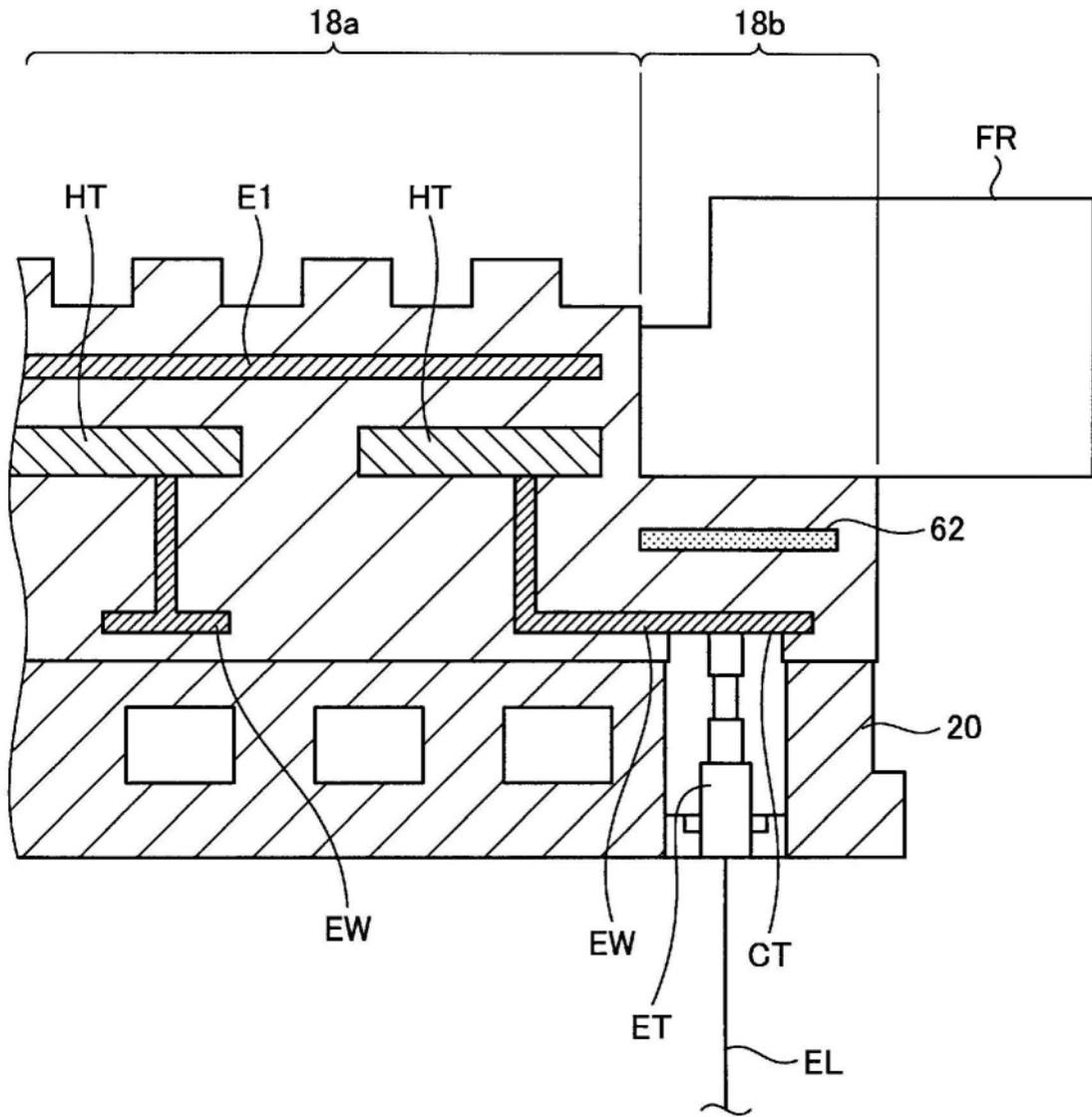


图4

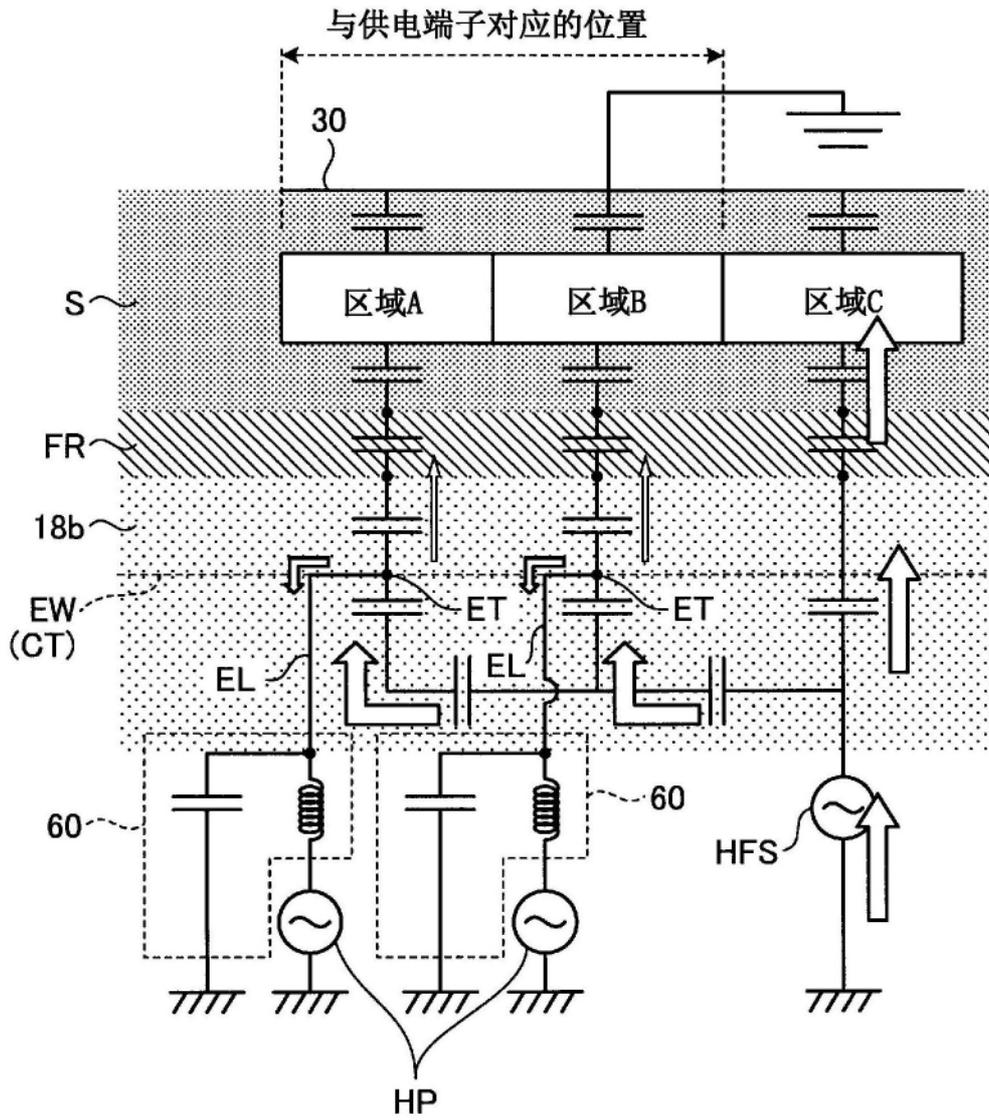


图5

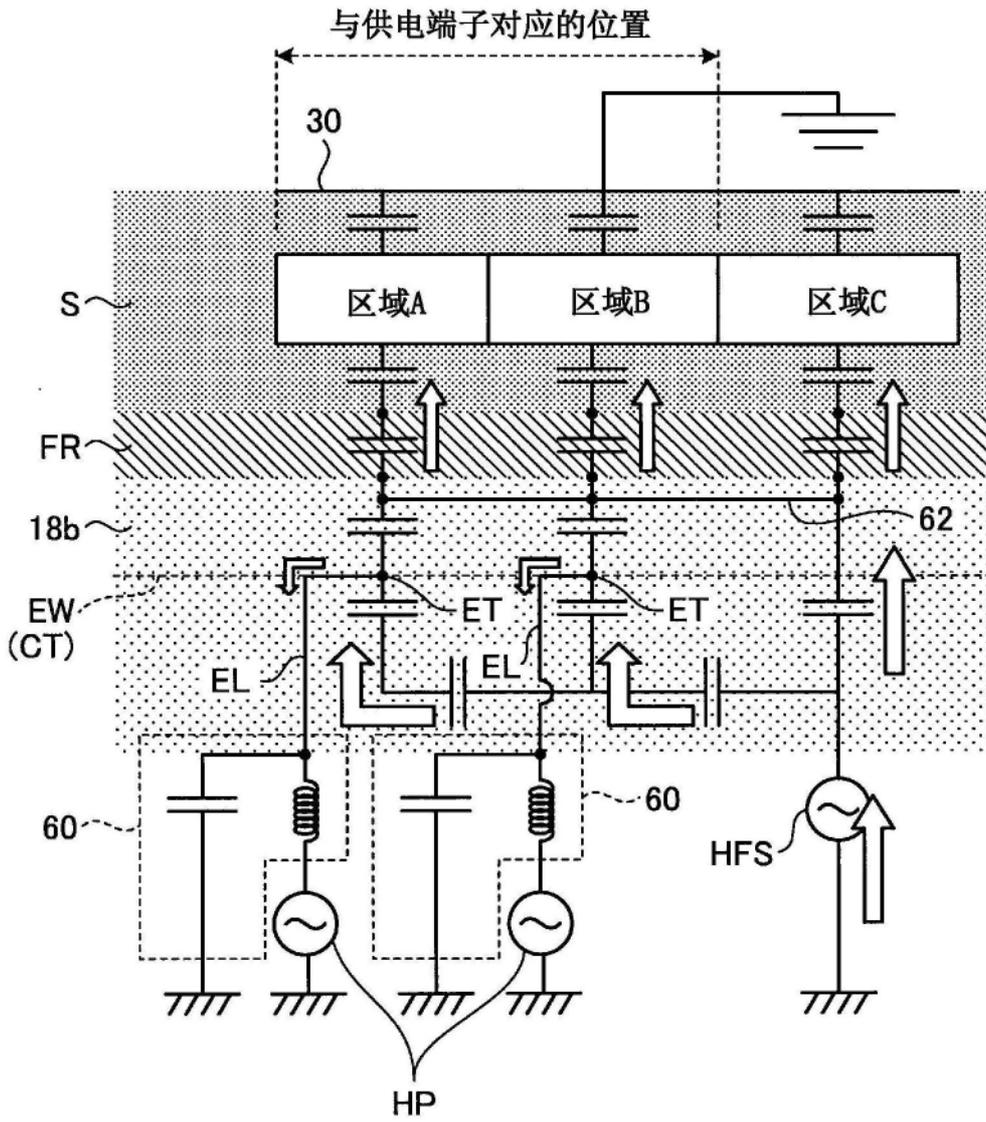


图6

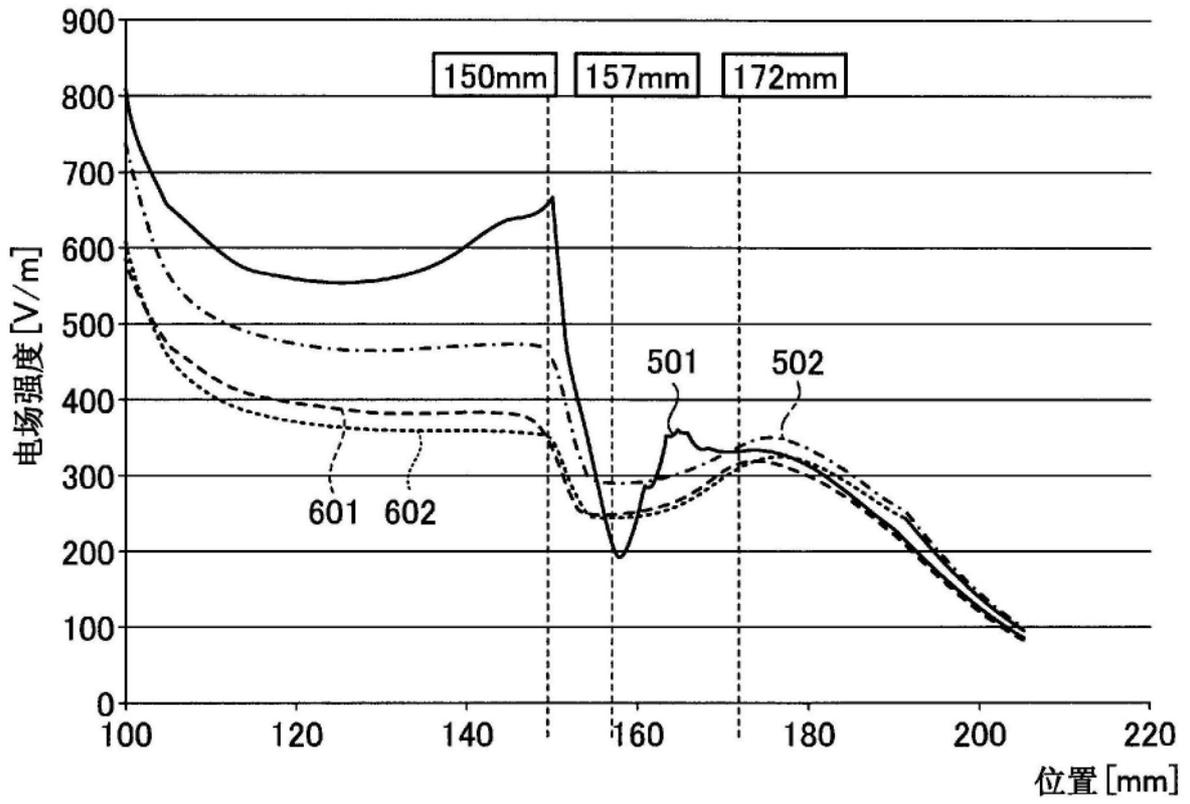


图7

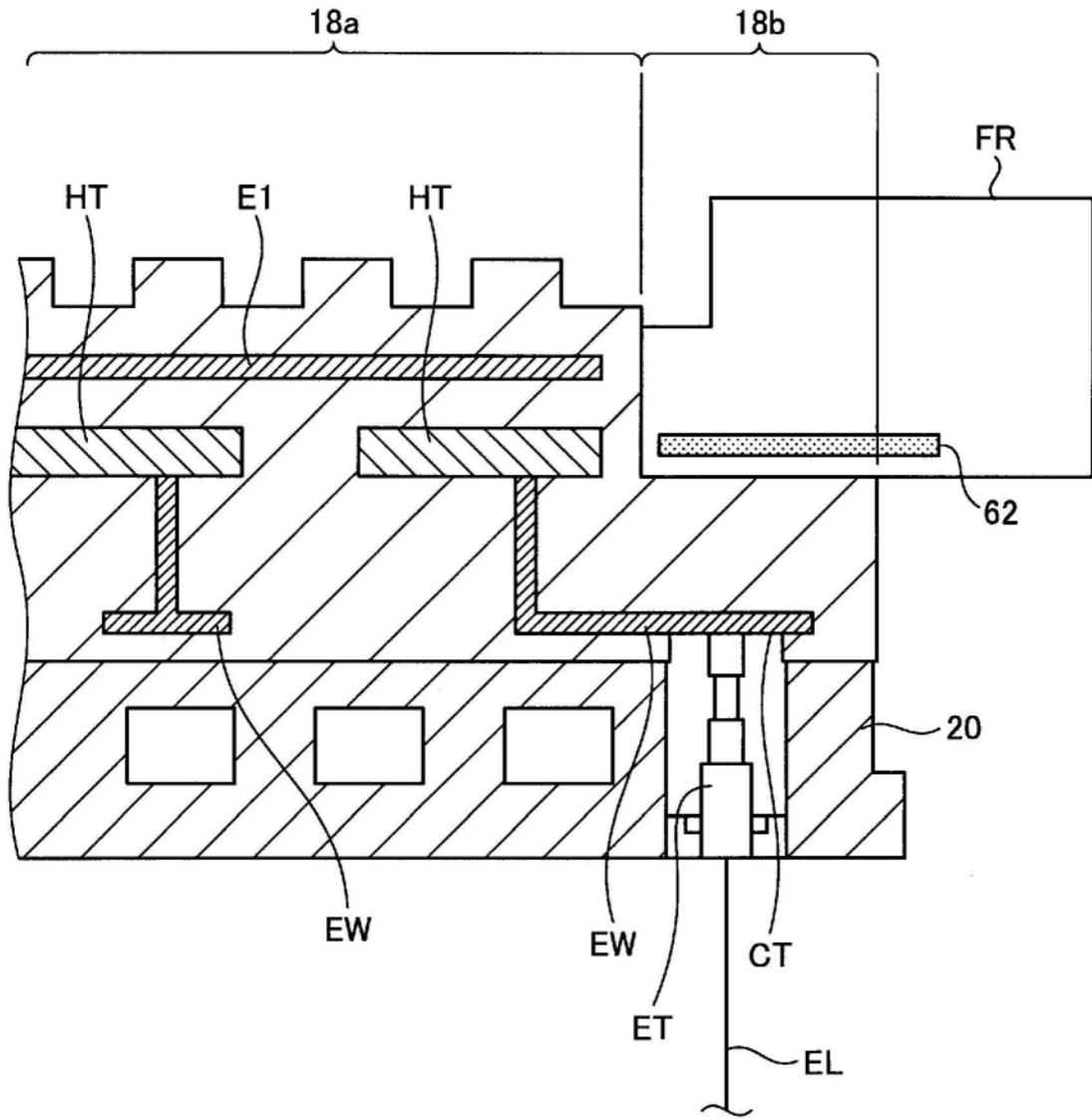


图8

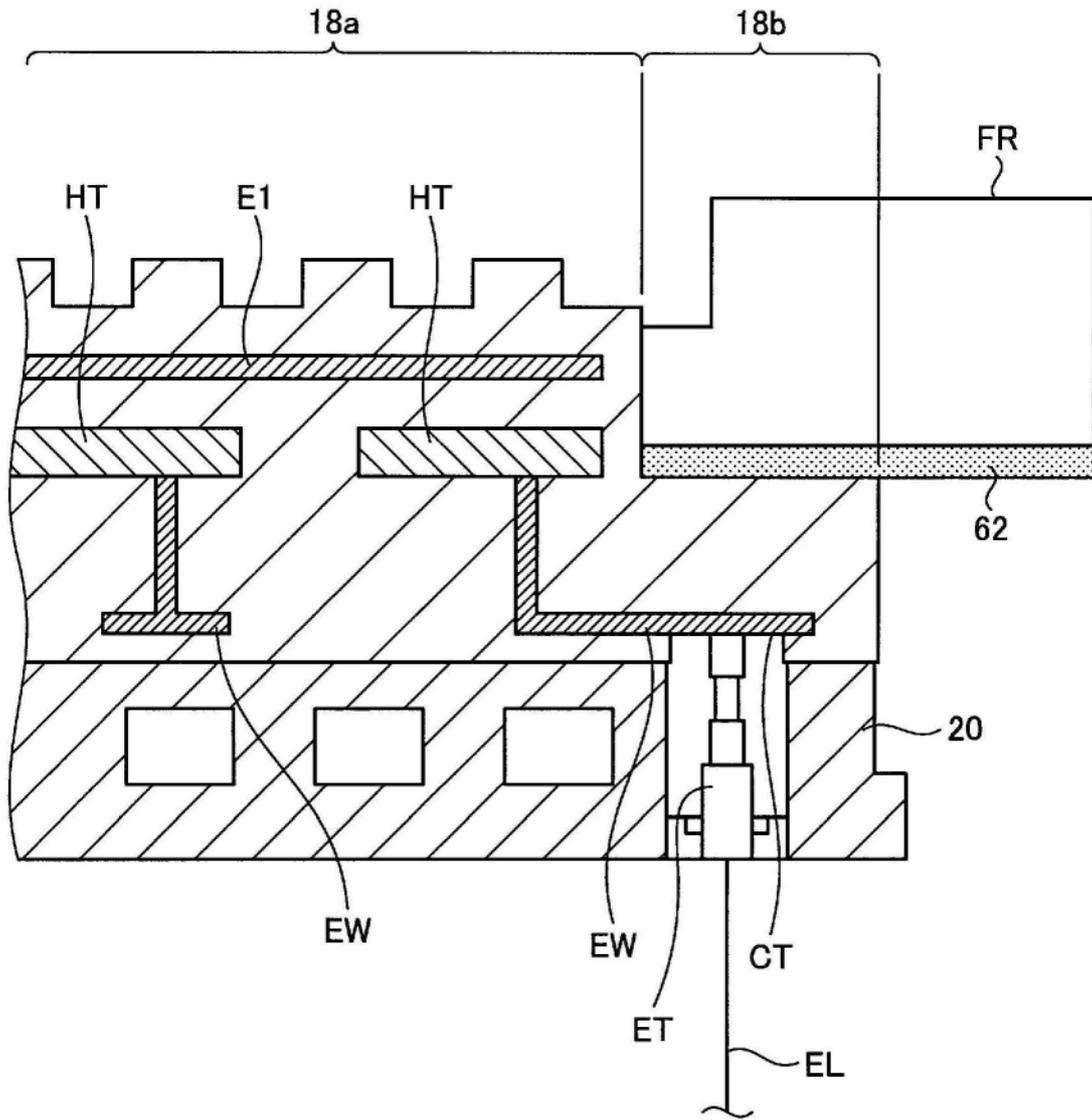


图9

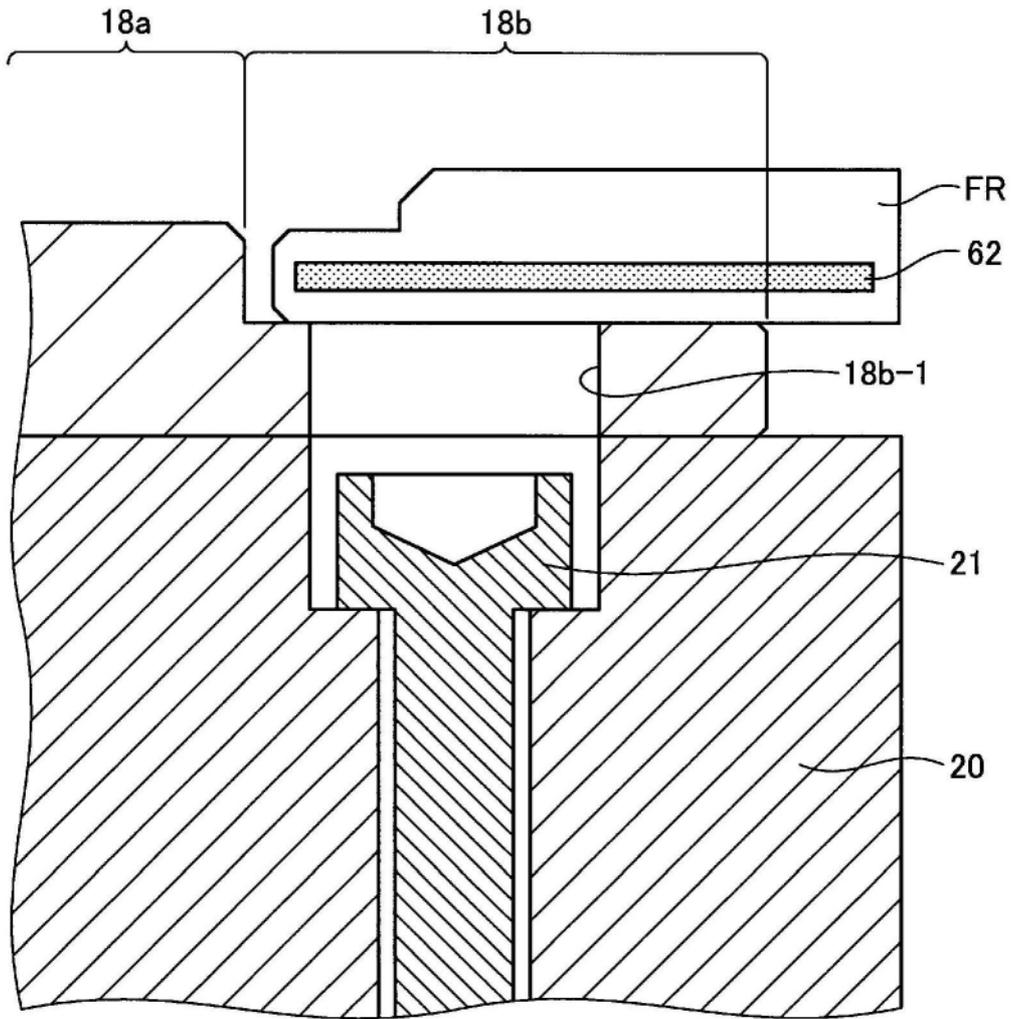


图10

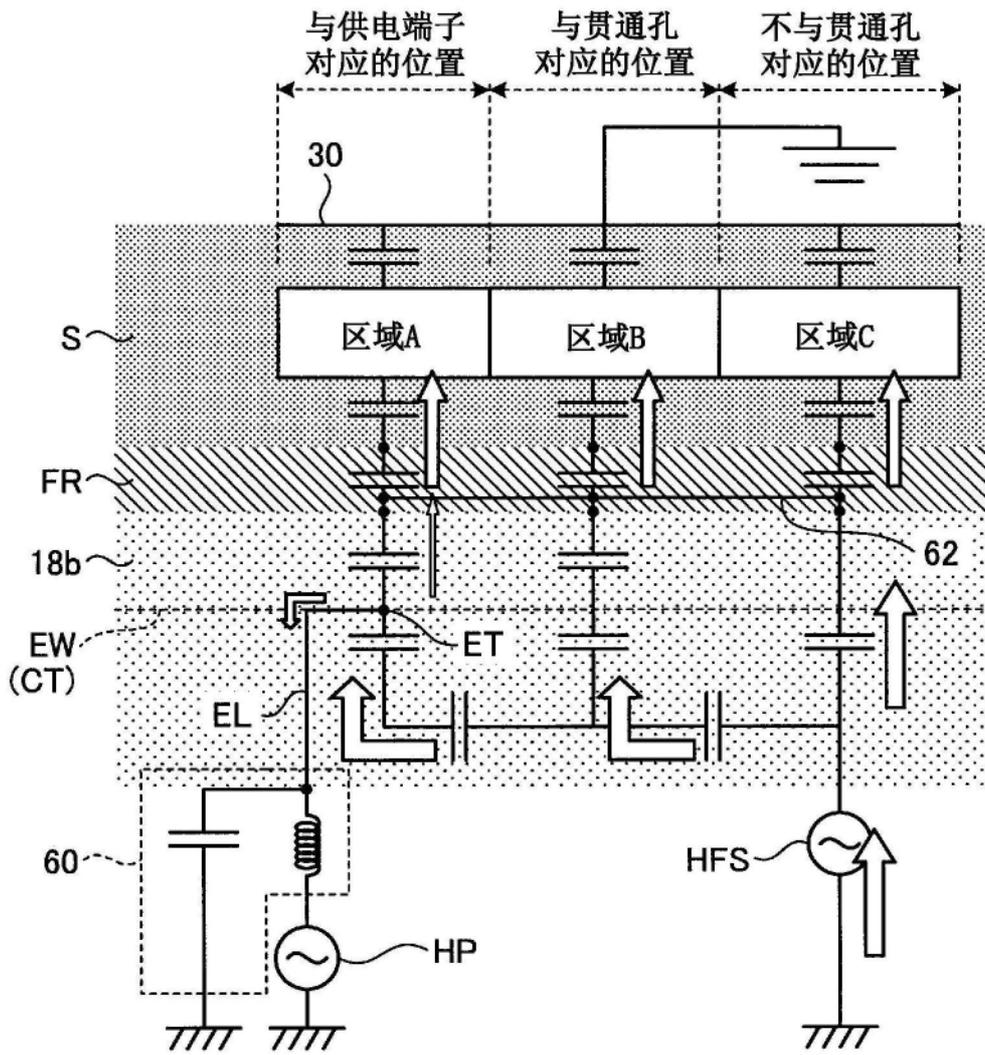


图11

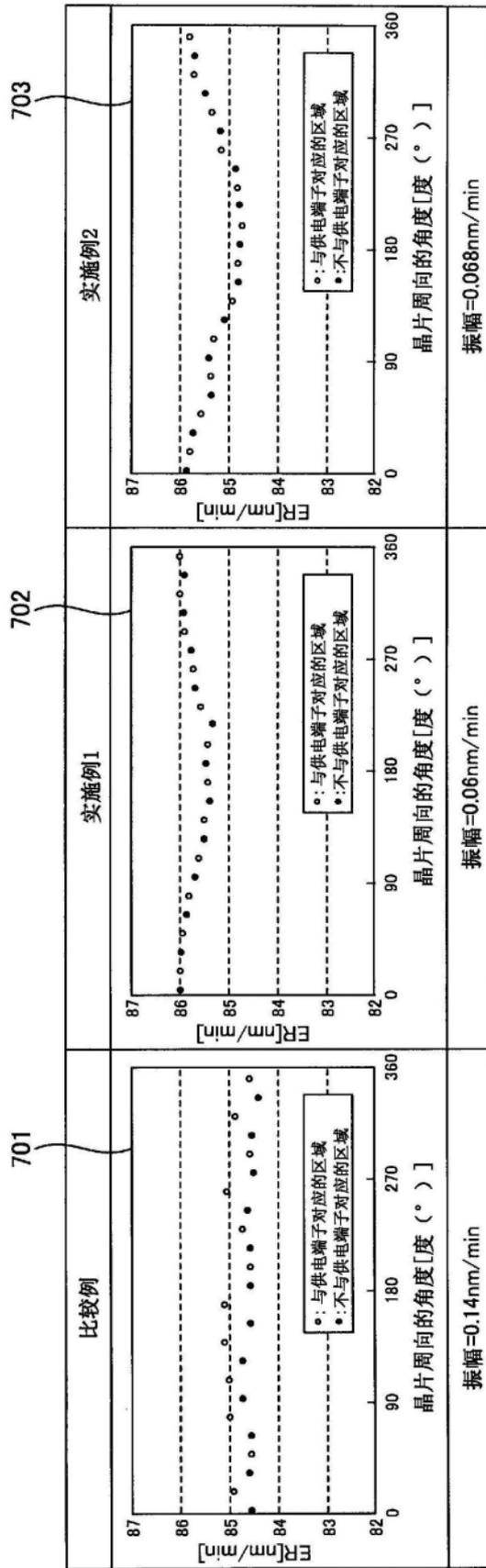


图12