



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I594260 B

(45) 公告日：中華民國 106 (2017) 年 08 月 01 日

(21) 申請案號：105102284

(22) 申請日：中華民國 105 (2016) 年 01 月 26 日

(51) Int. Cl. : G11C7/10 (2006.01)

G11C5/06 (2006.01)

(30) 優先權：2015/01/28 世界智慧財產權組織 PCT/US15/13350

(71) 申請人：惠普研發公司 (美國) HEWLETT-PACKARD DEVELOPMENT COMPANY, L. P.
(US)

美國

(72) 發明人：許仁俊 HSU, JEN CHUN (TW) ; 皮爾森 羅傑 A PEARSON, ROGER A. (US)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

US 8028404B2

US 8381064B2

US 8656072B2

US 2013/0318280A1

US 2014/0122966A1

審查人員：蕭明椿

申請專利範圍項數：15 項 圖式數：4 共 35 頁

(54) 名稱

支援不同類型的記憶體裝置

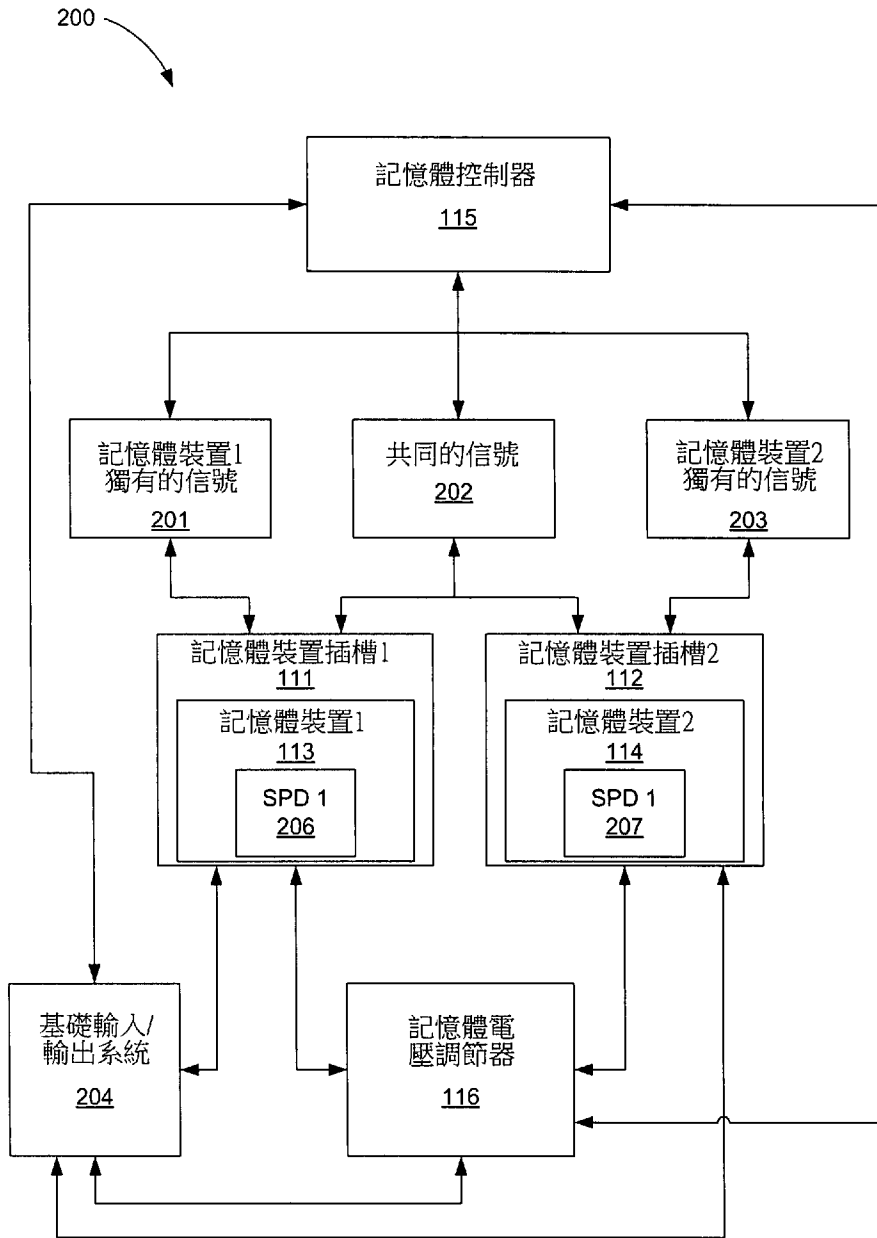
SUPPORTING DIFFERENT TYPES OF MEMORY DEVICES

(57) 摘要

本發明提供一種支援複數種不同類型記憶體裝置的計算系統，其包含一記憶體電壓調節器。該記憶體電壓調節器會以序列存在偵測(Serial Presence Detect, SPD)資料為基礎將一供應電壓調整至用於一已偵測到的記憶體裝置的必要電壓。該計算系統還進一步包含一記憶體控制器，其支援複數種類型的記憶體裝置。該記憶體控制器會接收關於該已偵測到的記憶體裝置之類型的資料，並且以該已偵測到的記憶體裝置的 SPD 資料以及一般用途輸入/輸出(General-Purpose Input/Output, GPIO)資料為基礎來控制和該已偵測到的記憶體裝置有關的輸入/輸出信號。

A computing system for supporting a plurality of different types of memory devices includes a memory voltage regulator. The memory voltage regulator adjusts a supply voltage to a requisite voltage for a detected memory device based on serial presence detect (SPD) data. The computing system further includes a memory controller that supports a plurality of types of memory devices. The memory controller receives data regarding the type of the detected memory device, and controls input/output signals relative to the type of the detected memory device based on the SPD data and the GPIO data of the detected memory device.

指定代表圖：



符號簡單說明：

- 111 . . . 記憶體裝置插槽
- 112 . . . 記憶體裝置插槽
- 113 . . . 記憶體裝置
- 114 . . . 記憶體裝置
- 115 . . . 記憶體控制器
- 116 . . . 記憶體電壓調節器
- 201 . . . 資料信號線
- 202 . . . 資料信號線
- 203 . . . 資料信號線
- 204 . . . 基礎輸入/輸出系統(BIOS)
- 206 . . . 電氣可抹除可程式化唯讀記憶體 (EEPROM)
- 207 . . . 電氣可抹除可程式化唯讀記憶體 (EEPROM)

圖2

發明摘要

公告本

※ 申請案號：105102284

※ 申請日：105/01/26

※IPC 分類：G11C 7/10 (2006.01)

G11C 5/06 (2006.01)

【發明名稱】(中文/英文)

支援不同類型的記憶體裝置

SUPPORTING DIFFERENT TYPES OF MEMORY DEVICES

【中文】

本發明提供一種支援複數種不同類型記憶體裝置的計算系統，其包含一記憶體電壓調節器。該記憶體電壓調節器會以序列存在偵測(Serial Presence Detect, SPD)資料為基礎將一供應電壓調整至用於一已偵測到的記憶體裝置的必要電壓。該計算系統還進一步包含一記憶體控制器，其支援複數種類型的記憶體裝置。該記憶體控制器會接收關於該已偵測到的記憶體裝置之類型的資料，並且以該已偵測到的記憶體裝置的 SPD 資料以及一般用途輸入/輸出(General-Purpose Input/Output, GPIO)資料為基礎來控制和該已偵測到的記憶體裝置有關的輸入/輸出信號。

【英文】

A computing system for supporting a plurality of different types of memory devices includes a memory voltage regulator. The memory voltage regulator adjusts a supply voltage to a requisite voltage for a detected memory device based on serial presence detect (SPD) data. The computing system further includes a memory controller that supports a plurality of types of memory devices. The memory

controller receives data regarding the type of the detected memory device, and controls input/output signals relative to the type of the detected memory device based on the SPD data and the GPIO data of the detected memory device.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

111：記憶體裝置插槽

112：記憶體裝置插槽

113：記憶體裝置

114：記憶體裝置

115：記憶體控制器

116：記憶體電壓調節器

201：資料信號線

202：資料信號線

203：資料信號線

204：基礎輸入/輸出系統(BIOS)

206：電氣可抹除可程式化唯讀記憶體(EEPROM)

207：電氣可抹除可程式化唯讀記憶體(EEPROM)

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

支援不同類型的記憶體裝置

SUPPORTING DIFFERENT TYPES OF MEMORY DEVICES

【技術領域】

【0001】 本發明係有關於支援不同類型的記憶體裝置。

【先前技術】

【0002】 諸如桌上型計算裝置、膝上型計算裝置、以及伺服器計算裝置的計算裝置皆包含資料儲存裝置。此些資料儲存裝置之間為可插拔的直列式記憶體裝置。

【發明內容】

【0003】 可插拔的直列式記憶體裝置包含諸如單排直列式記憶體裝置(Single In-line Memory device, SIMM)以及雙排直列式記憶體裝置(Dual In-line Memory device, DIMM)的記憶體裝置。一 DIMM 包含一連串的動態隨機存取記憶體積體電路。此些記憶體裝置被鑲嵌在一印刷電路板上，並且被設計成用於個人電腦、工作站、以及伺服器之中。雙倍資料率第三代同步動態隨機存取記憶體(Double Data Rate third generation Synchronous Dynamic Random-Access Memory, DDR3 SDRAM)係一種使用在 DIMM 記憶體裝置之中的動態隨機存取記憶體(Dynamic Random-Access Memory, DRAM)。DDR3 SDRAM 包含一高頻寬(「雙倍資料率」)介面。因為有不同的信令電壓、時序、以及其它因子的關係，DDR3 SDRAM 既不前向兼容亦不反向兼容於任何較早期類型的隨機存取記憶體(Random-Access Memory, RAM)。雙

倍資料率第四代同步動態隨機存取記憶體(Double Data Rate fourth generation Synchronous Dynamic Random-Access Memory, DDR4 SDRAM)同樣係一種使用在 DIMM 記憶體裝置之中的動態隨機存取記憶體(DRAM)，其具有一雙倍資料率介面。因為有不同的信令電壓、實體介面、以及其它因子的關係，DDR4 SDRAM 不兼容於包含 DDR4 SDRAM 在內的任何較早期類型的隨機存取記憶體(RAM)。

【0004】 一計算裝置製造商可能將它們的計算裝置製造成包含許多種類型記憶體裝置插槽中的其中一種類型以及對應的記憶體裝置類型。舉例來說，一電腦裝置可以被設計成僅支援其中一種類型的記憶體，例如，DDR3 SDRAM 或是 DDR4 SDRAM；然而，當計算裝置市場在該計算裝置的壽命期間或是在一計算平台的設計期間從其中一種記憶體儲存技術轉變至另一種記憶體儲存技術時，利用任一類型記憶體來設計或重新設計該計算裝置或該已設計平台則會在市場中對該計算裝置製造商造成不利的競爭條件。於其中一方面，倘若該計算裝置製造商選擇僅支援較舊的記憶體裝置類型(例如，DDR3 SDRAM)的話，那麼，這便可能導致該計算裝置或是該已設計平台的效能優勢低於競爭者所支援的相對較新的記憶體裝置類型(例如，DDR4 SDRAM)。另一方面，倘若該計算裝置製造商選擇僅支援較新的記憶體裝置類型(DDR4 SDRAM)的話，那麼，這便可能導致該計算裝置或是該已設計平台的成本優勢低於競爭者所支援的相對較舊、價格低廉的記憶體裝置類型(DDR3 SDRAM)。

【0005】 進一步言之，從計算裝置之採購者的觀點來看，採購者雖然可能希望替換或是更新直列式記憶體裝置；然而，如果沒有兼容的計算拓

樸(例如，位在該計算裝置的主機板上的經更新的插槽)，使用者便無法替換或是更新直列式記憶體裝置。同樣地，計算裝置的採購者亦可能已擁有具有 DDR3 SDRAM 的計算裝置，並且他/她現在希望買一台新型的下一代計算裝置，但是該下一代計算裝置卻可能僅包含 DDR4 SDRAM 插槽用於耦合數個 DDR4 SDRAM 裝置。本文中所述的範例便可以讓計算裝置製造商滿足客戶的需求，藉由提供一提供數個不同類型記憶體裝置插槽(例如，DDR3 SDRAM 插槽、DDR4 SDRAM 插槽、以及下一代的 SDRAM 插槽(舉例來說，DDR5 SDRAM 插槽))的計算裝置讓他/她可以再使用既有的 DDR3 記憶體。

【0006】 本文中所述的範例提供一種支援複數種不同類型記憶體裝置的計算裝置。該計算裝置於一印刷電路板(Printed Circuit Board, PCB)上包含複數種類型的記憶體裝置插槽，用以將對應數量及類型的記憶體裝置連接至該計算裝置。該計算裝置還包含一被耦合至該些記憶體裝置插槽的記憶體電壓調節器。該計算裝置還包含一被耦合至該些記憶體裝置插槽的記憶體控制器。該記憶體控制器會確定出現在一被耦合至該些記憶體裝置插槽的其中一者的已偵測到的記憶體裝置上的序列存在偵測(Serial Presence Detect, SPD)資料，以便從該數量之記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型。該記憶體控制器還會指示該記憶體電壓調節器以該 SPD 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置所需要的電壓。該記憶體控制器還會以該 SPD 資料為基礎來控制送往及來自該已偵測到的記憶體裝置的輸入信號/輸出信號。

【0007】 於其中一範例中，第一類型的記憶體裝置類型以及對應的第一記憶體裝置類型裝置為雙倍資料率類型的第三代同步動態隨機存取記憶

體(DDR3)裝置。於此範例中，第二類型的記憶體裝置插槽以及對應的第二記憶體裝置類型為雙倍資料率類型的第四代同步動態隨機存取記憶體(DDR4)裝置。

【0008】 於其中一範例中，該記憶體電壓調節器會以出現在該已偵測到的記憶體裝置上的 SPD 資料、一般用途輸入/輸出(General-Purpose Input/Output, GPIO)資料、或是它們的組合為基礎將電壓切換至必要的電軌。GPIO 係位於該些記憶體裝置(113、114)上的通用接針。於其中一範例中，該記憶體控制器會從一基礎輸入/輸出系統(Basic Input/Output System, BIOS)韌體封裝處接收關於該已偵測到的記憶體裝置之類型的資料。於其中一範例中，記憶體裝置的至少其中一種類型為雙倍資料率類型的第三代同步動態隨機存取記憶體(DDR3)裝置。進一步言之，於其中一範例中，記憶體裝置的至少其中一種類型為雙倍資料率類型的第四代同步動態隨機存取記憶體(DDR4)裝置。

【0009】 該記憶體控制器支援數種類型的記憶體裝置。此外，該記憶體電壓調節器也會介接(interface)該多種類型的記憶體裝置。於其中一範例中，該記憶體電壓調節器支援一計算裝置製造商或設計人員設計該計算裝置以支援的任何數量之類型的記憶體裝置。

【圖式簡單說明】

【0010】 本發明中的隨附圖式圖解本文中所述原理的各種範例並且為說明書的一部分。本發明中所提出的圖示範例僅係為達解釋的目的，而非限制申請專利範圍的範疇。

圖 1A 所示的係根據本文中所述原理的其中一個範例之用於支援不同

類型記憶體裝置的計算系統的記憶體的方塊圖。

圖 1B 所示的係根據本文中所述原理的另一個範例之用於支援不同類型記憶體裝置的計算系統的方塊圖。

圖 2 所示的係根據本文中所述原理的其中一個範例之圖 1A 與 1B 的計算系統的記憶體控制器以及記憶體電壓調節器的方塊圖。

圖 3 所示的係根據本文中所述原理的其中一個範例之用以操作支援不同類型記憶體裝置的計算系統的方法的流程圖。

圖 4 所示的係根據本文中所述原理的另一個範例之用以操作支援不同類型記憶體裝置的計算系統的方法的流程圖。

在所有圖式中，相同的元件符號代表雷同，但是未必完全相同，的元件。

【實施方式】

【0011】 如本說明書中以及隨附的申請專利範圍中的用法，「數個…」或是雷同字語的意義應被廣義地理解為包括 1 至無限數的任何正數；零並非數量，而係沒有任何數量。

【0012】 在下面的說明中，為達解釋的目的，眾多明確的細節會被提出，以便透澈瞭解本系統及方法。然而，熟習本技術的人士便會明白，沒有此些明確細節仍然可以實行本設備、系統、以及方法。說明書中所引用的「一範例」或是雷同字語的意義為包含配合該範例所述的一特殊特點、結構、或是特徵，而其它範例中可能並不包含該特殊特點、結構、或是特徵。

【0013】 現在參考圖式，圖 1A 所示的係根據本文中所述原理的其中

一個範例之用於支援不同類型記憶體裝置的計算系統(100)的記憶體的方塊圖。為達成其所希望的功能，計算系統(100)包含多個硬體器件。於此些硬體器件之中可以有數個記憶體控制器(115)、數個記憶體電壓調節器(116)、複數種類型的記憶體裝置插槽(111、112)、數個記憶體裝置(113、114)、以及一基礎輸入/輸出系統(BIOS)(204)。此些硬體器件可以經由使用數條匯流排及/或網路連接線而互連以及被連接至其它計算裝置。於其中一範例中，該些記憶體控制器(115)、記憶體電壓調節器(116)、記憶體裝置插槽(111、112)、以及記憶體裝置(113、114)可以被通信耦合至一匯流排(105)，該匯流排可以提供連接至計算系統(100)裡面的其它計算元件，下面將配合圖 1B 作更詳細的說明。

【0014】 該記憶體控制器協同一處理器來工作，用以確定出現在一已偵測到的記憶體裝置(113、114)上的序列存在偵測(SPD)資料，以便從對應於該些類型之記憶體裝置插槽(111、112)的複數種記憶體裝置類型中判斷該些已偵測到的記憶體裝置的類型。於其中一範例中，該些記憶體電壓調節器(116)會以該 SPD 資料為基礎將一供應電壓調整至一已偵測到的記憶體裝置(113、114)所需要的電壓。於另一範例中，該記憶體控制器(115)、該處理器(圖 1B 中的 101)、或是它們的組合會指示該些記憶體電壓調節器(116)以該 SPD 資料為基礎將一供應電壓調整至一已偵測到的記憶體裝置(113、114)所需要的電壓。該記憶體控制器(115)會以該 SPD 資料為基礎來控制送往及來自該已偵測到的記憶體裝置(113、114)的輸入信號/輸出信號。於其中一範例中，數個該些記憶體裝置插槽(111、112)、記憶體裝置(113、114)、記憶體控制器(115)、以及記憶體電壓調節器(116)係位於一共同的印刷電路板之上。

現在將配合圖 1B 來提供關於支援不同類型記憶體裝置(113、114)的計算系統(100)的更多細節。

【0015】 圖 1B 所示的係根據本文中所述原理的另一個範例之用於支援不同類型記憶體裝置的計算系統(100)的方塊圖。該計算系統(100)可以被施行在一電子裝置之中。除了其它電子裝置之外，電子裝置的範例還包含伺服器、桌上型電腦、膝上型電腦、個人數位助理(Personal Digital Assistant, PDA)、行動裝置、智慧型電話、遊戲系統、以及平板。

【0016】 該計算系統(100)可被運用在任何資料處理情境之中，其包含：單機型硬體、行動應用，計算網路、或是它們的組合。進一步言之，該計算系統(100)可以被使用在下面之中：計算網路、公眾雲網路、私有雲網路、混合雲網路、其它形式的網路、或是它們的組合。進一步言之，該計算系統(100)可以被施行在一或多個硬體平台之中，其中，該系統之中的該些模組能夠在一個平台之中或是跨越多個平台被執行。此些模組能夠在各種形式的雲技術以及混合雲技術之中運轉；或者，能夠以 SaaS(軟體即服務)的方式來提供，其能夠被施行在雲之中或是在雲外面施行。於另一範例中，由該計算系統(100)所提供的方法係由區域管理者來執行。

【0017】 為達成其所希望的功能，該計算系統(100)包含各式各樣的硬體器件。於此些硬體器件之中可以有數個處理器(101)、數個資料儲存裝置(102)、數個週邊裝置轉接器(103)、以及數個網路轉接器(104)。此些硬體器件可以經由使用數條匯流排及/或網路連接線而互連。於其中一範例中，該些處理器(101)、資料儲存裝置(102)、週邊裝置轉接器(103)、以及網路轉接器(104)可以透過一匯流排(105)被通信耦合。

【0018】 處理器(101)可以包含用以從資料儲存裝置(102)處擷取可執行編碼並且執行該可執行編碼的硬體架構。該可執行編碼在被該處理器(101)執行時可以讓該處理器(101)施行至少下面的功能：確定出現在一已偵測到的記憶體裝置上的序列存在偵測(SPD)資料，以便從對應於該些類型之記憶體裝置插槽的複數種記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型。該功能可能還包含：指示一記憶體電壓調節器以該 SPD 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置所需要的電壓；以及以該 SPD 資料為基礎來控制送往及來自該已偵測到的記憶體裝置的輸入信號/輸出信號。於其中一範例中，該記憶體控制器(115)會被初始化成用以針對被安裝在該計算系統(100)之中的記憶體裝置類型並且以該記憶體裝置類型為基礎來實施此些功能。處理器(101)的功能係根據本文中所述的本說明書的方法而被實施。在執行編碼的過程中，處理器(101)可以從數個其餘的硬體單元處接收輸入以及提供輸出至數個其餘的硬體單元。

【0019】 資料儲存裝置(102)可以儲存資料，例如，由處理器(101)或是其它處理裝置來執行的可執行程式碼。如下面的討論，該資料儲存裝置(102)可以特別儲存代表數個應用的電腦編碼，處理器(101)可以執行該電腦編碼以施行至少在本文中所述的功能。

【0020】 該資料儲存裝置(102)可以包含各種類型的記憶體裝置，其包含揮發性記憶體以及非揮發性記憶體。舉例來說，本範例的資料儲存裝置(102)包含隨機存取記憶體(RAM)(106)、唯讀記憶體(Read Only Memory, ROM)(107)、以及硬碟機(Hard Disk Drive, HDD)記憶體(108)。許多其它類型的記憶體亦可以被運用，並且本說明書涵蓋於適合本文中所述原理的特殊

應用時在資料儲存裝置(102)之中使用許多不同類型的記憶體。於其中一範例中，在資料儲存裝置(102)之中的不同類型的記憶體可以用於不同的資料儲存需求。舉例來說，處理器(101)可以從唯讀記憶體(ROM)(107)處開機，於硬碟機(HDD)記憶體(108)之中保留非揮發性儲存，並且在隨機存取記憶體(RAM)(106)之中執行程式碼。

【0021】 資料儲存裝置(102)還包含用以讓數個記憶體裝置(113、114)(例如，上面所述的 DDR3 和 DDR4 協定兼容的儲存裝置)可以被耦合的數個記憶體裝置插槽(111、112)。圖 1 和 2 之中雖然顯示兩個記憶體裝置插槽(111、112)；不過，任何數量的記憶體裝置插槽(111、112)皆可以被耦合至該計算系統(100)。

【0022】 圖 1B 的計算系統還包含一記憶體控制器(115)。該記憶體控制器協同處理器(101)來工作，用以確定出現在一已偵測到的記憶體裝置(113、114)上的序列存在偵測(SPD)資料，以便從對應於該些類型之記憶體裝置插槽(111、112)的複數種記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型。

【0023】 該功能還可以包含指示一記憶體電壓調節器(116)以該 SPD 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置(113、114)所需要的位準，以及以該 SPD 資料為基礎來控制送往及來自該已偵測到的記憶體裝置(113、114)的輸入信號/輸出信號。於其中一範例中，數個該處理器(101)、該些記憶體裝置插槽(111、112)、記憶體裝置(113、114)、記憶體控制器(115)、以及記憶體電壓調節器(116)係位於一共同的印刷電路板之上。

【0024】 除了其它的媒體之外，本文中所述的資料儲存裝置(包含資

料儲存裝置(102)、RAM(106)、(ROM)(107)、HDD 記憶體(108)、記憶體裝置(113、114)、以及本文中所述的其它記憶體裝置)還可以包含電腦可讀取媒體、電腦可讀取儲存媒體、或是非暫時性電腦可讀取媒體。舉例來說，本文中所述的資料儲存裝置可以為，但是並不受限於電子式、磁式、光學式、電磁式、紅外線、或半導體系統、設備、或裝置、或是前述的任何合宜組合。舉例來說，電腦可讀取儲存媒體的更明確範例可以包含下面：具有數條電線的電氣連接線、可攜式電腦磁碟、硬碟、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、可抹除可程式化唯讀記憶體(EPROM 或是快閃記憶體)、可攜式小型碟片唯讀記憶體(Compact Disc Read-Only Memory, CD-ROM)、光學式儲存裝置、磁式儲存裝置、或是前述的任何合宜組合。於本文件的內文中，電腦可讀取儲存媒體可以為任何有形媒體，其能夠含有或儲存可以讓指令執行系統、設備、或裝置使用的程式碼或是可以配合指令執行系統、設備、或裝置使用的電腦可使用的程式碼。於另一範例中，電腦可讀取儲存媒體可以為任何非暫時性媒體，其能夠含有或儲存可以讓指令執行系統、設備、或裝置使用的程式碼或是可以配合指令執行系統、設備、或裝置使用的程式碼。

【0025】 計算系統(100)之中的硬體轉接器(103、104)可以讓處理器(101)介接位於該計算系統(100)外部及內部的各種其它硬體元件。舉例來說，週邊裝置轉接器(103)可以提供一介面，用以介接至輸入/輸出裝置，舉例來說，顯示器裝置(109)、滑鼠、或是鍵盤以及記憶體裝置插槽(111、112)和記憶體裝置(113、114)。該些週邊裝置轉接器(103)還可以提供存取至其它外部裝置，例如，一外部儲存裝置、數個網路裝置(舉例來說，伺服器、切

換器、以及路由器)、客端裝置、其它類型的計算裝置、以及它們的組合。

【0026】 計算系統(100)進一步包含被用於施行本文中所述功能的數個模組。該計算系統(100)裡面的該各種模組包含可以被分開執行的可執行程式碼。於此範例中，該各種模組可以被儲存為多個分離的電腦程式產品。於另一範例中，計算系統(100)裡面的該各種模組可以被組合於數個電腦程式產品裡面，每一個電腦程式產品皆包含數個該些模組。

【0027】 於其中一範例中，處理器(101)會如 BIOS(圖 2 的 204)編碼的指示來判斷被安裝的記憶體類型。於此範例中，該 BIOS(圖 2 的 204)包含用以初始化電壓調節器(116)以及記憶體控制器(115)的數個規定，以便偵測被連接至該些記憶體裝置插槽(111、112)的記憶體裝置(113、114)的數量及類型。於另一範例中，該計算系統(100)可以包含一記憶體控制模組(110)，用以在被處理器(101)或記憶體控制器(115)執行時偵測被連接至該些記憶體裝置插槽(111、112)的記憶體裝置(113、114)的數量及類型。

【0028】 該記憶體控制模組(110)還會控制用以將信號傳送至被連接至該些記憶體裝置插槽(111、112)的記憶體裝置(113、114)以及用以從被連接至該些記憶體裝置插槽(111、112)的記憶體裝置(113、114)處傳送信號。計算系統(100)還含一 BIOS(圖 2 的 204)。該 BIOS(圖 2 的 204)包含用以啟動硬體上的 GPIO 的指令，其已被發送至記憶體電壓調節器(116)，用以指示該記憶體電壓調節器(116)適當地調整它的電壓輸出。

【0029】 圖 2 所示的係根據本文中所述原理的其中一個範例之圖 1A 與 1B 的計算系統(100)的記憶體控制器(115)以及記憶體電壓調節器(116)的方塊圖。不同的記憶體模組(113、114)可以有迥異的物理特性及電氣特性，

除了其它差異之外，其還包含不同的信令電壓、不同的接針排列、不同的形狀因子、以及不同的連接器凹口擺放位置。此些不同特性中的至少其中一者可能產生一特殊世代的記憶體裝置，例如，SDRAM 裝置，舉例來說，既不前向兼容亦不反向兼容於任何較早期類型或是較晚期類型的資料儲存裝置。於此情況中，計算系統製造商便難以決擇係要讓它們的計算平台具備較舊、相對較便宜的記憶體裝置類型或是要讓它們的計算平台具備最新但是相對較昂貴的記憶體裝置類型。倘若製造商要在它們的計算平台裡面提供較舊、相對較便宜的記憶體裝置類型的話，製造該計算平台的成本便會下降並且製造商甚至可以銷售更多的計算單元，因為該計算單元的成本同樣會比較便宜。

【0030】 然而，倘若市場對具有相對較新並且較昂貴之記憶體裝置的計算平台的需求提高而製造商卻選擇讓它們的計算平台具備相對較舊且較便宜的記憶體裝置的話，那麼，該製造商的一部分市場佔有率便會被提供包含相對較新並且較昂貴之記憶體裝置的計算平台的競爭者奪去。相反地，倘若市場對具有相對較新並且較昂貴之記憶體裝置的計算平台的需求不再提高甚至已經下降而製造商卻選擇讓它們的計算平台具備相對較新並且較昂貴之記憶體裝置的話，那麼，該製造商的一部分市場佔有率便會被提供包含對較舊且較便宜之記憶體裝置的計算平台的競爭者奪去。

【0031】 因此，對電腦平台製造商有利的方式係能夠在他們的電腦平台之中選擇提供任何資料儲存裝置，甚至在製造該計算系統(100)之後的某個時點仍可以選擇。圖 1A、1B、以及 2 的計算系統便提供此能力。如圖 2 中所示，該計算系統(圖 1A 與 1B 的 100)可以包含該記憶體控制器(115)、該

些記憶體裝置插槽(111、112)、被耦合至該些記憶體裝置插槽(111、112)的記憶體裝置(113、114)、以及記憶體電壓調節器(116)。為在該記憶體控制器(115)以及該些記憶體裝置(113、114)之間提供電器連接能力，可能會提供數條資料信號線(201、202、203)。因為不同的記憶體模組(113、114)有迥異的信令需求以及接針引出線(pinout)，所以，該些資料信號線(201、202、203)讓不同的信號被傳送至該些不同的記憶體模組(113、114)。於其中一範例中在表 1 提供由迥異的資料儲存裝置所傳送的資料信號的比較，表 1 中比較 DDR3 資料儲存裝置的資料信號和 DDR4 資料儲存裝置的資料信號。

	DDR3 記憶體介面	DDR4 記憶體介面	
共同信號	DDR0_ECC[7:0]	DDR0_ECC[7:0]	
	DDR0_DQ[63:0]	DDR0_DQ[63:0]	
	DDR0_DQSP[8:0]	DDR0_DQSP[8:0]	
	DDR0_DQSN[8:0]	DDR0_DQSN[8:0]	
	DDR0_CKN[3:0]	DDR0_CKN[3:0]	
	DDR0_CKP[3:0]	DDR0_CKP[3:0]	
	DDR0_CKE[3:0]	DDR0_CKE[3:0]	
	DDR0_CS#[3:0]	DDR0_CS#[3:0]	
	DDR0_ODT[3:0]	DDR0_ODT[3:0]	
	DDR0_VREF_CA	DDR0_VREF_CA	
	DDR0_MA[15:0]	DDR0_MA[15:0]	
	DDR0_BA[1:0]	DDR0_BA[1:0]	
DDR3 獨有的 信號	DDR0_CAS#	DDR0_ACT#	DDR4 獨有的 信號
	DDR0_RAS#	DDR0_BG[1:0]	
	SSR0_WE#	DDR0_ALERT#	
	DDR0_VREF_DQ	DDR0_PAR	
	DDR0_BA 位元[2]	DDR0_MA 位元[16]	

表 1：DDR3 記憶體裝置和 DDR4 記憶體裝置之間共同記憶體信號及非共同記憶體信號列表

如表 1 中所看見，DDR3 資料儲存裝置和 DDR4 資料儲存裝置有共同的數個信號。這些共同信號會透過共同信號線(202)在該記憶體控制器(115)以及這些記憶體裝置(113、114)之間被傳輸。然而，DDR3 資料儲存裝置卻有如表 1 中所示之特有的數個信號。這些 DDR3 信號可以透過記憶體裝置 1 信號線(201)來發送。同樣地，DDR4 資料儲存裝置特有的數個信號可以透過記憶體裝置 2 信號線(203)來發送。圖 2 中雖然顯示一條共同信號線(202)以及兩條不同的記憶體裝置信號線(201、203)；不過，任何數量的共同及迥異信號線皆可以被併入於該計算系統(100)之中。於其中一範例中，一特定類型記憶體裝置(113、114)特有的迥異信號線(201、203)的數量可以被併入以匹配對應數量的不同記憶體裝置(113、114)。某些計算裝置製造商(舉例來說，Intel Corporation)會要求被附接至任何給定記憶體控制器的所有記憶體裝置為相同的記憶體類型。本文中的範例則在每一條記憶體通道上提供多種記憶體類型。因此，針對被耦合至計算系統(100)的任何給定記憶體類型來說，仍然可以使用所有的記憶體通道並且記憶體效能不會受到影響。

【0032】 當計算系統(100)的不同記憶體裝置(113、114)被新增至該計算系統(100)時，記憶體控制器(115)便會判斷被新增至這些記憶體裝置插槽(111、112)的記憶體裝置(113、114)的類型。於其中一範例中，記憶體控制器(115)會藉由從這些記憶體裝置(113、114)處取得序列存在偵測(SPD)資料來判斷被新增至這些記憶體裝置插槽(111、112)的記憶體裝置(113、114)的類型。SPD 資料為和電腦記憶體裝置有關的資訊，其包含和下面有關的資料：被耦合至這些記憶體裝置插槽(111、112)的記憶體的類型、要使用怎樣的時序來存取該記憶體、以及該特殊記憶體裝置(113、114)需要什麼電壓。

【0033】 當該計算系統開機時可以實施開機自動測試(Power-On Self-Test, POST)程序，於其中會取得 SPD 資料。於其中一範例中，該 SPD 資料被儲存在該些記憶體裝置(113、114)中所包含的電氣可抹除可程式化唯讀記憶體(Electrically Erasable Programmable Read-Only Memory, EEPROM)之中。於其中一範例中，記憶體控制器(115)會針對被安裝的記憶體裝置(113、114)的類型(例如，究竟係 DDR3 裝置或 DDR4 裝置被安裝)而被基礎輸入/輸出系統(BIOS)(204)初始化。於此範例中，該 BIOS 係被耦合至該記憶體控制器(115)以及所有的記憶體裝置(113、114)和它們個別的 EEPROM(206、207)，以便偵測該些記憶體裝置(113、114)中的 SPD 資料並且根據該 SPD 資料來初始化該記憶體控制器(115)。

【0034】 於其中一範例中，每次僅有一種類型的記憶體裝置可以被耦合至該計算系統(100)。於此範例中，倘若一種以上的記憶體類型被耦合至該計算系統(100)的話，該計算系統(100)可以偵測至少兩種不同的記憶體類型存在並且不會繼續和該些記憶體類型相關聯的處理。這係因為該記憶體控制器被假設為僅允許單一種記憶體類型被安裝於該系統之中。於其中一範例中，該計算系統(100)會通知一使用者有兩種不同的記憶體類型被安裝的事實。

【0035】 於另一範例中，在任何給定的時間處可以有任何數量之類型的記憶體裝置被耦合至該計算系統(100)。於此範例中，該記憶體控制器(115)以及處理器(101)能夠傳送資料信號至被安裝於該計算系統(100)之中的所有記憶體裝置並且自被安裝於該計算系統(100)之中的所有記憶體裝置處傳送資料信號。

【0036】 記憶體電壓調節器(116)被耦合至該些記憶體裝置(113、114)、BIOS(204)、以及該記憶體控制器(115)。當受到該 BIOS(204)或是該記憶體控制器(115)指示時，該記憶體電壓調節器(116)會以該 SPD 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置所需要的電壓。於 DDR3 DIMM 儲存裝置以及 DDR4 DIMM 儲存裝置的範例中，DDR4 操作在 1.2V 的電壓處，對照於 DDR3 的 1.5V 或 1.65V 或是 DDR3L 的 1.35V，其為低功率記憶體裝置。於此範例中，該 BIOS(204)或記憶體控制器(115)會指示該記憶體電壓調節器(116)以已安裝的記憶體裝置(113、114)的類型為基礎來調整被提供至該些記憶體裝置(113、114)的電壓。

【0037】 於其中一範例中，舉例來說，電壓需求資料係由 BIOS(204)從該些記憶體裝置(113、114)的 EEPROM(206、207)處取得，以便指定由該記憶體電壓調節器(116)所輸出的電壓。於此範例中，和該些記憶體裝置(113、114)的供應電壓相關聯的資料係從該些記憶體裝置(113、114)的 EEPROM(206、207)處取得並且被提供至該 BIOS(204)。該 BIOS(204)會指示該記憶體電壓調節器(116)根據該電壓需求資料提供該供應電壓給該些記憶體裝置(113、114)。說明過該計算系統(100)及其各種元件之後，現在將說明和該計算系統(100)相關聯的處理。

【0038】 圖 3 所示的係根據本文中所述原理的其中一個範例之用以製造支援不同類型記憶體裝置(113、114)的計算系統(100)的方法的流程圖。圖 3 顯示用以在一計算裝置之中切換支援不同類型記憶體裝置的方法。圖 3 的方法可以從在一印刷電路板(PCB)上形成複數種類型的記憶體裝置插槽(111、112)開始(方塊 301)。一記憶體控制器(115)會被耦合至(方塊 302)該複

數個記憶體裝置插槽(111、112)。

【0039】 於其中一範例中，處理器(101)、BIOS(204)、或是它們的組合會確定(方塊 303)出現在一已偵測到的記憶體裝置(113、114)上的序列存在偵測(SPD)資料，以便從對應於該些類型記憶體裝置插槽(111、112)的複數種記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型。處理器(101)、BIOS(204)、或是它們的組合會指示(方塊 304)一記憶體電壓調節器(116)，用於以該 SPD 資料為基礎來將一供應電壓調整至該已偵測到的記憶體裝置(113、114)所需要的電壓。

【0040】 處理器(101)、BIOS(204)、或是它們的組合會初始化該記憶體控制器(115)以該 SPD 資料為基礎來控制(方塊 305)送往及來自該已偵測到的記憶體裝置(113、114)的輸入信號/輸出信號，以便在該記憶體控制器(115)以及該已偵測到的記憶體裝置(113、114)之間提供正確的通信。

【0041】 於另一範例中，該記憶體控制器(115)會確定(方塊 303)出現在一已偵測到的記憶體裝置(113、114)上的序列存在偵測(SPD)資料，以便從對應於該些類型記憶體裝置插槽(111、112)的複數種記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型。該記憶體控制器(115)會指示(方塊 304)一記憶體電壓調節器(116)，用於以該 SPD 資料為基礎來將一供應電壓調整至該已偵測到的記憶體裝置(113、114)所需要的電壓。該計算系統(100)會初始化該記憶體控制器(115)以該 SPD 資料為基礎來控制(方塊 305)送往及來自該已偵測到的記憶體裝置(113、114)的輸入信號/輸出信號，以便在該記憶體控制器(115)以及該已偵測到的記憶體裝置(113、114)之間提供正確的通信。

【0042】 圖 4 所示的係根據本文中所述原理的另一個範例之用以製

造支援不同類型記憶體裝置的計算系統的方法的流程圖。圖 4 的方法可以從在一印刷電路板(PCB)上形成複數種類型的記憶體裝置插槽(111、112)開始(方塊 401)。一記憶體控制器(115)會被耦合至(方塊 402)該複數個記憶體裝置插槽(111、112)。

【0043】 處理器(101)、BIOS(204)、或是它們的組合會確定(方塊 403)出現在一已偵測到的記憶體裝置(113、114)上的序列存在偵測(SPD)資料，以便從對應於該些類型記憶體裝置插槽(111、112)的複數種記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型。於其中一範例中，處理器(101)、BIOS(204)、或是它們的組合會從該 BIOS(204)處接收關於該已偵測到的記憶體裝置(113、114)之類型的資料。於上面所述的範例中，該些類型的記憶體裝置(113、114)中的至少其中一者為雙倍資料率類型的第三代同步動態隨機存取記憶體(DDR3)裝置，並且該些類型的記憶體裝置(113、114)中的至少其中一者為雙倍資料率類型的第四代同步動態隨機存取記憶體(DDR4)裝置。然而，該記憶體控制器(115)支援所有數量之類型的記憶體裝置(113、114)，其包含未來類型的記憶體裝置，例如，DDR5 SDRAM 裝置。

【0044】 處理器(101)、BIOS(204)、或是它們的組合會指示(方塊 404)一記憶體電壓調節器(116)，用於以該 SPD 資料為基礎來將一供應電壓調整至該已偵測到的記憶體裝置(113、114)所需要的電壓。在方塊 405 處，處理器(101)、BIOS(204)、或是它們的組合會透過一第一傳送線傳送所有記憶體裝置類型共同的信號給該已偵測到的記憶體裝置(113、114)。於此範例中，提供該些共同信號的第一傳送線為圖 2 的共同信號線(202)。處理器(101)、BIOS(204)、或是它們的組合會透過一第二傳送線傳送非所有記憶體裝置類

型共同的信號給該已偵測到的記憶體裝置(113、114)(方塊 406)。該第二傳送線為用於該已偵測到的記憶體裝置(113、114)的類型之特有的傳送線。因此，於此範例中，該第二傳送線為圖 2 中所示的記憶體裝置信號線(201、203)。於任何給定的時間處，該些記憶體裝置信號線(201、203)中的其中一者為有作用。

【0045】 在本文中所述的所有範例中，判斷已安裝的記憶體裝置的類型係藉由讀取 SPD 資料而以程式化的方式來實施。此方式雖然係一種非常完美並且對使用者友善的方案；不過，其它範例亦可以使用更簡單的手段。於其中一範例中，一實體切換器可以被併入於該計算系統(100)之中。於此範例中，該實體切換器的其中一個位置可被標記為「DDR3」，而另一個位置可被標記為「DDR4」。針對任何數量的額外記憶體類型的其它指示器亦可以被併入。該計算系統(100)可以指示一使用者相依於已安裝的記憶體類型而將該實體切換器設定至所希望的設定值。因此，於此範例中，該處理器(101)、BIOS(204)、記憶體控制器(115)、或是它們的組合並沒有讀取 SPD 資料，取而代之的係，可以讀取該實體切換器設定值，以便判斷該記憶體類型。依此方式，記憶體電壓調節器(116)會被設定並且記憶體控制器(115)會被初始化。

【0046】 於另一範例中，一設定值可以被併入於 BIOS(204)之中，其中，一使用者可以調整一設定值用以表示該記憶體類型。於此範例中，該處理器(101)、BIOS(204)、記憶體控制器(115)、或是它們的組合並沒有讀取 SPD 資料，取而代之的係，可以讀取該 BIOS(204)之中如該使用者所示的設定值，以便判斷該記憶體類型。除了如上面所述的讀取 SPD 資料以外，亦

可以使用任何其它方法或系統來判斷被安裝於該計算系統(100)之中的記憶體裝置的類型。

【0047】 本文中已經參考根據本文中所述原理之範例的方法、設備(系統)、以及電腦程式產品的流程圖及/或方塊圖說明過本系統與方法的觀點。該些流程圖及方塊圖中的每一個方塊以及該些流程圖及方塊圖中的方塊的組合可以由電腦可使用的程式碼來施行。該電腦可使用的程式碼可以被提供至一般用途電腦、特殊用途電腦、或是其它可程式化資料處理設備中的處理器，用以產生一機器，俾使得舉例來說，當該電腦可使用的程式碼透過該電腦系統(100)或其它可程式化資料處理設備的處理器(101)、記憶體控制器(115)、BIOS(204)、或是記憶體電壓調節器(116)來執行時，該電腦可使用的程式碼便會施行在該或該些流程圖及/或方塊圖方塊之中所規定的功能或動作。於其中一範例中，該電腦可使用的程式碼可以被具現在一該電腦可讀取的儲存媒體裡面；該電腦可讀取的儲存媒體則為該電腦程式產品的一部份。於其中一範例中，該電腦可讀取的儲存媒體為一非暫時性的電腦可讀取媒體。

【0048】 本說明書以及圖式說明一種支援複數種不同類型記憶體裝置的計算裝置。該系統於一印刷電路板(PCB)上包含複數種類型的記憶體裝置插槽，用以將對應數量及類型的記憶體裝置連接至該計算裝置。一記憶體電壓調節器會被耦合至該些記憶體裝置插槽。該計算裝置還包含一被耦合至該些記憶體裝置插槽的記憶體控制器。該處理器、BIOS、記憶體控制器、或是它們的組合會確定出現在一被耦合至該些記憶體裝置插槽的其中一者的已偵測到的記憶體裝置上的序列存在偵測(SPD)資料，以便從該數種

記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型。該處理器、BIOS、記憶體控制器、或是它們的組合還會指示該記憶體電壓調節器以該 SPD 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置所需要的電壓。該處理器、BIOS、記憶體控制器、或是它們的組合會以該 SPD 資料為基礎來控制送往及來自該已偵測到的記憶體裝置的輸入信號/輸出信號。

【0049】 除了其它優點之外，此支援複數種不同類型記憶體裝置的計算裝置還可以有下面數項優點，其包含：(1)藉由允許計算系統製造商提供數個記憶體裝置插槽而提供客戶連接至數個記憶體裝置的彈性及選擇；以及(2)讓計算系統製造商能夠讓一計算裝置具備有競爭力的計算選項並且保持市場佔有率。

【0050】 本發明已經提出前面說明，用以圖解及說明已述原理的範例。此說明的用意並沒有竭盡的意圖，亦不希望限制此些原理於所揭的任何刻板形式。遵照上面的教示內容可以進行許多修正以及變更。

【符號說明】

【0051】

100：計算系統

101：處理器

102：資料儲存裝置

103：週邊裝置轉接器

104：網路轉接器

105：匯流排

106：隨機存取記憶體(RAM)

- 107：唯讀記憶體(ROM)
- 108：硬碟機(HDD)記憶體
- 109：顯示器裝置
- 110：記憶體控制模組
- 111：記憶體裝置插槽
- 112：記憶體裝置插槽
- 113：記憶體裝置
- 114：記憶體裝置
- 115：記憶體控制器
- 116：記憶體電壓調節器
- 201：資料信號線
- 202：資料信號線
- 203：資料信號線
- 204：基礎輸入/輸出系統(BIOS)
- 206：電氣可抹除可程式化唯讀記憶體(EEPROM)
- 207：電氣可抹除可程式化唯讀記憶體(EEPROM)
- 301、302、303、304、305：方塊
- 401、402、403、404、405、406：方塊

申請專利範圍

1. 一種支援複數種不同類型的記憶體裝置的計算裝置，其包括：
 - 位於一印刷電路板(PCB)上的複數種類型的記憶體裝置插槽，用以將對應數量及類型的記憶體裝置連接至該計算裝置；
 - 一記憶體電壓調節器，其被耦合至該些記憶體裝置插槽；
 - 一基礎輸入/輸出系統(BIOS)，用以：
 - 確定出現在被耦合至該些記憶體裝置插槽的其中一者的一已偵測到的記憶體裝置上的序列存在偵測(SPD)資料，以便從該數量的記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型，以及
 - 初始化該記憶體電壓調節器，以便以該 SPD 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置所需要的電壓；以及
 - 一記憶體控制器，其被耦合至該些記憶體裝置插槽，該記憶體控制器會以該 SPD 資料為基礎來控制送往及來自該已偵測到的記憶體裝置的輸入信號/輸出信號。
2. 根據申請專利範圍第 1 項的計算裝置，其中，該記憶體電壓調節器會以出現在該已偵測到的記憶體裝置上的 SPD 資料以及一般用途輸入/輸出(GPIO)資料為基礎將電壓切換至必要的位準。
3. 根據申請專利範圍第 1 項的計算裝置，其中，該記憶體控制器會從該 BIOS 處接收關於該已偵測到的記憶體裝置之類型的資料。
4. 根據申請專利範圍第 1 項的計算裝置，其中，該些類型的記憶體裝置中的至少其中一者為雙倍資料率類型的第三代同步動態隨機存取記憶體(DDR3)裝置、雙倍資料率類型的第四代同步動態隨機存取記憶體(DDR4)裝

置或是雙倍資料率類型的第五代同步動態隨機存取記憶體(DDR5)裝置。

5.根據申請專利範圍第 1 項的計算裝置，其進一步包括一處理器，其中，該處理器、該 BIOS 或是它們的組合會：

確定出現在被耦合至該些記憶體裝置插槽的一已偵測到的記憶體裝置上的 SPD 資料，以便從該數量的記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型，以及

初始化該記憶體電壓調節器，以便以該 SPD 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置所需要的電壓。

6.根據申請專利範圍第 1 項的計算裝置，其中，該記憶體控制器支援所有該數量之類型的記憶體裝置。

7.根據申請專利範圍第 1 項的計算裝置，其中，該記憶體電壓調節器會介接所有該數量之類型的記憶體裝置。

8.一種支援複數種不同類型的記憶體裝置的計算系統，其包括：

一記憶體電壓調節器，用於以出現在一已偵測到的記憶體裝置上的序列存在偵測(SPD)資料以及定義該已偵測到的記憶體裝置之類型的 GPIO 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置的必要電壓；以及

一基礎輸入/輸出系統(BIOS)，用以：

接收關於該已偵測到的記憶體裝置之類型的資料；以及

初始化支援複數種類型的記憶體裝置的一記憶體控制器，用於以該已偵測到的記憶體裝置的 SPD 資料為基礎來控制和該已偵測到的記憶體裝置有關的輸入/輸出信號。

9.根據申請專利範圍第 8 項的計算系統，其中，該些類型的記憶體裝置

中的至少其中一者為雙倍資料率類型的第三代同步動態隨機存取記憶體(DDR3)裝置。

10.根據申請專利範圍第 8 項的計算系統，其中，該些類型的記憶體裝置中的至少其中一者為雙倍資料率類型的第四代同步動態隨機存取記憶體(DDR4)裝置。

11.根據申請專利範圍第 8 項的計算系統，其中，該記憶體控制器會透過一第一傳送線傳送所有記憶體裝置類型共同的信號給該已偵測到的記憶體裝置並且透過一第二傳送線傳送非所有記憶體裝置類型共同的信號給該已偵測到的記憶體裝置，該第二傳送線為用於該已偵測到的記憶體裝置的類型之特有的傳送線。

12.根據申請專利範圍第 8 項的計算系統，其中，該記憶體電壓調節器會介接所有該數量之類型的記憶體裝置。

13.一種製造支援不同類型的記憶體裝置的計算系統的方法，其包括：
於一印刷電路板(PCB)上形成複數種類型的記憶體裝置插槽；
將一記憶體控制器耦合至該複數個記憶體裝置插槽，該記憶體控制器在被一基礎輸入/輸出系統(BIOS)初始化時會

確定出現在一已偵測到的記憶體裝置上的序列存在偵測(SPD)資料，以便從對應於該些類型的記憶體裝置插槽的複數種記憶體裝置類型中判斷該已偵測到的記憶體裝置的類型；

指示一記憶體電壓調節器，以便以該 SPD 資料為基礎將一供應電壓調整至該已偵測到的記憶體裝置所需要的電壓；以及

以該 SPD 資料為基礎來控制送往及來自該已偵測到的記憶體裝置

的輸入信號/輸出信號。

14.根據申請專利範圍第 13 項的方法，其中，控制送往及來自該已偵測到的記憶體裝置的輸入信號/輸出信號包括：

透過一第一傳送線傳送所有記憶體裝置類型共同的信號給該已偵測到的記憶體裝置；以及

透過一第二傳送線傳送非所有記憶體裝置類型共同的信號給該已偵測到的記憶體裝置，該第二傳送線為用於該已偵測到的記憶體裝置的類型之特有的傳送線。

15.根據申請專利範圍第 13 項的方法，其進一步包括利用該記憶體控制器來：

確定和該已偵測到的記憶體裝置相關聯的一般用途輸入/輸出(GPIO)組態，

其中，以該 SPD 資料為基礎將該供應電壓調整至該已偵測到的記憶體裝置所需要的電壓進一步包括以該 GPIO 資料為基礎來調整該供應電壓。

圖式

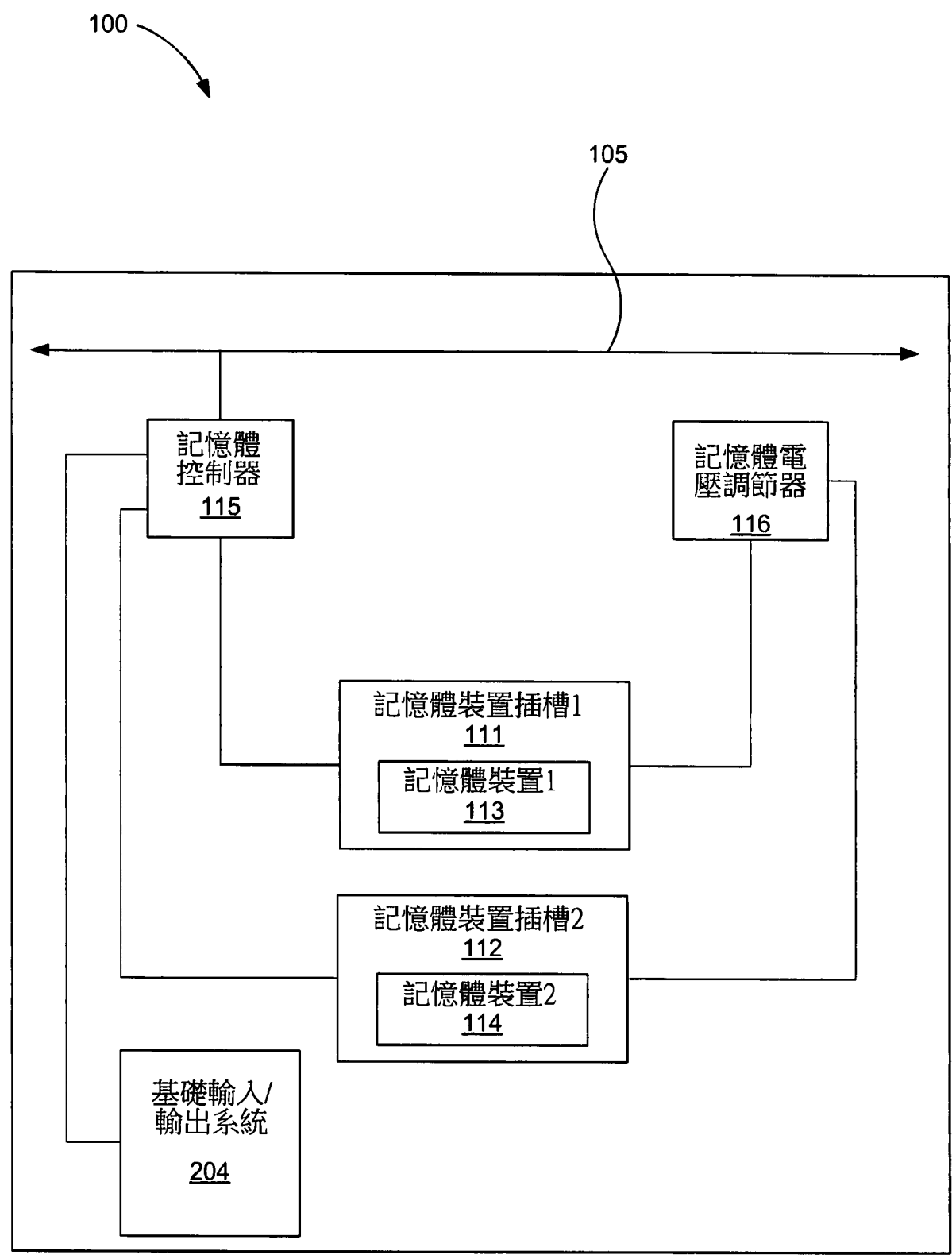


圖1A

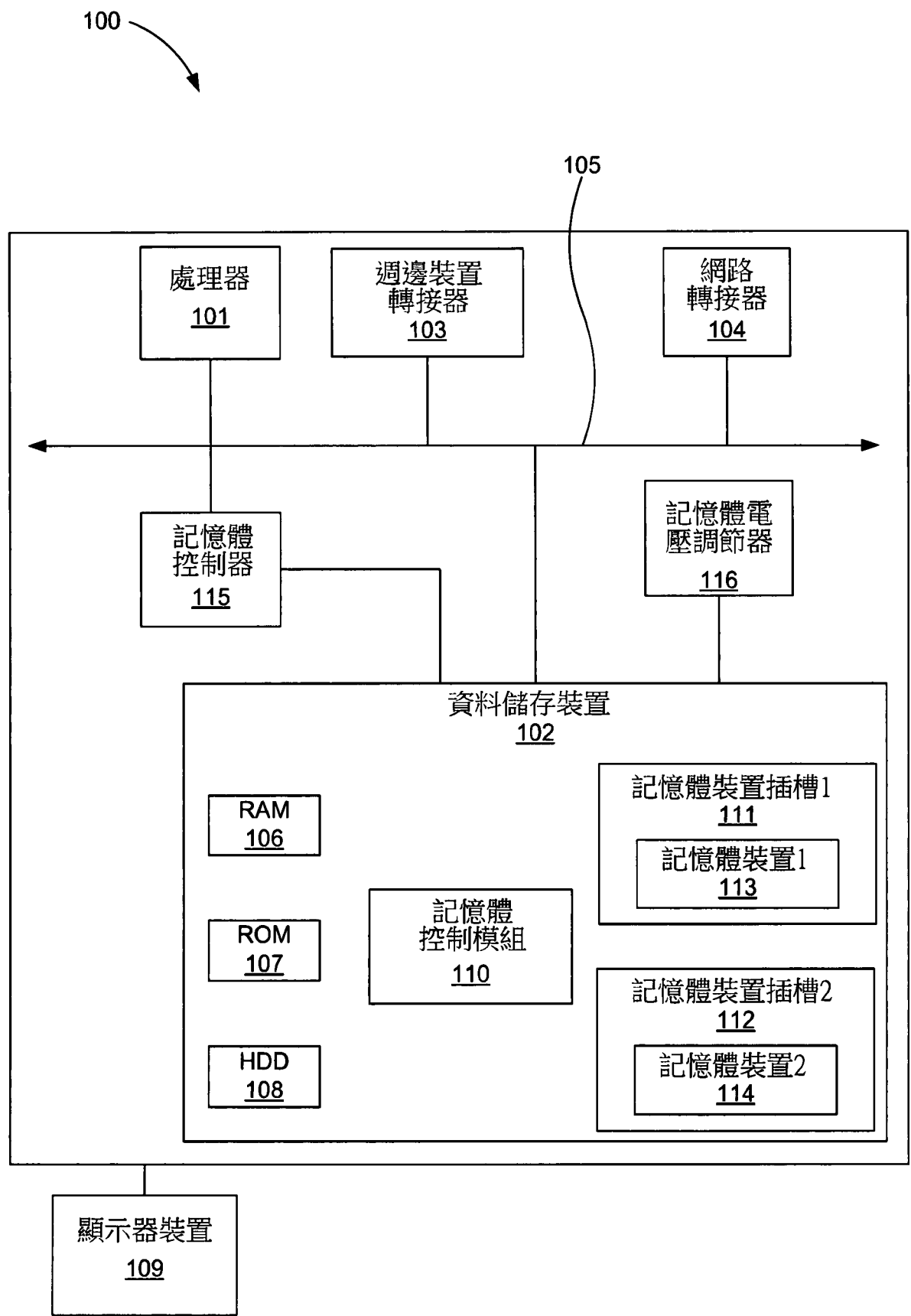


圖1B

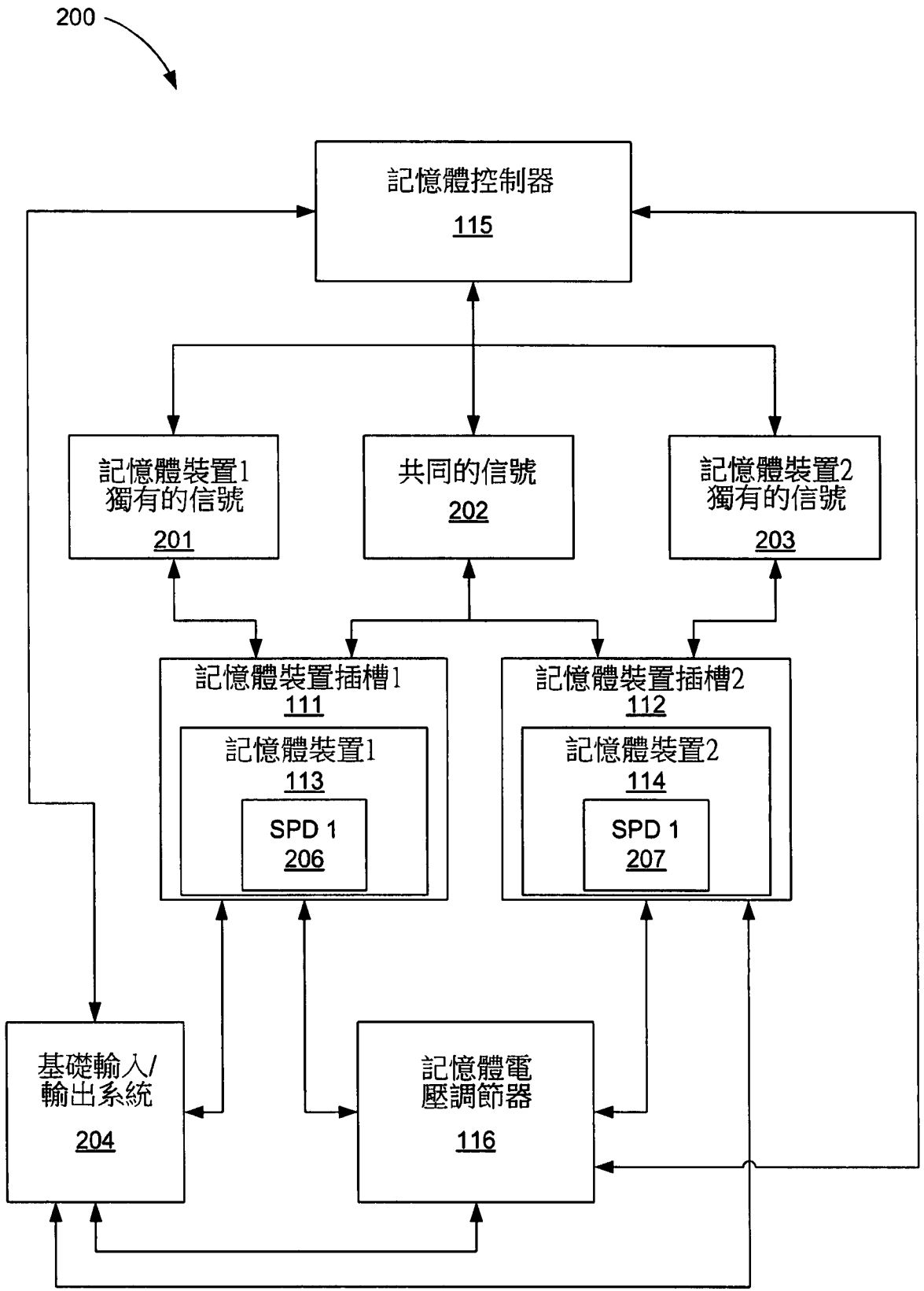


圖2

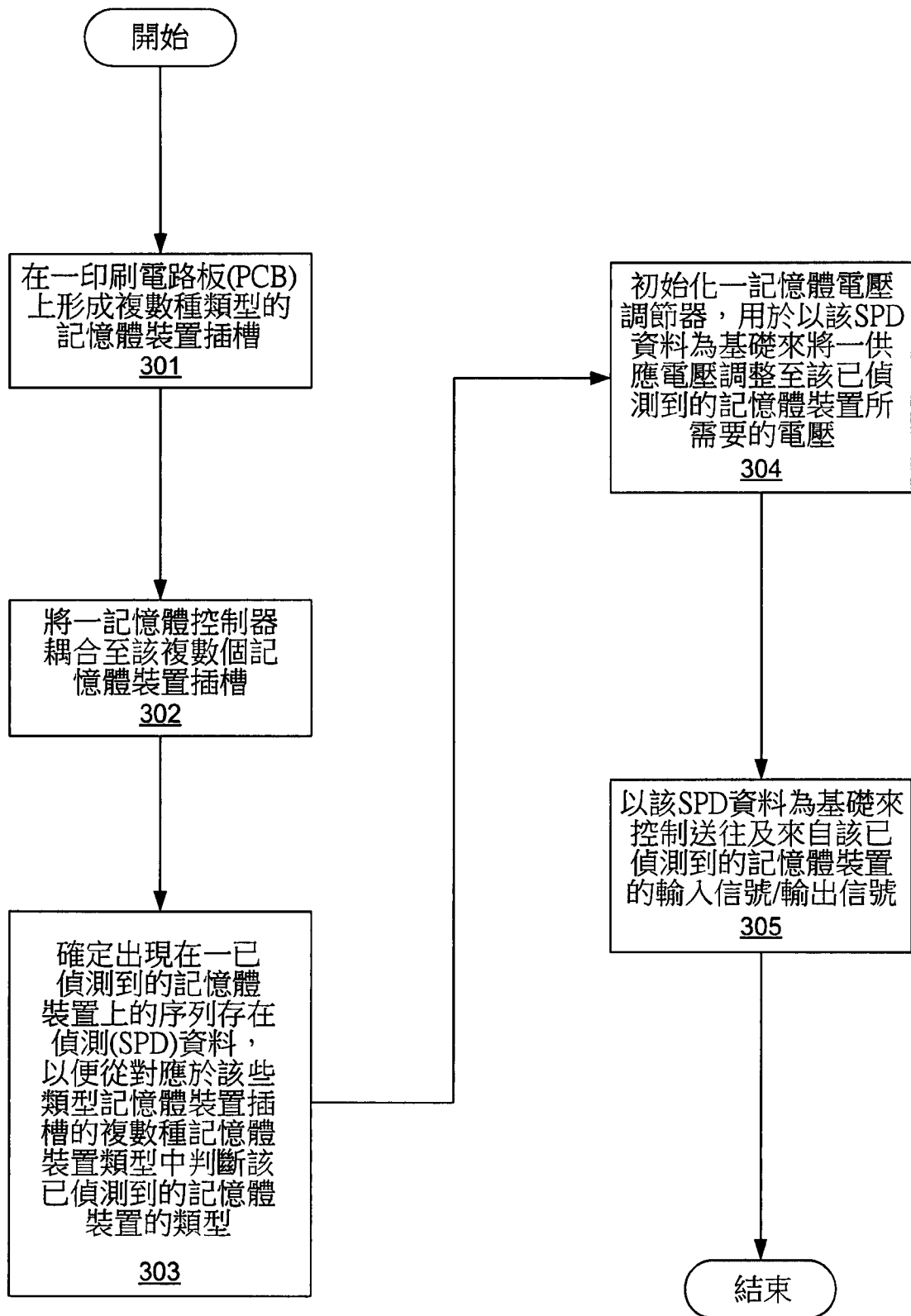


圖3

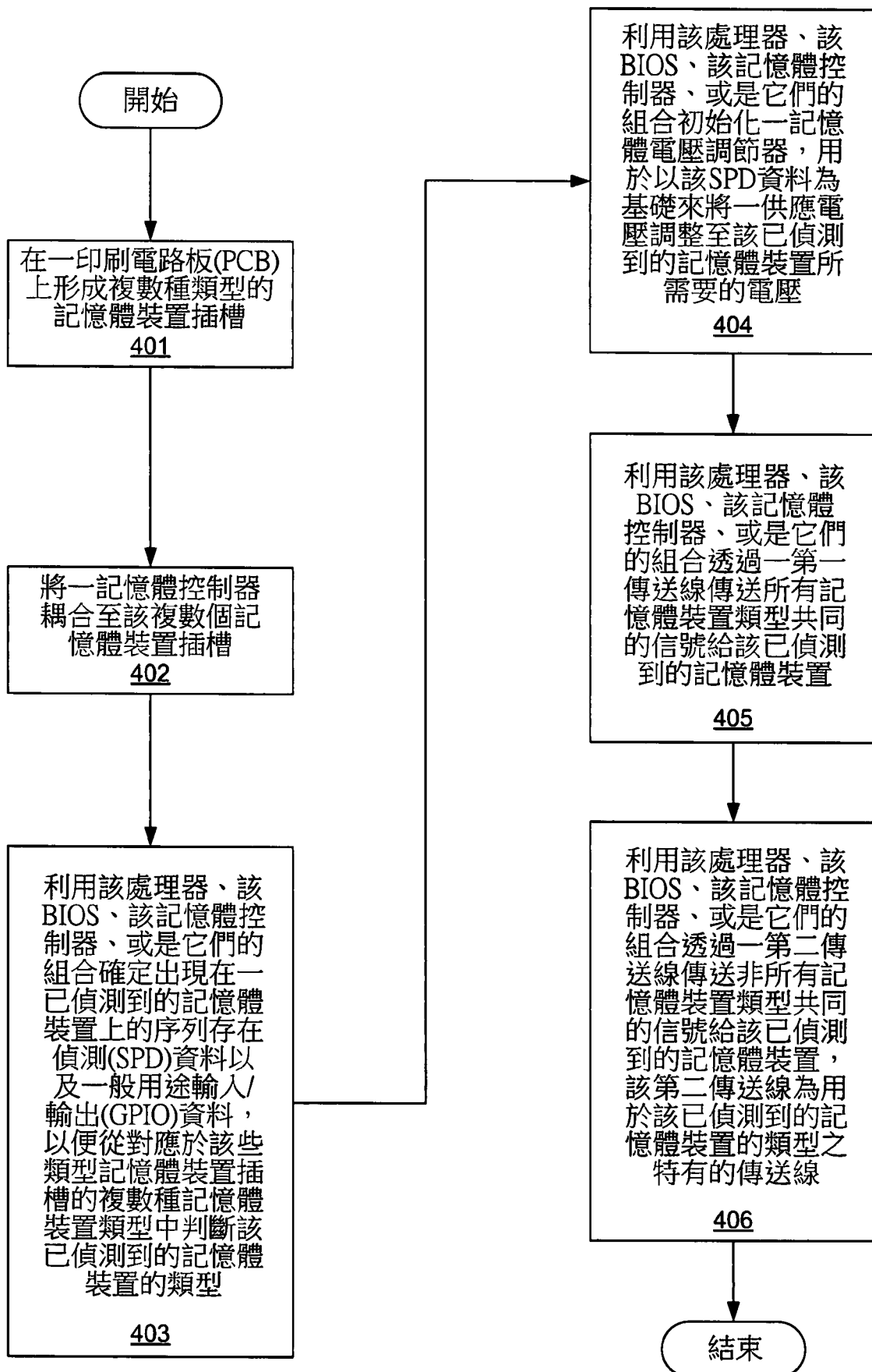


圖4