



## (12)发明专利申请

(10)申请公布号 CN 107912069 A

(43)申请公布日 2018.04.13

(21)申请号 201680025500.8

(22)申请日 2016.05.04

(30)优先权数据

62/156,488 2015.05.04 US

62/156,983 2015.05.05 US

(85)PCT国际申请进入国家阶段日

2017.11.02

(86)PCT国际申请的申请数据

PCT/US2016/030775 2016.05.04

(87)PCT国际申请的公布数据

W02016/179278 EN 2016.11.10

(71)申请人 由普莱克斯有限公司

地址 中国香港北角电动路148号9楼902室

(72)发明人 菲利普·E·罗杰

(74)专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 余明伟

(51)Int.Cl.

H01L 23/31(2006.01)

H01L 23/488(2006.01)

H01L 23/495(2006.01)

H01L 23/49(2006.01)

H01L 21/48(2006.01)

H01L 21/56(2006.01)

H01L 21/60(2006.01)

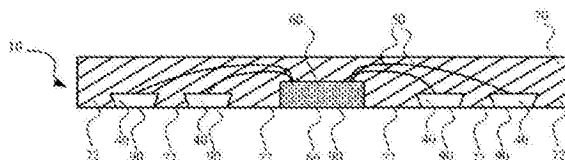
权利要求书3页 说明书12页 附图8页

(54)发明名称

不具有裸片附接垫的引线载体结构和由此形成的封装

(57)摘要

本发明涉及一种引线载体,该引线载体包括连续模制化合物片材,该连续模制化合物片材具有顶侧和相对背侧,并且形成对应于半导体封装的封装位点的阵列。当被制备时每个封装位点包括半导体裸片,该半导体裸片具有顶侧和暴露在连续模制化合物片材的背侧处的相对处理基底;一组端子垫,每个端子垫具有顶侧和暴露在连续模制化合物片材的背侧处的相对背侧;多个引线键合,该多个引线键合形成在半导体裸片的顶侧的一组输入/输出接点和每个端子垫的顶侧之间;以及硬化模制化合物,该硬化模制化合物封装半导体裸片、一组端子垫和多个引线键合。每个封装位点不包括半导体裸片被固定到的裸片附接垫。



1. 一种用于组装包封在模制化合物中的封装半导体裸片的引线载体,所述引线载体包括:连续模制化合物片材,所述连续模制化合物片材具有顶侧和相对背侧,所述连续模制化合物片材包括封装位点的阵列,每个封装位点对应于一个半导体裸片封装,每个封装位点包括:

半导体裸片,所述半导体裸片具有顶侧和暴露在所述连续模制化合物片材的所述背侧处的相对的处理基底;

一组端子垫,每个端子垫具有顶侧和暴露在所述连续模制化合物片材的所述背侧处的相对的背侧;

多个引线键合,所述多个引线键合形成在所述半导体裸片的所述顶侧的一组输入/输出接点和所述一组端子垫内的每个端子垫的所述顶侧之间;以及

硬化模制化合物,所述硬化模制化合物包封所述半导体裸片、所述一组端子垫和所述多个引线键合。

2. 根据权利要求1所述的引线载体,其中每个封装位点不包括所述半导体裸片被固定到的裸片附接垫。

3. 根据权利要求1所述的引线载体,其中所述半导体裸片的所述处理基底包括施加到所述半导体裸片的背侧的金、铂、银和/或其合金的涂层。

4. 根据权利要求1所述的引线载体,其中在每个封装位点处,所述半导体裸片的所暴露的处理基底和每个端子垫的所暴露的背侧限定对应于所述封装位点的用于所述半导体裸片封装的表面安装接点。

5. 根据权利要求1所述的引线载体,还包括临时支撑层,所述临时支撑层支撑所述连续模制化合物片材,所述临时支撑层具有顶表面,所述连续模制化合物片材的底表面驻留在所述顶表面上。

6. 根据权利要求5所述的引线载体,还包括在每个封装位点处,设置在所述半导体裸片的所述处理基底和所述临时支撑层的所述顶表面之间的临时粘合剂层,其中所述临时粘合剂层可从所述半导体裸片的所述处理基底去除。

7. 根据权利要求6所述的引线载体,其中所述临时粘合剂层包括传统的裸片附接材料,该传统的裸片附接材料到所述临时支撑层的所述顶表面的粘合性具有比到所述半导体裸片的所述处理基底的粘合性更高的水平。

8. 根据权利要求6所述的引线载体,其中每个端子垫包括粘附到所述临时支撑层的所述顶表面的烧结材料。

9. 根据权利要求8所述的引线载体,其中每个端子垫具有高度和外围边界,并且其中至少一个端子垫的所述外围边界包括引起所述端子垫的上部部分横向延伸超过所述端子垫的下部部分的悬置区域,并且其中所述悬置区域与所述硬化模制化合物互锁,以抵抗所述端子垫从所述硬化模制化合物的向下垂直位移。

10. 根据权利要求9所述的引线载体,其中在每个封装位点处,所述顶表面的每个端子垫到所述临时支撑层的粘合性的水平小于所述端子垫的所述外围边界到所述硬化模制化合物的粘合性的水平。

11. 根据权利要求10所述的引线载体,其中所述临时支撑层可从所述连续模制化合物片材剥离去除。

12. 一种具有顶侧和相对背侧的半导体裸片封装,所述半导体裸片封装包括:

半导体裸片,所述半导体裸片具有顶侧和暴露在所述半导体裸片封装的所述背侧处的相对的处理基底;

一组端子垫,每个端子垫具有顶侧和暴露在所述半导体裸片封装的所述背侧处的背侧;

多个引线键合,所述多个引线键合形成在所述半导体裸片的顶表面的一组输入/输出接点和所述一组端子垫内的每个端子垫的所述顶表面之间;以及

硬化模制化合物,所述硬化模制化合物包封所述半导体裸片、所述一组端子垫和所述多个引线键合,

其中所述半导体裸片封装不包括所述封装位点的所述半导体裸片固定到的裸片附接垫。

13. 根据权利要求12所述的半导体裸片封装,其中所述半导体裸片封装为四方扁平无引脚(QFN)封装。

14. 根据权利要求12所述的半导体裸片封装,其中所述半导体裸片的所述处理基底包括施加到所述半导体裸片的背侧的金、铂、银和/或其合金的涂层。

15. 根据权利要求12所述的半导体裸片封装,其中每个端子垫具有高度和外围边界,并且其中至少一个端子垫的所述外围边界包括引起所述端子垫的上部部分横向延伸超过所述端子垫的下部部分的悬置区域,并且其中所述悬置区域与所述硬化模制化合物互锁,以抵抗所述端子垫从所述硬化模制化合物的向下垂直位移。

16. 一种借助于引线载体制备封装半导体裸片的方法,所述方法包括:

提供具有顶侧的临时支撑层,在对应的封装位点处将半导体裸片封装组装到所述顶侧上,每个封装位点包括在所述临时支撑层的所述顶侧上所述临时支撑层的预定部分区域,并且所述每个封装位点具有在其中的裸片附接区域;

将承载有预定图案的可烧结金属的浆料设置在所述临时支撑层的所述顶侧上;

烧结所述浆料,以在每个封装位点处形成一组端子垫,每个端子垫具有顶侧和粘附到所述临时支撑层的相对背侧,其中所述一组端子垫根据所述浆料的所述预定图案,被设置在所述封装位点的所述裸片附接区域的外面;

在每个封装位点处,通过将临时粘合剂层设置在所述裸片附接区域中的所述临时支撑层的所述顶表面上,将半导体裸片安装到所述封装位点的所述裸片附接区域,并且将所述半导体裸片的处理基底设置在所述临时支撑层上,使得所述临时粘合剂层被插入在所述半导体裸片的所述处理基底和所述临时支撑层的所述顶表面之间;

在每个封装位点处,在所述半导体裸片的顶侧的一组输入/输出端子和所述一组端子垫内的每个端子垫的顶侧之间选择性地形成多个引线键合;

通过跨越所述封装位点施加模制化合物,形成连续模制的封装位点片材,使得形成在每个封装位点处的所述半导体裸片、所述一组端子垫和所述多个引线键合被封装在所述模制化合物中;

将所述临时支撑层从所述连续模制的封装位点片材剥离,并且从所述连续模制的封装位点片材的所述半导体裸片的所述处理基底去除所述临时粘合剂层;以及

将所述连续模制的封装位点片材内的独立封装位点彼此分离,从而形成独立封装,每

个所述独立封装包含选择的半导体裸片和电耦接到其的选择的一组端子垫,其中每个封装包括顶侧和相对的底侧,在所述相对的底侧处,暴露所选择的半导体裸片的所述处理基底和所述封装的所选择的一组端子垫内的每个端子垫的所述底侧,从而形成所述封装的表面安装接点。

17. 根据权利要求16所述的方法,还包括在每个封装位点处,避免提供裸片附接垫,所述封装位点的所述半导体裸片在所述裸片附接垫上是可固定的。

18. 根据权利要求16所述的方法,其中在每个封装位点处,所述临时粘合剂层包括传统的裸片附接材料,所述传统的裸片附接材料到所述临时支撑层的所述顶表面的粘合性具有比到设置在封装位点处的所述半导体裸片的所述处理基底的粘合性更高的水平。

## 不具有裸片附接垫的引线载体结构和由此形成的封装

### 技术领域

[0001] 本公开的方面涉及使得具有电路或系统的集成电路芯片能够有效互连的集成电路芯片引线载体封装。更具体地,本公开涉及在与集成电路结合之前和期间被制造为共有组件内的多个封装位点的阵列的引线框架和其它引线载体、到其的引线键合的附接,以及在分割或隔离成独立封装之前,将共同组件和由此承载的集成电路包封在非导电材料内,例如,用于在电子系统板诸如印刷电路板上使用。

### 背景技术

[0002] 对于现在的半导体电路和器件中更小和更有能力的便携式电子系统以及增加集成度,的需求驱动对具有更大数量的输入/输出端子的更小半导体封装的需要。同时,在减少消费类电子系统的所有部件(包括半导体封装)的成本上存在持续不断的压力。四方扁平无引脚(quad flat no lead“QFN”)半导体封装系列是所有半导体封装类型之中最小和最成本有效的封装之一,但是当使用传统的技术和材料制备时,具有很大的局限性。例如,使用传统的QFN技术,该技术可支持的I/O端子的数量和电气性能受到不期望地限制。

[0003] 图1-图5为示出传统的QFN引线框架1(图1和图2)和被制造或组装在其上的对应的传统的QFN封装P(图3-图5)的方面的示意图。封装P传统上被组装在已经由导电材料平面片材(诸如铜)蚀刻的公共区域阵列引线框架1上,以形成不同裸片附接垫2的阵列以及对应的每个裸片附接垫2的多个引线键合垫4。任何给定的裸片附接垫2及其对应的引线键合垫4形成封装位点,即,制造或组装封装P的位点。传统上,每个封装位点对应于或包括由一行或两行引线键合垫4围绕的裸片附接垫2。给定的引线框架1可包含从数十至数千个封装位点。

[0004] 对于任何给定的封装P,其裸片附接垫2提供有利于将半导体裸片或集成电路芯片7固定在封装P内的平台;并且引线键合垫4提供在封装P内的端子,该端子可借助于引线键合8以由相关领域的普通技术人员容易理解的方式电连接到集成电路芯片7的输入/输出端子。引线键合垫4还通过与对应于引线键合8的表面相对的封装P的表面上的焊接接头5,提供将集成电路芯片7电耦接到电子系统板(诸如印刷电路板)的方式,同样以相关领域的普通技术人员容易理解的方式。

[0005] 作为引线框架1的结构和将封装P组装到其上的过程的性质的结果,每个封装P的所有部件附接和电耦接到公共引线框架1。更具体地,组装到给定引线框架1上的每个封装P的所有部件通过通常被称为连接杆3的导电连接(例如,铜线),被附接到引线框架1,以维持每个封装P的部件相对于引线框架1的位置,并且提供到所有此类部件的电连接,以有助于对应于每个封装P的键合和焊接表面的电镀。

[0006] 更特别地,连接杆3使组装在引线框架1上的每个封装P的部件与引线框架1的公共短路结构6(例如,铜轨)电短路。短路结构6围绕每个封装位点,并且被组织为预定图案,诸如x-y网格图案。连接杆3必须被设计成使得在独立封装P从引线框架1分离期间连接杆3可与短路结构6断开连接,从而使任何给定的封装P的裸片附接垫2和对应的引线键合垫4与每个其它封装P的这些电隔离,如下面进一步详细描述。

[0007] 对封装P的所有电气部件通过金属结构连接到引线框架1的要求严格限制了可在任何给定封装P中实施的引线的数量。例如,在给定的封装位点处,引线键合垫4可被提供为围绕裸片附接垫2的多行,其中每行距离裸片附接垫2为不同距离。然而,连接杆3必须在引线键合垫4之间布线,使得连接杆3延伸到短路结构6超过封装P的覆盖区(对应于图2的线X)。这些连接杆3的最小尺度为一仅个连接杆3可在两个相邻引线键合垫4之间布线。因此,仅在传统的QFN引线框架1中实施两行引线键合垫4。由于裸片尺寸和引线计数之间的当前关系,所以传统的QFN封装被限制为大约一百个端子,其中大多数封装P具有不超过约六十个端子。这种限制不幸地阻碍了具有多种类型的集成电路芯片7的传统QFN封装P的使用,否则其将受益于小尺寸和总体低成本的QFN技术。

[0008] 如图1和图2所示的,整个引线框架1被安装在高温模制带T,使得引线框架1的背面、每个裸片附接垫2的背面,以及每个引线键合垫4的背面驻留在模制带T的上表面上。在集成电路芯片7已经被安装到裸片附接垫2且引线键合8已经形成在集成电路芯片7的特定的输入/输出垫和在每个封装位点处对应的引线键合垫4之间之后,环氧模制化合物9诸如借助于高温传递模制过程,被施加到整个引线框架1和由此承载的结构,在高温传递模制过程期间,环氧模制化合物9将引线框架1和由此承载的结构包封在模制带T的上表面上面,以创建组装的引线框架1。模制带T的存在防止模制化合物9包封裸片附接垫2和引线键合垫4的下侧。结果,在模制化合物9已经硬化之后,可剥离模制带T,使得对应于每个封装P的裸片附接垫2和引线键合垫4的下侧的焊接接头5(图5)暴露在组装的引线框架1的下侧上。因此,模制带T和任何给定的封装P之间的界面限定封装P的背板。

[0009] 因为模制带T必须经得起高温引线键合和模制过程,而不受不利影响,所以模制带T相对昂贵。还有,施加模制带T、去除模制带T,以及去除粘合剂残留物的过程会增加用于处理每个引线框架1的显著成本。而且,模制带T不是可重复使用的,这会增加费用并产生浪费。

[0010] 在模制过程之后,组装的引线框架1包含多个结构和电互连的封装P。在组装的引线框架1中的每个封装P可被限定为具有延伸到围绕封装P的短路结构6的中点的初始覆盖区,使得在组装的引线框架1中的每个封装P结构上连结或连接到相邻的封装P。因而,组装的引线框架1必须借助于分割工艺(诸如锯切工艺)被分离或切割,以产生独立电隔离封装P。在分割工艺期间,破坏模制化合物9的部分和短路结构6与连接杆3之间的连接(例如,例如沿着图2的线X锯开)。作为分割过程的结果,每个封装P通常具有靠近或非常靠近围绕封装P的短路结构6延伸的最终覆盖区。

[0011] 将独立封装P与引线框架1分割的最常见方法是通过锯切(例如,沿着图2的线X)。因为除切割环氧模制化合物9之外,锯切必须去除封装P外框外面的所有短路结构6,与如果仅切割模制化合物9相比,该过程明显更慢,并且刀片寿命大大缩短。因为短路结构6直到分割过程才去除,所以这意味着封装的集成电路芯片7在分割之前都不能进行测试。与能够通过每个封装P具有已知的定位和取向测试整个组装的引线框架1相比,处置数千个小封装P且确保每个小封装P以正确取向被呈现给测试者更昂贵。

[0012] 被称为冲切分割的另一种分割工艺在一定程度上解决了与锯切分割相关联的问题,并且允许在组装的引线框架1中测试,但是通过将引线框架1的利用率削减到小于锯切分割的引线框架1的利用率的百分之五十,显著增加成本。冲切分割还对用于每个基本引线

框架设计的专用模具强加要求。对于相同尺寸的所有引线框架1,被设计用于锯切分割的标准引线框架1使用单个模套。

[0013] 在锯切分割或冲切分割之后,连接杆3保持在每个最终或完成的封装P中,并且这些连接杆3以图3-图5所示的方式保持暴露在每个封装P的边缘处。在完成的封装P中的连接杆3表示不能去除的电容寄生元件和电感寄生元件。现在这些多余的金属件可显著影响完成的封装P的性能,阻碍了QFN封装P对于许多高性能集成电路芯片7和应用的使用。还有,该潜在地相当有价值的多余金属的成本可为巨大的,并且被传统的QFN制造工艺浪费。

[0014] 对于QFN基板,提出了几个概念,用于消除前面所描述的基于传统蚀刻的引线框架的工艺的限制。这些概念中的一个为通过电镀将封装部件的阵列沉积在牺牲载体上的工艺。首先通过抗镀剂使载体图案化,并且载体(往往为不锈钢)被稍微蚀刻以增强粘合性。然后,将图案化的载体电镀金和钯,以创建粘合/阻挡层,然后电镀大约六十微米厚的Ni,以形成Ni凸块。通过一层电镀Ag完成Ni凸块的顶部以有助于引线键合。在集成电路/引线键合组装和模制之后,将载体剥离,以留下可以片材形式测试且以与常规的引线框架相比更高的速率和产率分割的封装的裸片片材。该电镀做法消除与仍然在封装P内的连接杆3相关联的问题,并且允许非常精细的特征。然而,与标准蚀刻的引线框架过程相比,这样的电镀过程非常昂贵。

[0015] 另一种做法为蚀刻引线框架工艺的改进,其中前侧图案被蚀刻到约引线框架的厚度的一半,并且引线框架的背侧保持原样,直到在完成模制过程之后。一旦完成模制,就印刷背侧图案,并且进一步对引线框架进行蚀刻以去除除引线键合垫4和裸片附接垫2的背侧部分之外的所有金属。该双重蚀刻过程还消除与仍然在封装P内的连接金属结构(即,连接杆3)相关联的所有问题。虽然双重蚀刻的引线框架的成本小于电镀版本,但是该成本与标准蚀刻的引线框架过程相比仍然更昂贵,并且蚀刻和电镀工艺对环境是不利的。

[0016] 用于引线框架封装的集成电路的一种故障模式用于使引线键合垫4与耦接到其的引线键合8断开连接,尤其是当由封装P经历冲击载荷时(诸如当封装P内的电子器件掉落且撞击硬表面时)。引线键合垫4可保持安装到印刷电路板或其它电子系统板,同时稍微与周围的环氧模制化合物9分离,从而允许将引线键合8与引线键合垫4割断。于是,需要将引线键合垫4更好地保持在整个封装内的引线载体封装,尤其是当经历冲击载荷时。

## 发明内容

[0017] 根据本公开的实施例,引线载体或引线载体结构包括在其中的独立封装位点的阵列,其中单独的封装位点的阵列对应于且可被分离成多个独立封装(例如,根据本公开的几个实施例的QFN封装)。通过首先提供由耐高温材料(诸如不锈钢)形成的临时支撑层或临时层产生引线载体。通常源自或包括银粉的可烧结材料以预定结构图案被放置或形成在临时层上。形成临时层的不锈钢或其它材料支撑可烧结材料,当其被加热到烧结温度。

[0018] 烧结材料作为不同或分离的结构位于临时层上,除通过临时层本身以对应于裸片附接区域或临时层的区域的端子垫的形式彼此电耦接之外,不同或分离的结构彼此电隔离。根据本公开的实施例消除对存在于临时层上的结构(诸如裸片附接垫)的需要,特别是出于接纳和保持半导体器件或裸片(诸如集成电路芯片或集成电路)的目的,因为这样的半导体器件可例如用粘合剂临时粘贴到临时层。

[0019] 因此,根据本公开的实施例从其获得的引线载体和封装消除对裸片附接垫的需要,这可提供几个优点。例如,在半导体器件(该半导体器件通过它们的性质将大量功率耗散到封装中)中,提供封装使得裸片的背侧可直接连接到印刷电路板的铜迹线显著减少裸片和印刷电路板之间的热阻,从而大大减少在封装内生成的最大温度。另外,由于不存在裸片附接垫,并且因此不存在对应的裸片附接粘合剂(裸片通过该裸片附接粘合剂附接到裸片附接垫),所以不存在裸片附接粘合剂将达到超过玻璃化温度的温度、进而甚至另外增加热阻,以及失去到裸片附接垫的紧密连接的可能性。

[0020] 另一个优点用于对热感应应力敏感的器件,诸如一些微机电系统(MEMS)器件。在这种情况下,消除呈现高热膨胀的裸片附接垫消除了来自与敏感(例如, MEMS) 器件接触的材料的最大应力源。消除裸片附接垫还允许该封装与传统的封装P相比薄了裸片附接垫的厚度(通常至少40 $\mu\text{m}$ ),并且在一些高功率器件的情况下,薄了多达400 $\mu\text{m}$ 。

[0021] 消除裸片附接垫还允许用廉价的临时粘合剂替代在通常情况下需要的到PCB的电连接和热连接使用的价格高的填充银的环氧树脂。可用许多低强度粘合剂实现将裸片临时固定到用于引线键合和模制的临时层,在剥离操作期间,许多低强度粘合剂将与裸片分离,或将断裂在粘合剂的体内,在临时层和裸片的背后上留下一些粘合剂。在一些实施例中,裸片的背后涂敷有材料,该材料仅提供裸片到用于将裸片临时固定到适当的地区的粘合剂的有限的和受控的粘合性,并且还充当预处理,以增强裸片的可焊性。将在本申请中起作用的一类材料包括贵重金属诸如金、铂或银。

[0022] 根据本公开的实施例被设计为提供对应于预定空间区域或临时层的部分的裸片附接区域,而不是裸片附接垫。每个裸片附接区域被配置为具有至少一个集成电路芯片或支撑在其上的其它半导体器件。一个或多个端子垫与每个裸片附接区域相关联或围绕每个裸片附接区域。可选择性地将引线键合从定位或设置在给定的裸片附接区域上的(多个)集成电路布线到围绕裸片附接区域的独立端子垫。然后,可将模制化合物施加到整个临时层,模制化合物包封集成电路、端子垫和由临时层承载的引线键合,从而形成包括驻留在临时层上的模制的引线载体结构的组装的引线载体结构。仅限定集成电路芯片和端子垫的背侧或下部的表面安装接头保持未被模制化合物包封,因为表面安装接头面向临时层且与临时层相邻。

[0023] 一旦模制化合物已经硬化,就可从组装的引线载体结构将临时层剥离,产生独立于临时层的单个模制的引线载体结构。单个模制的引线载体结构包括跨越其表面区域延伸的多个封装位点或封装位点的阵列,其中相邻或邻近的封装位点通过硬化的模制化合物连结在一起。每个独立封装位点包括顶或上表面、边界或侧,在顶或上表面、边界或侧之下,(i) 先前驻留在临时层的特定裸片附接区域上的至少一个集成电路芯片;(ii) 围绕该裸片附接区域的端子垫;以及(iii) 形成在(多个)集成电路芯片和这些端子垫之间的引线键合,被嵌入在硬化的模制化合物中。每个独立封装位点还包括底表面、下侧或背侧,底表面、下侧或背侧具有对应于以下的暴露的表面安装接头:(i) 包含在封装位点中的(多个)集成电路芯片的(多个)背侧,以及(ii) 包含在封装位点中的端子垫的背侧。可通过沿着封装位点之间的界限(例如,在x-y网格图案中)切割单立模制的引线载体,由单个的模制引线载体形成独立封装。独立封装随后可通过其表面安装接头,以由相关领域的普通技术人员容易理解的方式表面安装到电子系统板或其它支撑件或界面。



[0024] 除了上述之外,在各种实施例中,每个端子垫具有围绕其外围的边缘,该边缘被成形或配置为至少在一定程度上机械或结构上与模制化合物结合,以帮助将端子垫牢固地保持在模制化合物内。特别地,这些边缘可以底切或悬置方式逐渐变细,或以底切或悬置方式为阶梯状,或以其他方式被配置成使得在端子垫的上部部分或顶部部分处的每个边缘的至少一部分延伸横向超出更靠近端子垫的下部部分或底部部分的每个边缘的部分。因此,一旦硬化,模制化合物就借助于与底切或悬置端子垫边缘结合,将端子垫牢固地锁定到模制化合物中。以这种方式,端子垫抵抗与引线键合的分开,和/或以其他方式抵抗与模制化合物分开,并且将任何给定的封装维持为单一整体结构。

[0025] 根据本公开的一个方面,一种用于组装包封在模制化合物中的封装半导体裸片的引线载体,引线载体包括:连续模制化合物片材,该连续模制化合物片材具有顶侧和相对背侧,连续模制化合物片材包括封装位点的阵列,其中每个封装位点对应于一个半导体裸片封装,并且当制备时,每个封装位点包括:半导体裸片,该半导体裸片具有顶侧和暴露在连续模制化合物片材的背侧处的相对的处理基底;一组端子垫(例如,设置在半导体裸片驻留的(x,y)位置外面的封装位点的特定(x,y)位置处),每个端子垫具有顶侧和暴露在连续模制化合物片材的背侧处的相对的背侧;多个引线键合,该多个引线键合形成在半导体裸片的顶侧的一组输入/输出接点和一组端子垫内的每个端子垫的顶侧之间;以及硬化模制化合物,该硬化模制化合物包封半导体裸片、一组端子垫和多个引线键合。每个封装位点不包括半导体裸片被固定到的裸片附接垫。

[0026] 半导体裸片的处理基底可包括施加到半导体裸片的背侧的金、铂、银和/或其合金的涂层。在每个封装位点处,半导体裸片的所暴露的处理基底和一组端子垫内的每个端子垫的所暴露的背侧限定用于对应的封装位点的半导体裸片封装的表面安装接点。

[0027] 在制备或组装期间,引线载体还包括临时支撑层,该临时支撑层支撑连续模制化合物片材,临时支撑层具有顶表面,连续模制化合物片材的底表面驻留在顶表面上。在每个封装位点处,临时粘合剂层设置在半导体裸片的处理基底和临时支撑层的顶表面之间,其中临时粘合剂层可半导体裸片的处理基底去除。临时粘合剂层可包括或为传统的裸片附接材料,该传统的裸片附接材料到所述临时支撑层的所述顶表面的粘合性具有比到半导体裸片的处理基底的粘合性更高的水平。

[0028] 每个端子垫包括或为粘附到临时支撑层的顶表面的烧结材料。每个端子垫具有高度和外围边界,其中一组端子垫内的至少一个端子垫的外围边界包括引起端子垫的上部部分横向延伸超过端子垫的下部部分的悬置区域,并且其中悬置区域与硬化模制化合物互锁,以抵抗端子垫从硬化模制化合物的向下垂直位移。

[0029] 在每个封装位点处,所述顶表面的每个端子垫到临时支撑层的粘合性的水平小于所述端子垫的所述外围边界到硬化模制化合物的粘合性的水平。因此,临时支撑层可从连续模制化合物片材剥离去除。

[0030] 根据本公开的方面,一种诸如四方扁平无引脚(QFN)封装半导体裸片封装具有顶侧和相对背侧并且包括:半导体裸片,该半导体裸片具有顶侧和暴露在半导体裸片封装的背侧处的相对处理基底;一组(即,一个或多个)端子垫(例如,设置在半导体裸片驻留的(x,y)位置外面的封装部位的特定(x,y)位置处),每个端子垫具有顶侧和暴露在半导体裸片封装的背侧处的背侧;多个引线键合,该多个引线键合形成在半导体裸片的顶表面的一组输

入/输出接点和一组端子垫内的每个端子垫的顶表面之间;以及硬化模制化合物,该硬化模制化合物包封半导体裸片、一组端子垫和多个引线键合,其中半导体裸片封装不包括封装位点的半导体裸片固定到的裸片附接垫。

[0031] 半导体裸片的处理基底包括施加到半导体裸片的背侧的金、铂、银和/或其合金的涂层。每个端子垫具有高度和外围边界,其中一组端子垫内的至少一个端子垫的外围边界包括引起端子垫的上部部分横向延伸超过端子垫的下部部分的悬置区域,并且其中悬置区域与硬化模制化合物互锁,以抵抗端子垫从硬化模制化合物的向下垂直位移。

[0032] 根据本公开的方面,一种用于借助于引线载体制备封装半导体裸片的工艺包括:提供具有顶侧的临时支撑层,在对应的封装位点处将半导体裸片封装组装到顶侧上,每个封装位点包括在临时支撑层的顶侧上临时支撑层的预定部分区域,并且每个封装位点具有在其中的裸片附接区域;将承载有预定图案的可烧结金属的浆料设置在临时支撑层的顶侧上;烧结浆料,以在每个封装位点处形成一组端子垫,每个端子垫具有顶侧和粘附到临时支撑层的相对背侧,其中一组端子垫根据浆料的预定图案,被设置在封装位点的裸片附接区域的外面;通过将临时粘合剂层设置在裸片附接区域中的临时支撑层的顶表面上,将半导体裸片安装到封装位点的裸片附接区域,并且将半导体裸片的处理基底设置在临时支撑层上,使得临时粘合剂层被插入在半导体裸片的处理基底和临时支撑层的顶表面之间;在每个封装位点处,在半导体裸片的顶侧的一组输入/输出端子和一组端子垫内的每个端子垫的顶侧之间选择性地形成多个引线键合;通过跨越封装位点施加模制化合物,形成连续模制的封装位点片材,使得形成在每个封装位点处的半导体裸片、一组端子垫和多个引线键合被封装在模制化合物中;将临时支撑层从连续模制的封装位点片材剥离,并且从连续模制的封装位点片材的半导体裸片的处理基底去除临时粘合剂层;以及将连续模制的封装位点片材内的独立封装位点彼此分离,从而形成独立封装,每个独立封装包含选择的半导体裸片和电耦接到其的选择的一组端子垫,其中每个封装包括顶侧和相对的底侧,在相对的底侧处,暴露所选择的半导体裸片的处理基底和封装的所选择的一组端子垫内的每个端子垫的底侧,从而形成封装的表面安装接点。

[0033] 该工艺还包括在每个封装位点处,避免提供裸片附接垫,封装位点的所述半导体裸片在裸片附接垫上是可固定的。在每个封装位点处,临时粘合剂层可包括或为传统的裸片附接材料,该传统的裸片附接材料到所述临时支撑层的所述顶表面的粘合性具有比到设置在封装位点处的半导体裸片的处理基底的粘合性更高的水平。

[0034] 代表性实施例的非限制性目的

[0035] 于是,根据本公开的特定实施例的非限制性目的可包括以下中的一个或多个:

[0036] 一个目的是提供用于形成和测试半导体封装的电互连部件的系统,该系统允许实施简化的QFN工艺,以更容易生产QFN封装半导体裸片。

[0037] 另一个目的是提供用于提供被排列在牺牲载体上的半导体封装的电互连部件的系统和工艺,在模制之后,牺牲载体可被剥离,以产生多个半导体封装的连续条带,其中半导体封装的端子垫在任何两个端子垫之间不具有电连接,以有助于以实现更高电性能的方式测试半导体封装的各种部件,同时在其中使用最小量的金属,以有助于半导体裸片与外部电子系统(诸如系统板)的电连接。在至少一些实施例中,牺牲载体在被剥离之后,应该是可回收的或可用于其它目的。

[0038] 另一个目的是以通过简化和消除来自标准QFN组装工艺的步骤降低封装的组装成本的方式提供半导体封装的电互连部件。

[0039] 另一个目的是以允许包括多于两行输入/输出端子的方式提供半导体封装的电互连部件,并且在基于引线框架的QFN封装的情况下,输入/输出端子的数量是实际的许多倍。

[0040] 另一个目的是以允许当与基于传统的引线框架的QFN封装相比更大的设计灵活性以并入特征,诸如多个功率和接地结构和多个裸片附接区域,的方式提供半导体封装的电互连部件。

[0041] 另一个目的是提供可以低成本和高质量方式制造的具有在其上的多个集成电路安装封装位点的引线载体。

[0042] 另一个目的是提供用于到相邻部件的电互连的半导体封装,该半导体封装高度抵抗对与到其的冲击载荷相关联的损坏。

[0043] 另一个目的是提供通过最小化其中多余的导电部分呈现高的电性能的具有多个集成电路安装封装位点的引线载体。

[0044] 另一个目的是提供用于制造在半导体组装过程期间不需要用于安装和保持半导体器件的单独结构的QFN或平面栅格阵列型封装的媒介。

[0045] 另一个目的是提供半导体封装,当封装材料和裸片附接环氧树脂加热到高于这些材料的玻璃化温度的温度时,该半导体封装减少热阻增加的趋势。

[0046] 另一个目的是提供在半导体接点和印刷电路板(PCB)之间具有减少的热阻的半导体封装。

[0047] 另一个目的是提供半导体封装,当封装加热和冷却时,半导体封装消除裸片附接垫和半导体裸片之间由于不同热膨胀诱导的应力。

[0048] 从本文中的详细描述、对应的附图和权利要求的仔细阅读,其它目的将变得显而易见。

## 附图说明

[0049] 图1是示出现有技术引线框架技术的简化种类的现有技术QFN引线框架的透视图。

[0050] 图2是图1的细节部分的透视图,以及以虚线示出的将独立封装位点与引线框架分离所遵循的切割线。

[0051] 图3是示出集成电路芯片和引线键合的位移且以虚线示出如何相对于封装P内的其它导电结构放置包封材料的现有技术QFN封装P的透视图。

[0052] 图4是类似于图3中所示的透视图的透视图,但是在适当的地方具有包封的模制化合物,并且包封的部分模制化合物被切除以露出封装P的内部结构的。

[0053] 图5是类似于图4中所示的透视图的透视图,但是从下面示出可用于将封装P表面安装在电子系统板或电气系统内的其它界面上的焊接接头。

[0054] 图6是根据本公开的一个实施例的引线载体的透视图,引线载体具有临时支撑构件,多个不同或单独的封装位点形成在临时支撑构件上。

[0055] 图7是图6的引线载体的一部分的细节的透视图,另外示出在集成电路或半导体裸片的安装、引线键合的附接,以及包封在模制化合物内之前每个封装位点的细节。

[0056] 图8是在集成电路和引线键合放置之后根据本公开的一个实施例的引线载体上的

独立封装位点的透视图,并且以虚线示出模制化合物的位置。

[0057] 图9是类似于图8的透视图,但是根据本公开的一个实施例其中在适当地方被示出的模制化合物将导电结构包封在封装内,并且其中切掉模制化合物的部分以露出封装的内部细节。

[0058] 图10是来自图9的封装的从下方的透视图,根据本公开的一个实施例示出封装的表面安装接头。

[0059] 图11-图17是示出根据本公开的一个实施例的用于制造引线载体的代表性工艺的方面的横截面视图。

[0060] 图18是示出根据本公开的另一个实施例的引线载体的部分的透视图,引线载体包括具有展示与周围包封模制化合物不同啮合特性的一种或多种类型的边缘轮廓的端子垫。

[0061] 图19是示出根据本公开的一个实施例当从引线载体去除或剥离临时支撑构件时通过施加到其的粘合层集成电路芯片及其基底的布置的横截面视图。

### 具体实施例

[0062] 参考附图,其中在全文中相同的附图标记表示相同的部分,图6和图7示出根据本公开的一个实施例的代表性引线载体结构或引线载体10的部分,代表性引线载体结构或引线载体10包括提供用于支持在其上的诸如图9和图10所示的多个对应的封装100(例如,QFN封装)的制造、组装或生产的多个封装位点12的临时支撑层或构件20。每个封装位点12且由此每个封装100包括或包含在其中的至少一个半导体裸片、集成电路芯片、集成电路和/或其它微电子器件60,并且提供到(多个)此类器件60的至少一个和通常多个输入/输出电子信号传递路径、耦接或连接(例如,多达数百个此类路径),如下面另外详细描述。为了简洁起见且为了帮助理解,根据本公开的实施例可被并入到引线载体10、封装位点12和封装100中的半导体裸片、集成电路芯片、集成电路和/或其它类型的微电子器件60下文被称作集成电路芯片60。

[0063] 在各种实施例中,临时支撑构件20包括或为薄平面耐高温材料,诸如不锈钢。临时支撑构件20包括顶表面22,在顶表面22上制备、组装、制造引线载体10的其它部分,如下面另外详细描述。临时支撑构件20的边缘24限定临时支撑构件20的周边。在该代表性实施例中,临时支撑构件20通常是矩形的,但是在其它实施例中,临时支撑构件20可采取其它形状。

[0064] 临时支撑构件20的顶表面22支撑位于其上的多个封装位点12,其中每个封装位点12包括至少一个裸片附接区域30加上与每个裸片附接区域30相关联或围绕每个裸片附接区域30的至少一个且通常多个导电端子垫40。例如,多个裸片附接区域30和端子垫40可在封装位点12处被排列在临时支撑构件20上,其中多个端子垫40围绕每个裸片附接区域30。因此,给定的裸片附接区域30可被限定为特定封装位点内的预定区域,在特定封装位点12内,集成电路芯片60可被定位或安装在临时支撑构件20上,使得在根据本公开的实施例的封装100的组装或制造期间通过封装位点12的对应的端子垫40围绕集成电路芯片60。图4中的虚线Y通常示出一种方式,可以该种方式限定每个封装位点12的界限且由此限定每个封装100的界限。

[0065] 为了简单起见且为了帮助理解,在典型的实施例中显著简化图6和图7中所示的代

代表性实施例,因为每个封装位点12被示为仅包括围绕每个裸片附接区域30的四个端子垫40;并且对应于图8的封装位点12的集成电路芯片60被示为具有仅包括四个输入/输出接点62的上表面64,四个输入/输出接点62被引线键合到封装位点的裸片附接区域30的四个端子垫40。相关领域的普通技术人员将理解在典型实施例中,集成电路芯片60可包括许多输入/输出接点62,例如,可能数百个输入/输出接点62。对应地,存在围绕每个裸片附接区域30的许多端子垫40,例如,可能存在数百个端子垫40。此类端子垫40通常以多行存在,多行包括最接近裸片附接区域30的最内行、离裸片附接区域30最远的最外行端子垫40,以及在端子垫40最内行和最外行之间的可能的一个或多个中间行。而且,一些或所有端子垫40可相对于在该代表性实施例中描绘的裸片附接区域30更小或更大。

[0066] 对于任何给定的引线载体10,其封装位点12的端子垫40可呈现各种几何形状和地点,但是端子垫40通常由类似或相同材料形成。特别地,端子垫40通常由可烧结/烧结的导电材料形成。根据几个实施例,端子垫40包括或开始为与悬浮液组分混合的至少一种导电材料(例如,银)的粉末,悬浮液组分包括有机流体或有机流体的组合,其中具有5至25重量百分比的导电材料)。该悬浮液组分通常用于使银粉具有从20Pas到50000Pas的粘度范围的糊剂稠度或其它可流动和触变特性,使得可最佳处置、操纵银粉,和/或使银粉流动,以呈现垫40的期望的几何形状。

[0067] 包括银粉的悬浮液组分以限定临时垫40的方式被选择性地施加到临时支撑构件20上的位点,如下面关于图12-图14另外详细描述。在施加到临时支撑构件20上的预期位点之后,悬浮液组分和银粉和/或其它导电金属粉末的混合物被加热到烧结温度。作为此类加热的结果,悬浮液组分加沸至气体,并且从引线载体10排出;并且金属粉末被烧结成具有端子垫40所期望的的整体质量体。

[0068] 临时支撑构件20被配置为具有热特性,使得临时支撑构件20维持其柔性和期望的强度等级,以及至少达到形成垫40的导电材料的烧结温度的其它属性。通常,该烧结温度接近被烧结到垫40中的金属粉末的熔点。

[0069] 更特别地,参考图11-图14,呈现出根据本公开的一个实施例的用于形成端子垫40的代表性顺序步骤的引线载体10的横截面图。首先,提供临时支撑构件20,如图11所示。接下来,如图12所示,临时成型材料80首先根据在其中具有对应于端子垫40形成的位置或地点的开口或孔的预定图案,被放置、设置或沉积在临时支撑构件20上。临时成型材料80包括或由长的高分子量聚合物形成,被选取用于完全蒸发或烧掉,不留下残渣或灰分。该成型材料80可被印刷到引线载体10上,或可被蚀刻成预放置在临时支撑构件20上的连续材料,或根据实施例细节以其它方式形成。

[0070] 临时成型材料80的侧向表面82限定由临时成型材料80占据的区域之间的空隙83的界限或边缘。这些空隙83被填充有金属粉末和悬浮液组分的混合物,以图13中指示的方式通过使金属粉末和悬浮液组分的混物流到空隙83中。当发生烧结过程且临时支撑构件20以及临时成型材料80和金属粉末与悬浮液混合物被加热到混合物的烧结温度时,不仅金属粉末被烧结,悬浮液组分被挥发和去除,临时成型材料80还跨越引线载体10从封装位点12被挥发和去除。因此,在烧结之后,仅由烧结的金属材料形成的端子垫40保持在临时支撑构件20上,如图14所示。

[0071] 端子垫40可具有各种不同尺寸和几何形状。在各种实施例中,端子垫40包括与图

8-图10中所示的基本上底侧44相对设置的如图8和图9所示的基本上平面顶侧42。通常,每个端子垫40的上侧42驻留在公共平面中。然而,在一些实施例中,不同端子垫40的上侧42具有不同高度,并且这些上侧42可为除完全平面之外的其他形式。

[0072] 端子垫40的边缘46限定端子垫40的周边或外围形状。该边缘46通常不定位在垂直于临时支撑构件20的平面内,而是具有锥形或以其他方式被配置为具有轮廓,使得至少一部分底切或悬置部与悬于每个边缘46的下延伸部(更靠近临时支撑构件20或在临时支撑构件20的顶表面22处)之上的每个边缘46的上延伸部(即,离临时支撑构件20的顶表面22更远)共存。该悬置关系可为连续的,诸如通过以图13和图14所示的方式使边缘46逐渐变细。在诸如图18所示的供选择的形式中,边缘46可具有其他轮廓,诸如阶梯状轮廓,并且还沿着其高度提供某种形式的底切或悬置剖面。在其他实施例中,只要对应于其上延伸部的边缘46的至少一些部分悬于更靠近边缘46的下延伸部的边缘46的一部分之上,即提供了悬置的形式。虽然在所示的代表性实施例中的每个端子垫40的每个边缘46具有悬置轮廓,但是在一些实施例中,仅一些或每个端子垫40的一些边缘46具有这样的悬置轮廓。

[0073] 在端子垫40形成期间,每个端子垫40的底侧44以图7所示的方式驻留或搁置在临时支撑构件20的顶表面22上。如下面另外详细描述,每个端子垫40的底侧44形成以图10所示的方式保持暴露在包含端子垫40的封装100的底侧上的表面安装接头90。

[0074] 在端子垫40形成之后,集成电路芯片60可以图15中所示的方式跨越对应于其的封装位点12被定位或安装在临时支撑构件20的裸片附接区域30上。关于将集成电路芯片60安装在裸片附接区域30上,如图19中所指示的,每个集成电路芯片60包括限定其下部部分的基底66。在几个实施例中,集成电路芯片60的基底66被处理或涂敷有一种或多种材料,诸如一薄层金、铂、银和/或此类材料的合金。为将集成电路芯片60定位或安装在临时支撑构件20上作准备,临时粘合剂层35跨越临时支撑构件20被施加到裸片附接区域30,所述临时粘合剂层35包括或为传统的裸片附接材料,该传统的裸片附接材料被选取为低成本且相对于到临时支撑构件20的顶表面22的其粘合性到集成电路芯片60的处理基底66具有低粘合性。集成电路芯片60的处理基底66被放置为与临时粘合剂层35接触,临时粘合剂层35与临时支撑构件20上的裸片附接区域30接触。因此,临时粘合剂层35充当临时支撑构件20的顶表面22和集成电路芯片60的处理基底66之间的中间层。如下面另外详细描述,临时粘合剂层30帮助临时支撑构件20与集成电路芯片60的处理基底66的干净分离。每个集成电路芯片60可具有对应的临时粘合剂层35,对应的临时粘合剂层35在将集成电路芯片60安装在临时支撑构件20的给定的裸片附接区域30上之前被施加到其处理基底66。

[0075] 一旦集成电路芯片60已经被定位或安装在裸片附接区域30上,如图8所示,在每个集成电路芯片60的上表面64上的多个输入/输出接点62可以如由相关领域的普通技术人员容易理解的图8、图9和图15中所示的方式,借助于引线键合50选择性地电耦接或链接到端子垫40。对于任何给定的集成电路芯片60,一个引线键合50通常在集成芯片60和周围端子垫40上的每个输入/输出接点62之间终止。因此,每个引线键合50具有与端子垫端相对的芯片端。

[0076] 在引线键合50已经形成在集成电路芯片60的输入/输出接点62和它们的对应的端子垫40之间之后,在模制化合物70在引线载体10的整个顶表面22上流动期间实行模制过程。模制化合物70通常为多种,其在一定温度下熔化且在保持相同温度期间,将在从20秒到

200秒范围内的时间段之后聚合和固化。模制化合物70由传统的非导电或基本上非导电材料形成,使得端子垫40彼此电隔离。

[0077] 模制化合物以图16中所指示的方式跨越临时支撑构件20的顶表面22上面的引线载体10的封装位点12完全包封端子垫40、引线键合50和集成电路芯片60中的每个。更特别地,模制化合物70针对临时支撑构件20的顶表面22进行模制,并且包封暴露到模制化合物70的临时支撑构件20的顶表面22上面的结构。模制化合物70没有包封直接面向和与临时支撑构件20相邻的结构。因此,每个端子垫40的底侧44(对于任何给定的封装100形成其表面安装接头90,如图10所示的)、与每个集成电路芯片60的处理基底66接触的临时粘合剂层35,以及每个集成电路芯片60的处理基底66(其也保持为任何给定的封装100的暴露的部分,如图10所示的,并且可因此被定义为或形成保持暴露在封装100的下侧上的表面安装接头90,还如图10中所示的)在模制工艺期间未被模制化合物70包封。

[0078] 在模制化合物70已经硬化之后,硬化的模制化合物70和包封在其中的结构加上临时支撑构件20可被定义为组装的引线载体10。临时支撑构件20可以以图19中示出的方式从组装的引线载体10剥离,以图17所示的方式产生单个的模制引线载体10'。单个模制引线载体10'包括封装位点12的条、阵列或矩阵,其中相邻和邻近的封装位点借助于硬化的模制化合物70在结构上彼此互连。

[0079] 可借助于沿着封装位点边界或界限(例如,对应于图7所示的虚线Y)切割或锯切单个模制引线载体10',从单个模制引线载体10'形成独立封装100。如图10所示,每个封装100包括顶部102、相对底部104,以及周边侧面106。对于任何给定的封装100,对应于封装100的端子垫40的表面安装接头90,以及封装100的集成电路芯片60的处理基底66保持暴露在封装100的底部104上,如图10中所示的。

[0080] 有利地,根据本公开的实施例制备的引线载体100不包括在现有技术引线载体1中的短路结构6和连接杆2。因此,根据本公开的实施例制造的封装100不包括在其中延伸的连接杆3,与现有技术QFN封装P相比,封装100不需要具有在其中延伸的或从其延伸的任何不必要的导电材料。根据本公开的实施例的封装100因此不会遭受与现有技术QFN封装P相同的寄生电容问题,并且适用于与在较高频率下操作的集成电路芯片60一起使用。

[0081] 如上面所指示的,端子垫40的边缘具有悬置或底切轮廓。在模制工艺期间,模制化合物70在每个端子垫40和它的毗邻的端子垫40以及它的对应的集成电路芯片60之间流动。由于端子垫40的边缘46的悬置或底切轮廓,所以模制化合物70有效地形成互锁结构或互锁件72,互锁结构或互锁件72以图16所示的方式使模制化合物70与端子垫40的边缘46在内在结构上啮合或机械上自动结合。更特别地,互锁件72的边缘或边界以抵抗端子垫远离硬化的模制化合物70向下垂直位移的方式与端子垫的底切或悬置边缘46相连接。因此,互锁件72趋于将端子垫40保留或保持在模制化合物70内的位置中,并且有助于防止端子垫40与引线键合50分开。当从引线载体10去除或剥离临时支撑构件20时,首先抵抗此类分开倾向,并且当封装100在使用中以及封装100经历可能别的使端子垫40与引线载荷50和/或封装100分开的载荷冲击时,再次抵抗此类分开倾向。这些互锁件72可具有如与垫40的轮廓边缘46相关联或借助于垫40的轮廓边缘46限定各种不同形状。互锁件72的(多个)形状最初基于临时成型材料80的侧向表面82的轮廓或由临时成型材料80的侧向表面82的轮廓确定,如由图12和图13所示。

[0082] 参考图19,驻留在每个集成电路芯片60的基底66和临时支撑构件20之间的临时粘合剂层35包括一种或多种材料,诸如市售环氧树脂裸片附接材料,例如,Hysol®QMI538NB。每个集成电路芯片60的基底66可被处理或涂敷有抵抗与粘合剂层35形成强键合的材料。此类处理可保护集成电路芯片60的基底66免受氧化,并且可提供高度可焊接的表面。如上面所指示的,基底66可被处理或涂敷有一薄层金、铂、银或此类材料的合金。粘合剂层35被选取以与临时支撑构件20的顶表面22形成比与集成电路芯片60的处理基底66的表面的强两倍到十倍的粘合剂键合,以有助于在将集成电路芯片60、端子垫40和引线键合50包封在模制化合物70中的模制过程之后易于去除临时支撑构件20。

[0083] 鉴于上述,当从组装的引线载体10去除临时支撑构件20时,临时支撑构件20与模制化合物70和每个端子垫40的表面安装接头90干净分离,但是临时粘合剂层35保持附接到临时支撑构件20,并且从每个集成电路芯片60的基底66被干净地去除。因此,在任何给定的封装100中,每个端子垫40的表面安装接头90和每个集成电路芯片60的基底66在临时支撑构件20的去除之后保持暴露,如图10中所示。例如,端子垫40的表面安装接头90和集成电路芯片60的处理基底66通过传统的表面安装焊接工艺被表面安装到表面安装板。

[0084] 参考图18,示出供选择的引线载体110的细节。在该替代的引线载体110中,临时支撑构件120具有驻留或搁置在其上的替代的垫130。这些替代的垫130包括与底侧134相对的顶侧132,其具有在其上的阶梯状边缘136。该阶梯状边缘136为被提供在上面所描述的端子垫40上的边缘46的提点的边缘。这样的阶梯状边缘136仍然提供与模制化合物70互锁的形式,以有利地将垫40保持在整个封装100内。

[0085] 本文中的描述被提供用于揭示根据本公开的特定代表性实施例。将显而易见的是,可对本文中描述的实施例作出各种修改,而不会脱离本公开或包括在此的权利要求的范围。



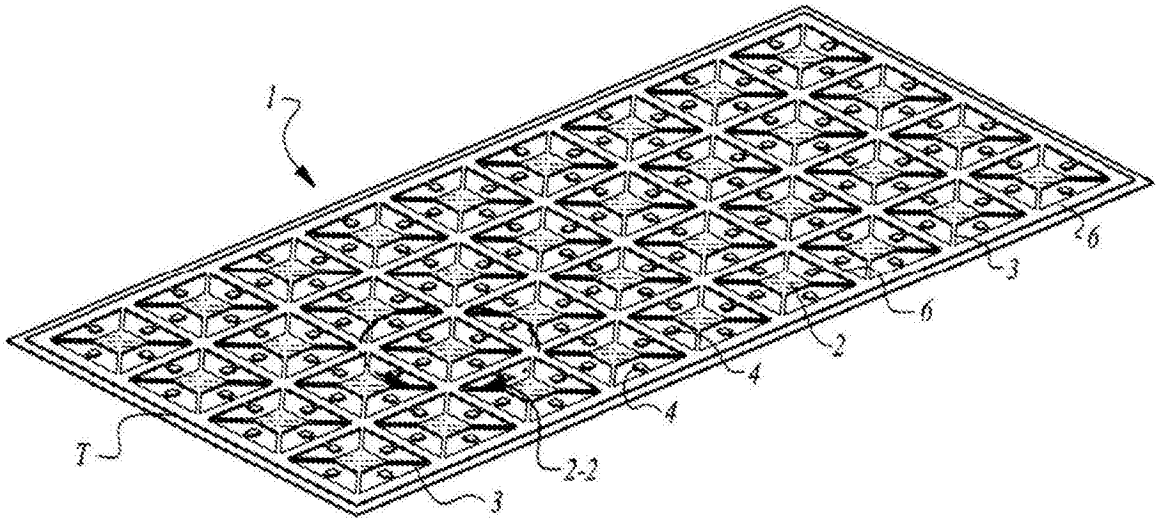


图1 (现有技术)

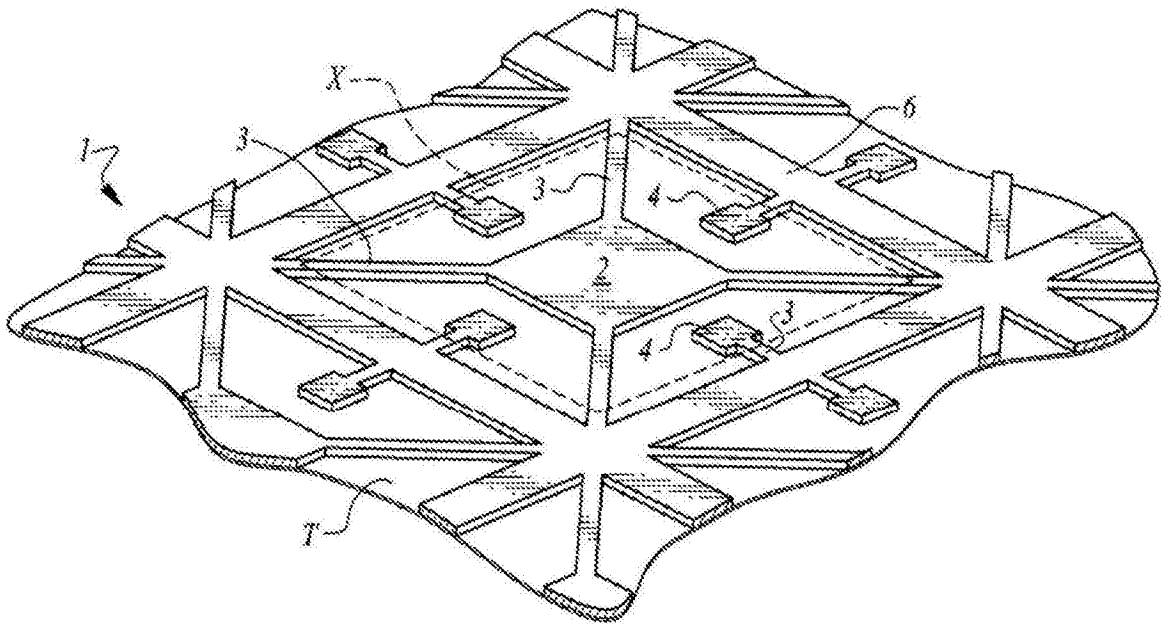


图2 (现有技术)

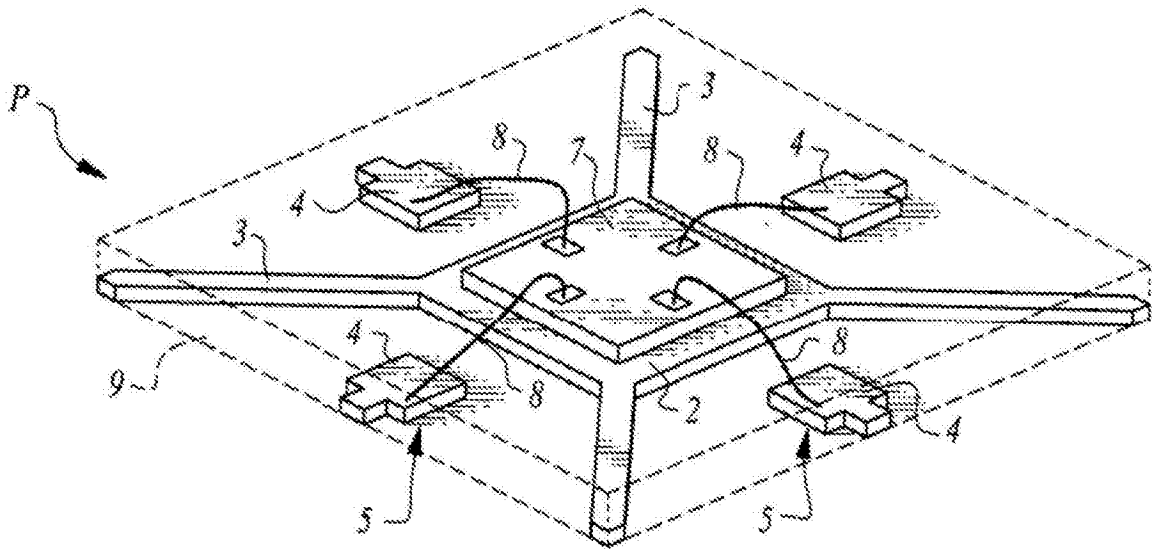


图3(现有技术)

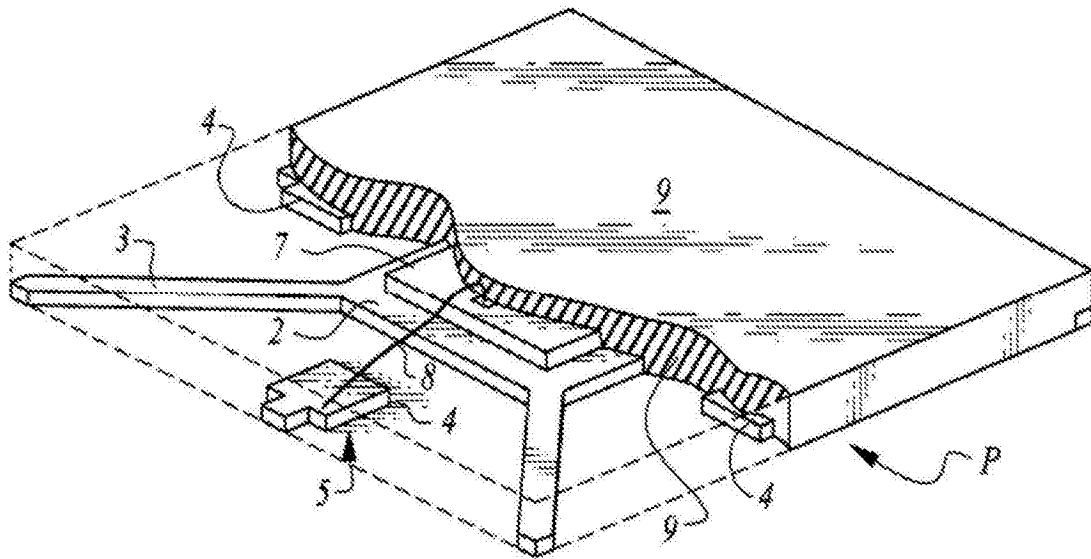


图4(现有技术)

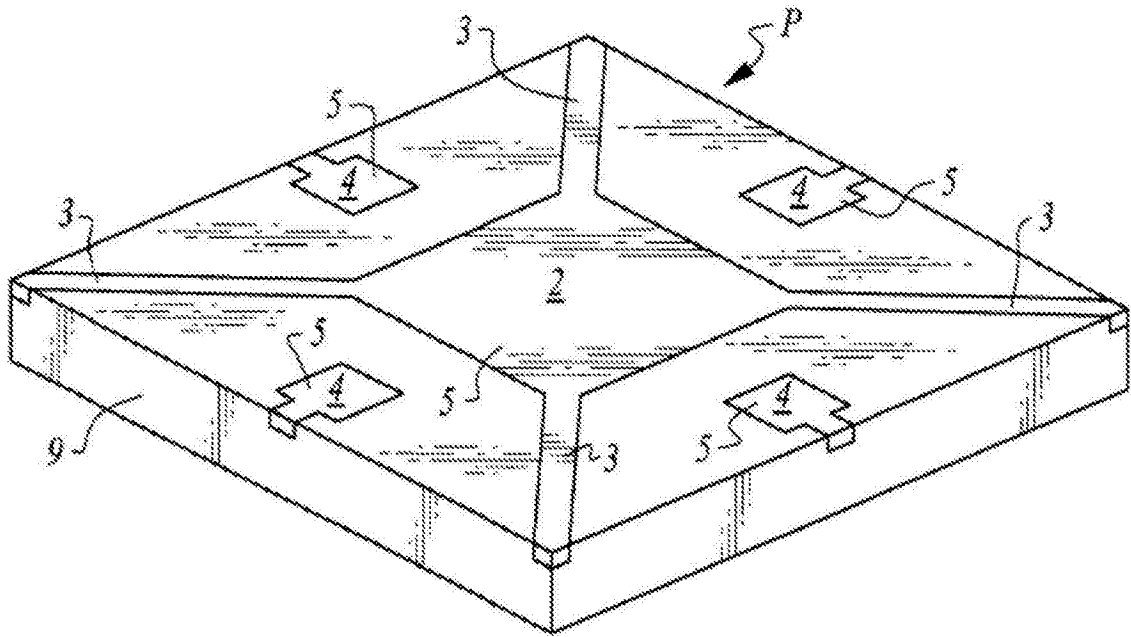


图5 (现有技术)

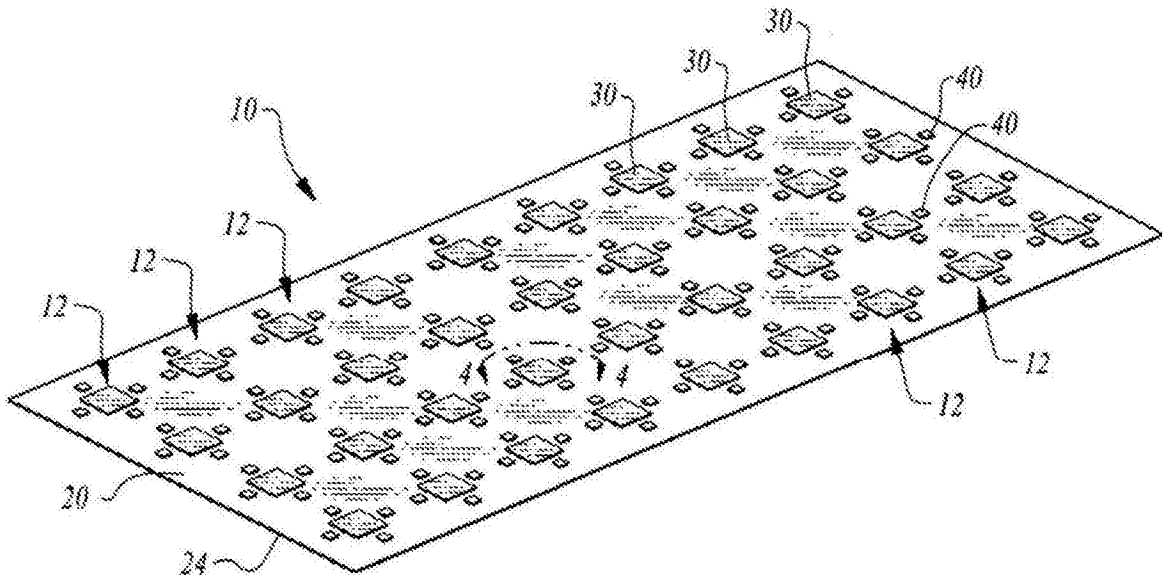


图6

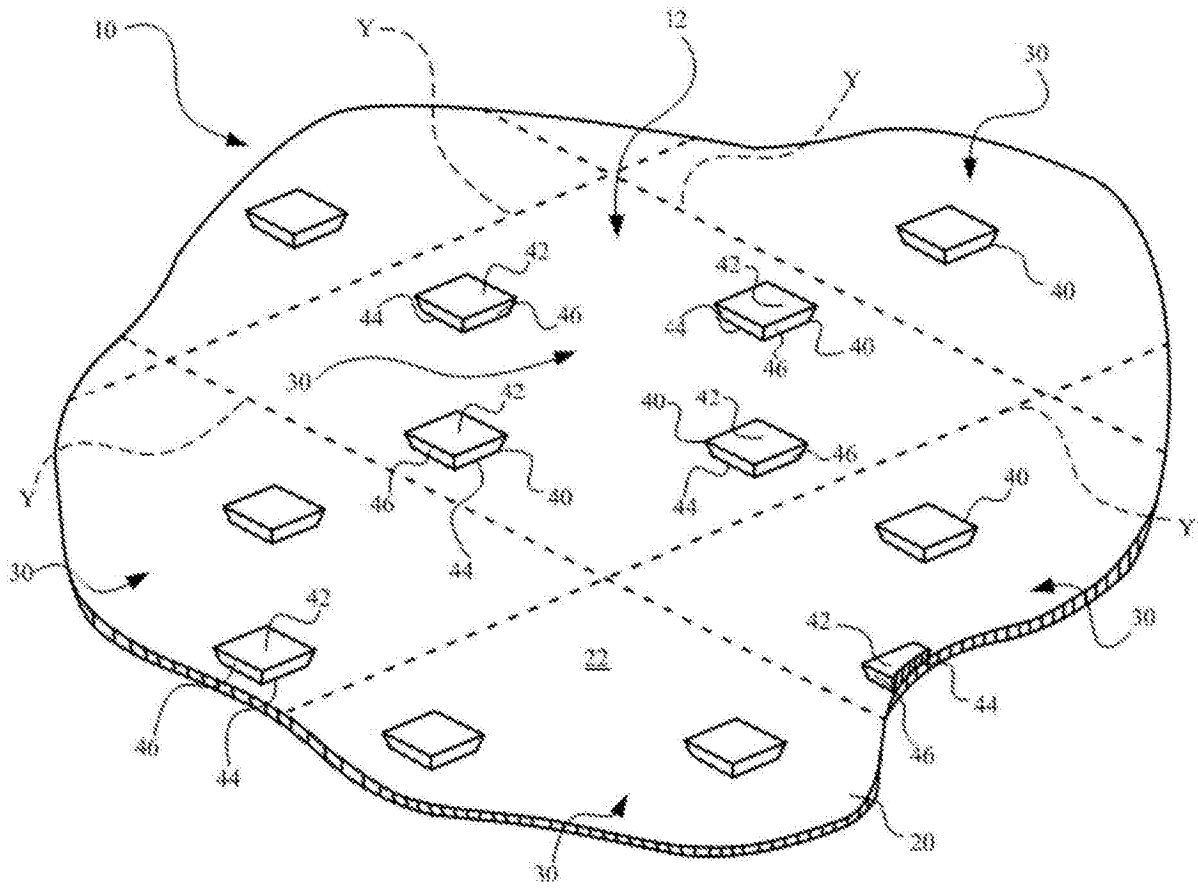


图7

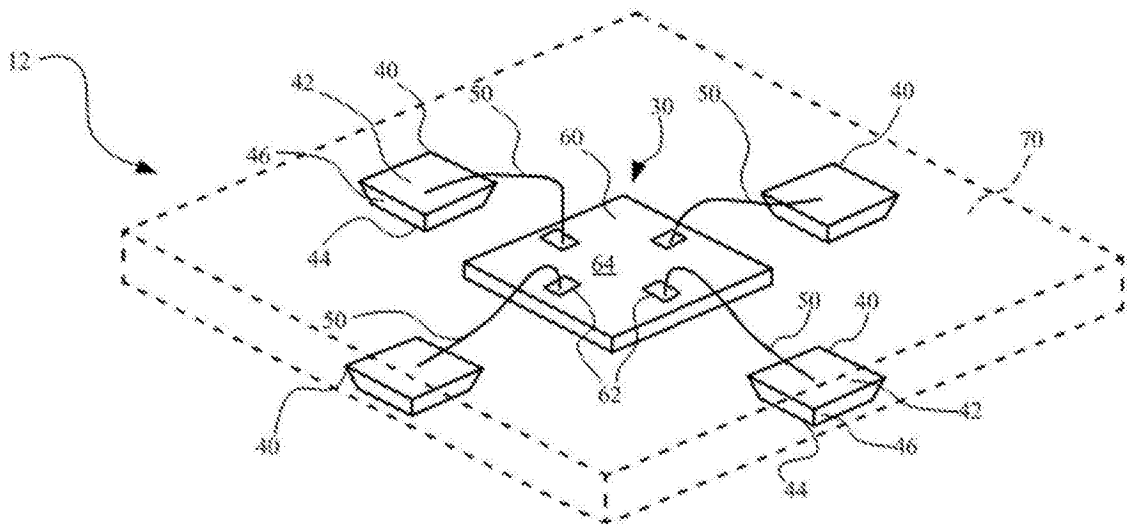


图8

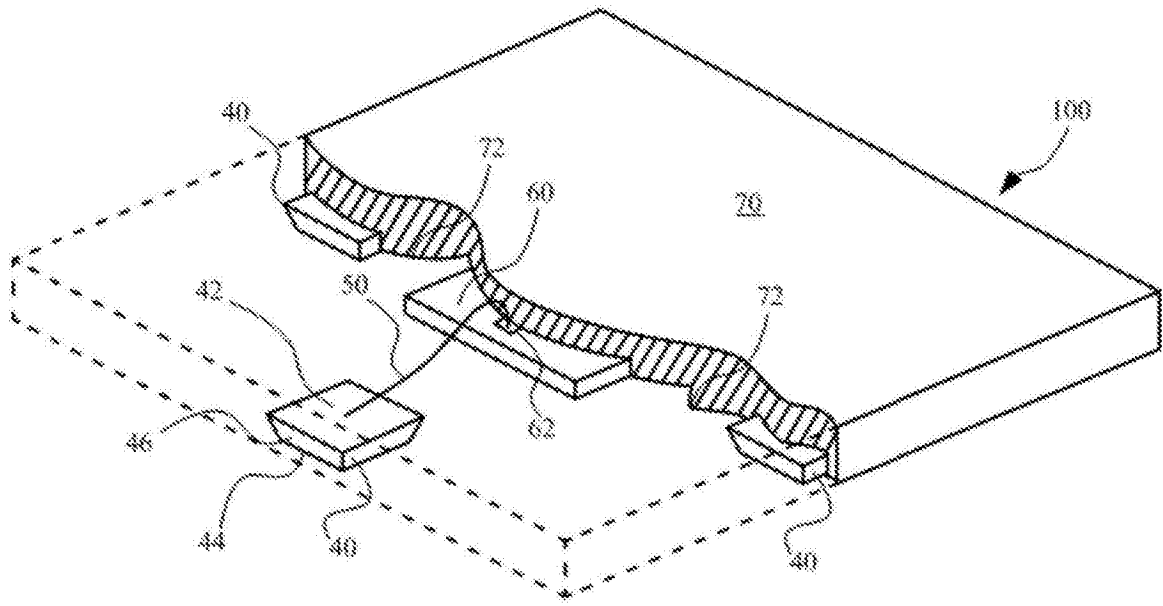


图9

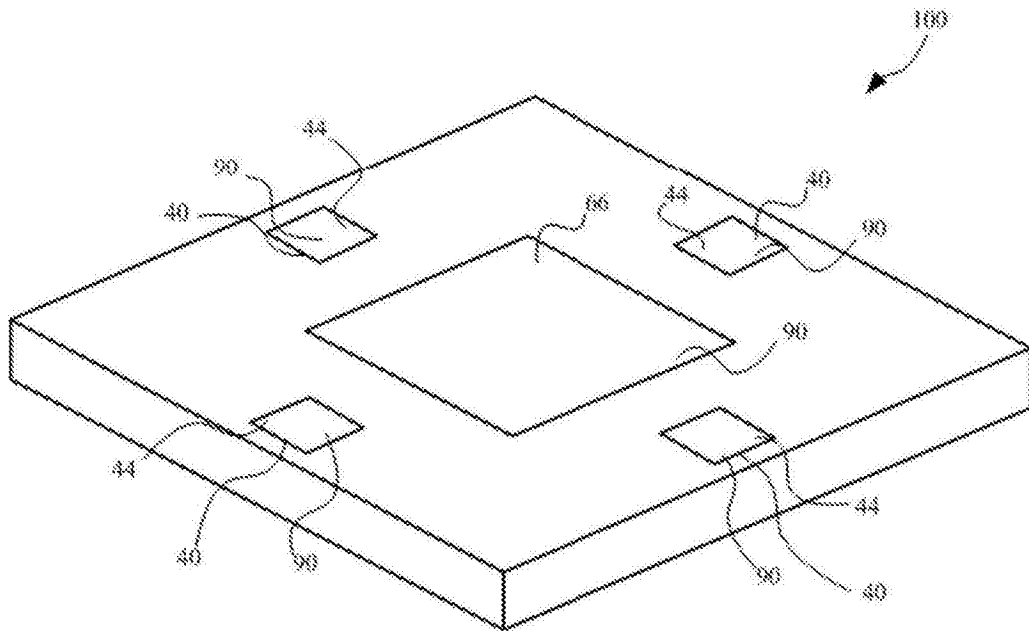


图10

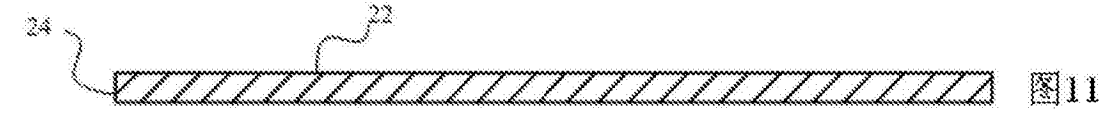


图11

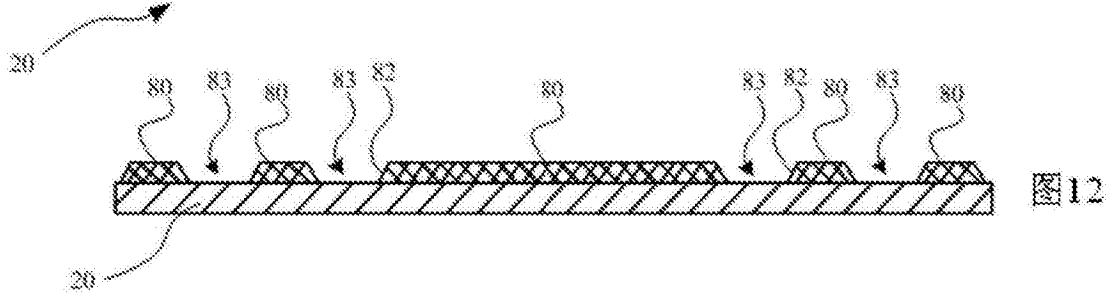


图12

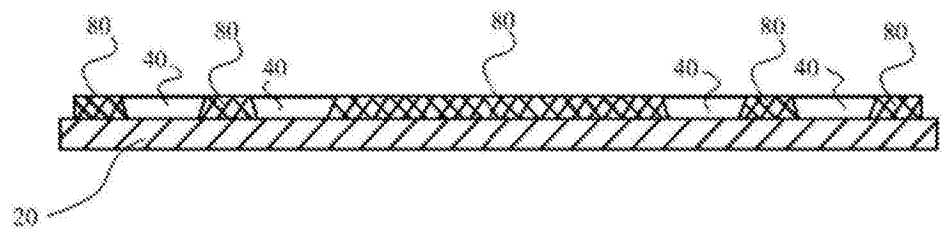


图13

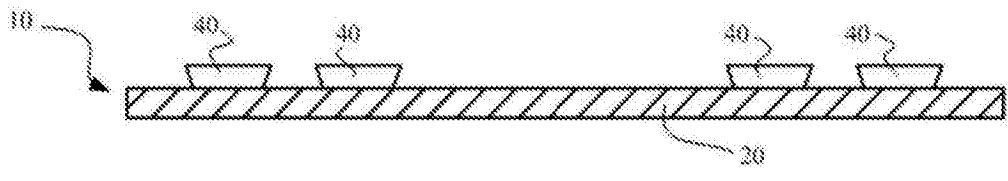


图14

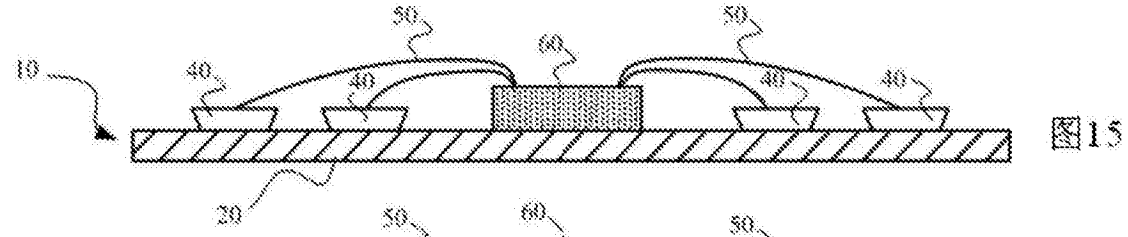


图15

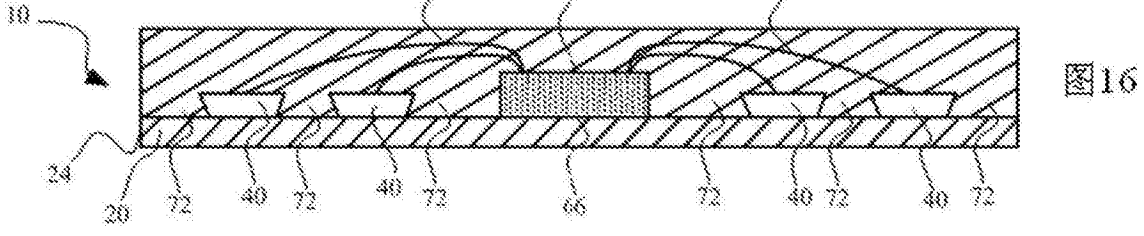


图16

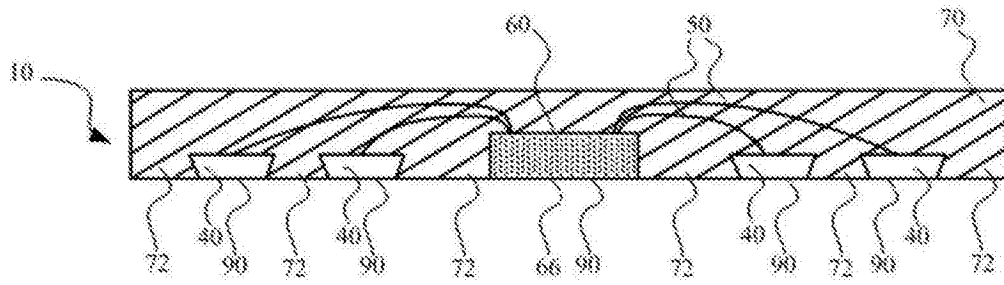


图17

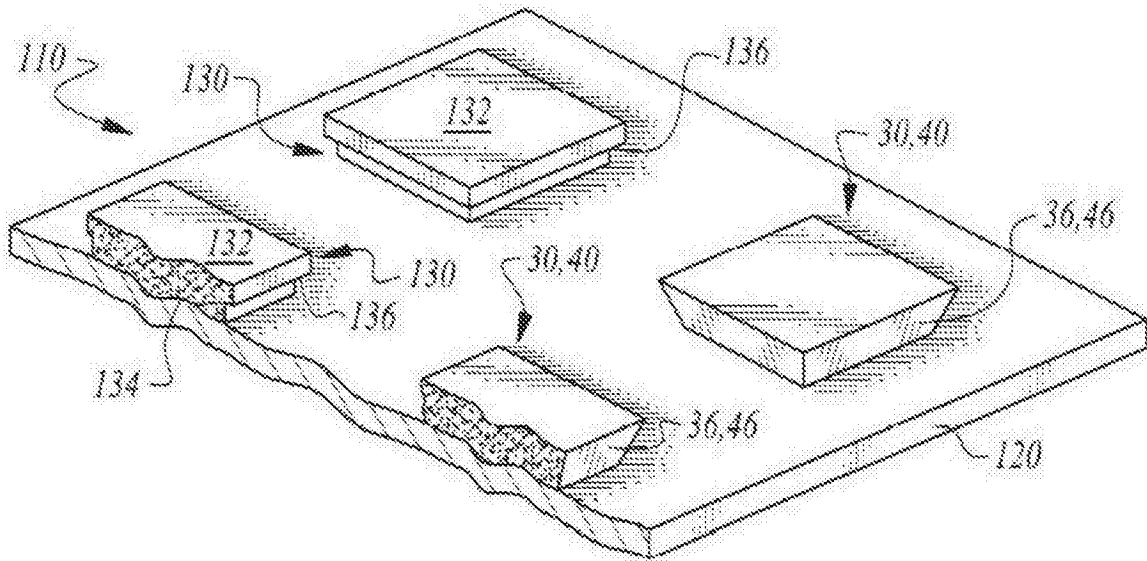


图18

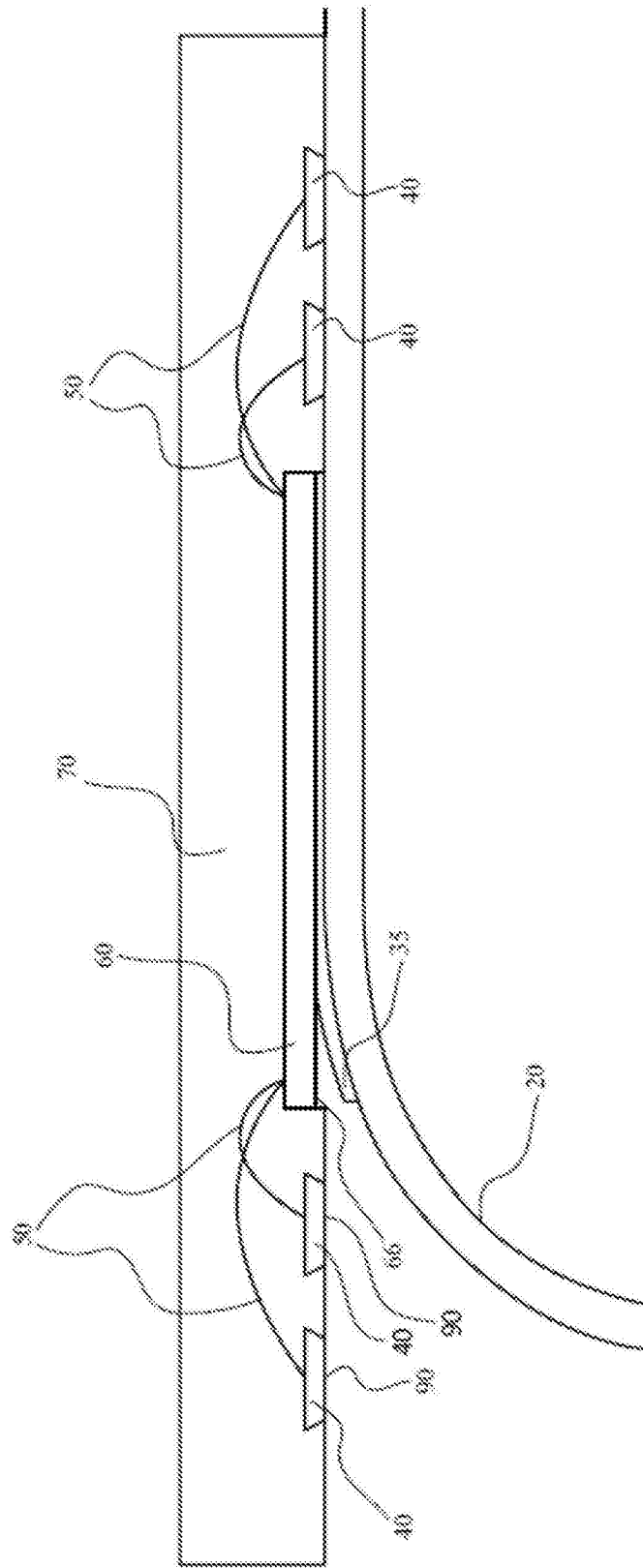


图19