

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5525297号
(P5525297)

(45) 発行日 平成26年6月18日(2014.6.18)

(24) 登録日 平成26年4月18日(2014.4.18)

(51) Int.Cl.		F I		
HO 1 L 23/50	(2006.01)	HO 1 L	23/50	X
HO 1 R 13/648	(2006.01)	HO 1 L	23/50	R
		HO 1 R	13/648	

請求項の数 21 外国語出願 (全 13 頁)

(21) 出願番号	特願2010-55761 (P2010-55761)	(73) 特許権者	509352680
(22) 出願日	平成22年3月12日(2010.3.12)		ヴァイエー・テクノロジーズ・インコーポレイテッド
(65) 公開番号	特開2010-219531 (P2010-219531A)		台湾・台北231・新店・中正路8階・535
(43) 公開日	平成22年9月30日(2010.9.30)		
審査請求日	平成25年3月6日(2013.3.6)	(74) 代理人	100089266
(31) 優先権主張番号	098108207		弁理士 大島 陽一
(32) 優先日	平成21年3月13日(2009.3.13)	(72) 発明者	曾紋郁
(33) 優先権主張国	台湾(TW)		台湾・台北県・新店市・中正路8階・535
		審査官	宮本 靖史

最終頁に続く

(54) 【発明の名称】 集積回路

(57) 【特許請求の範囲】

【請求項1】

USB 3.0 レセプタクルを介してユニバーサル・シリアル・バス(USB) デバイスにアクセスするための集積回路であって、

複数のリードによって前記USB 3.0 レセプタクルに結合されている複数のピンを含み、該複数のピンが、

前記USB デバイスのUSB 2.0 信号に対応し、前記USB 3.0 レセプタクルの第1の差動ピン対に結合される第1のグループと、

前記USB デバイスからUSB 3.0 信号を受信し、前記USB 3.0 レセプタクルの第2の差動ピン対に結合される第2のグループと、

前記USB デバイスへUSB 3.0 信号を送信し、前記USB 3.0 レセプタクルの第3の差動ピン対に結合される第3のグループと、

前記第2のグループ及び前記第3のグループの間に配置された接地ピンとを含み、かつ前記第2のグループが、前記第1のグループと前記第3のグループの間に配置されており、

当該集積回路がさらに、

前記第1のグループに隣接配置された第1の電源ピン、

前記第3のグループに隣接配置された第2の電源ピン、及び

前記USB 2.0 信号及びUSB 3.0 信号を受信または送信するために前記複数のピンを制御する制御ユニットを含むことを特徴とする集積回路。

【請求項 2】

前記第 1 のグループが、
前記 U S B 3 . 0 レセプタクルの D - ピンに結合されている第 1 のピンと、
前記 U S B 3 . 0 レセプタクルの D + ピンに結合されている第 2 のピンとを含むことを
特徴とする請求項 1 の集積回路。

【請求項 3】

前記第 2 のグループが、
前記 U S B 3 . 0 レセプタクルの S S R X - ピンに結合されている第 3 のピンと、
前記 U S B 3 . 0 レセプタクルの S S R X + ピンに結合されている第 4 のピンとを含み
、前記第 3 のピンが、前記第 2 のピンと前記第 4 のピンの間に配置されていることを特徴
とする請求項 2 の集積回路。

10

【請求項 4】

前記第 3 のグループが、
前記 U S B 3 . 0 レセプタクルの S S T X - ピンに結合されている第 5 のピンと、
前記 U S B 3 . 0 レセプタクルの S S T X + ピンに結合されている第 6 のピンとを含み
、前記第 5 のピンが、前記第 4 のピンと前記第 6 のピンの間に配置されていることを特徴
とする請求項 3 の集積回路。

【請求項 5】

前記第 3 のグループが、
前記 U S B 3 . 0 レセプタクルの S S T X + ピンに結合されている第 5 のピンと、
前記 U S B 3 . 0 レセプタクルの S S T X - ピンに結合されている第 6 のピンとを含み
、前記第 5 のピンが、前記第 4 のピンと前記第 6 のピンの間に配置されていることを特徴
とする請求項 3 の集積回路。

20

【請求項 6】

前記第 2 のグループが、
前記 U S B 3 . 0 レセプタクルの S S R X + ピンに結合されている第 3 のピンと、
前記 U S B 3 . 0 レセプタクルの S S R X - ピンに結合されている第 4 のピンとを含み
、前記第 3 のピンが、前記第 2 のピンと前記第 4 のピンの間に配置されていることを特徴
とする請求項 2 の集積回路。

【請求項 7】

前記第 3 のグループが、
前記 U S B 3 . 0 レセプタクルの S S T X + ピンに結合されている第 5 のピンと、
前記 U S B 3 . 0 レセプタクルの S S T X - ピンに結合されている第 6 のピンとを含み
、前記第 5 のピンが、前記第 4 のピンと前記第 6 のピンの間に配置されていることを特徴
とする請求項 6 の集積回路。

30

【請求項 8】

前記第 3 のグループが、
前記 U S B 3 . 0 レセプタクルの S S T X - ピンに結合されている第 5 のピンと、
前記 U S B 3 . 0 レセプタクルの S S T X + ピンに結合されている第 6 のピンとを含み
、前記第 5 のピンが、前記第 4 のピンと前記第 6 のピンの間に配置されていることを特徴
とする請求項 6 の集積回路。

40

【請求項 9】

前記 U S B 3 . 0 レセプタクルが、Standard-Aレセプタクル、Standard-Bレセプタクル
、Micro-ABレセプタクルまたはMicro-Bレセプタクルであることを特徴とする請求項 1 の
集積回路。

【請求項 10】

複数の U S B 3 . 0 レセプタクルを介して複数のユニバーサル・シリアル・バス (U S
B) デバイスにアクセスするための特定のパッケージ内に配置されている集積回路であっ
て、

前記特定のパッケージの互いに異なる側面上に各々一列に配置され、かつ前記複数の U

50

S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルに各々結合された複数のピングループを含み、各ピングループが、

前記複数の U S B デバイスのうちの 1 つのデバイスの U S B 2 . 0 信号に対応する、前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの第 1 の差動ピン対に結合される第 1 のサブグループと、

前記複数の U S B デバイスのうちの 1 つのデバイスの U S B 3 . 0 信号に対応する、前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの第 2 の差動ピン対に結合される第 2 のサブグループと、

前記複数の U S B デバイスのうちの 1 つのデバイスの U S B 3 . 0 信号に対応する、前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの第 3 の差動ピン対に結合される第 3 のサブグループとを含み、かつ前記第 2 のサブグループが、前記第 1 のサブグループと前記第 3 のサブグループの間に配置されており、

当該集積回路がさらに、

前記第 1、第 2 及び第 3 の差動ピン対で信号を受信または送信するために前記複数のピングループのうちの 1 つのピングループを各々制御する複数の制御ユニットを含み、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つが、Standard-Aレセプタクル、Standard-Bレセプタクル、Micro-ABレセプタクルまたはMicro-Bレセプタクルであることを特徴とする集積回路。

【請求項 1 1】

前記特定のパッケージがクワッド・フラット・ノーリード (Q F N) パッケージまたはロープロファイル・クワッド・フラット (L Q F P) パッケージであることを特徴とする請求項 1 0 の集積回路。

【請求項 1 2】

前記第 1 のサブグループが、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの D - ピンに結合されている第 1 のピンと、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの D + ピンに結合されている第 2 のピンとを含むことを特徴とする請求項 1 0 の集積回路。

【請求項 1 3】

前記第 2 のサブグループが、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの S S R X - ピンに結合されている第 3 のピンと、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの S S R X + ピンに結合されている第 4 のピンとを含み、前記第 3 のピンが、前記第 2 のピンと前記第 4 のピンの間に配置されていることを特徴とする請求項 1 2 の集積回路。

【請求項 1 4】

前記第 3 のサブグループが、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの S S T X - ピンに結合されている第 5 のピンと、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの S S T X + ピンに結合されている第 6 のピンとを含み、前記第 5 のピンが、前記第 4 のピンと前記第 6 のピンの間に配置されていることを特徴とする請求項 1 3 の集積回路。

【請求項 1 5】

前記第 3 のサブグループが、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの S S T X + ピンに結合されている第 5 のピンと、

前記複数の U S B 3 . 0 レセプタクルのうちの 1 つのレセプタクルの S S T X - ピンに結合されている第 6 のピンとを含み、前記第 5 のピンが、前記第 4 のピンと前記第 6 のピンの間に配置されていることを特徴とする請求項 1 3 の集積回路。

【請求項 1 6】

10

20

30

40

50

前記第 2 のサブグループが、
前記複数の USB 3.0 レセプタクルのうちの一つのレセプタクルの SSRX+ ピンに結合されている第 3 のピンと、

前記複数の USB 3.0 レセプタクルのうちの一つのレセプタクルの SSRX- ピンに結合されている第 4 のピンとを含み、前記第 3 のピンが、前記第 2 のピンと前記第 4 のピンの間に配置されていることを特徴とする請求項 12 の集積回路。

【請求項 17】

前記第 3 のサブグループが、
前記複数の USB 3.0 レセプタクルのうちの一つのレセプタクルの SSTX+ ピンに結合されている第 5 のピンと、

前記複数の USB 3.0 レセプタクルのうちの一つのレセプタクルの SSTX- ピンに結合されている第 6 のピンとを含み、前記第 5 のピンが、前記第 4 のピンと前記第 6 のピンの間に配置されていることを特徴とする請求項 16 の集積回路。

【請求項 18】

前記第 3 のサブグループが、
前記複数の USB 3.0 レセプタクルのうちの一つのレセプタクルの SSTX- ピンに結合されている第 5 のピンと、

前記複数の USB 3.0 レセプタクルのうちの一つのレセプタクルの SSTX+ ピンに結合されている第 6 のピンとを含み、前記第 5 のピンが、前記第 4 のピンと前記第 6 のピンの間に配置されていることを特徴とする請求項 16 の集積回路。

【請求項 19】

前記各ピングループが、
前記第 2 のサブグループ及び前記第 3 のサブグループの間に配置された接地ピンと、
前記第 1 のサブグループに隣接配置された第 1 の電源ピンと、
前記第 3 のサブグループに隣接配置された第 2 の電源ピンとをさらに含むことを特徴とする請求項 10 の集積回路。

【請求項 20】

前記各ピングループが、前記複数の USB 3.0 レセプタクルのうちの一つのレセプタクルの接地信号線に結合されるように構成されており、

前記第 1 及び第 2 の電源ピンが、前記複数の制御ユニットのうちの一つに対して互いに異なる作動電圧を提供するように構成されていることを特徴とする請求項 19 の集積回路。

【請求項 21】

前記各ピングループが、前記 USB 3.0 レセプタクルの接地信号線に結合されるように構成されており、

前記第 1 及び第 2 の電源ピンが、前記制御ユニットに対して互いに異なる作動電圧を提供するように構成されていることを特徴とする請求項 1 の集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

この出願は、2009年3月13日付けで出願された台湾特許出願第098108207号に基づく優先権を主張し、この出願の明細書(特許文献1)は引用を以て本明細書の一部となす。

【0002】

本発明は、集積回路(IC)に関し、より詳細には、ユニバーサル・シリアル・バス(USB)3.0機能を備えた集積回路に関する。

【背景技術】

【0003】

ユニバーサル・シリアル・バス(USB)は、ホットプラグ、プラグアンドプレイなどを提供する能力を有する外部装置を接続するためのシリアルバス規格である。

【0004】

現在、USB 2.0規格は、それぞれ1.5Mbps、12Mbps及び480Mbpsのデータ転送速度をサポートするロースピード、フルスピード及びハイスピードの3つの転送速度を提供する。しかし、電子装置の機能がより一層複雑になっているので、外部装置からのデータに素早くアクセスし、引き続いて関連作業を実行するために、電子装置にはさらに高速な転送速度が要求されている。

【0005】

従って、USBインプリメンターズ・フォーラムは、スーパースピードデータ転送及び非スーパースピード(すなわちUSB 2.0)データ転送を同時に行うために、次世代USB業界標準であるUSB 3.0を策定した。USB 3.0では、スーパースピードデータ転送は5Gbpsのデータ転送速度をサポートする。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】台湾特許出願第098108207号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

USB 3.0機能を備えた集積回路を提供する。

【課題を解決するための手段】

20

【0008】

USB 3.0レセプタクル(ソケット)を介してユニバーサル・シリアル・バス(USB)デバイスにアクセスするための集積回路が提供される。USB 3.0レセプタクルを介してユニバーサル・シリアル・バス(USB)デバイスにアクセスするための集積回路の例示的实施形態が提供される。集積回路は、複数のリードによってUSB 3.0レセプタクルに結合されている複数のピンと、制御ユニットとを含む。複数のピンは、USBデバイスの第1の差動信号対を送受信する第1のグループと、USBデバイスから第2の差動信号対を受信する第2のグループと、第3の差動信号対をUSBデバイスに送信する第3のグループとを含む。第1の差動信号対は、USBデバイスのUSB 2.0信号に対応する。第2の差動信号対は、USBデバイスのUSB 3.0信号に対応する。第3の差動信号対は、USBデバイスのUSB 3.0信号に対応する。第2のグループは、第1のグループと第3のグループの間に配置されている。制御ユニットは、第1、第2、または第3の差動信号対を受信または送信するように複数のピンを制御をする。

30

【0009】

また、複数のUSB 3.0レセプタクルを介してユニバーサル・シリアル・バス(USB)デバイスにアクセスするための、特定のパッケージ内に配置されている集積回路の例示的实施形態が提供される。集積回路は、各ピングループ(ピン群)が特定のパッケージの異なる側面上に配置されかつ対応するUSB 3.0レセプタクルに結合されているような複数のピングループと、複数の制御ユニットとを含む。各ピングループは、対応するUSBデバイスの第1の差動信号対を送受信する第1のサブグループと、対応するUSBデバイスから第2の差動信号対を受信する第2のサブグループと、対応するUSBデバイスに第3の差動信号対を送信する第3のサブグループとを含む。第2のサブグループは、第1のサブグループと第3のサブグループの間に配置されている。各制御ユニットは、対応する第1、第2及び第3の差動信号対を受信または送信するように対応するピングループを制御をする。対応するUSB 3.0レセプタクルは、Standard-Aレセプタクル、Standard-Bレセプタクル、Micro-ABレセプタクルまたはMicro-Bレセプタクルである。

40

【発明の効果】

【0010】

本発明の集積回路は、USB 3.0規格に対応し、さらに、後述するように、レセプタクルとUSBピングループ間の、またはUSBピングループ同士の、リード・クロスト

50

ークを回避することができる。

【 0 0 1 1 】

以下の実施形態において添付図面を参照しながら詳細な説明を行う。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】USB 3.0用のStandard-Aレセプタクル。

【図 2】USB 3.0用のStandard-Bレセプタクル。

【図 3】USB 3.0用のMicro-Bレセプタクル。

【図 4】USB 3.0用のMicro-ABレセプタクル。

【図 5】Standard-A及びStandard-Bレセプタクルのピン割当を示す表。

10

【図 6】Micro-B及びMicro-ABレセプタクルのピン割当を示す表。

【図 7】本発明の或る実施形態に従ってStandard-Aレセプタクルと集積回路（IC）間の相互接続を示す概略図。

【図 8】本発明の他の実施形態に従ってStandard-AレセプタクルとIC間の相互接続を示す概略図。

【図 9】本発明の他の実施形態に従ってStandard-AレセプタクルとIC間の相互接続を示す概略図。

【図 10】本発明の他の実施形態に従ってStandard-AレセプタクルとIC間の相互接続を示す概略図。

【図 11】本発明の或る実施形態に従ってStandard-BレセプタクルとIC間の相互接続を示す概略図。

20

【図 12】本発明の或る実施形態に従ってMicro-BレセプタクルとIC間の相互接続を示す概略図。

【図 13】本発明の或る実施形態に従ってMicro-ABレセプタクルとIC間の相互接続を示す概略図。

【図 14】本発明の或る実施形態に従って複数のレセプタクルとIC間の相互接続を示す概略図。

【図 15】本発明の別の実施形態に従って複数のレセプタクルとIC間の相互接続を示す概略図。

【発明を実施するための形態】

30

【 0 0 1 3 】

以下の説明は、本発明を実行する最良と思われるモードの説明である。この説明は、本発明の一般原理を説明するためになされるものであり、限定的な意味で解釈されるべきではない。本発明の範囲は、添付の請求項を参照することにより最も良く決定される。

【 0 0 1 4 】

図 1 ないし図 4 は、ユニバーサル・シリアル・バス（USB）3.0規格対応の互いに異なるタイプのレセプタクルを示している。図 1 及び図 2 は、それぞれStandard-A及びStandard-Bレセプタクルを示しており、そのピン割当が図 5 に示されている。図 3 及び図 4 は、それぞれMicro-B及びMicro-ABレセプタクルを示しており、そのピン割当が図 6 に示されている。USB 3.0は、物理USB 2.0バスと並列に結合され、それによってスーパースピード及び非スーパースピード（すなわちUSB 2.0）に対するデータ転送を同時に行う物理スーパースピードバスである。従って、USB 3.0デバイスは、USB 2.0用の差動信号対D+/D-の信号線と、スーパースピード用の2つの差動信号対と、接地線GND及び電源線VBUSとを含み、ここで、スーパースピードの差動信号は、トランスミッタ差動信号対SSTX+/SSTX-及びレシーバ差動信号対SSRX+/SSRX-を含み、電源線VBUSは、USB 3.0デバイスに電力を供給するための線である。

40

【 0 0 1 5 】

図 7 は、本発明の或る実施形態に従ってStandard-Aレセプタクル200と集積回路（IC）100間の相互接続を示す概略図を示している。図 7 では、IC 100 及びStandard

50

-Aレセプタクル200は、電子装置のプリント基板(PCB)内に配置されており、ここで、IC100は、レセプタクル200を介して外部USBデバイス(図示せず)にアクセスし得る。図7に示すように、IC100は制御ユニット120を含み、ここで、制御ユニット120は、USB物理層のための回路であり、外部USBデバイスにアクセスするためにレセプタクル200に結合されている複数のピンを有する。複数のピンは、ピン121及び122により形成される第1のグループと、ピン123及び124により形成される第2のグループと、ピン125及び126により形成される第3のグループとを含み、第2のグループは、第1のグループと第3のグループの間に配置されている。この実施形態では、ピン121及び122は、IC100用のD-及びD+ピンとしても定義され、これらはUSB2.0差動信号対に対応するUSBデバイスの信号を送受信するためにレセプタクル200のD-及びD+ピンに別々に結合されている。従って、USB2.0規格をサポートするデバイスがレセプタクル200にプラグで接続されていれば、制御ユニット120は、ピン121及び122を介して差動信号対(すなわちD+及びD-信号)を送受信することによって、プラグ接続されているデバイスにアクセスし得る。

10

【0016】

また、一実施形態では、ピン123及び124は、図7に示すようにIC100用のSSRX+及びSSRX-ピンとしても定義される。ピン123及び124は、レセプタクル200のStdA__SSRX-及びStdA__SSRX+ピンに別々に結合されており、これらはUSB3.0差動信号対に対応する信号をUSBデバイスから受信するために用いられる。従って、スーパースピード規格をサポートするデバイスがレセプタクル200にプラグで接続されていれば、制御ユニット120は、プラグ接続されているデバイスからデータを受信しかつ受信データに応じて関連作業を実行するために、ピン123及び124を介してプラグ接続されているデバイスから差動信号対(すなわちIC100のSSRX-及びSSRX+信号)を受信し得る。一実施形態では、ピン125及び126はまた、図7に示すように、IC100のためのSSTX-及びSSTX+ピンとして画定される。ピン125及び126は、レセプタクル200のStdA__SSTX-及びStdA__SSTX+ピンに別々に結合されており、これらはUSB3.0差動信号対に対応する信号をUSBデバイスに送信するために用いられる。従って、スーパースピード規格をサポートするデバイスがレセプタクル200にプラグで接続されていれば、制御ユニット120は、プラグ接続されているデバイスにデータを送信するために、ピン125及び126を介して差動信号対(すなわちIC100のSSTX-及びSSTX+信号)を送信し得る。さらに、IC100において、制御ユニットは、レセプタクル200の接地信号線に結合されているGNDピンをさらに含み、ここで、GNDピンは、ピン122と123の間またはピン124と125の間に配置されている。一実施形態では、レセプタクル200の接地信号線がPCBの接地端子から直接供給される。また、制御ユニット120は、制御ユニット120に様々な作動電圧を供給する電源ピンであるVCC及びVDDピンをさらに含む。

20

30

【0017】

USB3.0の用途に照らして、差動信号対SSTX-とSSTX+を入れ替えてもよく、差動信号対SSTX-とSSTX+も入れ替えてもよい。従って、IC100では、図8~図10に示すように、ピン123と124の配置場所を入れ替えてもよく、ピン125と126の配置場所を入れ替えてもよい。

40

【0018】

図11は、本発明の或る実施形態に従ってStandard-Bレセプタクル300とIC100間の相互接続を示す概略図を示している。図12は、本発明の或る実施形態に従ってMicro-Bレセプタクル400とIC100間の相互接続を示す概略図を示している。図13は、本発明の或る実施形態に従ってMicro-ABレセプタクル500とIC100間の相互接続を示す概略図を示している。同様に、IC100及びレセプタクル300、400または500は、電子装置のPCBに配置されており、ここで、IC100は、レセプタクル300、400または500を介して外部USBデバイス(図示せず)にアクセスし得る。

50

この実施形態では、制御ユニット120のピンの構成を、様々なタイプのレセプタクルと接続するために、差動信号対を受信するピン123及び124がIC100の一連のUSBピンの中心に配置されるようにすることによって、レセプタクルとUSBピングループの間のリード・クロストークを回避している。

【0019】

図14は、本発明の或る実施形態に従って複数のレセプタクルとIC700間の相互接続を示す概略図を示している。IC700は、クワッド・フラット・ノーリード(Quad Flat No-lead: QFN)パッケージまたはロープロファイル・クワッド・フラット(Low profile Quad Flat: LQFP)パッケージ内に配置されている。この実施形態では、IC700は、様々なUSBデバイスにアクセスするために複数のUSBピングループを有する。例えば、複数の制御ユニットが或るICの同じ側面に配置されており、ここで、各制御ユニットはUSB物理層のための回路である。図14に示すように、制御ユニット710のUSBピングループ730が第1のUSBデバイスにアクセスするためにレセプタクル750に結合され、制御ユニット720のUSBピングループ740が第2のUSBデバイスにアクセスするためにレセプタクル760に結合されており、ここで、制御ユニット710及び720はIC700の同じ側面に配置されている。従って、様々な制御ユニットによって提供されるUSBピングループが、対応するレセプタクルにそれぞれ結合されており、そのようにして種々のレセプタクルと種々の制御ユニット用のUSBピングループ間のリード・クロストークを回避している。一実施形態では、レセプタクル750及び760は、互いに異なるタイプのUSB3.0レセプタクルである。例えば、レセプタクル750はStandard-Aレセプタクルであり、レセプタクル760はStandard-Bレセプタクルである。

【0020】

図15は、本発明の別の実施形態に従って複数のレセプタクルとIC800間の相互接続を示す概略図を示している。IC800は、QFNパッケージまたはLQFPパッケージ内に配置されている。この実施形態では、例としてQFNまたはLQFPパッケージが用いられているが、本発明を限定するものではない。一実施形態では、USBデバイスにアクセスするためにIC800内に複数のUSBピングループが配置されている。例えば、複数の制御ユニット及び対応するUSBピングループが或るICの異なる側面に配置されている。図15に示すように、第1の制御ユニットのUSBピングループ810が、IC800の第1の側面に配置されており、第1のUSBデバイスにアクセスするためにレセプタクル850に結合されている。第2の制御ユニットのUSBピングループ820が、IC800の第2の側面に配置されており、第2のUSBデバイスにアクセスするためにレセプタクル860に結合されている。第3の制御ユニットのUSBピングループ830が、IC800の第3の側面に配置されており、第3のUSBデバイスにアクセスするためにレセプタクル870に結合されている。第4の制御ユニットのUSBピングループ840が、IC800の第4の側面に配置されており、第4のUSBデバイスにアクセスするためにレセプタクル880に結合されている。従って、種々のUSBピングループが、対応するレセプタクルに別々に結合されており、そのようにして互いに異なるUSBピングループ同士間のリード・クロストークを回避している。一実施形態では、レセプタクル850、860、870及び880は、互いに異なるタイプのUSB3.0レセプタクルであり、これらは実際の用途に照らして決定される。例えば、レセプタクル850及び860はStandard-Aレセプタクルであり、レセプタクル870及び880はStandard-Bレセプタクルである。あるいは、レセプタクル850がStandard-Aレセプタクルであり、レセプタクル860がStandard-Bレセプタクルであり、レセプタクル870がMicro-ABレセプタクルであり、レセプタクル880がMicro-Bレセプタクルである。

【0021】

また、本発明で説明したICは、フリップチップ・パッケージ、ボール・グリッド・アレー(BGA)パッケージなどの他のパッケージにおいて配置され得る。同じUSBピングループに対応する互いに異なるピンが隣接位置に配置されており、そのようにして種々

10

20

30

40

50

のレセプタクルと種々の制御ユニット用のUSBピングループ間のリード・クロストークを回避している。

【0022】

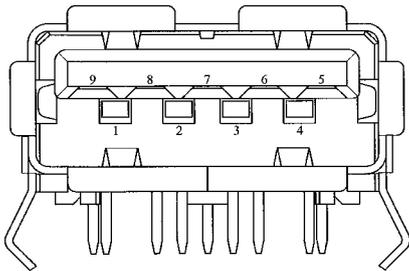
本発明について、例としてかつ好適実施形態の観点から説明してきたが、本発明はこれに限定されるものではないことを理解されたい。当業者は、本発明の範囲及び趣旨から逸脱することなしに、さらに様々な変更及び改変を行うことができる。従って、本発明の範囲は、以下の請求項及びそれと等価なものによって画定されかつ保護されるものとする。

【符号の説明】

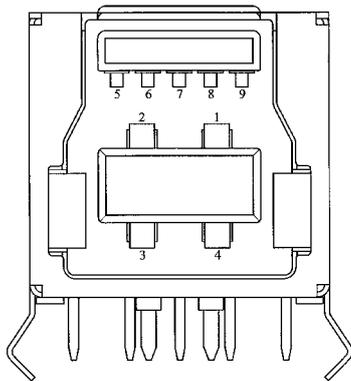
【0023】

- 100、700、800 集積回路（IC）
- 120、710、720 制御ユニット
- 121、122、123、124、125、126 ピン
- 200、300、400、500、750、760、850、860、870、880 レセプタクル
- 810、820、830、840 USBピングループ

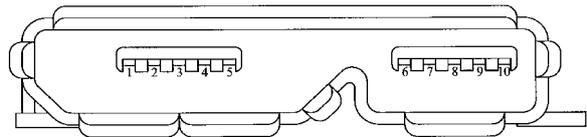
【図1】



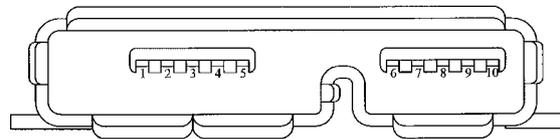
【図2】



【図3】



【図4】



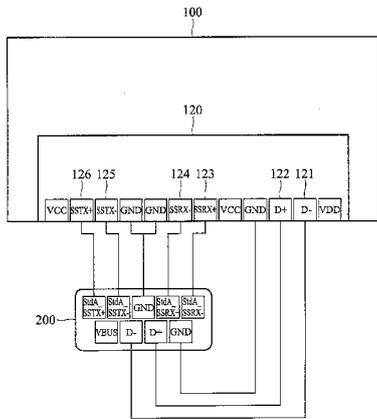
【図5】

	Standard-A	Standard-B
1	VBUS	VBUS
2	D-	D-
3	D+	D+
4	GND	GND
5	StdA_SSRX-	StdB_SSTX-
6	StdA_SSRX+	StdB_SSTX+
7	GND	GND
8	StdA_SSTX-	StdB_SSRX-
9	StdA_SSTX+	StdB_SSRX+

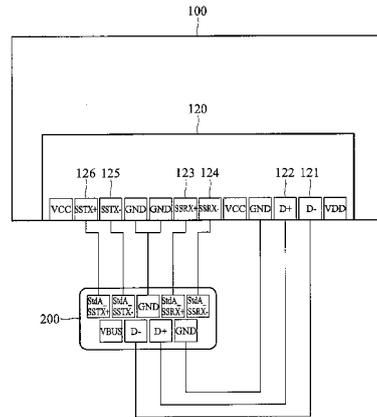
【 図 6 】

	Micro-B	Micro-AB
1	VBUS	VBUS
2	D-	D-
3	D+	D+
4	ID	ID
5	GND	GND
6	MicB_SSTX-	MicA_SSTX-
7	MicB_SSTX+	MicA_SSTX-
8	GND	GND
9	MicB_SSRX-	MicA_SSRX-
10	MicB_SSRX+	MicA_SSRX+

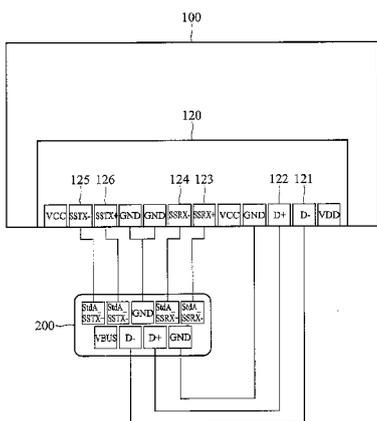
【 図 7 】



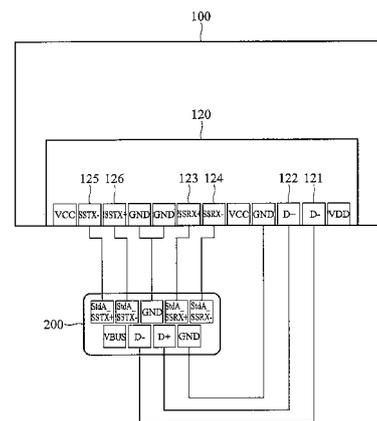
【 図 8 】



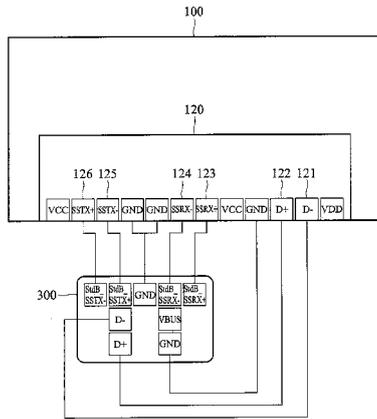
【 図 9 】



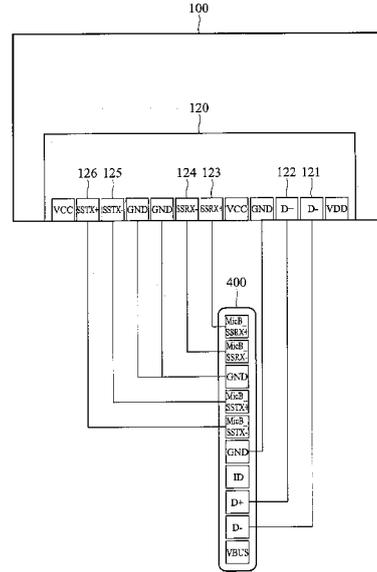
【 図 10 】



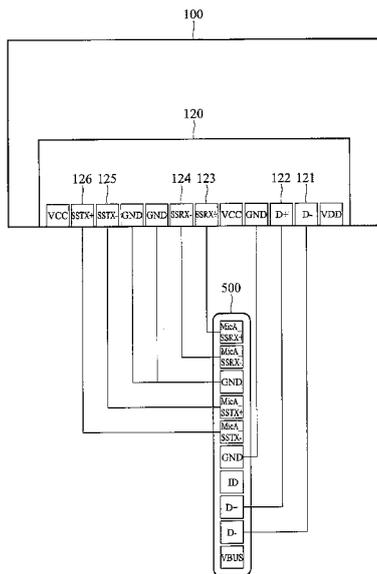
【図 1 1】



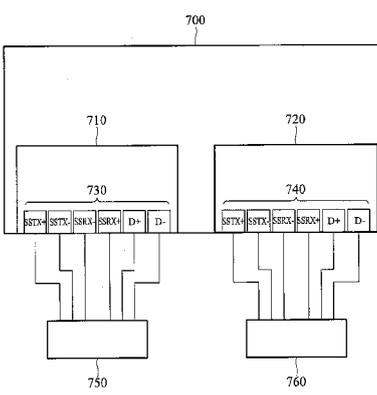
【図 1 2】



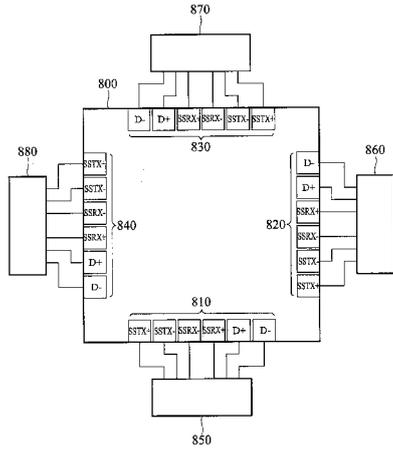
【図 1 3】



【図 1 4】



【 図 15 】



フロントページの続き

(56)参考文献 特開2009-043723(JP,A)
特表2011-524096(JP,A)
特開2009-212009(JP,A)
特開2010-140388(JP,A)
特表2012-507947(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/50
H01R 13/56 - 13/72
H04L 25/00 - 25/66
G06F 13/38 - 13/42