

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-256638

(P2007-256638A)

(43) 公開日 平成19年10月4日(2007.10.4)

| (51) Int. Cl.                | F I             | テーマコード (参考) |
|------------------------------|-----------------|-------------|
| <b>G09F 9/30 (2006.01)</b>   | G09F 9/30 338   | 2H092       |
| <b>H01L 21/336 (2006.01)</b> | H01L 29/78 612D | 5C094       |
| <b>H01L 29/786 (2006.01)</b> | H01L 29/78 616V | 5F110       |
| <b>G02F 1/1368 (2006.01)</b> | G02F 1/1368     |             |

審査請求 未請求 請求項の数 14 O L (全 20 頁)

(21) 出願番号 特願2006-81046 (P2006-81046)  
 (22) 出願日 平成18年3月23日 (2006.3.23)

(71) 出願人 302020207  
 東芝松下ディスプレイテクノロジー株式会社  
 東京都港区港南4-1-8  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100075672  
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板及びこれを用いた液晶表示装置

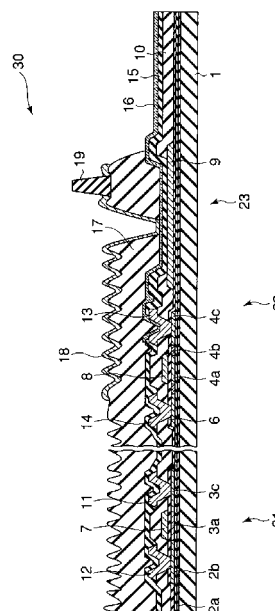
(57) 【要約】

【課題】 工程数が少なく、絶縁不良を起こしにくい薄膜トランジスタ基板、及びこれを用いた液晶表示装置を提供する。

【解決手段】 下部電極がゲート電極配線と同じ材料で形成され、上部電極が透明電極と一体的に形成され、絶縁膜がソース・ドレイン電極を覆う保護膜と一体的に形成されているか、あるいはゲートとソース・ドレインを絶縁する層間絶縁膜が第1及び第2の絶縁膜を有し、2層の間に透明電極が設けられ、下部電極は、ゲート電極配線と同じ材料で形成され、上部電極は、透明電極と一体的に形成され、下部電極と透明電極との間に第1の絶縁膜を挟持する。

【選択図】 図1

図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁性基板上にシリコンを主成分とする半導体層が島状に分離形成されてチャネルを形成する薄膜トランジスタと、それに接続された補助容量コンデンサと、透明電極と反射電極とを画素毎に備える薄膜トランジスタ基板において、

前記補助容量コンデンサの下部電極は、前記薄膜トランジスタのゲート電極配線と同じ材料で形成され、前記補助容量コンデンサの上部電極が前記透明電極と一体的に形成され、該下部電極と該上部電極に挟まれてコンデンサを構成する絶縁膜が薄膜トランジスタ上に形成された保護膜と一体的に形成されていることを特徴とする薄膜トランジスタ基板。

## 【請求項 2】

前記薄膜トランジスタは、半導体層としてポリシリコン膜を有するポリシリコン薄膜トランジスタであり、ゲート絶縁膜とゲート電極配線がポリシリコン半導体層の上部に形成されたコプレーナ構造であることを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

## 【請求項 3】

前記ソース・ドレイン電極は低抵抗シリコン層により構成され、前記ポリシリコン膜に前記ゲート電極をマスクとしてドナーまたはアクセプタをイオン注入したものであることを特徴とする請求項 2 に記載の薄膜トランジスタ基板。

## 【請求項 4】

前記補助容量コンデンサを構成する絶縁膜は窒化シリコンであることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の薄膜トランジスタ基板。

## 【請求項 5】

前記補助容量コンデンサを構成する絶縁膜と前記透明電極との合計膜厚が 100 nm 以上 180 nm 以下、250 nm 以上 330 nm 以下、または 400 nm 以上 480 nm 以下であることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の薄膜トランジスタ基板。

## 【請求項 6】

前記反射電極は、前記透明電極を覆うように形成された有機絶縁膜上に形成され、該透明電極と電氣的に接続されていることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の薄膜トランジスタ基板。

## 【請求項 7】

絶縁性基板上にシリコンを主成分とする半導体層が島状に分離形成されてチャネルを形成する薄膜トランジスタと、それに接続された補助容量コンデンサと、透明電極と反射電極とを画素に備える薄膜トランジスタ基板において、

薄膜トランジスタのゲート電極配線とソース・ドレイン配線を絶縁する層間絶縁膜は第 1 の層間絶縁膜と第 2 の層間絶縁膜を有し、前記第 1 の層間絶縁膜と第 2 の層間絶縁膜間に透明電極が設けられ、

前記補助容量コンデンサの下部電極は、前記薄膜トランジスタのゲート電極配線と同じ材料で形成され、前記補助容量コンデンサの上部電極は、前記透明電極と一体的に形成され、前記下部電極と前記透明電極との間に第 1 の層間絶縁膜を挟持することで補助容量コンデンサが形成されていることを特徴とする薄膜トランジスタ基板。

## 【請求項 8】

前記薄膜トランジスタのソース・ドレイン配線と一体の材料で構成された上部電極と透明電極との間に第 2 の層間絶縁膜を挟持することで補助容量コンデンサが形成されていることを特徴とする請求項 7 に記載の薄膜トランジスタ基板。

## 【請求項 9】

前記半導体層がポリシリコンからなるポリシリコン薄膜トランジスタであって、前記ゲート絶縁膜と前記ゲート電極がポリシリコンの上部に形成されたコプレーナ構造であることを特徴とする請求項 7 または 8 に記載の薄膜トランジスタ基板。

## 【請求項 10】

請求項 3 記載のポリシリコン薄膜トランジスタにおいて、ソース・ドレイン電極を構成

10

20

30

40

50

する低抵抗シリコン層が、ポリシリコンにゲート電極をマスクとしてドナーまたはアクセプタをイオン注入したものであることを特徴とする薄膜トランジスタ基板。

【請求項 1 1】

前記第 1 の層間絶縁膜が、窒化シリコンであることを特徴とする請求項 7 ないし 1 0 のいずれか 1 項に記載の薄膜トランジスタ基板。

【請求項 1 2】

前記第 1 の絶縁膜と透明電極との合計膜厚が、100nm以上180nm以下、または、250nm以上330nm以下、または、400nm以上480nm以下であることを特徴とする請求項 7 ないし 1 0 のいずれか 1 項に記載の薄膜トランジスタ基板。

【請求項 1 3】

前記ソース電極は第 2 の層間絶縁膜に形成されたコンタクトホールを介して前記透明電極に電氣的に接続されていて、かつ、前記反射電極は前記薄膜トランジスタのソース・ドレイン電極およびドレイン電極と一体の信号配線を覆うように形成された有機絶縁膜の上部に形成され、有機絶縁膜に形成されたコンタクトホールを介して薄膜トランジスタのソース電極と電氣的に接続されていることを特徴とする請求項 7 ないし 1 2 のいずれか 1 項に記載の薄膜トランジスタ基板。

10

【請求項 1 4】

請求項 1 ないし 1 3 のいずれか 1 項に記載の薄膜トランジスタ基板を一方の基板に用いたことを特徴とする半透過型の液晶表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、ガラス基板上に形成された薄膜トランジスタ基板、及びこれを用いた液晶表示装置に係り、特に、半透過型の液晶表示装置に関する。

【背景技術】

【0002】

近年、多結晶シリコン(p-Si)系の半導体層を用いた薄膜トランジスタ(TFT)は、その駆動回路をアレイ基板上に一体に作り込むことが出来るので、携帯電話、モバイルPC用の液晶表示装置に多く採用されている。

【0003】

TFTの構造としては、非晶質シリコンTFTで一般的な、ボトムゲート・逆スタガ型、MOSFETで一般的なトップゲート・コプレーナ型に大別される。

30

【0004】

このうち、トップゲート・コプレーナ型の方が、TFT性能に優れる場合が多く、主流となっている。

【0005】

TFTの構造にトップゲート・コプレーナ型を用いた場合、チャンネルとなる半導体層を島状にエッチング加工し、それを覆うようにゲート絶縁膜としてのSiO<sub>2</sub>を化学蒸着法で成膜し、次いで、ゲート電極を形成するのが一般的である。

【0006】

さらに、ゲート電極を形成後、ソース・ドレイン電極、LDD(Lightly Doped Drain)部のキャリア濃度調整のため、PまたはBといった不純物を、ゲート絶縁膜であるSiO<sub>2</sub>を通過させて、下層にある半導体層にイオン注入する。

40

【0007】

なお、通常、TFTアレイ基板には、TFT以外に、電位保持用のコンデンサをマトリクス状に配置させる。このコンデンサを形成する誘電体としては、ゲート絶縁膜としてのSiO<sub>2</sub>膜を兼用するのが簡便である。この場合、コンデンサの一方の電極は、多結晶シリコン膜となる。もう一方の電極は、ゲート電極を構成する金属膜である。

【0008】

つまり、トップゲート・コプレーナ型では、下部電極を多結晶シリコン膜、誘電体にゲ

50

ート絶縁膜のSiO<sub>2</sub>膜、上部電極をゲート電極材料金属薄膜としたコンデンサを用いることになる。下部電極の多結晶シリコン膜に特別な不純物イオン注入を行わない場合、コンデンサはいわゆるMOS(Metal Oxide Semiconductor)バラクタとなるので、バイアス電圧を印可し、多結晶シリコン膜を反転状態にして使用する。

#### 【0009】

ところが、携帯電話のようなモバイル製品では、低消費電力化の要求が強いため、バイアス電圧印加の必要なMOSバラクタは不利となる。そこで下部電極の多結晶シリコン膜に予め不純物イオン注入を行って、低抵抗化する策が取られる。この場合、イオン注入のためのフォトマスクプロセスがCMOSデバイスの場合、通常のn-チャネルTFET、p-チャネルTFETの各ソース・ドレイン注入に加えて、もう1工程必要となり、全部で3工程を減らすことが出来ない。

10

#### 【0010】

また、コンデンサの絶縁リーク不良を低減し、製造歩留まりを向上させる必要がある。多結晶シリコン薄膜の製法としては、非晶質シリコン薄膜を再結晶化させる手法が一般的であるが、この場合、結晶粒界で薄膜が凹凸になる傾向がある。特に、XeCl等のエキシマレーザを用いた光アニールにより非晶質シリコン薄膜を溶融、再結晶化させる手法では薄膜の凹凸は顕著であり、この凹凸の程度は、エキシマレーザアニール(ELA)の条件、出発材料に用いた非晶質シリコン薄膜の膜質等に依存するが、凹凸の高さが50cmにも達する場合がある。このような突起部分では、その上を覆うSiO<sub>2</sub>膜の耐電圧が低く、しばしば絶縁不良を起こしてしまう。特に前述したように、多結晶シリコン膜を反転状態にして使用する場合、バイアス電圧を常に印可することが必要なので、絶縁不良問題をより頻繁に起こしやすい。

20

#### 【0011】

工程数が減らせないこと、また絶縁不良を起こしやすいことは、いずれもコンデンサを形成する誘電体にゲート絶縁膜のSiO<sub>2</sub>を兼用することが問題である。ゲート電極より上層の絶縁膜でコンデンサを構成すれば、これらの問題を解決することができる。しかし、ゲート電極とソース・ドレイン電極の間に挿入する層間絶縁膜でコンデンサを構成しようとすると、容量を確保するには膜厚を薄くしなくてはならず、ゲート配線と信号配線のクロス容量も同時に増えて、消費電力が上がるという問題があった。

30

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0012】

本発明は、上記事情に鑑みて成されたもので、工程数が少なく、絶縁不良を起こしにくい薄膜トランジスタ基板、及びこれを用いた液晶表示装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0013】

本発明は、第1に、絶縁性基板上にシリコンを主成分とする半導体層が島状に分離形成されてチャンネルを形成する薄膜トランジスタと、それに接続された補助容量コンデンサと、透明電極と反射電極とを画素毎に備える薄膜トランジスタ基板において、

40

前記補助容量コンデンサの下部電極は、前記薄膜トランジスタのゲート電極配線と同じ材料で形成され、前記補助容量コンデンサの上部電極が前記透明電極と一体的に形成され、該下部電極と該上部電極に挟まれてコンデンサを構成する絶縁膜が薄膜トランジスタ上に形成された保護膜と一体的に形成されていることを特徴とする薄膜トランジスタ基板を提供する。

#### 【0014】

また、本発明は、第2に、絶縁性基板上にシリコンを主成分とする半導体層が島状に分離形成されてチャンネルを形成する薄膜トランジスタと、それに接続された補助容量コンデンサと、透明電極と反射電極とを画素に備える薄膜トランジスタ基板において、

薄膜トランジスタのゲート電極配線とソース・ドレイン配線を絶縁する層間絶縁膜は第

50

1の層間絶縁膜と第2の層間絶縁膜を有し、前記第1の層間絶縁膜と第2の層間絶縁膜間に透明電極が設けられ、

前記補助容量コンデンサの下部電極は、前記薄膜トランジスタのゲート電極配線と同じ材料で形成され、前記補助容量コンデンサの上部電極は、前記透明電極と一体的に形成され、前記下部電極と前記透明電極との間に第1の層間絶縁膜を挟持することで補助容量コンデンサが形成されていることを特徴とする薄膜トランジスタ基板を提供する。

【0015】

また、本発明は、第3に、絶縁性基板上にシリコンを主成分とする半導体層が島状に分離形成されてチャンネルを形成する薄膜トランジスタと、それに接続された補助容量コンデンサと、透明電極と反射電極とを画素毎に備え、

10

前記補助容量コンデンサの下部電極は、前記薄膜トランジスタのゲート電極配線と同じ材料で形成され、前記補助容量コンデンサの上部電極が前記透明電極と一体的に形成され、該下部電極と該上部電極に挟まれてコンデンサを構成する絶縁膜が薄膜トランジスタのソース・ドレイン電極を覆うように形成された保護膜と一体的に形成されている薄膜トランジスタ基板を一方の基板に用いたことを特徴とする半透過型の液晶表示装置を提供する。

【0016】

本発明は、第4に、絶縁性基板上にシリコンを主成分とする半導体層が島状に分離形成されてチャンネルを形成する薄膜トランジスタと、それに接続された補助容量コンデンサと、透明電極と反射電極とを画素に備え、

20

薄膜トランジスタのゲート電極配線とソース・ドレイン配線を絶縁する層間絶縁膜は第1の層間絶縁膜と第2の層間絶縁膜を有し、前記第1の層間絶縁膜と第2の層間絶縁膜間に透明電極が設けられ、

前記補助容量コンデンサの下部電極は、前記薄膜トランジスタのゲート電極配線と同じ材料で形成され、前記補助容量コンデンサの上部電極は、前記透明電極と一体的に形成され、前記下部電極と前記透明電極との間に第1の層間絶縁膜を挟持することで補助容量コンデンサが形成されている薄膜トランジスタ基板を一方の基板に用いたことを特徴とする半透過型の液晶表示装置を提供する。

【発明の効果】

【0017】

30

本発明によれば、製造工程数が少なく、絶縁不良を起こしにくい薄膜トランジスタ基板、及びこれを用いた液晶表示装置が得られる。

【発明を実施するための最良の形態】

【0018】

以下、図面を参照し、本発明をより詳細に説明する。

【0019】

図1は、第1の発明に係る薄膜トランジスタ基板の第1の例の断面構造を表す模式図を示す。

【0020】

透明ガラス基板1上に、 $SiN_x$  からなるアンダーコート層2a、及び $SiO_2$  からなるアンダーコート層2bを介して、島状に加工された、ポリシリコン(p-Si)からなる半導体層3,4が形成されている。この半導体層3,4は、中央部にノンドープのチャンネル領域3a,4a、チャンネル領域3aに隣接して、ホウ素(B)が高濃度にドーピングされた低抵抗領域(ソース・ドレイン領域)3c、チャンネル領域4aに隣接してリン(P)が低濃度にドーピングされた低不純物濃度(LDD)領域4b、さらにLDD領域4bに隣接してリンが高濃度にドーピングされた低抵抗領域(ソース・ドレイン領域)4cを有している。

40

【0021】

半導体層3,4を覆うように、ゲート絶縁膜6が前面に形成されている。さらに、ゲート絶縁膜6上には、チャンネル3aに対応する領域にゲート電極7が、チャンネル領域4aに

50

対応する領域にゲート電極 8 が形成されている。また、ゲート絶縁膜 6 上には、補助容量を形成するコンデンサ下部電極 9 が、ゲート電極 7, 8 と同一工程で形成されている。

【0022】

これらの上全面に、層間絶縁膜 10 が形成され、ソース電極 11, 13, ドレイン電極 12, 14 は、層間絶縁膜 10 とゲート絶縁膜 6 に形成されたコンタクトホールを介して低抵抗領域 3c, 4c にそれぞれ接続されている。なお、コンデンサ下部電極 9 上の大部分では、この絶縁膜 10 は除去されている。

【0023】

この絶縁膜 10 とコンデンサ下部電極 9 上に、保護膜 15 が全面に形成され、その上に透明電極 16 が形成されていて、透明電極 16 は、保護膜 15 に形成されたコンタクトホールを介して、ソース電極 13 に形成されている。この透明電極 16 は、透過領域の画素電極として、またコンデンサ上部電極として機能する。

10

【0024】

図中、21 が例えば走査線ドライバ内の p - チャネル薄膜トランジスタ部、22 が表示面の n - チャネル薄膜トランジスタ部、及び 23 が補助容量部を各々構成し得る。

【0025】

保護膜 15 上、及び透明電極 16 上の透過表示領域を除く領域上に有機絶縁膜 17 が形成される。有機絶縁膜 17 上の反射表示領域に反射電極 18 が設けられ、有機絶縁膜 17 に形成されたコンタクトホールを介して透明電極 16 に接続されている。一部の有機絶縁膜 17 の上にはセルのギャップを制御するためのスペーサ 19 が設けられている。

20

【0026】

この例の薄膜トランジスタ基板は、トップゲート型の半透過型液晶表示装置に用いられる TFT アレイ基板として使用され得る。

【0027】

TFT アレイ基板上に、図示しない対向基板を配し、その間に図示しない液晶層を封入することにより、第 3 の発明に係る液晶表示装置が得られる。

【0028】

保護膜 15 としては、例えば窒化シリコンを使用することが出来る。窒化シリコンは、酸化シリコンよりも誘電体率が高く、不純物汚染から TFT を保護する性能に優れる。

【0029】

保護膜 15 の膜厚は、容量確保、絶縁性確保、及び光学透過率の観点から 100 nm 以上 180 nm 以下、250 nm 以上 330 nm 以下、または 400 nm 以上 480 nm 以下であることが好ましい。

30

【0030】

本発明では、上述の様に、ソース・ドレイン配線を覆うように形成された保護膜 15 を補助容量コンデンサの誘電体として利用し、ゲート電極と透明電極の 2 つの電極層で挟む構造を含む。

【0031】

また、この保護膜 15 上に形成される有機絶縁膜上に反射電極、有機絶縁膜下に透明電極を設けることにより、保護膜 15 上に反射電極と透明電極の両方を設けるよりも、コンデンサを有効に形成でき、有効表示領域の大きな液晶表示装置が得られる。

40

【0032】

次に、図 1 に示す薄膜トランジスタ基板の製造方法の一例について説明する。

【0033】

図 2 ないし図 8 は、図 1 の薄膜トランジスタ基板の製造工程の一例を説明するための図を各々示す。

【0034】

まず、外形寸法 550 mm × 650 mm、厚さ 0.7 mm のガラス基板 1 を用意する。図 2 に示すように、その一主面上にアンダーコート膜 2a, 2b として、各々、SiN<sub>x</sub> 及び SiO<sub>2</sub> を、さらに、その上に非晶質シリコン (a-Si) 膜 44 を、各々プラズマ

50

CVD法により400 で連続成膜する。それぞれの膜厚は、例えばSiN<sub>x</sub> 0.02 μm、SiO<sub>2</sub> 0.1 μm、及びa-Si 0.05 μmとする。

【0035】

次に、a-Si膜44に水素が多量に混入している場合、例えば水素濃度が約1原子%を超える場合には、この水素を抜くために500 でアニールを行うことが出来る。この脱水素を行うことで、この後、エキシマレーザーの多結晶化を行う際に、水素によるアブレーションを防ぐことが出来る。CVDの成膜条件によっては、アニール無しでa-Si膜中の水素の含有量が少ない膜を得ることが可能で、また、水素濃度が約1原子%以下の場合にはアニール工程を省くことが出来る。

【0036】

a-Si膜44に波長308nmのXeClエキシマレーザーを照射して多結晶化し、多結晶シリコン(p-Si)膜にする。XeClエキシマレーザーは、光学系により線状ビームとし、この線状ビームを走査することにより、大面積a-Siを多結晶化することが出来る。

【0037】

その後、図3に示すように、p-Si膜をフォトリソグラフィにより島状にエッチング加工し、半導体層3,4とする。このとき、p-Si膜のエッチングにはテーパーエッチングが出来るように、酸素ラジカルによってレジストを後退させながらエッチングを行う。

【0038】

半導体層3,4の導電性をほぼ真性に調整するため、全面にホウ素の低濃度ドーピングを行う。ドーピングには、イオン注入を用い、ドーズ量 $5 \times 10^{11} / \text{cm}^2$ 、加速電圧10kV程度が適当である。このイオン注入法はプラズマを立てることにより発生したイオンを加速電極により加速させてドーピングを行うものであり、マグネットにより質量を分離して、所望のイオンだけを打ち込む方式が望ましい。

【0039】

質量分離せずに、水素などの不純物が同時に打ち込まれる方式を用いることも出来る。

【0040】

続いて、図4に示すように、半導体層3,4を覆うように、気相成長法の1つとして、例えばプラズマCVD法により酸化シリコンSiO<sub>2</sub>を0.1 μm厚さに成膜し、ゲート絶縁膜6を形成する。成膜ガスとしては、少なくともケイ素と酸素を含むものが用いられ、例えばテトラエトキシシランと酸素ガスとの混合ガスを用いることが出来る。その他、例えばSiH<sub>4</sub>とN<sub>2</sub>Oとの組み合わせ、あるいはSi<sub>2</sub>H<sub>6</sub>とN<sub>2</sub>Oとの組み合わせを用いることができる。また、低圧にすることで、SiH<sub>4</sub>とO<sub>2</sub>との組み合わせを用いることができる。

【0041】

さらに、図5に示すように、スパッタリング法により、MoW合金を0.3 μmの厚さに成膜し、フォトリソグラフィによりエッチング加工してゲート電極7,8、コンデンサ下部電極としての補助容量電極9を同一工程にて形成する。また、このエッチング加工は、テーパーエッチングが出来るように、酸素ラジカルによってレジストを後退させながら行うことが出来る。

【0042】

また、この電極7,8,9をマスクとしてリンの低濃度ドーピングを行い、LDD領域4bを形成することが出来る。ドーピングには、イオンドーピング法を用いる。このときのイオン種としては、P<sup>+</sup>, PH<sup>+</sup>, PH<sup>2+</sup>, PH<sup>3+</sup>等があげられ、リン原子1個、またはそこに水素が結合した1価イオンが主体的であるように調整し、リンのドーズ量 $2 \times 10^{13} / \text{cm}^2$ 、加速電圧80kV程度とすることができる。

【0043】

その後、フォトリソグラフィを用いて、n-チャンネルTFETを形成する部分をレジストで保護し、ホウ素の高濃度ドーピングを行い、低抵抗領域3cを形成する。ドーピングに

10

20

30

40

50

はイオンドーピング法が用いられる。このときのイオン種としては、 $B^{2+}$ 、 $B_2H^+$ 、 $B_2H_2^+$ 、 $B_2H_3^+$ 、 $B_2H_4^+$ 、 $B_2H_5^+$ 、 $B_2H_6^+$ 等があげられ、ホウ素原子2個、またはそこに水素が1個結合した1価イオンが主体であるように、調整し、Bのドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速電圧70kV程度とすることができる。

【0044】

レジストを酸素プラズマ等でアッシングした後、フォトリソグラフィによって、p-チャンネルTFETのLDD領域4bをレジストで保護し、リンの高濃度ドーピングを行い、低抵抗領域4cを形成する。ドーピングには、イオンドーピング法を用いる。このときのイオン種としては、 $P^+$ 、 $PH^+$ 、 $PH_2^+$ 、 $PH_3^+$ 等があげられ、リン原子1個、またはそこに水素が結合した1価イオンが主体的であるように調整し、リンのドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速電圧70kV程度とすることができる。

10

【0045】

その後、レジストを例えば酸素プラズマ等でアッシングして除去する。

【0046】

続いて、ドーピングしたイオンを活性化させるために窒素雰囲気中、500℃で、10分ないし1時間アニールを行う。あるいは、ホットプレートによる直接加熱、エキシマレーザー等を用いたレーザー加熱、あるいは赤外線ランプを用いた光アニールによる活性化を行うことも可能である。このような方法は、基板温度の上昇がより短時間となり、耐熱性が多少低いガラスも使用できるため低コストである。

【0047】

次に、半導体3、4中に存在するダングリングボンドを終端するため、水素プラズマ中に基板を暴露するいわゆる水素化を行う。

20

【0048】

その後、プラズマCVD装置により、基板全面に酸化シリコンなどの層間絶縁膜10を成膜する。

【0049】

なお、この水素化を、上記プラズマCVD装置中で行えば、水素化した後空気に触れることなく連続して層間絶縁膜10を成膜することができる。

【0050】

図6に示すように、補助容量電極9の一部領域上の層間絶縁膜10をフォトリソグラフィによりエッチング除去すると同時に、低抵抗領域3c、4cの一部領域上のゲート絶縁膜6及び層間絶縁膜10をエッチング除去して、コンタクトホールを形成する。

30

【0051】

スパッタリング法によって0.05 $\mu\text{m}$ のモリブデン膜、0.5 $\mu\text{m}$ のアルミニウム膜、及び0.05 $\mu\text{m}$ のモリブデン膜の積層を成膜する。このとき、下層のモリブデン膜はコンタクトホールを介して低抵抗領域3c、4cに接続されている。

【0052】

その後、フォトリソグラフィによってパターニングを行い、図示するように、ソース電極11、13、ドレイン電極12、14を形成する。

【0053】

次に、図7に示すように、保護膜15として、図6に示す構造の全面に $\text{SiN}_x$ をプラズマCVD法により350℃で成膜する。さらに、ソース電極13の一部領域上の保護膜15をフォトリソグラフィとドライエッチングによって除去し、コンタクトホールを形成する。このとき、その上に形成される透明電極が断線しないように、エッチング断面をテーパ加工しておく。

40

【0054】

その後、図8に示すように、透明電極16としてITOを形成する。透明電極16は、保護膜15に形成されたコンタクトホールを介してソース電極13に接続される。ここで、ノンドープ領域4a、LDD領域4b、及び低抵抗領域4cを含む半導体層4、ゲート絶縁膜6、ソース電極13、及びドレイン電極14がn-チャンネルTFET部22を構成し

50



ている。また、ノンドープ領域 3 a、及び低抵抗領域 3 c を含む半導体層 4、ゲート絶縁膜 6、ソース電極 1 1、及びドレイン電極 1 2 が p - チャネル T F T 部 2 1 を構成している。この透明電極 1 6 は、補助容量領域 2 3 では、コンデンサ上部電極として機能する。

【 0 0 5 5 】

保護膜 1 5 と透明電極 1 6 の膜厚は、コンデンサ容量と共に、透過表示領域 2 3 の光学透過率にも影響し得る。

【 0 0 5 6 】

膜厚設定と光学透過率の関係については、S i N<sub>x</sub> の屈折率が 1 . 8 8 , I T O の屈折率が 1 . 9 5、保護膜 1 5 及び層間絶縁膜 1 0 の屈折率を 1 . 4 7 とした場合、S i N<sub>x</sub> と I T O の屈折率が近い値であることから、両者の合計膜厚が重要となる。透過率は、この合計膜厚に対して周期的に変化し、高い透過率が得られる合計膜厚は、0 . 1 4 μ m、0 . 2 9 μ m、0 . 4 4 μ m である。逆に透過率が低下しやすい膜厚は、0 . 2 2 μ m、0 . 3 7 μ m、0 . 5 2 μ m の組み合わせである。このようなことから、I T O 膜厚を 0 . 1 0 μ m、S i N<sub>x</sub> 膜厚を 0 . 1 9 μ m 及び 0 . 3 4 μ m に設定するか、あるいは、I T O 膜厚を 0 . 0 5 μ m、S i N<sub>x</sub> 膜厚を 0 . 2 4 μ m や 0 . 3 9 μ m に設定することが好ましい。

10

【 0 0 5 7 】

さらに、感光性樹脂からなる有機絶縁膜 1 7 を、例えば 3 . 5 μ m の厚さで全面に塗布し、フォトリソグラフィによって、補助容量領域にコンタクトホールを形成すると共に、透過表示領域では、有機絶縁膜を除去して透明電極 1 6 を露出させる。一方、反射表示領域には、露光マスクにランダムなパターンを付けたハーフ露光によって、有機絶縁膜 1 7 の一部をエッチング除去して、表面にランダムな凹凸パターンを形成させる。さらに、反射電極 1 8 として、モリブデンとアルミニウムの積層膜を反射表示領域の有機絶縁膜上にスパッタリングで成膜し、フォトリソグラフィによってパターンニング形成する。この反射電極 1 8 には、銀を使うことも出来る。

20

【 0 0 5 8 】

最後に、液晶セルのセルギャップを制御するスペーサ 1 9 を有機絶縁膜をパターンニング形成し、所望の T F T アレイが得られる。

【 0 0 5 9 】

図 9 に、第 1 の発明の薄膜トランジスタ基板の第 2 の例の断面構造を表す模式図を示す。

30

【 0 0 6 0 】

図示するように、この薄膜トランジスタ基板 4 0 は、リングが低濃度にドーピングされた低不純物濃度 ( L L D ) 領域 4 b がなく、リングが高濃度にドーピングされた低抵抗領域 ( ソース・ドレイン領域 ) 4 c がチャンネル領域 4 a に隣接していること以外は、図 1 に示す薄膜トランジスタ基板と同様の構成を有する。

【 0 0 6 1 】

この例の薄膜トランジスタ基板は、トップゲート型の半透過型液晶表示装置に用いられる T F T アレイ基板として使用され得る。

【 0 0 6 2 】

T F T アレイ基板上に、図示しない対向基板を配し、その間に図示しない液晶層を封入することにより、第 3 の発明に係る液晶表示装置が得られる。

40

【 0 0 6 3 】

この薄膜トランジスタ 4 0 の製造方法は、図 4 に示すゲート絶縁膜 6 の製造工程までは、第 1 の発明の第 1 の例に係る薄膜トランジスタ 3 0 の製造工程と同様である。

【 0 0 6 4 】

その後、スパッタリング法により、M o W 合金を 0 . 3 μ m の厚さに成膜し、フォトリソグラフィによりエッチング加工して、まず、ゲート電極 7 を形成する。このとき n - チャネル T F T 領域 2 2 及び補助容量領域 2 3 は、フォトレジストで覆って保護する。このエッチング加工時には、テーパエッチングが出来るように、例えば酸素ラジカルによっ

50

てレジストを後退させながら、エッチングを行う。この電極 7 をマスクとしてホウ素の高濃度ドーピングを行い低抵抗領域 3 c を形成する。

【0065】

このゲート電極 7, 8, コンデンサ下部電極 9 を形成した後、これらの電極をマスクとするリンの低濃度ドーピングを行なう工程を省くこと以外は、図 2 ないし図 8 に示す製造工程と同様にして図 9 に示す様な薄膜トランジスタ基板の第 2 の例が得られる。

【0066】

図 1 の LLD 領域 4 b の役割として、TFT のソース・ドレイン間耐圧を上げて、ホットキャリアによる特性劣化を防ぐ効果があげられる。しかしながら、この特性劣化を他の方法により抑制することが出来れば、LLD 領域 4 b の製造工程を削減する方が低コストである。特性劣化を抑制する方法としては、例えば薄膜トランジスタの L 長を長くすること、駆動電圧を低くすること、及び TFT を直列につないだ構成にすること等があげられる。このようにして、LDD はなくても、TFT に十分な信頼性を与えることが可能である。

【0067】

図 10 に、第 2 の発明の薄膜トランジスタ基板の第 1 の例の断面構造を表す模式図を示す。

【0068】

この薄膜トランジスタ基板 50 は、半透過型液晶表示装置のトップゲート型の TFT アレイである。

【0069】

この薄膜トランジスタ基板 50 では、透明ガラス基板 1 上に、SiN<sub>x</sub> からなるアンダーコート層 2 a、及び SiO<sub>2</sub> からなるアンダーコート層 2 b を介して、島状に加工されたポリシリコン (p-Si) からなる半導体層 3、4 が形成されている。この半導体層 3、4 は、中央部にノンドープのチャンネル領域 3 a、4 a、チャンネル領域 3 a に隣接して B が高濃度にドーピングされた低抵抗領域 (ソース・ドレイン領域) 3 c、チャンネル領域 4 a に隣接して、P が低濃度にドーピングされた低不純物濃度 (LDD) 領域 4 b、さらに LDD 領域 4 b に隣接して P が高濃度にドーピングされた低抵抗領域 (ソース・ドレイン領域) 4 c を有している。

【0070】

半導体層 3 と 4 を覆うように、ゲート絶縁膜 6 が全面に形成されている。さらにゲート絶縁膜 6 上には、チャンネル領域 3 a に対応する領域にゲート電極 7 が、チャンネル領域 4 a に対応する領域にゲート電極 8 が形成されている。また補助容量を形成するコンデンサ下部電極 9 が形成されている。

【0071】

これらの上全面に第 1 の層間絶縁膜 3 1 が形成され、その上に透明電極 1 6 が形成されている。さらに、第 2 の層間絶縁膜 3 2 が形成されている。これらの上にはソース電極 1 1、1 3、ドレイン電極 1 2、1 4 が形成されていて、第 2 の層間絶縁膜 3 2、第 1 の層間絶縁膜 3 1 とゲート絶縁膜 6 に形成されたコンタクトホールを介して低抵抗領域 3 c、4 c にそれぞれ接続されている。また、ソース電極 1 3 は第 2 の層間絶縁膜 3 2 に形成されたコンタクトホールを介して透明電極 1 6 に接続されている。

【0072】

そして保護膜 1 5 が全面に形成され、これらの上に有機絶縁膜 1 7 が形成されるが、半透過型液晶表示装置の透過表示領域では透明電極 1 6 上の有機絶縁膜 1 7 が除去され、反射表示領域では有機絶縁膜 1 7 に反射光を散乱させるための凹凸が設けられている。そして、反射表示領域の有機絶縁膜 1 7 の上に反射電極 1 9 が形成され、有機絶縁膜 1 7 に形成されたコンタクトホールを介してソース電極 1 3 に接続されている。一部の有機絶縁膜 1 7 の上にはセルのギャップを制御するためのスペーサー 1 9 が設けられている。

【0073】

この TFT アレイ基板 50 上に、図示しない対向基板を配し、その間に図示しない液晶

10

20

30

40

50

層を封入することにより、第4の発明に係る液晶表示装置が得られる。

【0074】

本発明では、上述のように、ゲート配線とソース・ドレイン配線との間を絶縁する層間絶縁膜を2層構造とし、これら層間に例えばITO等の透明電極を挿入した。

【0075】

この層間絶縁膜としては、誘電率が酸化シリコンよりも高く、不純物汚染からのTFE保護性能にも優れる窒化シリコンを採用することが望ましい。特に、層間絶縁膜の1層目の膜厚は容量確保と絶縁性確保、光学透過率の観点から、第1の絶縁膜と透明電極との合計膜厚が、100nm以上180nm以下、または、250nm以上330nm以下、または、400nm以上480nm以下であることが好ましい。

10

【0076】

ソース・ドレイン配線（信号配線）の上に設けた有機絶縁膜の上に、透明電極、反射電極とも形成した従来の半透過型液晶表示装置のTFEアレイと比較して、本発明では、透明電極を二層の層間絶縁膜の間に挟み込むことにより、コンデンサの容量を大きく取ることができ、その一方で、ゲート配線と信号配線間のクロス容量は小さく抑えることができる。

【0077】

このような透明電極を層間絶縁膜間に挟み込む考え方は、液晶表示装置の中でも透明電極と反射電極を併せ持つ半透過型液晶表示装置において特に有効である。画素の透明電極は信号配線との容量カップリングを避けるために信号配線からの距離を離さなければなら

20

ないので、画素電極として透明電極しか持たない透過型液晶表示装置では、有効表示領域の面積、すなわち開口率が小さくなってしまい、良い効果が得られないけれども、反射電極を併せ持つ半透過型液晶表示装置では、反射電極を有機絶縁膜上に形成することで、平面的には信号配線上に反射電極を重ねることができ、その部分も反射部分として有効に表示領域として活用できる。結果として、有効表示領域の大きな液晶表示装置を作製することができる。

【0078】

次に、図10に示す薄膜トランジスタ基板の製造方法の一例について説明する。

【0079】

図11ないし図14は、図10の薄膜トランジスタ基板の製造工程の一例を説明するための図を各々示す。

30

【0080】

ゲート電極7、8、コンデンサ下部電極としての補助容量電極9を形成し、リンの低濃度ドーピング、ホウ素の高濃度ドーピング、及びドーピングしたイオンの活性化までの工程は、上記図2ないし図5に示す薄膜トランジスタ基板の製造工程と同様にして行うことができる。

【0081】

次に、半導体3、4中に存在するダングリングボンドを終端するため、水素プラズマ中に基板を暴露するいわゆる水素化を行う。

【0082】

その後、プラズマCVD装置により、基板全面に酸化シリコンなどの第1の層間絶縁膜31を成膜する。

40

【0083】

なお、この水素化を、上記プラズマCVD装置中で行えば、水素化した後空気に触れることなく連続して第1の層間絶縁膜31を成膜することが出来る。

【0084】

次に、半導体層3、4中に存在するダングリングボンドを終端するために水素のプラズマ中に基板をさらす、いわゆる水素化を行う。

【0085】

この水素化は次の工程の窒化シリコンを成膜するプラズマCVD装置中にて行えば、水

50

素化した後、大気に触れることなく連続して第1の層間絶縁膜31を成膜することが可能となる。

【0086】

図11に示す様に、上述したプラズマCVD装置により、水素化と連続して基板1全面に例えば窒化シリコンなどからなる第1の層間絶縁膜31を成膜する。この膜厚はコンデンサの容量を構成するとともに、透過表示領域の光学透過率にも影響する。この次に形成する透明電極とともに、高い透過率が得られる膜厚設定にすることが重要である。

【0087】

そして、透明電極16としてITOを形成する。補助容量領域では、コンデンサの一方の電極として機能させることになる。

【0088】

膜厚設定と光学透過率との関係については、SiNxの屈折率が1.88、ITOの屈折率が1.95、ゲート絶縁膜6の屈折率を1.47とした場合、SiNxとITOの屈折率が近い値であることから、両者の合計膜厚が重要となる。透過率はこの合計膜厚に対して周期的に変化し、高い透過率が得られる合計膜厚は0.14 $\mu$ m、0.29 $\mu$ m、0.44 $\mu$ mである。逆に透過率が低いのは、合計膜厚で、0.22 $\mu$ m、0.37 $\mu$ m、0.52 $\mu$ mといった値となる。具体的には、ITO膜厚を0.10 $\mu$ m、SiNx膜厚を0.19 $\mu$ mや0.34 $\mu$ mに設定する、あるいは、ITO膜厚を0.05 $\mu$ m、SiNx膜厚を0.24 $\mu$ mや0.39 $\mu$ mに設定することができる。

【0089】

次に、図12に示すように、プラズマCVD装置により、基板全面に酸化シリコンなどの第2の層間絶縁膜32を成膜する。

【0090】

そして、低抵抗領域3c、4cの一部領域上のゲート絶縁膜6と第1の層間絶縁膜31、第2の層間絶縁膜32をフォトリソグラフィによってエッチング除去し、コンタクトホールを形成する。同時に、一部の透明電極16上でも第2の層間絶縁膜32をエッチング除去しコンタクトホールを形成する。

【0091】

そして、スパッタリング法によってMo(0.05 $\mu$ m)/Al(0.5 $\mu$ m)/Mo(0.05 $\mu$ m)の積層膜を成膜する。このとき電極最下層のMoはコンタクトホールを介して低抵抗領域3c、4c、透明電極16に接続されている。

【0092】

電極材料としてはMoの代わりにTiを用いることも可能である。そしてフォトリソグラフィによってパターンニングし、図13に示すように、ソース電極11、13、ドレイン電極12、14を形成する。

【0093】

この段階では、透過表示領域となる部分の透明電極16上に、Mo/Al/Moの積層膜を残しておく。後に反射電極を形成する際、反射電極のAlと透明電極16としてのITOが直接接触しないようにするためである。

【0094】

次に、保護膜15として、全面にSiNxをプラズマCVD法により350で成膜する。そして、ソース電極13の一部領域上の保護膜15をフォトリソグラフィとドライエッチングによって除去しコンタクトホールを形成する。

【0095】

その後、図14に示すように、感光性の有機絶縁膜17を例えば3.5 $\mu$ mの厚さで全面に塗布し、フォトリソグラフィによって補助容量領域にコンタクトホールを形成するとともに、透過表示領域では有機絶縁膜を除去して透明電極16上のMo/Al/Mo積層膜が露出した状態にさせる。一方、反射表示領域には、露光マスクにランダムなパターンをつけたハーフ露光によって、有機絶縁膜17の一部をエッチング除去してランダムな凹凸パターンを形成させる。

10

20

30

40

50

## 【0096】

そして、反射電極19としてAlを反射表示領域の有機絶縁膜上にスパッタリングで成膜し、フォトリソグラフィによってパターンニング形成する。この反射電極にはAg膜を使うことも可能である。

## 【0097】

反射電極19は、保護膜15と有機絶縁膜17に形成されたコンタクトホールを介してソース電極13に接続される。

## 【0098】

最後に、セルギャップを制御するスペーサー20を有機絶縁膜でパターンニング形成することにより、図10に示すようなTFTアレイ50が得られる。

10

## 【0099】

図15に、第2の発明の薄膜トランジスタ基板の第2の例の断面構造を表す模式図を示す。

## 【0100】

図示するように、この薄膜トランジスタ基板60は、リングが低濃度にドーピングされた低不純物濃度(LLD)領域4bがなく、リングが高濃度にドーピングされた低抵抗領域(ソース・ドレイン領域)4cがチャンネル領域4aに隣接していること以外は、図10に示す薄膜トランジスタ基板50と同様の構成を有する。

## 【0101】

この例の薄膜トランジスタ基板60は、トップゲート型の半透過型液晶表示装置に用いられるTFTアレイ基板として使用され得る。

20

## 【0102】

TFTアレイ基板上に、図示しない対向基板を配し、その間に図示しない液晶層を封入することにより、第4の発明に係る液晶表示装置が得られる。

## 【0103】

この薄膜トランジスタ60の製造方法は、図4に示すゲート絶縁膜6の製造工程までは、第1の発明の第1の例に係る薄膜トランジスタ30の製造工程と同様である。

## 【0104】

その後、スパッタリング法により、MoW合金を0.3 $\mu$ mの厚さに成膜し、フォトリソグラフィによりエッチング加工して、まず、ゲート電極7を形成する。このときn-チャンネルTFT領域22及び補助容量領域23は、フォトリソで覆って保護する。このエッチング加工時には、テーパエッチングが出来るように、例えば酸素ラジカルによってレジストを後退させながら、エッチングを行う。この電極7をマスクとしてホウ素の高濃度ドーピングを行い低抵抗領域3cを形成する。

30

## 【0105】

このように、ゲート電極7, 8, コンデンサ下部電極9を形成した後、これらの電極をマスクとするリングの低濃度ドーピングを行なう工程を省くこと以外は、図1ないし図5、及び図11ないし図14に示す第2の発明の第1の例の製造工程と同様にして図15に示す様な第2の発明の薄膜トランジスタ基板の第2の例が得られる。

## 【0106】

本発明を用いれば、補助容量電極9を形成する前の段階でPをドーピングする必要がないため、Pの高濃度ドーピングはゲート電極8の形成後に実施することになる。したがって、ゲート電極8に自己整合的に低抵抗領域(ソース・ドレイン領域)4cを形成することができ、LDDの製造工程を1工程削減することができる。

40

## 【0107】

図10のLLD領域4bの役割として、TFTのソース・ドレイン間耐圧を上げて、ホットキャリアによる特性劣化を防ぐ効果があげられる。しかしながら、この特性劣化を他の方法により抑制することが出来れば、LLD領域4bの製造工程を削減する方が低コストである。特性劣化を抑制する方法としては、例えば薄膜トランジスタのL長を長くすること、駆動電圧を低くすること、及びTFTを直列につないだ構成にすること等があげら

50

れる。このようにして、LDDはなくても、TFETに十分な信頼性を与えることが可能である。

【0108】

図16に、第2の発明の薄膜トランジスタ基板の第3の例の断面構造を表す模式図を示す。

【0109】

図示するように、この薄膜トランジスタ基板70は、リンが低濃度にドーピングされた低不純物濃度(LLD)領域4b'、低抵抗領域(ソース・ドレイン領域)4cをとともに、ゲート電極8に自己整合的に形成していて、LDD領域4b'の長さ(LDD長)図10のLDD領域4bより短く、例えば0.1~1.0μmとなっている以外は、図10に示す薄膜トランジスタ基板50と同様の構成を有する。

10

【0110】

本発明を用いれば、補助容量電極9を形成する前の段階でPをドーピングする必要がないため、Pの高濃度ドーピングはゲート電極8の形成後に実施することになる。この薄膜トランジスタ基板70は、ゲート電極8に自己整合的にLDD領域4b'、低抵抗領域4cを形成することができ、フォトリソグラフィ工程を1工程削減することができる。

【0111】

この薄膜トランジスタ70の製造方法は、図4に示すゲート絶縁膜6の製造工程までは、第1の発明の第1の例に係る薄膜トランジスタ30の製造工程と同様である。

【0112】

その後、スパッタリング法により、MoW合金を0.3μmの厚さに成膜し、フォトリソグラフィによりエッチング加工して、まず、ゲート電極7を形成する。このときn-チャンネルTFET領域22及び補助容量領域23は、フォトレジストで覆って保護する。

20

【0113】

このエッチング加工には例えばSF<sub>6</sub>やCF<sub>4</sub>などのフッ素系ガスを用いるが、テーパーエッチングができるように酸素ラジカルによってレジストを後退させながらエッチングを行う。そして、この電極7をマスクとしてBの高濃度ドーピングを行い、低抵抗領域3cを形成する。

【0114】

次に、フォトリソグラフィとエッチングによりゲート電極8、コンデンサ下部電極9を形成する。このとき、ゲート電極7とその周辺のpチャンネルTFETを形成する領域をフォトレジストで覆って保護しておく。今度はエッチング後にフォトレジストをアッシングせずに残しておくことが必要である。レジストを残した状態で、電極8、9、をマスクとしてPの高濃度ドーピングを行い、低抵抗領域4cを形成する。

30

【0115】

次に、基板をRIEなどを用いて、酸素ガスを主成分とするエッチングガスのプラズマ雰囲気中に曝し、電極8、9上のフォトレジストパターンを細くする。この細くなったフォトレジストパターンをマスクに、SF<sub>6</sub>やCF<sub>4</sub>などのフッ素系ガスを用いて、ゲート電極8、コンデンサ上部電極9を再度エッチングする。このエッチング加工もテーパーエッチングができるように酸素ラジカルによってレジストを後退させながらエッチングを行う。これによって、ゲート電極8、コンデンサ上部電極9が細く再加工される。

40

【0116】

そして、これらの電極7、8、9、をマスクとしてPの低濃度ドーピングを行い、LDD領域4b'を形成する。

【0117】

ドーピングしたイオンの活性化を行った後、図11ないし図14に示す第2の発明の第1の例の製造工程と同様にして図16に示す様な第2の発明の薄膜トランジスタ基板の第3の例が得られる。

【図面の簡単な説明】

【0118】

50

- 【図1】第1の発明の薄膜トランジスタ基板の第1の例の断面構造を表す模式図
- 【図2】図1の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図3】図1の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図4】図1の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図5】図1の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図6】図1の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図7】図1の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図8】図1の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図9】第1の発明の薄膜トランジスタ基板の第2の例の断面構造を表す模式図
- 【図10】第2の発明の薄膜トランジスタ基板の第1の例の断面構造を表す模式図
- 【図11】図10の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図12】図10の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図13】図10の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図14】図10の薄膜トランジスタ基板の製造工程の一例を説明するための図
- 【図15】第2の発明の薄膜トランジスタ基板の第2の例の断面構造を表す模式図
- 【図16】第2の発明の薄膜トランジスタ基板の第3の例の断面構造を表す模式図
- 【符号の説明】

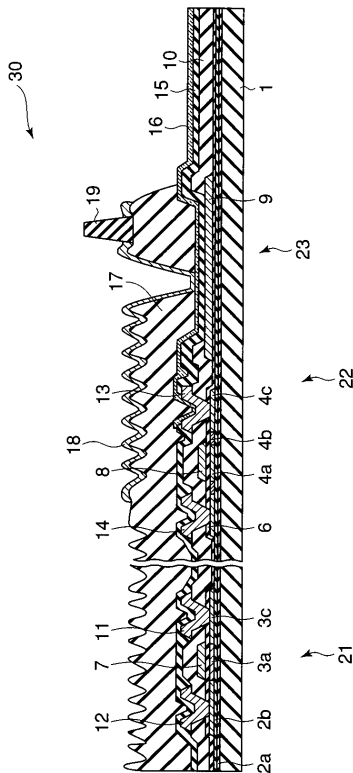
10

20

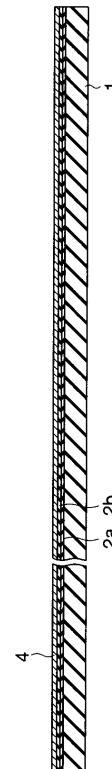
【0119】

1 ... 絶縁性基板、3, 4 ... 半導体層、7, 8 ... ゲート電極配線、9 ... 下部電極、11, 13 ... ソース電極、12, 14 ... ドレイン電極、15 ... 保護膜、16 ... 透明電極、18 ... 反射電極、21, 22 ... 薄膜トランジスタ、23 ... 補助容量コンデンサ

【図1】  
図1

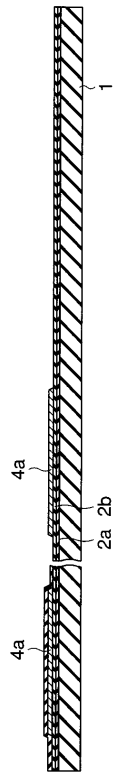


【図2】  
図2



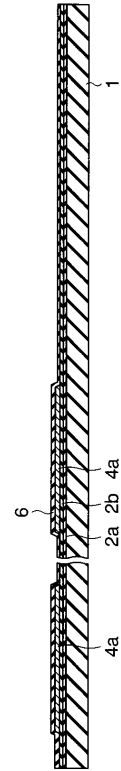
【 図 3 】

図 3



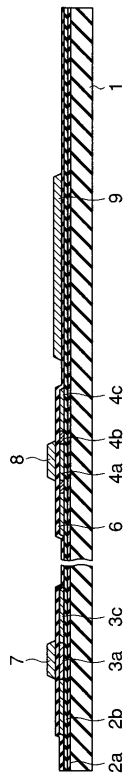
【 図 4 】

図 4



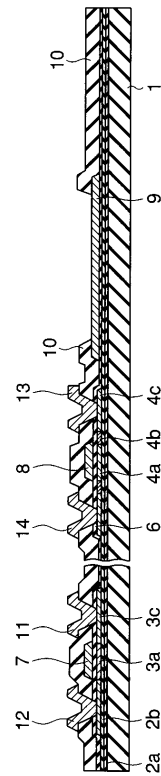
【 図 5 】

図 5



【 図 6 】

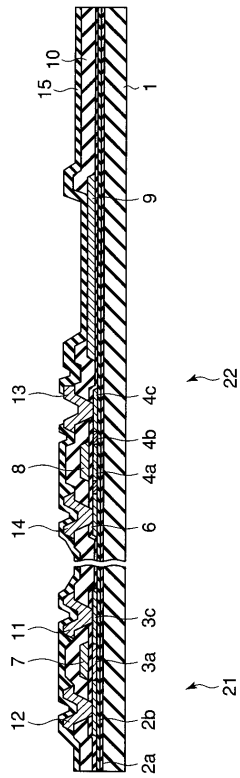
図 6





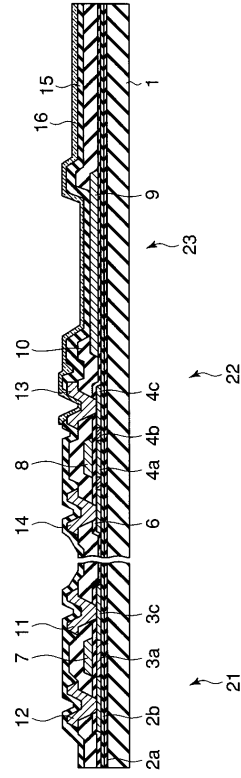
【 図 7 】

図 7



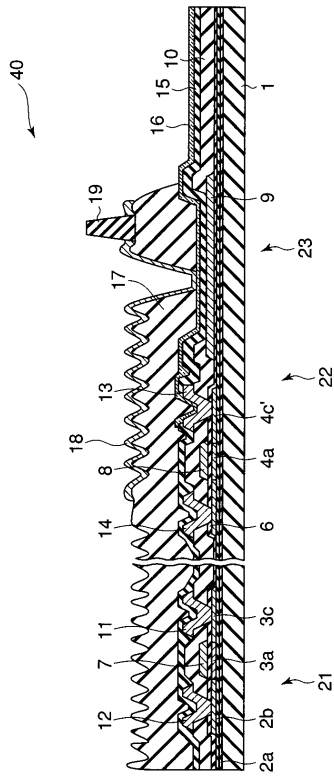
【 図 8 】

図 8



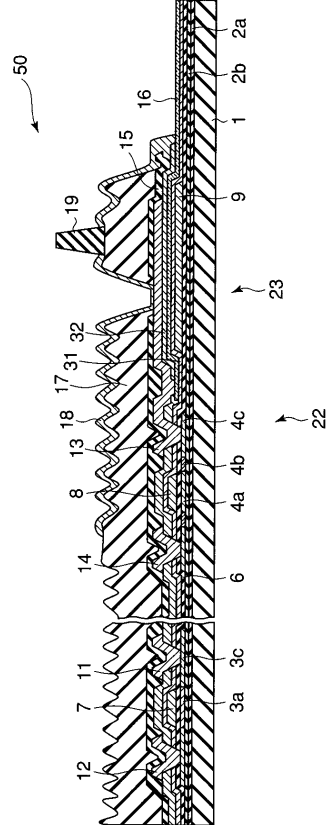
【 図 9 】

図 9



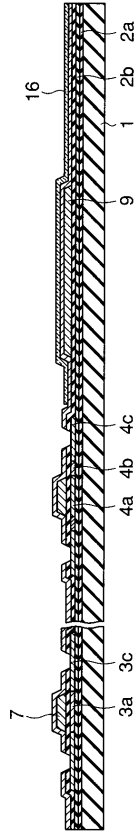
【 図 10 】

図 10



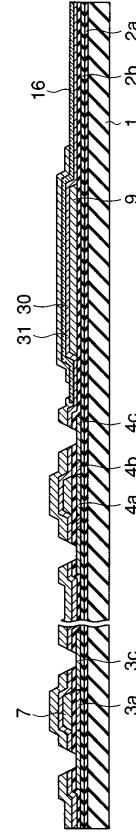
【 図 1 1 】

図 11



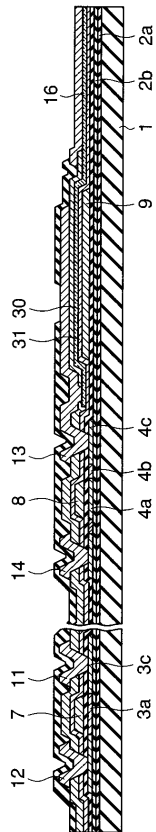
【 図 1 2 】

図 12



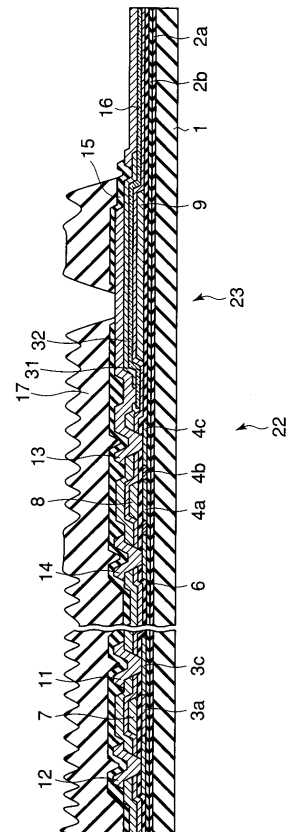
【 図 1 3 】

図 13



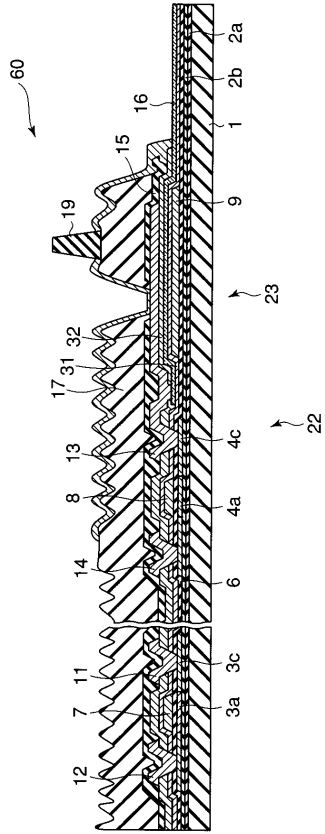
【 図 1 4 】

図 14



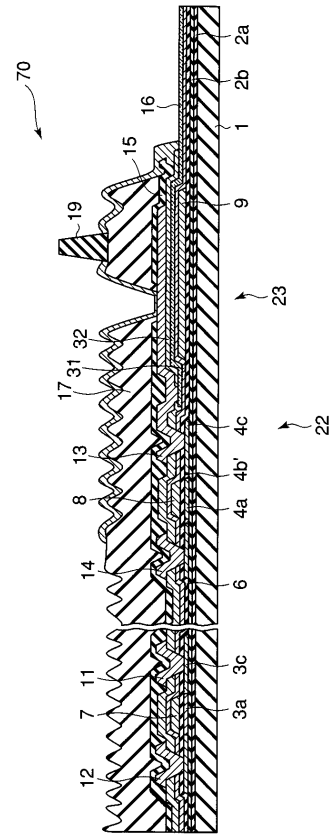
【 図 15 】

図 15



【 図 16 】

図 16



## フロントページの続き

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 福田 加一

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H092 GA12 GA17 GA20 GA24 GA25 HA02 HA05 JA24 JA34 JB61

JB63 JB64 JB65 JB66 NA27

5C094 AA21 AA43 BA03 BA43 DA15 DB01 EA05 FB19

5F110 AA16 AA26 BB01 CC02 DD02 DD13 DD14 DD17 EE06 EE23

EE44 FF02 FF30 GG02 GG13 GG32 GG34 GG35 GG45 GG51

GG52 HJ01 HJ04 HJ12 HJ23 HL03 HL04 HL07 HL12 HL23

HM15 NN04 NN23 NN24 NN27 NN35 NN36 NN73 PP03 PP04

PP06 PP35 QQ09 QQ11 QQ25