

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5884345号
(P5884345)

(45) 発行日 平成28年3月15日(2016.3.15)

(24) 登録日 平成28年2月19日(2016.2.19)

(51) Int.Cl. F I
HO2M 3/155 (2006.01)
 HO2M 3/155 Q
 HO2M 3/155 R

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2011-196033 (P2011-196033)	(73) 特許権者	000000099
(22) 出願日	平成23年9月8日(2011.9.8)		株式会社 I H I
(65) 公開番号	特開2013-59201 (P2013-59201A)		東京都江東区豊洲三丁目1番1号
(43) 公開日	平成25年3月28日(2013.3.28)	(74) 代理人	100175802
審査請求日	平成26年7月23日(2014.7.23)		弁理士 寺本 光生
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100107836
			弁理士 西 和哉
		(74) 代理人	100167553
			弁理士 高橋 久典
		(72) 発明者	平尾 俊幸
			東京都江東区豊洲三丁目1番1号 株式会社 I H I 内

最終頁に続く

(54) 【発明の名称】 共振型電力変換装置

(57) 【特許請求の範囲】

【請求項1】

補助スイッチをオンにしてから補助コンデンサの電圧が最小となる時点で主スイッチをオンにするスイッチ制御部を備える単方向式の共振型電力変換装置において、

一次側電流値または二次側電流値を検出する電流センサを備え、

前記スイッチ制御部は、前記補助スイッチをオンにしてから前記補助コンデンサの電圧が閾値以下となった時を前記補助コンデンサの電圧が最小となる時点として検知し、前記電流センサによって検出された前記一次側電流値または二次側電流値に基づいて前記閾値を設定することを特徴とする共振型電力変換装置。

【請求項2】

前記スイッチ制御部は、前記電流センサによって検出された前記一次側電流値または二次側電流値に基づいて前記補助スイッチを動作させるか否かを判定することを特徴とする請求項1に記載の共振型電力変換装置。

【請求項3】

前記補助コンデンサの電圧を検出する電圧センサを備え、

前記スイッチ制御部は、前記電圧センサによって検出された前記補助コンデンサの電圧が前記閾値より高い場合、前記補助コンデンサの電圧の今回値と前回値との関係に応じて遅延時間を増減し、前記補助コンデンサの電圧が前記閾値以下となった場合に、補助スイッチをオンにしてから前記遅延時間の経過後に前記主スイッチをオンにすることを特徴とする請求項1または2に記載の共振型電力変換装置。

【請求項 4】

前記スイッチ制御部は、前記電流センサによって検出された前記一次側電流値または二次側電流値に基づいて最大遅延時間及び最小遅延時間を設定し、前記遅延時間が前記最小遅延時間以上ないし前記最大遅延時間以下となるように制限することを特徴とする請求項 3 に記載の共振型電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、共振型電力変換装置に関する。

【背景技術】

10

【0002】

従来から、共振現象を利用してスイッチング素子のソフトスイッチングを実現する共振型電力変換装置の一形態として、SAZZ (Snubber Assisted Zero Voltage and Zero Current Transition)方式のチョッパ回路が知られている(下記非特許文献 1 及び 2 参照)。

また、下記特許文献 1 には、SAZZ方式を採用した共振型電力変換装置において、補助スイッチをオンにしてから補助コンデンサ(スナバコンデンサ)の電圧が最小となるまでの遅延時間を算出し、当該遅延時間の経過後に主スイッチをオンにすることで、主スイッチのソフトスイッチングを実現する技術が開示されている。

【先行技術文献】

20

【特許文献】

【0003】

【特許文献 1】特許第 4 3 9 7 9 3 8 号公報

【非特許文献】

【0004】

【非特許文献 1】伊藤・弦田・河村：「SAZZ昇圧チョッパ回路における回路定数設計法」、平成 17 年電気学会産業応用部門大会、1-48, pp.223-224, 2005

【非特許文献 2】弦田・伊藤・坂東・河村：「高効率高周波高出力チョッパ回路SAZZ」、平成 18 年電気学会産業応用部門大会、1-86, pp.475-480, 2006

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

上記従来技術では、入出力電圧及び電流の計測値と、補助リアクトルや補助コンデンサ等の回路定数とに基づいて上記遅延時間を算出していたため、回路素子の温度特性等、ハードウェア特性のバラツキが原因で、補助スイッチと主スイッチとのオンタイミング差(つまり遅延時間)を最適に制御することができず、スイッチング損失が増大する(効率が低下する)という問題があった。

【0006】

本発明は上述した事情に鑑みてなされたものであり、回路素子のハードウェア特性のバラツキに影響されずに、最適なソフトスイッチング制御を実現可能な共振型電力変換装置を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明では、共振型電力変換装置に係る第 1 の解決手段として、補助スイッチをオンにしてから補助コンデンサの電圧が最小となる時点で主スイッチをオンにするスイッチ制御部を備える単方向式の共振型電力変換装置において、前記スイッチ制御部は、前記補助スイッチをオンにしてから前記補助コンデンサの電圧が閾値以下となった時を前記補助コンデンサの電圧が最小となる時点として検知する、という手段を採用する。

【0008】

50

また、本発明では、共振型電力変換装置に係る第2の解決手段として、上記第1の解決手段において、一次側電流値または二次側電流値を検出する電流センサを備え、前記スイッチ制御部は、前記電流センサによって検出された前記一次側電流値または二次側電流値に基づいて前記閾値を設定する、という手段を採用する。

【0009】

また、本発明では、共振型電力変換装置に係る第3の解決手段として、上記第2の解決手段において、前記スイッチ制御部は、前記電流センサによって検出された前記一次側電流値または二次側電流値に基づいて前記補助スイッチを動作させるか否かを判定する、という手段を採用する。

【0010】

また、本発明では、共振型電力変換装置に係る第4の解決手段として、上記第2または第3の解決手段において、前記補助コンデンサの電圧を検出する電圧センサを備え、前記スイッチ制御部は、前記電圧センサによって検出された前記補助コンデンサの電圧が前記閾値より高い場合、前記補助コンデンサの電圧の今回値と前回値との関係に応じて遅延時間を増減し、前記補助コンデンサの電圧が前記閾値以下となった場合に、補助スイッチをオンにしてから前記遅延時間の経過後に前記主スイッチをオンにする、という手段を採用する。

【0011】

また、本発明では、共振型電力変換装置に係る第5の解決手段として、上記第4の解決手段において、前記スイッチ制御部は、前記電流センサによって検出された前記一次側電流値または二次側電流値に基づいて最大遅延時間及び最小遅延時間を設定し、前記遅延時間が前記最小遅延時間以上ないし前記最大遅延時間以下となるように制限する、という手段を採用する。

【発明の効果】

【0012】

本発明に係る共振型電力変換装置によれば、回路素子のハードウェア特性のバラツキに影響されずに、最適なソフトスイッチング制御を実現できる。

【図面の簡単な説明】

【0013】

【図1】第1実施形態に係る共振型電力変換装置の構成概略図である。

【図2】主スイッチ20の制御ブロック図(a)と、補助スイッチ24の制御ブロック図(b)である。

【図3】本実施形態における遅延時間 T_d の算出方法を示すフローチャート(a)と、スナバコンデンサ電圧 V_c の時間変化を示す図(b)である。

【図4】第2実施形態に係る共振型電力変換装置の構成概略図である。

【発明を実施するための形態】

【0014】

以下、本発明の一実施形態について、図面を参照しながら説明する。

〔第1実施形態〕

まず、本発明の第1実施形態について説明する。図1は、第1実施形態に係る共振型電力変換装置の構成概略図である。この図1に示すように、第1実施形態に係る共振型電力変換装置は、直流電源Eの出力電圧 V_1 を所望の電圧値 V_2 ($V_1 < V_2$)に変換して負荷Lに供給する昇圧型の単方向DC/DCコンバータであり、SAZZ昇圧チョッパ回路1、スナバ電圧センサ2、一次側電流センサ3、二次側電圧センサ4及びスイッチ制御部5から構成されている。

【0015】

SAZZ昇圧チョッパ回路1は、一次側端子11、12と、二次側端子13、14と、一次側平滑コンデンサ15と、二次側平滑コンデンサ16と、リアクトル17、18と、出力ダイオード19と、主スイッチ20と、ダイオード21、22と、スナバコンデンサ(補助コンデンサ)23と、補助スイッチ24とから構成されている。

10

20

30

40

50

【 0 0 1 6 】

一次側端子 1 1 は、直流電源 E の正極端子に接続され、一次側端子 1 2 は、直流電源 E の負極端子及び二次側端子 1 4 に接続されている。二次側端子 1 3 は、負荷 L の一端に接続され、二次側端子 1 4 は、負荷 L の他端及び一次側端子 1 2 に接続されている。

一次側平滑コンデンサ 1 5 は、一端が一次側端子 1 1 に接続され、他端が一次側端子 1 2 に接続されている。二次側平滑コンデンサ 1 6 は、一端が二次側端子 1 3 に接続され、他端が二次側端子 1 4 に接続されている。

【 0 0 1 7 】

リアクトル 1 7 は、一端が一次側端子 1 1 に接続され、他端がリアクトル 1 8 の一端に接続されている。リアクトル 1 8 は、一端がリアクトル 1 7 の他端に接続され、他端が出力ダイオード 1 9 のアノード端子に接続されている。出力ダイオード 1 9 は、アノード端子がリアクトル 1 8 の他端に接続され、カソード端子が二次側端子 1 3 に接続されている。

10

【 0 0 1 8 】

主スイッチ 2 0 は、例えば I G B T (Insulated Gate Bipolar Transistor) であり、コレクタ端子が出力ダイオード 1 9 のアノード端子に接続され、エミッタ端子が二次側端子 1 4 に接続され、ゲート端子がスイッチ制御部 5 に接続されている（配線については図示省略）。この主スイッチ 2 0 は、スイッチ制御部 5 からゲート端子に入力される P W M (Pulse Width Modulation) 信号に応じて、オン状態或いはオフ状態に切り替わる。

【 0 0 1 9 】

ダイオード 2 1 は、アノード端子がリアクトル 1 8 の他端に接続され、カソード端子がスナバコンデンサ 2 3 の一端に接続されている。ダイオード 2 2 は、アノード端子がスナバコンデンサ 2 3 の一端に接続され、カソード端子が補助スイッチ 2 4 のコレクタ端子に接続されている。スナバコンデンサ（補助コンデンサ）2 3 は、一端がダイオード 2 1 のカソード端子及びダイオード 2 2 のアノード端子に接続され、他端が二次側端子 1 4 に接続されている。

20

【 0 0 2 0 】

補助スイッチ 2 4 は、主スイッチ 2 0 と同様に例えば I G B T であり、コレクタ端子がダイオード 2 2 のカソード端子に接続され、エミッタ端子がリアクトル 1 7 の他端に接続され、ゲート端子がスイッチ制御部 5 に接続されている（配線については図示省略）。この補助スイッチ 2 4 は、スイッチ制御部 5 からゲート端子に入力される P W M 信号に応じて、オン状態或いはオフ状態に切り替わる。

30

【 0 0 2 1 】

スナバ電圧センサ 2 は、スナバコンデンサ 2 3 の電圧 V_c を検出し、その検出結果を示す電気信号をスイッチ制御部 5 に出力する。一次側電流センサ 3 は、一次側端子 1 1 に流れる電流 I_1 （直流電源 E の出力電流）を検出し、その検出結果を示す電気信号をスイッチ制御部 5 に出力する。二次側電圧センサ 4 は、二次側端子 1 3、1 4 間の電圧 V_2 （S A Z Z 昇圧チョッパ回路 1 の出力電圧）を検出し、その検出結果を示す電気信号をスイッチ制御部 5 に出力する。

【 0 0 2 2 】

スイッチ制御部 5 は、スナバ電圧センサ 2、一次側電流センサ 3 及び二次側電圧センサ 4 の出力信号に基づいて、主スイッチ 2 0 及び補助スイッチ 2 4 のスイッチング制御を行うマイクロコントローラであり、具体的には主スイッチ 2 0 及び補助スイッチ 2 4 のゲート端子に、それぞれデューティ比の異なる P W M 信号を出力する。

40

【 0 0 2 3 】

次に、上記のように構成された共振型電力変換装置の動作について説明する。

共振型電力変換装置の動作原理については、特許第 4 3 9 7 9 3 8 号公報に記載されているように既に公知であるので詳細な説明については省略するが、補助スイッチ 2 4 をオンにしてからスナバコンデンサ 2 3 の電圧 V_c が最小となる時点で主スイッチ 2 0 をオンにすることにより、主スイッチ 2 0 のソフトスイッチングを実現できる。

50

【 0 0 2 4 】

既に述べたように、特許第 4 3 9 7 9 3 8 号公報に記載の技術では、入出力電圧及び電流の計測値と、リアクトルやスナバコンデンサ等の回路定数とに基づいて、補助スイッチと主スイッチとのオンタイミング差（遅延時間 T_d ）を算出していたため、回路素子の温度特性等、ハードウェア特性のバラツキが原因で上記遅延時間 T_d を最適に制御することができず、スイッチング損失が増大する（効率が低下する）という問題があった。

【 0 0 2 5 】

本実施形態の共振型電力変換装置は、補助スイッチ 2 4 をオンにしてからスナバコンデンサ 2 3 の電圧 V_c が最小となる時点で主スイッチ 2 0 をオンにするという点で従来技術と同様であるが、補助スイッチ 2 4 と主スイッチ 2 0 とのオンタイミング差の制御手法（遅延時間 T_d の設定手法）が全く異なるものである。

10

【 0 0 2 6 】

図 2 (a) は、主スイッチ 2 0 の制御ブロック図であり、図 2 (b) は、補助スイッチ 2 4 の制御ブロック図である。なお、図 2 に示す各制御ブロックは、スイッチ制御部 5 が制御プログラムに従って各種演算処理を実行することによって実現されるソフトウェア的な機能を視覚化したものであり、各制御ブロックに相当するハードウェア回路がスイッチ制御部 5 に内蔵されているわけではない。

【 0 0 2 7 】

図 2 (a) に示すように、スイッチ制御部 5 は、主スイッチ 2 0 を制御するためのソフトウェア的な機能として、電圧制御部 5 a、電流制御部 5 b 及び主スイッチデューティ演算部 5 c を備えている。

20

【 0 0 2 8 】

電圧制御部 5 a は、二次側電圧センサ 4 によって検出された二次側電圧値 V_2 と、予め設定されている二次側電圧指令値 V_{2ref} との偏差がゼロとなるような一次側電流指令値 I_{1ref} を PI 演算によって算出する。

電流制御部 5 b は、一次側電流センサ 3 によって検出された一次側電流値 I_1 と、電圧制御部 5 a から得られる一次側電流指令値 I_{1ref} との偏差がゼロとなるような操作量を PI 演算によって算出する。

主スイッチデューティ演算部 5 c は、電流制御部 5 b から得られる操作量に基づいて、主スイッチ 2 0 に出力すべき PWM 信号のデューティ比 D_m を算出する。

30

【 0 0 2 9 】

一方、図 2 (b) に示すように、スイッチ制御部 5 は、補助スイッチ 2 4 を制御するためのソフトウェア的な機能として、遅延時間オン/オフ判定部 5 d、最大遅延時間設定部 5 e、最小遅延時間設定部 5 f、遅延時間演算部 5 g、遅延時間制限部 5 h、補助スイッチ動作切替部 5 i 及び補助スイッチデューティ演算部 5 j を備えている。

【 0 0 3 0 】

遅延時間オン/オフ判定部 5 d は、一次側電流センサ 3 によって検出された一次側電流値 I_1 を基に、遅延時間 T_d を設定するか否か、言い換えれば補助スイッチ 2 4 を先行動作させるか否かを判定する。具体的には、遅延時間オン/オフ判定部 5 d は、一次側電流値 I_1 が一定値以下の場合に、遅延時間 T_d を設定しない（補助スイッチ 2 4 を先行動作させない）と判定する。つまり、一次側電流値 I_1 が一定値以下の場合、補助スイッチ 2 4 を先行動作させて主スイッチ 2 0 のソフトスイッチングを試みても、スイッチング損失の低減効果は小さいので、補助スイッチ 2 4 を先行動作させずに主スイッチ 2 0 をハードスイッチングさせる。

40

【 0 0 3 1 】

最大遅延時間設定部 5 e は、一次側電流センサ 3 によって検出された一次側電流値 I_1 を基に、最大遅延時間 T_{dmax} を設定する。具体的には、最大遅延時間 T_{dmax} （試験値或いは理論値でも良い）と一次側電流値 I_1 との対応関係を示すテーブルデータが予め作成されており、最大遅延時間設定部 5 e は、一次側電流センサ 3 によって検出された一次側電流値 I_1 に対応する最大遅延時間 T_{dmax} を上記テーブルデータから取得する

50

【 0 0 3 2 】

最小遅延時間設定部 5 f は、一次側電流センサ 3 によって検出された一次側電流値 I_1 を基に、最小遅延時間 T_{dmin} を設定する。具体的には、最小遅延時間 T_{dmin} (試験値或いは理論値でも良い) と一次側電流値 I_1 との対応関係を示すテーブルデータが予め作成されており、最小遅延時間設定部 5 f は、一次側電流センサ 3 によって検出された一次側電流値 I_1 に対応する最小遅延時間 T_{dmin} を上記テーブルデータから取得する。

【 0 0 3 3 】

遅延時間演算部 5 g は、スナバ電圧センサ 2 によって検出されたスナバコンデンサ電圧 V_c 及び一次側電流センサ 3 から得られる一次側電流値 I_1 を基に、図 3 (a) に示すフローチャートに従ってスナバコンデンサ電圧 V_c が最小となる遅延時間 T_d を算出する。

10

【 0 0 3 4 】

図 3 (a) に示すように、遅延時間演算部 5 g は、一次側電流センサ 3 によって検出された一次側電流値 I_1 を基に、スナバコンデンサ電圧 V_c の閾値 V_{cth} を設定する (ステップ S 1)。図 3 (b) に示すように、主スイッチ 2 0 をオフ状態に維持しながら補助スイッチ 2 4 をオンにすると、スナバコンデンサ電圧 V_c は最大値から最小値に向かって降下するという挙動を示し、一次側電流値 I_1 によって最小値も変化する。よって、閾値 V_{cth} は、一次側電流値 I_1 に応じてスナバコンデンサ電圧 V_c の最小値に近い値 (近似的に最小と見做せる値) に設定すれば良い。

20

【 0 0 3 5 】

具体的には、スナバコンデンサ電圧 V_c の閾値 V_{cth} (この閾値 V_{cth} は試験値でも良いし、理論値でも良い) と一次側電流値 I_1 との対応関係を示すテーブルデータが予め作成されており、遅延時間演算部 5 g は、上記テーブルデータを用いて一次側電流センサ 3 によって検出された一次側電流値 I_1 に対応するスナバコンデンサ電圧 V_c の閾値 V_{cth} を設定する。

【 0 0 3 6 】

また、遅延時間演算部 5 g は、スナバ電圧センサ 2 からスナバコンデンサ電圧 V_c を取得すると、 V_c の今回値を示す変数 V_{c1} の値を、 V_c の前回値を示す変数 V_{c0} に代入すると共に、今回取得した V_c の値を変数 V_{c1} に代入する (ステップ S 2)。そして、遅延時間演算部 5 g は、変数 V_{c1} の値、つまりスナバコンデンサ電圧 V_c の今回値が、上記ステップ S 1 で設定した閾値 V_{cth} より高いか否かを判定する (ステップ S 3)。

30

【 0 0 3 7 】

遅延時間演算部 5 g は、上記ステップ S 3 にて「Yes」の場合 ($V_{c1} > V_{cth}$ の場合)、変数 V_{c1} と変数 V_{c0} の差分値 ($= V_{c1} - V_{c0}$) がゼロより大きいか否か、つまりスナバコンデンサ電圧 V_c の今回値が前回値より高いか否かを判定する (ステップ S 4)。

【 0 0 3 8 】

遅延時間演算部 5 g は、上記ステップ S 4 にて「Yes」の場合 ($V_{c1} - V_{c0} > 0$ の場合)、下記 (1) 式を用いて遅延時間 T_d の変化量 ΔT_d を算出し (ステップ S 5)、上記ステップ S 4 にて「No」の場合 ($V_{c1} - V_{c0} \leq 0$ の場合) にはステップ S 6 の処理にジャンプする。

40

$$\Delta T_d = -1 \times T_d \quad \dots (1)$$

【 0 0 3 9 】

遅延時間演算部 5 g は、上記ステップ S 4 にて「No」の場合、或いは上記ステップ S 5 の終了後、下記 (2) 式を用いて遅延時間 T_d を算出する (ステップ S 6)。

$$\Delta T_d = T_d + T_d \quad \dots (2)$$

【 0 0 4 0 】

一方、遅延時間演算部 5 g は、上記ステップ S 3 にて「No」の場合、つまりスナバコンデンサ電圧 V_c の今回値が閾値 V_{cth} 以下の場合、上記ステップ S 4、S 5 及び S 6

50

の処理を省略して、遅延時間 T_d の変更を停止する。

【0041】

このように、スナバコンデンサ電圧 V_c の今回値が閾値 V_{cth} より高く、且つスナバコンデンサ電圧 V_c の今回値が前回値以下の場合、スナバコンデンサ V_c が最小値に向かって降下していると推定され、スナバコンデンサ電圧 V_c の今回値が前回値より大きい場合、スナバコンデンサ V_c が上昇していると推定される。この時のスナバコンデンサ V_c の降下速度或いは上昇速度は、回路素子の温度特性等、ハードウェア特性のバラツキによって変化する。

【0042】

そこで、上記の場合には、スナバコンデンサ電圧 V_c が閾値 V_{cth} 以下となるまで、遅延時間 T_d を一定の割合 (T_d) で増減させることにより、ハードウェア特性のバラツキに対して最適な遅延時間 T_d (補助スイッチ 24 をオンにしてからスナバコンデンサ電圧 V_c が近似的に最小となる時点) を求めることができる。

10

【0043】

以上が遅延時間演算部 5g による遅延時間 T_d の算出処理に関する説明であり、以下では図 2 (b) に戻って説明を続ける。

遅延時間制限部 5h は、遅延時間演算部 5g によって算出された遅延時間 T_d が、最大遅延時間設定部 5e にて設定された最大遅延時間 T_{dmax} と、最小遅延時間設定部 5f にて設定された最小遅延時間 T_{dmin} との範囲内に収まるように制限する。具体的には、遅延時間 T_d が最大遅延時間 T_{dmax} を越えた場合、その遅延時間 T_d を最大遅延時間 T_{dmax} に設定し直す一方、遅延時間 T_d が最小遅延時間 T_{dmin} を下回った場合、その遅延時間 T_d を最小遅延時間 T_{dmin} に設定し直す。

20

【0044】

補助スイッチ動作切替部 5i は、遅延時間オン/オフ判定部 5d にて遅延時間 T_d を設定しない (補助スイッチ 24 を先行動作させない) と判定された場合、補助スイッチ 24 の動作をオフに切り替える一方、それ以外の場合には、補助スイッチ 24 の動作をオンに切り替える (補助スイッチデューティ演算部 5j に遅延時間 T_d の使用を許可する)。

【0045】

補助スイッチデューティ演算部 5j は、主スイッチデューティ演算部 5c によって算出された主スイッチ 20 のデューティ比 D_m と、遅延時間制限部 5h から得られた遅延時間 T_d とに基づいて、補助スイッチ 24 と主スイッチ 20 とのオンタイミング差が遅延時間 T_d となるような補助スイッチ 24 のデューティ比 D_s を算出する。

30

【0046】

スイッチ制御部 5 は、上記のように、主スイッチ 20 のデューティ比 D_m 及び補助スイッチ 24 のデューティ比 D_s を算出すると、デューティ比 D_m を有する PWM 信号を生成して主スイッチ 20 に出力すると共に、デューティ比 D_s を有する PWM 信号を生成して補助スイッチ 24 に出力する。

【0047】

これにより、主スイッチ 20 及び補助スイッチ 24 がそれぞれのデューティ比でスイッチング動作し、SAZZ 昇圧チョッパ回路 1 の二次側電圧値 V_2 が二次側電圧指令値 V_{2ref} となるように、直流電源 E の出力電圧 V_1 が昇圧されると共に、各回路素子のハードウェア特性のバラツキに関係なく、補助スイッチ 24 がオンとなってからスナバコンデンサ電圧 V_c が近似的に最小となる時点 (遅延時間 T_d の経過後) で主スイッチ 20 がオンとなる。

40

【0048】

以上のように、第 1 実施形態に係る共振型電力変換装置によれば、SAZZ 昇圧チョッパ回路 1 を構成する各回路素子のハードウェア特性のバラツキに影響されずに、最適なソフトスイッチング制御を実現することができる。

【0049】

〔第 2 実施形態〕

50

次に、本発明の第2実施形態について説明する。図4は、第2実施形態に係る共振型電力変換装置の構成概略図である。この図4に示すように、第2実施形態に係る共振型電力変換装置は、直流電源Eの出力電圧V1を所望の電圧値V2 ($V1 > V2$) に変換して負荷Lに供給する降圧型の単方向DC/DCコンバータであり、SAZZ降圧チョッパ回路100、スナバ電圧センサ200、一次側電流センサ300、二次側電圧センサ400及びスイッチ制御部500から構成されている。

【0050】

SAZZ降圧チョッパ回路100は、一次側端子101、102と、二次側端子103、104と、一次側平滑コンデンサ105と、二次側平滑コンデンサ106と、リアクトル107、108と、主スイッチ109と、スナバコンデンサ110と、ダイオード111、112、113と、補助スイッチ114とから構成されている。

10

【0051】

一次側端子101は、直流電源Eの正極端子に接続され、一次側端子102は、直流電源Eの負極端子及び二次側端子104に接続されている。二次側端子103は、負荷Lの一端に接続され、二次側端子104は、負荷Lの他端及び一次側端子102に接続されている。一次側平滑コンデンサ105は、一端が一次側端子101に接続され、他端が一次側端子102に接続されている。二次側平滑コンデンサ106は、一端が二次側端子103に接続され、他端が二次側端子104に接続されている。

【0052】

リアクトル107は、一端が二次側端子103に接続され、他端がリアクトル108の一端に接続されている。リアクトル108は、一端がリアクトル107の他端に接続され、他端が主スイッチ109のエミッタ端子に接続されている。

20

【0053】

主スイッチ109は、例えばIGBT (Insulated Gate Bipolar Transistor) であり、コレクタ端子が一次側端子101に接続され、エミッタ端子がダイオード111のカソード端子に接続され、ゲート端子がスイッチ制御部500に接続されている(配線については図示省略)。この主スイッチ109は、スイッチ制御部500からゲート端子に入力されるPWM信号に応じて、オン状態或いはオフ状態に切り替わる。

【0054】

スナバコンデンサ110は、一端が一次側端子101に接続され、他端がダイオード112のアノード端子に接続されている。ダイオード111は、アノード端子が一次側端子102に接続され、カソード端子が主スイッチ109のエミッタ端子に接続されている。ダイオード112は、アノード端子がスナバコンデンサ110の他端に接続され、カソード端子が主スイッチ109のエミッタ端子に接続されている。ダイオード113は、アノード端子が補助スイッチ114のエミッタ端子に接続され、カソード端子がスナバコンデンサ110の他端に接続されている。

30

【0055】

補助スイッチ114は、主スイッチ109と同様に例えばIGBTであり、コレクタ端子がリアクトル108の一端に接続され、エミッタ端子がダイオード113のアノード端子に接続され、ゲート端子がスイッチ制御部500に接続されている(配線については図示省略)。この補助スイッチ114は、スイッチ制御部500からゲート端子に入力されるPWM信号に応じて、オン状態或いはオフ状態に切り替わる。

40

【0056】

スナバ電圧センサ200は、スナバコンデンサ110の電圧Vcを検出し、その検出結果を示す電気信号をスイッチ制御部500に出力する。一次側電流センサ300は、一次側端子101に流れる電流I1 (直流電源Eの出力電流) を検出し、その検出結果を示す電気信号をスイッチ制御部500に出力する。二次側電圧センサ400は、二次側端子103、104間の電圧V2 (SAZZ降圧チョッパ回路100の出力電圧) を検出し、その検出結果を示す電気信号をスイッチ制御部500に出力する。

【0057】

50

スイッチ制御部500は、スナバ電圧センサ200、一次側電流センサ300及び二次側電圧センサ400の出力信号に基づいて、主スイッチ109及び補助スイッチ114のスイッチング制御を行うマイクロコントローラであり、具体的には主スイッチ109及び補助スイッチ114のゲート端子にそれぞれデューティ比の異なるPWM信号を出力する。

【0058】

このように構成された第2実施形態に係る共振型電力変換装置は、補助スイッチ114と主スイッチ109とのオンタイミング差の制御手法（遅延時間Tdの設定手法）が第1実施形態と同様であるので、制御手法に関する説明は省略する。

【0059】

以上のような第2実施形態に係る共振型電力変換装置によれば、第1実施形態と同様に、SAZZ降圧チョッパ回路100を構成する各回路素子のハードウェア特性のバラツキに影響されずに、最適なソフトスイッチング制御を実現することができる。

【0060】

なお、本発明は上記第1及び第2実施形態に限定されず、本発明の趣旨を逸脱しない範囲において種々変更することが可能である。

例えば、上記第1及び第2実施形態では、SAZZ昇圧チョッパ回路1またはSAZZ降圧チョッパ回路100の一次側電流値I1に基づいて、閾値Vcthの設定、最大遅延時間Tsmaxの設定、最小遅延時間Tdmnの設定及び遅延時間Tdのオン/オフ判定を行う場合を例示したが、一次側電流値I1に替えて二次側電流値（二次側端子間に流れる電流）を用いても良い。

【符号の説明】

【0061】

1...SAZZ昇圧チョッパ回路、100...SAZZ降圧チョッパ回路、2、200...スナバ電圧センサ、3、300...一次側電流センサ、4、400...二次側電圧センサ、5、500...スイッチ制御部

10

20

フロントページの続き

- (72)発明者 今久保 知史
東京都江東区豊洲三丁目1番1号 株式会社IHI内
- (72)発明者 若松 秀樹
東京都江東区豊洲三丁目1番1号 株式会社IHI内
- (72)発明者 軸丸 武弘
東京都江東区豊洲三丁目1番1号 株式会社IHI内

審査官 鈴木 重幸

- (56)参考文献 特開2001-309646(JP,A)
特開2002-209377(JP,A)
特開2008-283815(JP,A)
特開2012-023809(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/00 - 3/44