



(12)发明专利

(10)授权公告号 CN 103077949 B

(45)授权公告日 2016.09.14

(21)申请号 201310032589.9

H01L 21/762(2006.01)

(22)申请日 2013.01.28

(56)对比文件

(65)同一申请的已公布的文献号

US 2012/0068276 A1,2012.03.22,

申请公布号 CN 103077949 A

US 2003/0094649 A1,2003.05.22,

(43)申请公布日 2013.05.01

审查员 张一文

(73)专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技  
园区祖冲之路1399号

(72)发明人 李乐

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51)Int.Cl.

H01L 27/12(2006.01)

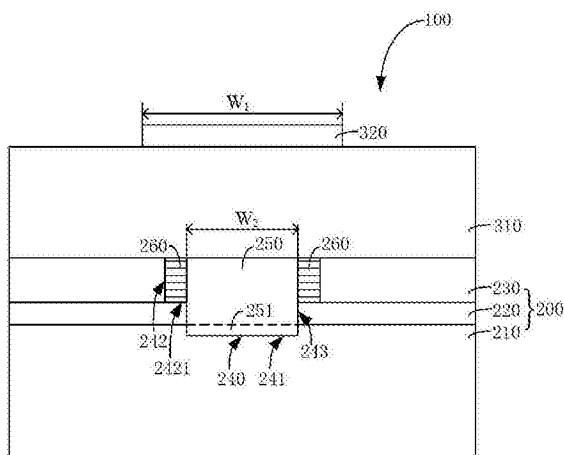
权利要求书2页 说明书7页 附图5页

(54)发明名称

绝缘体上硅射频器件及其制作方法

(57)摘要

本发明公开了一种绝缘体上硅射频器件及其制作方法,射频器件的绝缘体上硅衬底内形成有暴露出部分高电阻率硅基板的沟槽,暴露在沟槽中的高电阻率硅基板上设置有与高电阻率硅基板接触的非掺杂多晶硅层,且至少有部分非掺杂多晶硅层被其上方的金属层覆盖住,这样,在施加有射频信号或者射频与直流信号的叠加信号的金属层的作用下,以及埋入氧化层正电荷作用下,非掺杂多晶硅层的与高电阻率硅基板接触的表面处会形成反型层,但由于载流子很容易在非掺杂多晶硅的晶界处复合,因此会抑制导致高电阻率硅基板的表面电阻减小,因而能够减少高电阻率硅基板表面涡流的产生,减少了射频信号的损耗,提高了射频器件射频信号的线性度。



1. 一种绝缘体上硅射频器件,其特征在于,包括:

绝缘体上硅衬底,包括高电阻率硅基板、顶层硅及设置在所述高电阻率硅基板与顶层硅之间的埋入氧化层,所述高电阻率硅基板的电阻率大于 $200\ \Omega \cdot \text{cm}$ ,所述顶层硅中设置有两个或以上的有源区,相邻两个所述有源区被形成在所述绝缘体上硅衬底中的沟槽隔离开,所述沟槽暴露出部分所述高电阻率硅基板,暴露在所述沟槽中的高电阻率硅基板上覆盖有与高电阻率硅基板接触的非掺杂多晶硅层,所述沟槽的除被所述非掺杂多晶硅层填充以外的部分填充有绝缘层,所述绝缘层将所述顶层硅与非掺杂多晶硅层隔离开;

形成在所述顶层硅及绝缘层上的金属互连结构,其包括形成在所述顶层硅及绝缘层上的层间介质层及位于所述层间介质层上方的金属层,至少有部分所述非掺杂多晶硅层上方覆盖有所述金属层。

2. 根据权利要求1所述的绝缘体上硅射频器件,其特征在于,所述沟槽还暴露出部分所述埋入氧化层,部分所述绝缘层覆盖在暴露在所述沟槽中的埋入氧化层上,其余所述绝缘层覆盖在所述非掺杂多晶硅层上。

3. 根据权利要求1所述的绝缘体上硅射频器件,其特征在于,所述沟槽还暴露出部分所述埋入氧化层,整个所述绝缘层覆盖在暴露在所述沟槽中的埋入氧化层上。

4. 根据权利要求1至3任一项所述的绝缘体上硅射频器件,其特征在于,所述绝缘层的材料为氧化硅。

5. 根据权利要求1至3任一项所述的绝缘体上硅射频器件,其特征在于,所述沟槽的底壁位于所述高电阻率硅基板内。

6. 一种绝缘体上硅射频器件的制作方法,其特征在于,包括:

提供绝缘体上硅衬底,其包括高电阻率硅基板、顶层硅及设置在所述高电阻率硅基板与顶层硅之间的埋入氧化层,所述高电阻率硅基板的电阻率大于 $200\ \Omega \cdot \text{cm}$ ;

在所述绝缘体上硅衬底中形成暴露出部分所述埋入氧化层的第一沟槽,在所述第一沟槽内填充绝缘层,在所述绝缘层中形成暴露出部分所述高电阻率硅基板的第二沟槽,在所述第二沟槽内填充非掺杂多晶硅层,残留的所述绝缘层将所述顶层硅与非掺杂多晶硅层隔离开;

在所述顶层硅、绝缘层及非掺杂多晶硅层上形成金属互连结构,所述金属互连结构包括形成在所述顶层硅、绝缘层及非掺杂多晶硅层上的层间介质层及位于所述层间介质层上的金属层。

7. 根据权利要求6所述的绝缘体上硅射频器件的制作方法,其特征在于,在所述绝缘体上硅衬底中形成暴露出部分所述埋入氧化层的第一沟槽,在所述第一沟槽内填充绝缘层,在所述绝缘层中形成暴露出部分所述高电阻率硅基板的第二沟槽,以及在所述第二沟槽内填充非掺杂多晶硅层的步骤包括:

在所述顶层硅上形成垫氧化层及位于垫氧化层上的掩模层;

在所述掩模层上形成第一图形化光刻胶层,以第一图形化光刻胶层为掩模进行刻蚀,形成图形化的掩模层及垫氧化层,并在绝缘体上硅衬底中形成暴露出部分所述埋入氧化层的第一沟槽;

去除残留的第一图形化光刻胶层,在所述图形化的掩模层上及第一沟槽内形成绝缘层,利用化学机械研磨工艺去除超出所述图形化的掩模层表面的绝缘层;

化学机械研磨之后,在所述图形化的掩模层及绝缘层上形成第二图形化光刻胶层,以第二图形化光刻胶层为掩模进行刻蚀,在所述绝缘层中形成暴露出部分所述高电阻率硅基板的第二沟槽,且暴露在所述第一沟槽中的埋入氧化层上残留有绝缘层;

去除残留的第二图形化光刻胶层,在所述图形化的掩模层、绝缘层及暴露在第二沟槽中的高电阻率硅基板上形成非掺杂多晶硅层;

利用化学机械研磨工艺去除超出所述图形化的掩模层表面的非掺杂多晶硅层;

去除所述图形化的掩模层、垫氧化层,并去除超出所述顶层硅表面的绝缘层及非掺杂多晶硅层。

8.根据权利要求7所述的绝缘体上硅射频器件的制作方法,其特征在于,所述掩模层的材料为氮化硅。

9.根据权利要求6至8任一项所述的绝缘体上硅射频器件的制作方法,其特征在于,所述绝缘层的材料为氧化硅。

10.根据权利要求6至8任一项所述的绝缘体上硅射频器件的制作方法,其特征在于,所述第二沟槽的底壁设在所述高电阻率硅基板内。

11.根据权利要求6至8任一项所述的绝缘体上硅射频器件的制作方法,其特征在于,在所述顶层硅、绝缘层及非掺杂多晶硅层上形成层间介质层之前,还包括在所述顶层硅中形成两个或以上的有源区的步骤,相邻两个所述有源区被所述第一沟槽隔离开。

## 绝缘体上硅射频器件及其制作方法

### 技术领域

[0001] 本发明涉及半导体制造领域,特别是涉及一种绝缘体上硅(silicon on insulator,简称SOI)射频(Radio Frequency)器件及其制作方法。

### 背景技术

[0002] 半导体器件持续朝高集成、高操作速度及低功耗方向发展,因此,体硅(bulk silicon)衬底的应用受到越来越多的限制。相反,绝缘体上硅衬底具有实现集成电路中元器件的介质隔离、彻底消除体硅CMOS电路中的寄生门锁效应、寄生电容小、集成密度高、速度快、工艺简单、短沟道效应小及适用于低功耗低电压电路等优点,因此,利用绝缘体上硅衬底形成半导体器件愈来愈流行。射频器件要求具有较小的寄生电容,其中衬底的寄生电容往往起到很大的作用,采用绝缘体上硅衬底作为衬底,可以有效减小寄生电容。另外,在绝缘体上硅衬底中形成射频器件时,还可以提高射频器件的高频率特性和射频器件的运行速度。

[0003] 现有一种绝缘体上硅射频器件的结构如图1所示,绝缘体上硅衬底1包括高电阻率硅基板2、位于高电阻率硅基板2上的埋入氧化层(BOX)3及位于埋入氧化层3上的顶层硅4,顶层硅4中形成有浅沟槽隔离结构5,以将顶层硅4中的有源区(未标识)隔离开来,顶层硅4的有源区中形成有半导体器件(未图示)如晶体管。绝缘体上硅衬底1上形成有金属互连结构,图1中以一层金属互连结构为例,其包括位于顶层硅4及浅沟槽隔离结构5上的层间介质层6、形成在层间介质层6内的导电插塞(未图示)及位于层间介质层6和导电插塞上的金属层7,且至少有部分浅沟槽隔离结构5上方覆盖有金属层7。

[0004] 然而,在上述绝缘体上硅射频器件的实际使用过程会发现,其在一些高线性度、低插入损耗要求的射频应用中存在损耗大及射频信号线性度较差的缺陷。

### 发明内容

[0005] 本发明的目的是解决现有绝缘体上硅射频器件在一些高线性度、低插入损耗要求的射频应用中,损耗及射频信号线性度达不到应用要求的问题。

[0006] 发明人经过研究发现,造成现有绝缘体上硅射频器件在一些高线性度、低插入损耗要求的射频应用中,损耗及射频信号线性度达不到应用要求的原因是:外部电路会给绝缘体上硅射频器件施加射频信号或者射频信号与直流信号叠加的信号,所述信号可以在射频器件的金属互连结构上传输,如图1所示,由于高电阻率硅基板2的掺杂浓度很低,在施加有所述信号的金层7的作用下,以及埋入氧化层3中固定电荷的作用下,金属层7正下方的高电阻率硅基板2的靠近埋入氧化层3的表面会形成反型层8,导致高电阻率硅基板2的表面电阻(surface resistance)减小,增加了高电阻率硅基板2的导电能力。在这种情况下,金属层7、位于金属层7正下方的高电阻率硅基板2及位于金属层7与高电阻率硅基板2之间的层间介质层6和浅沟槽隔离结构5可视作构成了一个电容C,在电容C中,金属层7及高电阻率硅基板2相当于电容C的两个极板,层间介质层6和浅沟槽隔离结构5相当于电容C两极板之

间的介电层,由于金属层7会被施加射频信号或者射频信号与直流信号叠加的信号,且射频信号通常是随时间变化的信号,所述信号能够通过电容C耦合到高电阻率硅基板2,而射频信号产生的电磁场能够在高电阻率硅基板2表面形成涡流,导致射频信号被损耗,并使信号线性度变差。

[0007] 为解决上述问题,本发明提供了一种绝缘体上硅射频器件,包括:

[0008] 绝缘体上硅衬底,包括高电阻率硅基板、顶层硅及设置在所述高电阻率硅基板与顶层硅之间的埋入氧化层,所述顶层硅中设置有两个或以上的有源区,相邻两个所述有源区被形成在所述绝缘体上硅衬底中的沟槽隔离开,所述沟槽暴露出部分所述埋入氧化层及部分所述高电阻率硅基板,暴露在所述沟槽中的高电阻率硅基板上覆盖有与高电阻率硅基板接触的非掺杂多晶硅层,所述沟槽的除被所述非掺杂多晶硅层填充以外的部分填充有绝缘层,所述绝缘层将所述顶层硅与非掺杂多晶硅层隔离开,且至少有部分所述绝缘层覆盖在暴露在所述沟槽中的埋入氧化层上;

[0009] 形成在所述顶层硅及绝缘层上的金属互连结构,其包括形成在所述顶层硅及绝缘层上的层间介质层及位于所述层间介质层上方的金属层,至少有部分所述非掺杂多晶硅层上方覆盖有所述金属层。

[0010] 可选地,所述沟槽还暴露出部分所述埋入氧化层,部分所述绝缘层覆盖在暴露在所述沟槽中的埋入氧化层上,其余所述绝缘层覆盖在所述非掺杂多晶硅层上。

[0011] 可选地,所述沟槽还暴露出部分所述埋入氧化层,整个所述绝缘层覆盖在暴露在所述沟槽中的埋入氧化层上。

[0012] 可选地,所述绝缘层的材料为氧化硅。

[0013] 可选地,所述沟槽的底壁设在所述高电阻率硅基板内。

[0014] 另外,本发明还提供了一种绝缘体上硅射频器件的制作方法,包括:

[0015] 提供绝缘体上硅衬底,其包括高电阻率硅基板、顶层硅及设置在所述高电阻率硅基板与顶层硅之间的埋入氧化层;

[0016] 在所述绝缘体上硅衬底中形成暴露出部分所述埋入氧化层的第一沟槽,在所述第一沟槽内填充绝缘层,在所述绝缘层中形成暴露出部分所述高电阻率硅基板的第二沟槽,在所述第二沟槽内填充非掺杂多晶硅层,残留的所述绝缘层将所述顶层硅与非掺杂多晶硅层隔离开;

[0017] 在所述顶层硅、绝缘层及非掺杂多晶硅层上形成金属互连结构,所述金属互连结构包括形成在所述顶层硅、绝缘层及非掺杂多晶硅层上的层间介质层及位于所述层间介质层上的金属层。

[0018] 可选地,在所述绝缘体上硅衬底中形成暴露出部分所述埋入氧化层的第一沟槽,在所述第一沟槽内填充绝缘层,在所述绝缘层中形成暴露出部分所述高电阻率硅基板的第二沟槽,以及在所述第二沟槽内填充非掺杂多晶硅层的步骤包括:

[0019] 在所述顶层硅上形成垫氧化层及位于垫氧化层上的掩模层;

[0020] 在所述掩模层上形成第一图形化光刻胶层,以第一图形化光刻胶层为掩模进行刻蚀,形成图形化的掩模层及垫氧化层,并在绝缘体上硅衬底中形成暴露出部分所述埋入氧化层的第一沟槽;

[0021] 去除残留的第一图形化光刻胶层,在所述图形化的掩模层上及第一沟槽内形成绝

缘层,利用化学机械研磨工艺去除超出所述图形化的掩模层表面的绝缘层;

[0022] 化学机械研磨之后,在所述图形化的掩模层及绝缘层上形成第二图形化光刻胶层,以第二图形化光刻胶层为掩模进行刻蚀,在所述绝缘层中形成暴露出部分所述高电阻率硅基板的第二沟槽,且暴露在第二沟槽中的埋入氧化层上残留有绝缘层;

[0023] 去除残留的第二图形化光刻胶层,在所述图形化的掩模层、绝缘层及暴露在第二沟槽中的高电阻率硅基板上形成非掺杂多晶硅层;

[0024] 利用化学机械研磨工艺去除超出所述图形化的掩模层表面的非掺杂多晶硅层;

[0025] 去除所述图形化的掩模层、垫氧化层,并去除超出所述顶层硅表面的绝缘层及非掺杂多晶硅层。

[0026] 可选地,所述掩模层的材料为氮化硅。

[0027] 可选地,所述绝缘层的材料为氧化硅。

[0028] 可选地,所述第二沟槽的底壁设在所述高电阻率硅基板内。

[0029] 可选地,在所述顶层硅、绝缘层及非掺杂多晶硅层上形成层间介质层之前,还包括在所述顶层硅中形成两个或以上的有源区的步骤,相邻两个所述有源区被所述第一沟槽隔离。

[0030] 与现有技术相比,本发明具有以下优点:

[0031] 上述绝缘体上硅射频器件中,在绝缘体上硅衬底内形成有暴露出部分高电阻率硅基板的沟槽,暴露在沟槽中的高电阻率硅基板上设置有与高电阻率硅基板接触的非掺杂多晶硅层,且至少有部分非掺杂多晶硅层被其上方的金属层覆盖住,这样,在施加有射频信号或者射频信号与直流信号叠加的信号的金属层作用下,以及埋入氧化层中固定电荷的作用下,高电阻率硅基板的靠近非掺杂多晶硅的表面不会形成反型层,相反,非掺杂多晶硅层的与高电阻率硅基板接触的表面处会形成反型层,但由于载流子很容易在非掺杂多晶硅层的晶界处复合,非掺杂多晶硅层的反型层中载流子浓度很低,因此会抑制高电阻率硅基板的表面电阻减小,能够更有效的保持高电阻率硅基板的高电阻率,因而能够减少高电阻率硅基板表面涡流的产生,减少了射频信号的损耗,提高了绝缘体上硅射频器件的射频信号的线性度。

## 附图说明

[0032] 图1是现有一种绝缘体上硅射频器件的剖视图;

[0033] 图2是本发明的实施例一中一种绝缘体上硅射频器件的剖视图;

[0034] 图3是本发明的实施例二中一种绝缘体上硅射频器件的剖视图;

[0035] 图4至图10是本发明绝缘体上硅射频器件制作方法的一个实施例中绝缘体上硅射频器件在各个制作阶段的剖视图。

## 具体实施方式

[0036] 下面结合附图,通过具体实施例,对本发明的技术方案进行清楚、完整的描述,显然,所描述的实施例仅仅是本发明的可实施方式的一部分,而不是其全部。根据这些实施例,本领域的普通技术人员在无需创造性劳动的前提下可获得的所有其它实施方式,都属于本发明的保护范围。

[0037] 实施例一

[0038] 图2是本发明的实施例一中一种绝缘体上硅射频器件的剖视图,如图2所示,绝缘体上硅射频器件100包括绝缘体上硅衬底200及形成在绝缘体上硅衬底200上方的金属互连结构,绝缘体上硅衬底200中形成有多个半导体器件,金属互连结构可以将多个半导体器件连接成所需电路。

[0039] 具体地,绝缘体上硅衬底200包括高电阻率硅基板210、顶层硅230及设置在高电阻率硅基板210与顶层硅230之间的埋入氧化层220,其中,高电阻率硅基板210为位于其上方的埋入氧化层220及顶层硅230提供机械支撑,高电阻率硅基板210为电阻率大于 $200\ \Omega \cdot \text{cm}$ 的硅基板。顶层硅230用于制作电路所需半导体器件。顶层硅230中设置有两个或以上的有源区(未图示),在有源区中可以形成多种半导体器件(未图示),如pn结二极管、双极晶体管(BJT)、肖特基二极管、场效应晶体管等等。相邻两个有源区被形成在绝缘体上硅衬底200中的沟槽240隔离开,沟槽240不仅暴露出部分埋入氧化层220,还暴露出部分高电阻率硅基板210。沟槽240的开口设置在顶层硅230的表面,沟槽240的底壁241可以设置在埋入氧化层220与高电阻率硅基板210的界面处,也可以设置在高电阻率硅基板210内(这种情况下底壁241低于埋入氧化层220与高电阻率硅基板210的界面处)。沟槽240可视作由相连通的第一沟槽242及第二沟槽243构成,其中,第一沟槽242位于第二沟槽243上方,且第一沟槽242的宽度大于第二沟槽243,以在暴露出部分高电阻率硅基板210的同时,还能暴露出部分埋入氧化层220。第一沟槽242的底壁2421设置在顶层硅230与埋入氧化层220的界面处,以暴露出部分埋入氧化层220,第一沟槽242的侧壁(未标识)设置在顶层硅230内。第二沟槽243的底壁即为沟槽240的底壁241,当第二沟槽243的底壁设置在埋入氧化层220与高电阻率硅基板210的界面处时,第二沟槽243的侧壁(未标识)设置在埋入氧化层220内;当第二沟槽243的底壁设置在高电阻率硅基板210内时,第二沟槽243的侧壁(未标识)设置在埋入氧化层220及高电阻率硅基板210内。

[0040] 暴露在沟槽240中的高电阻率硅基板210上覆盖有非掺杂多晶硅层250,且非掺杂多晶硅层250与其下方的高电阻率硅基板210直接接触。第二沟槽243被非掺杂多晶硅层250填满。沟槽240的除被非掺杂多晶硅层250填充以外的部分填充有绝缘层260,即暴露在沟槽240中的埋入氧化层220的正上方被整个绝缘层260覆盖住,绝缘层260将顶层硅230与非掺杂多晶硅层250隔离开,以避免顶层硅230会与非掺杂多晶硅层250接触。在本实施例中,非掺杂多晶硅层250上方没有覆盖绝缘层260。

[0041] 形成在绝缘体上硅衬底200上方的金属互连结构的数量可为一层或以上,本发明仅以一层金属互连结构为例。金属互连结构包括形成在顶层硅230、绝缘层260及非掺杂多晶硅层250上方的层间介质层310及形成在层间介质层310上方的金属层320,金属层320或金属层320的一部分设置在非掺杂多晶硅层250的正上方,且至少有部分非掺杂多晶硅层250被位于其上方的金属层320覆盖住。

[0042] 在上述所有绝缘体上硅射频器件的具体实施例中,绝缘层260的材料可为氧化硅。

[0043] 上述绝缘体上硅射频器件在工作过程中会从外部电路给其施加射频信号或者射频信号与直流信号叠加的信号,由此金属层320会被施加射频信号或者射频信号与直流信号叠加的信号,在施加有所述信号的金屬層320的作用下,以及埋入氧化層220中正電荷的作用下,高電阻率硅基板210的靠近非掺杂多晶硅层250的表面不会形成反型层,相反,非掺

杂多晶硅层250的与高电阻率硅基板210接触的表面处会形成反型层251,但由于载流子很容易在多晶硅的晶界处复合,即载流子在非掺杂多晶硅层250中的寿命很短,非掺杂多晶硅层250的反型层251中载流子浓度很低,因此可以抑制高电阻率硅基板210的表面电阻减小,能够更有效的保持高电阻率硅基板210的高电阻率,因而能够减少高电阻率硅基板210表面涡流的产生,减少了射频信号的损耗,提高了射频信号的线性度。需说明的是,非掺杂多晶硅层250的厚度需尽可能的大于非掺杂多晶硅层250中反型层251的厚度,以达到最大的抑制高电阻率硅基板210表面电阻减小的效果。

[0044] 由上述内容可知,可根据金属层320的宽度 $W_1$ 来设置第一沟槽242的宽度及第二沟槽243的宽度(即为非掺杂多晶硅层250的宽度),且尽可能的缩小第一沟槽242与第二沟槽243宽度差,以使非掺杂多晶硅层250的宽度 $W_2$ 尽可能的接近金属层320的宽度 $W_1$ ,即金属层320能覆盖更多的非掺杂多晶硅层250,这样可进一步的减小高电阻率硅基板210中涡流的产生,减少射频信号的损耗。

[0045] 需说明的是,在其它实施例中,也可以有两层或以上的金属互连结构,在这种情况下,本发明中位于非掺杂多晶硅层250正上方以将部分或整个非掺杂多晶硅层250覆盖住的金属层320可以是第一金属互连结构的金属层(即最靠近绝缘体上硅衬底200的金属互连结构的金属层),也可以是第一金属互连结构上方其中一层金属互连结构的金属层,可根据金属互连结构的具体情况来选择其中一层金属互连结构的金属层作为设置第一沟槽242及第二沟槽243的宽度的依据。较佳地,应根据第一层金属互连结构的金属层作为设置第一沟槽242及第二沟槽243的宽度的依据。

[0046] 实施例二

[0047] 图3是本发明的实施例二中一种绝缘体上硅射频器件的剖视图,实施例二中绝缘体上硅射频器件的结构可参照实施例一,比较图2、图3可知,其与实施例一中绝缘体上硅射频器件的区别在于:暴露在沟槽240中的高电阻率硅基板210上覆盖有与高电阻率硅基板210接触的非掺杂多晶硅层250',非掺杂多晶硅层250'的上表面(远离高电阻率硅基板210的表面)低于顶层硅230的上表面,沟槽240的除被非掺杂多晶硅层250'填充以外的部分填充有绝缘层260',沟槽240内的绝缘层260'中,部分绝缘层260'覆盖在暴露在沟槽240中的埋入氧化层220上,其余绝缘层260'覆盖在非掺杂多晶硅层250'上方,绝缘层260'将顶层硅230与非掺杂多晶硅层250'隔离开,以避免顶层硅230会与非掺杂多晶硅层250'接触。另外,金属互连结构中的层间介质层310形成在顶层硅230及绝缘层260'上方。

[0048] 比较可知,在同等制作条件下,实施例一中非掺杂多晶硅层250的厚度要大于实施例二中非掺杂多晶硅层250'的厚度。尽管如此,需指出的是,实施例二中非掺杂多晶硅层250'的厚度依然要大于在非掺杂多晶硅层250'中形成的反型层251的厚度。

[0049] 需强调的是,本发明绝缘体上硅射频器件中,填充有非掺杂多晶硅层及绝缘层的沟槽结构并不能仅仅局限于上述实施例一、实施例二及说明书附图,只要保证非掺杂多晶硅层能将暴露在沟槽中的高电阻率硅基板覆盖住,且绝缘层能将非掺杂多晶硅层与顶层硅隔离开,以避免非掺杂多晶硅层与顶层硅接触即可。例如,在其它实施例中,绝缘层260、260'可以伸入埋入氧化层220甚至是高电阻率硅基板210内,即绝缘层260、260'的下边缘可以不必局限于终止在顶层硅230与埋入氧化层220的界面处。

[0050] 虽然上述内容公开了多种绝缘体上硅射频器件结构,但考虑到实施例一中绝缘体



上硅射频器件的制作工艺最为简单且能与现有制作工艺兼容,因此,本发明仅提供了实施例一所述绝缘体上硅射频器件的一种制作方法。下面结合图4至图10来对绝缘体上硅射频器件的制作方法进行说明。

[0051] 首先,执行步骤S1:提供绝缘体上硅衬底。

[0052] 如图4所示,绝缘体上硅衬底200包括高电阻率硅基板210、顶层硅231及设置在高电阻率硅基板210与顶层硅231之间的埋入氧化层221。

[0053] 接着,执行步骤S2:在绝缘体上硅衬底中形成暴露出部分埋入氧化层的第一沟槽,在第一沟槽内填充绝缘层,在绝缘层中形成暴露出部分高电阻率硅基板的第二沟槽,在第二沟槽内填充非掺杂多晶硅层,残留的绝缘层将顶层硅与非掺杂多晶硅层隔离开。

[0054] 具体地,在一个实施例中,步骤S2包括:

[0055] 步骤S21:继续参考图4,在顶层硅231上形成垫氧化层410及位于垫氧化层410上的掩模层420。

[0056] 作为一个具体的实施例,可利用热氧化法形成垫氧化层410,利用化学气相沉积法(CVD)形成掩模层420。

[0057] 步骤S22:结合图4及图5所示,在掩模层420上形成第一图形化光刻胶层430,以第一图形化光刻胶层430为掩模进行刻蚀,形成图形化的掩模层421及垫氧化层411,并在绝缘体上硅衬底200中形成暴露出部分埋入氧化层221的第一沟槽242'。

[0058] 作为一个具体的实施例,可利用干法刻蚀形成第一沟槽242'。第一沟槽242'的底壁设置在埋入氧化层221与顶层硅230的界面处,第一沟槽242'形成之后,图4所示顶层硅231成为图形化的顶层硅,即为图5所示顶层硅230。

[0059] 步骤S23:如图6所示,去除图5中残留的第一图形化光刻胶层430,在图形化的掩模层421上及图5所示第一沟槽242'内形成绝缘层,利用化学机械研磨(CMP)工艺去除超出图形化的掩模层421表面的绝缘层。

[0060] 作为一个具体的实施例,可利用化学气相沉积法形成绝缘层。化学机械研磨工艺之后,图形化的掩模层421表面的绝缘层被去除,且图5所示第一沟槽242'外多余的绝缘层也同时被去除,填充在图5所示第一沟槽242'的绝缘层为绝缘层261。

[0061] 步骤S24:如图7所示,化学机械研磨之后,在图形化的掩模层421及图6所示绝缘层261上形成第二图形化光刻胶层440,以第二图形化光刻胶层440为掩模进行刻蚀,在图6所示绝缘层261中形成暴露出部分高电阻率硅基板210的第二沟槽243',且暴露在第二沟槽242'(参考图5所示)中的埋入氧化层220上残留有绝缘层262。

[0062] 作为一个具体的实施例,可利用干法刻蚀形成第二沟槽243'。第二沟槽243'的底壁可设置在埋入氧化层220与高电阻率硅基板210的界面处,即第二沟槽243'的刻蚀过程停止在埋入氧化层220与高电阻率硅基板210的界面处;第二沟槽243'的底壁可设置在高电阻率硅基板210内,即第二沟槽243'的刻蚀过程停止在高电阻率硅基板210内。考虑到如果第二沟槽243'的刻蚀过程停止在埋入氧化层220与高电阻率硅基板210的界面处时,高电阻率硅基板210的表面常常会残留埋入氧化层220,这样,后续在暴露在第二沟槽243'中的高电阻率硅基板210上形成非掺杂多晶硅层之后,非掺杂多晶硅层与高电阻率硅基板210之间还存在残留的埋入氧化层220,与非掺杂多晶硅层与高电阻率硅基板210之间没有埋入氧化层220的情况相比,残留的埋入氧化层220会使高电阻率硅基板210和非掺杂多晶硅层的有效

电接触下降,最严重的情况下,高电阻率硅基板210和非掺杂多晶硅层被残留的埋入氧化层220完全隔开,造成高电阻率硅基板210和非掺杂多晶硅层电学开路,进而导致非掺杂多晶硅层抑制高电阻率硅基板210表面电阻下降的作用消失。因此,在本发明的优选实施例中,采用过刻蚀形成第二沟槽243',即第二沟槽243'的底壁设置在高电阻率硅基板210内。

[0063] 第二沟槽243'的宽度小于第一沟槽242'(参考图5所示),暴露在第二沟槽242'中的埋入氧化层220上残留有绝缘层262。

[0064] 步骤S25:如图8所示,去除图7中残留的第二图形化光刻胶层440,在图形化的掩模层421、绝缘层262及暴露在图7所示第二沟槽243'中的高电阻率硅基板210上形成非掺杂多晶硅层251。

[0065] 作为一个具体的实施例,可利用化学气相沉积法形成非掺杂多晶硅层251。

[0066] 步骤S26:如图9所示,利用化学机械研磨工艺去除超出图形化的掩模层421表面的非掺杂多晶硅层。

[0067] 化学机械研磨工艺之后,图形化的掩模层421表面的非掺杂多晶硅层被去除,且图7所示第二沟槽243'外多余的非掺杂多晶硅层也同时被去除,填充在图7所示第二沟槽243'的非掺杂多晶硅层为非掺杂多晶硅层252。

[0068] 步骤S27:如图10所示,去除图9所示图形化的掩模层421、垫氧化层411,并去除超出顶层硅230表面的非掺杂多晶硅层。

[0069] 此步骤之后,残留的绝缘层为绝缘层260,残留的非掺杂多晶硅层为非掺杂多晶硅层250。绝缘层260将顶层硅230与非掺杂多晶硅层250隔离开,以避免顶层硅230与非掺杂多晶硅层250接触,且整个绝缘层260覆盖在暴露在第二沟槽242'(参照图5所示)中的埋入氧化层220上。

[0070] 接着,执行步骤S3:在顶层硅、绝缘层及非掺杂多晶硅层上形成金属互连结构,金属互连结构包括形成在顶层硅、绝缘层及非掺杂多晶硅层上的层间介质层及位于层间介质层上的金属层。

[0071] 如图2所示,在顶层硅230、绝缘层260及非掺杂多晶硅层250上形成层间介质层310,然后在层间介质层310中形成填充有金属的接触孔(未图示),然后在层间介质层310及接触孔上形成金属层320。可以在绝缘体上硅衬底200上形成一层或以上的金属互连结构。

[0072] 在上述绝缘体上硅射频器件制作方法的所有实施例中,绝缘层的材料可为氧化硅;另外,在顶层硅230、绝缘层260及非掺杂多晶硅层250上形成层间介质层310之前,还包括在顶层硅230中形成两个或以上的有源区的步骤,相邻两个有源区被第二沟槽242'(结合图5所示)隔离开。

[0073] 上述通过实施例的说明,应能使本领域专业技术人员更好地理解本发明,并能够再现和使用本发明。本领域的专业技术人员根据本文中所述的原理可以在不脱离本发明的实质和范围的情况下对上述实施例作各种变更和修改是显而易见的。因此,本发明不应被理解为限制于本文所示的上述实施例,其保护范围应由所附的权利要求书来界定。

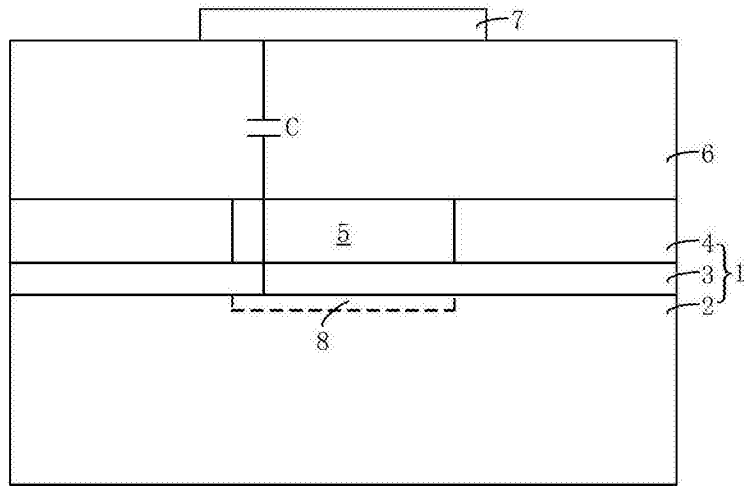


图1

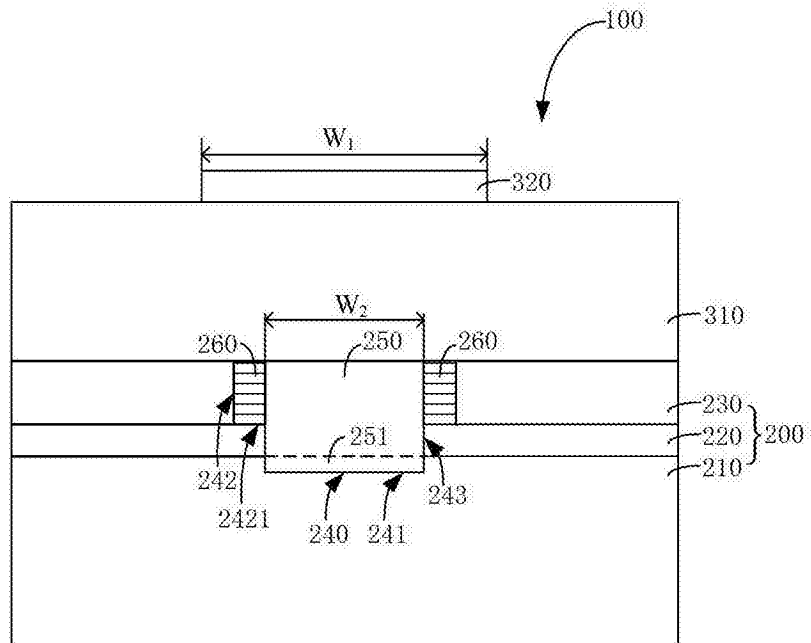


图2

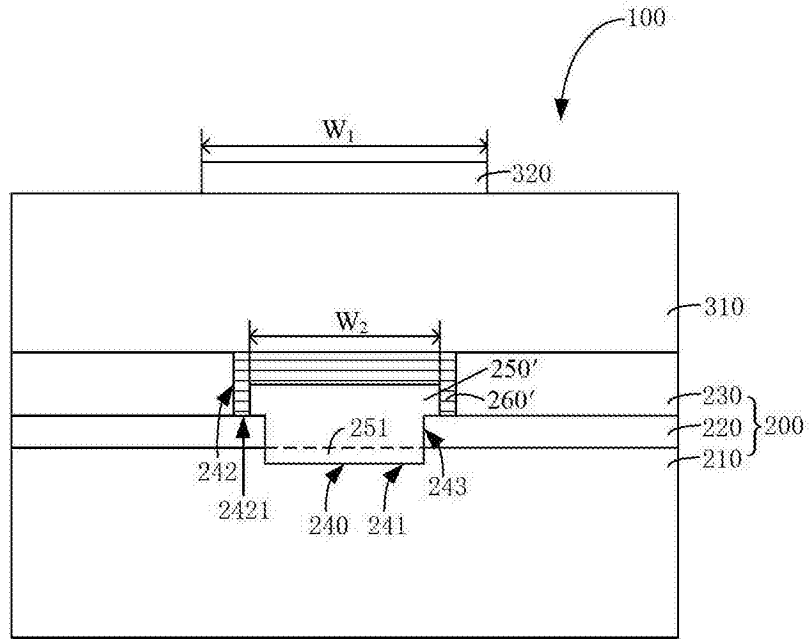


图3

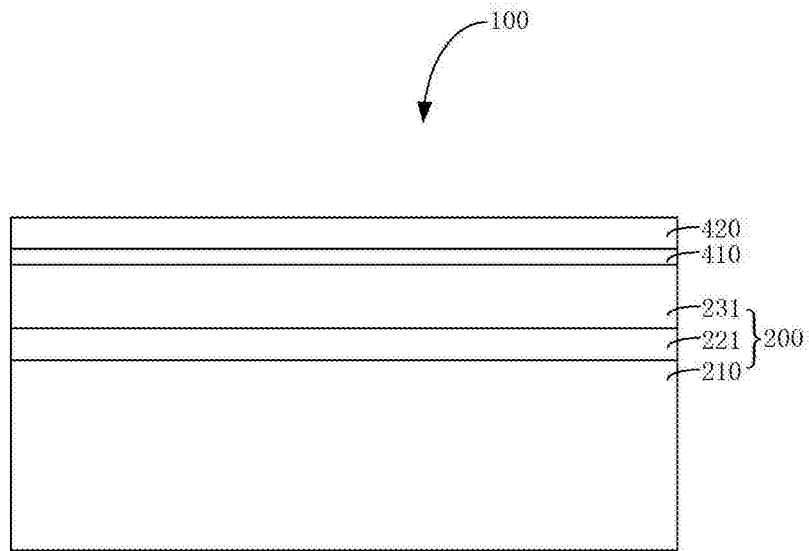


图4

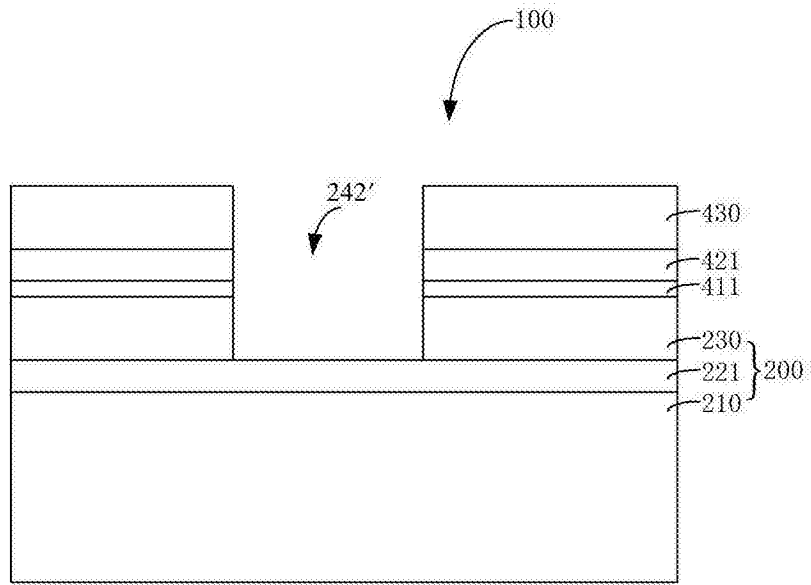


图5

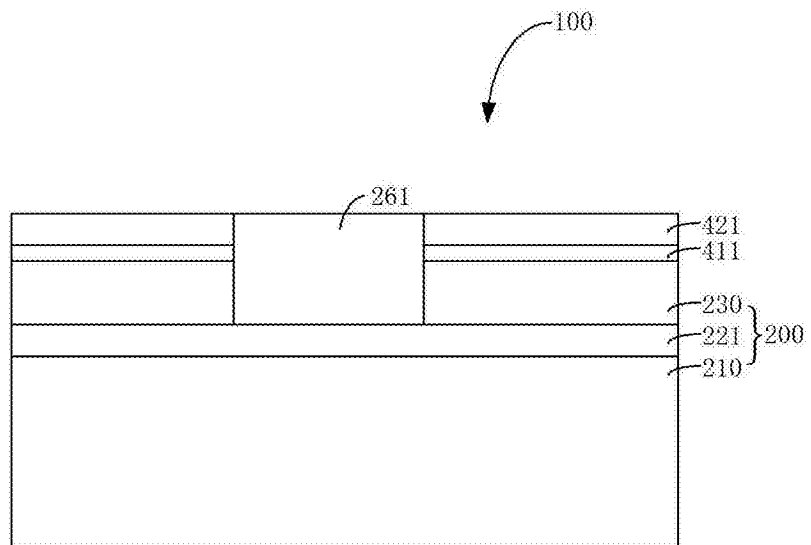


图6

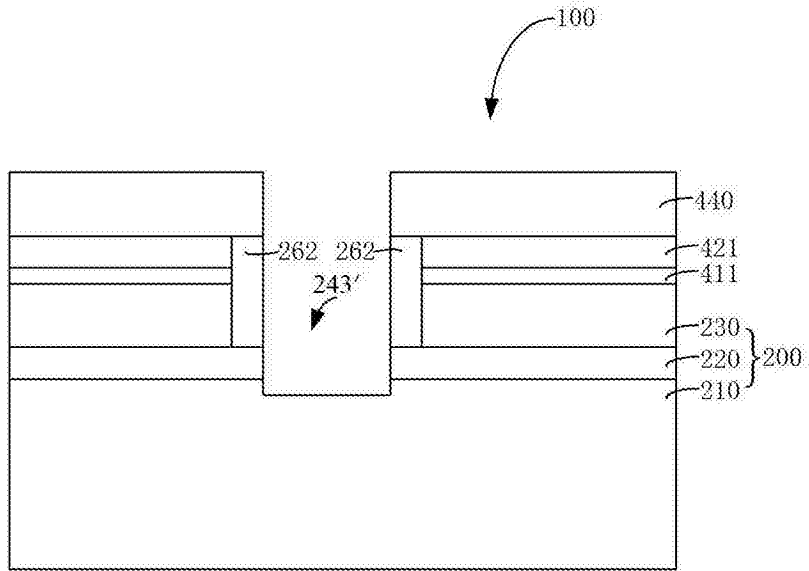


图7

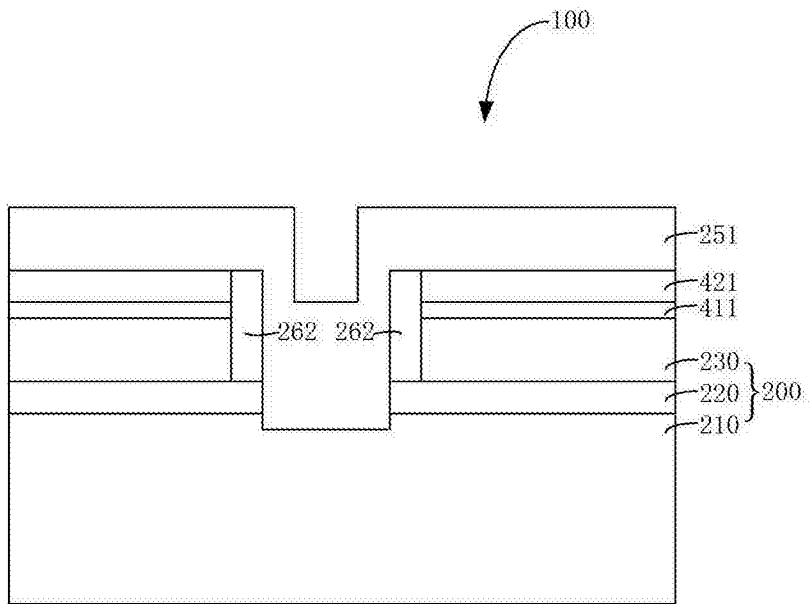


图8

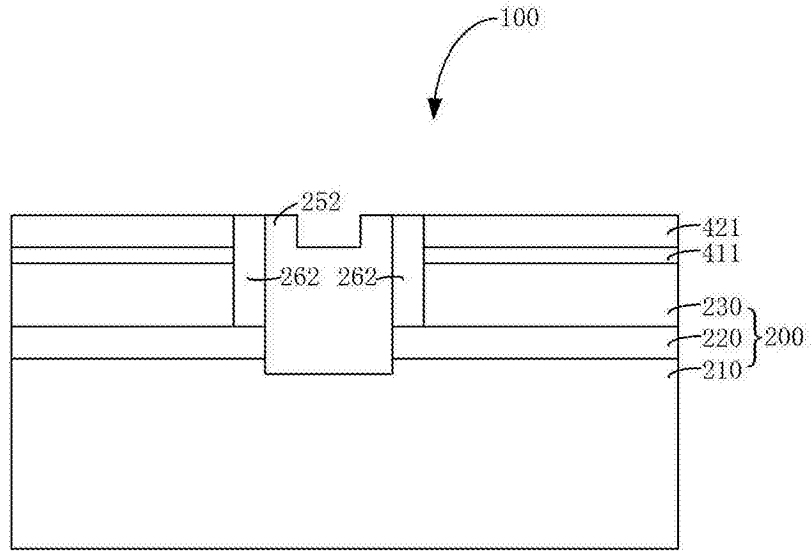


图9

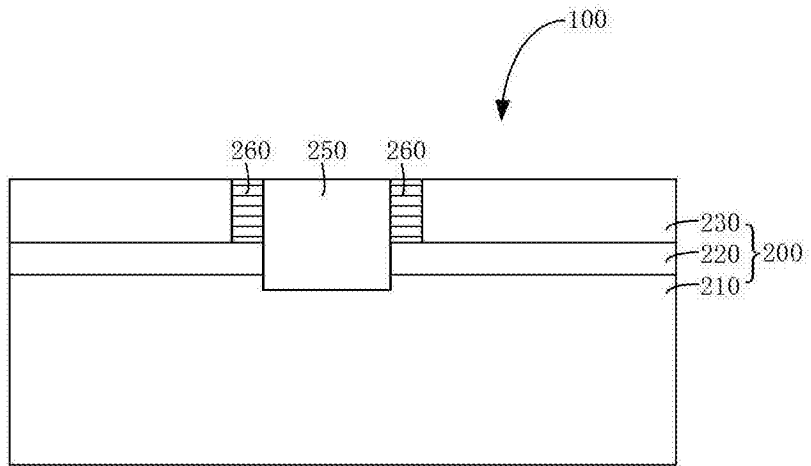


图10