

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6434168号
(P6434168)

(45) 発行日 平成30年12月5日(2018.12.5)

(24) 登録日 平成30年11月16日(2018.11.16)

(51) Int. Cl. F I
GO6F 12/1027 (2016.01) GO6F 12/1027 I O 5
GO6F 12/1081 (2016.01) GO6F 12/1081

請求項の数 24 (全 25 頁)

<p>(21) 出願番号 特願2017-556872 (P2017-556872)</p> <p>(86) (22) 出願日 平成28年6月24日(2016.6.24)</p> <p>(65) 公表番号 特表2018-526696 (P2018-526696A)</p> <p>(43) 公表日 平成30年9月13日(2018.9.13)</p> <p>(86) 国際出願番号 PCT/US2016/039333</p> <p>(87) 国際公開番号 W02017/019216</p> <p>(87) 国際公開日 平成29年2月2日(2017.2.2)</p> <p>審査請求日 平成30年6月12日(2018.6.12)</p> <p>(31) 優先権主張番号 14/810,062</p> <p>(32) 優先日 平成27年7月27日(2015.7.27)</p> <p>(33) 優先権主張国 米国 (US)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 502208397 グーグル エルエルシー アメリカ合衆国 カリフォルニア州 94043 マウンテンビュー アンフィシアター パークウェイ 1600</p> <p>(74) 代理人 110001195 特許業務法人深見特許事務所</p> <p>(72) 発明者 セレブリン, ベンジャミン・シイ アメリカ合衆国、94043 カリフォルニア州、マウンテン・ビュー、アンフィシアター・パークウェイ、1600</p> <p>審査官 後藤 彰</p>
--	--

最終頁に続く

(54) 【発明の名称】 スイッチへのアドレスキャッシュ

(57) 【特許請求の範囲】

【請求項1】

バスに接続された1つ以上のデバイスからパケットを受信し前記1つ以上のデバイスにパケットを渡すスイッチを備え、前記スイッチと前記1つ以上のデバイスの各々の間における前記バス上にコンポーネントは存在しておらず、

前記スイッチに組込まれ仮想アドレスから物理アドレスへのマッピングを格納するためのメモリと、

前記スイッチに組込まれ前記スイッチによって実行可能な命令を格納する非一時的なコンピュータ読取可能な記憶媒体とを備え、前記命令は実行されると前記スイッチに複数の動作を実行させ、前記複数の動作は、

前記スイッチが、前記バスによって前記スイッチに接続されているデバイスのためのアドレス変換要求に対する応答を受信することを含み、前記応答は、仮想アドレスから物理アドレスへのマッピングを含み、前記複数の動作は、

前記デバイスのための前記アドレス変換要求に対する前記応答を受信したことに応じて、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記メモリに格納することと、

特定の物理アドレスを含むメモリアクセス要求を前記デバイスから受信することと、前記特定の物理アドレスは前記メモリに格納されていると判断することと、

前記特定の物理アドレスは前記メモリに格納されていると判断したことに応じて、前記メモリアクセス要求をサービスのために別のデバイスに転送することとを含む、システ

ム。

【請求項 2】

前記スイッチに組込まれ I O M M U メモリを含む入出力メモリ管理ユニット (I O M M U) を備え、

前記メモリは前記 I O M M U メモリを含み、

前記スイッチが、前記デバイスのためのアドレス変換要求に対する応答を受信することは、前記スイッチが、前記デバイスのためのページテーブルの一部を受信することを含み、

前記仮想アドレスから前記物理アドレスへの前記マッピングを前記メモリに格納することは、前記ページテーブルの前記一部を前記 I O M M U に格納することを含む、請求項 1 に記載のシステム。

10

【請求項 3】

前記メモリは変換ルックアサイドバッファ (T L B) を含み、

前記仮想アドレスから前記物理アドレスへの前記マッピングを前記メモリに格納することは、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記 T L B に格納することを含む、請求項 1 に記載のシステム。

【請求項 4】

前記スイッチのための予め定められた数のポートを備え、前記ポートは各々、特定のデバイスに対応し、前記スイッチは、前記特定のデバイスに対して 1 つの T L B を含む、請求項 3 に記載のシステム。

20

【請求項 5】

前記複数の動作は、

前記デバイスのための前記アドレス変換要求に対する前記応答を受信したことに応じて、前記 T L B は空の場所を含まないと判断することと、

前記 T L B 内の場所からエントリを削除することと、

前記 T L B 内の前記場所に、前記仮想アドレスを前記物理アドレスにマッピングする新たなエントリを格納することを含む、請求項 3 に記載のシステム。

【請求項 6】

前記複数の動作は、

仮想アドレスから物理アドレスへのマッピングを前記デバイスが前記デバイスの T L B に現在格納していることを前記デバイスに固有の設定が示すと判断することと、

仮想アドレスから物理アドレスへのマッピングを前記デバイスが前記デバイスの T L B に現在格納していることを前記デバイスに固有の設定が示すと判断したことに応じて、前記デバイスの T L B からエントリを削除することを前記デバイスに指示するメッセージを前記デバイスに送信することと、

仮想アドレスから物理アドレスへのマッピングを前記デバイスが前記デバイスの T L B に現在格納していることを前記デバイスに固有の設定が示すと判断したことに応じて、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記デバイスに与えることとを含む、請求項 3 に記載のシステム。

30

【請求項 7】

前記複数の動作は、前記デバイスが前記デバイスの T L B から前記エントリを削除したという確認を、前記デバイスから受信することを含み、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記デバイスに与えることは、前記デバイスが前記デバイスの T L B から前記エントリを削除したという確認を受信したことに応じて、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記デバイスに与えることを含む、請求項 6 に記載のシステム。

40

【請求項 8】

前記スイッチは、前記デバイスを含む 2 つ以上のデバイスからパケットを受信し前記 2 つ以上のデバイスにパケットを渡し、前記 2 つ以上のデバイスは各々バスに接続されており、前記スイッチと前記 2 つ以上のデバイス各々との間における前記バス上にコンポーネ

50

ントは存在しておらず、

前記メモリは、前記デバイスに固有のメモリであり、前記バスによって前記スイッチに接続され前記２つ以上のデバイスに含まれるその他のデバイスのための仮想アドレスから物理アドレスへのマッピングを含まず、

前記システムは、１つ以上の追加のメモリを備え、前記１つ以上の追加のメモリは各々

、
a) 前記デバイス以外の前記２つ以上のデバイスのうちの特定のデバイスに固有であり、

b) 前記バスによって前記スイッチに接続され前記２つ以上のデバイスに含まれるその他のデバイスのための仮想アドレスから物理アドレスへのマッピングを含まない、請求項 1 に記載のシステム。

10

【請求項 9】

前記スイッチに組込まれている１つ以上の追加のメモリを備え、前記追加のメモリ各々と、特定のデバイスに固有の前記メモリとは、前記バスによって前記スイッチに接続されており、

前記特定の物理アドレスが前記メモリに格納されていると判断することは、

前記スイッチにおける特定のポートが前記メモリアクセス要求を受信したと判断することと、

前記メモリと前記追加のメモリとを含む群から、前記特定のポートを用いて前記デバイスのための前記メモリを選択することと、

20

前記特定のポートを用いて前記デバイスのための前記メモリを選択したことに応じて、前記特定の物理アドレスが前記メモリに格納されていると判断することとを含む、請求項 1 に記載のシステム。

【請求項 10】

中央処理装置と、

キャッシュとを備え、

前記デバイスのためのアドレス変換要求に対する応答を受信することは、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記キャッシュから受信することを含み、

前記メモリアクセス要求をサービスのために別のデバイスに転送することは、前記メモリアクセス要求を前記中央処理装置に転送することを含む、請求項 1 に記載のシステム。

30

【請求項 11】

第 2 のバス上のコントローラを備え、前記コントローラは、前記第 2 のバスを介して、前記スイッチを、前記中央処理装置および前記キャッシュに接続し、前記スイッチと前記中央処理装置および前記キャッシュとの間でやり取りされる応答および要求を、前記第 2 のバスを用いてルーティングする、請求項 10 に記載のシステム。

【請求項 12】

前記コントローラはルートコンプレックスを含む、請求項 11 に記載のシステム。

【請求項 13】

前記スイッチを含む複数のスイッチと、

40

第 2 のバス上のコントローラとを備え、前記コントローラは、前記第 2 のバスを介して、前記複数のスイッチ各々を、前記中央処理装置および前記キャッシュに接続し、前記複数のスイッチ各々と前記中央処理装置および前記キャッシュとの間でやり取りされる応答および要求を、前記第 2 のバスを用いてルーティングする、請求項 10 に記載のシステム。

【請求項 14】

マザーボードと、

前記マザーボードに組込まれている前記バスとを備え、前記マザーボードに対し、前記スイッチは、ソースデバイスからの要求を宛先デバイスにルーティングすることにより、周辺装置が前記マザーボードに接続することを可能にするように構成されている、請求項

50

1に記載のシステム。

【請求項15】

バスに接続された1つ以上のデバイスからパケットを受信し前記1つ以上のデバイスにパケットを渡すスイッチを備え、前記スイッチと前記1つ以上のデバイス各々との間における前記バス上にコンポーネントは存在しておらず、

前記スイッチに組込まれ仮想アドレスから物理アドレスへのマッピングを格納するためのメモリと、

前記スイッチに組込まれ前記スイッチによって実行可能な命令を格納する非一時的なコンピュータ読取可能な記憶媒体とを備え、前記命令は実行されると前記スイッチに複数の動作を実行させ、前記複数の動作は、

前記スイッチが、前記バスによって前記スイッチに接続されているデバイスのためのアドレス変換要求に対する応答を受信することを含み、前記応答は、仮想アドレスから物理アドレスへのマッピングを含み、

前記デバイスのための前記アドレス変換要求に対する前記応答を受信したことに応じて、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記メモリに格納することと、

特定の物理アドレスを含むメモリアクセス要求を前記デバイスから受信することと、

前記仮想アドレスから前記物理アドレスへの前記マッピングを含む前記メモリからのデータを用いて、前記デバイスは前記特定の物理アドレスによって特定される記憶場所にアクセスすることを許可されないと判断することと、

前記デバイスは前記特定の物理アドレスによって特定される記憶場所にアクセスすることを許可されないと判断したことに応じて、前記メモリアクセス要求を破棄することと、

前記デバイスは前記特定の物理アドレスによって特定される記憶場所にアクセスすることを許可されないと判断したことに応じて、前記デバイスをリセットすることとを含む、システム。

【請求項16】

前記複数の動作は、

前記スイッチが、前記デバイスから、前記仮想アドレスを含む前記アドレス変換要求を受信することと、

前記仮想アドレスは前記メモリに格納されていないと判断することと、

前記仮想アドレスから前記物理アドレスへの前記マッピングを要求することとを含み、前記スイッチが、前記デバイスのためのアドレス変換要求に対する応答を受信することは、前記仮想アドレスから前記物理アドレスへの前記マッピングを要求したことに応じて、前記応答を受信することを含む、請求項1に記載のシステム。

【請求項17】

前記複数の動作は、

前記仮想アドレスから前記物理アドレスへの前記マッピングを用いて、前記仮想アドレスに対応する物理アドレスを求めることと、

前記対応する物理アドレスを含む、前記アドレス変換要求に対する第2の応答を、前記デバイスに与えることとを含む、請求項16に記載のシステム。

【請求項18】

前記複数の動作は、前記仮想アドレスから前記物理アドレスへの前記マッピングを要求すると同時に、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記メモリが含むか否かを判断することを含む、請求項16に記載のシステム。

【請求項19】

前記仮想アドレスから前記物理アドレスへの前記マッピングを要求することは、前記仮想アドレスから前記物理アドレスへの前記マッピングを中央処理装置に要求することを含む、請求項16に記載のシステム。

【請求項20】

10

20

30

40

50

前記仮想アドレスから前記物理アドレスへの前記マッピングを要求することは、前記仮想アドレスから前記物理アドレスへの前記マッピングをメモリに要求することを含む、請求項 16 に記載のシステム。

【請求項 21】

前記仮想アドレスから前記物理アドレスへの前記マッピングを要求することは、前記仮想アドレスから前記物理アドレスへの前記マッピングを入出力メモリ管理ユニット (I O M M U) に要求することを含む、請求項 16 に記載のシステム。

【請求項 22】

前記スイッチに組込まれた予め定められた数のポートを備え、前記ポートは各々、特定のデバイスに対応し、前記特定のデバイスに対し、前記メモリは、仮想アドレスから物理アドレスへの対応するマッピングを格納するように構成され、前記メモリのサイズは前記予め定められた数のポートに対応する、請求項 1 に記載のシステム。

【請求項 23】

コンピュータによって実現される方法であって、

スイッチが、バスによって前記スイッチに接続されているデバイスのためのアドレス変換要求に対する応答を受信するステップを含み、前記スイッチは、前記バスに接続された 1 つ以上のデバイスからパケットを受信し前記 1 つ以上のデバイスにパケットを渡し、前記スイッチと前記 1 つ以上のデバイス各々との間における前記バス上にコンポーネントは存在しておらず、前記応答は、仮想アドレスから特定の物理アドレスへのマッピングを含み、

前記デバイスのための前記アドレス変換要求に対する前記応答を受信したことに応じて、前記スイッチに組込まれ仮想アドレスから物理アドレスへのマッピングを格納するためのメモリに、前記仮想アドレスから前記物理アドレスへのマッピングを格納するステップと、

仮想アドレスから物理アドレスへのマッピングを前記デバイスが前記デバイスの変換ルックアサイドバッファ (T L B) に現在格納していることを、前記デバイスに固有の前記スイッチの設定が示すと判断するステップとを含み、前記スイッチの設定は前記スイッチに組み込まれたメモリに格納されており、

仮想アドレスから物理アドレスへのマッピングを前記デバイスが前記デバイスの変換ルックアサイドバッファ (T L B) に現在格納していることを、前記デバイスに固有の前記スイッチの設定が示すと判断したことに応じて、前記デバイスの T L B からエントリを削除することを前記デバイスに指示するメッセージを前記デバイスに送信するステップと、

仮想アドレスから物理アドレスへのマッピングを前記デバイスが前記デバイスの変換ルックアサイドバッファ (T L B) に現在格納していることを、前記デバイスに固有の前記スイッチの設定が示すと判断したことに応じて、前記仮想アドレスから前記物理アドレスへの前記マッピングを前記デバイスに与えるステップとを含む、方法。

【請求項 24】

前記デバイスは前記特定の物理アドレスによって特定される記憶場所にアクセスすることを許可されないと判断することは、前記特定の物理アドレスは前記メモリに格納されていないと判断することを含む、請求項 15 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

背景

本明細書は、スイッチ、たとえばスイッチチップに関する。

【背景技術】

【0002】

入出力メモリ管理ユニット (input/output memory management unit) (I O M M U) は、変換要求に応じて、仮想マシンを走らせるシステムにおける保護のために、ページテーブルウォークを行なってデバイスアドレスを変換する。いくつかの例において、I O M

10

20

30

40

50

MUは、部分ページウォークキャッシュを行なう場合がある。部分ページウォークキャッシュを行なうのは、たとえば、a)利用できるメモリが限られているときに空間を節約するため、b)IOMMUが多数のデバイスのための変換要求に応じるとき、または、これら双方の場合である。

【0003】

周辺コンポーネント相互接続エクスプレス(Peripheral Component Interconnect Express)(PCIe)アドレス変換サービス(address translation service)(ATS)により、デバイスは、IOMMUにアドレス変換を要求し、この変換を当該デバイス上に、たとえば変換ルックアサイドバッファ(translation lookaside buffer)(TLB)に、ローカルキャッシュすることができる。いくつかの場合において、デバイスのTLBは、このデバイスが使用するであろうすべての仮想アドレス-物理アドレスマッピングを格納するのに十分な大きさではない場合がある。

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

概要

バス、たとえばPCIまたは周辺コンポーネント相互接続エクスプレス(PCIe)バスに対して使用されるスイッチチップは、変換されたアドレスを受信し、この変換されたアドレスを使用して、当該スイッチチップによって少なくとも一部が管理される上記バスに接続されているデバイスからのメモリアクセス要求が有効であるか否かを検査する。たとえば、スイッチチップは、ページテーブルをキャッシュに格納し、または、仮想アドレスから物理アドレスへのマッピングを変換ルックアサイドバッファ(TLB)に格納し、このページテーブルまたはTLBからのアドレスを用いることにより、当該スイッチチップによって少なくとも一部が管理される上記バスに接続されているデバイスからの変換要求に応じるか、これらのデバイスからのアクセス要求を検査するか、またはこれら双方を行なう。簡略化のために、本明細書では、「スイッチチップに接続されている」デバイスと言う場合、これは、メモリ要求およびアドレス変換要求が少なくとも一部スイッチチップによって制御または管理される、バスへの接続、または、ポイント・ツー・ポイント接続を意味すると理解される。

20

【0005】

スイッチチップは、デバイスごとにページテーブルまたはページテーブルの一部を格納する入出力メモリ管理ユニット(IOMMU)を含み得る。スイッチチップは、デバイスから変換要求を受けると、組込まれているIOMMUにこの変換要求を与え、それに応じた組込まれているIOMMUから物理アドレスを受け、上記デバイスにこの物理アドレスを与えることができる。

30

【0006】

スイッチチップは、物理アドレスを含むメモリアクセス要求をデバイスから受けると、組込まれているIOMMUに格納されているこのデバイス用のページテーブルを用いて、このページテーブルが上記物理アドレスを含むか否かを検査し、含む場合、上記デバイスは、対応する記憶場所にアクセスすることができる。ページテーブルが上記物理アドレスを含まない場合、スイッチチップは、デバイスが上記記憶場所にアクセスすることを阻止する。

40

【0007】

いくつかの例において、スイッチチップは、TLB、たとえばキャッシュを含む。スイッチチップは、TLB、たとえばキャッシュに、仮想アドレスを物理アドレスにマッピングするテーブルを、たとえばデバイスごとに格納する。スイッチチップは、個々のテーブルをデバイスに対応付けてもよく、この対応付けは、当該デバイスがこのスイッチチップと通信するときのポート番号を用いて行なわれてもよい。

【0008】

スイッチチップは、デバイスから特定の仮想アドレスとともにアドレス変換要求を受け

50

ると、TLBがこの特定の仮想アドレスのマッピングを含むか否かを判断し、含む場合は、対応する物理アドレスを当該デバイスに与える。含まない場合、スイッチチップは、このアドレス変換要求を別のデバイス、たとえばルートコンプレックスに転送し、この別のデバイスから応答を受信する。スイッチチップは、この応答を、要求を出したデバイスに転送するとともに、TLBにキャッシュする。スイッチチップがデバイスごとにTLBを含む場合、スイッチは、当該デバイスのTLBの中だけを調べてマッピングを探してもよく、このマッピングがTLBに格納されていない場合は、上記別のデバイスから受けたマッピングを当該デバイス用のTLBに格納する。

【0009】

スイッチチップは、デバイスからアクセス要求を受けると、当該デバイス用のTLBを用いて、このアクセス要求に含まれる物理アドレスによって特定される記憶場所に当該デバイスがアクセスできるか否かを検査する、たとえば、上記物理アドレスが当該デバイスのTLBに含まれているか否かを検査する。上記物理アドレスが当該デバイスのTLBに含まれている場合、スイッチチップは、当該デバイスが上記記憶場所にアクセスすることを許可する。上記物理アドレスが当該デバイスのTLBに含まれていない場合、スイッチチップは、当該デバイスが上記記憶場所にアクセスすることを阻止し、たとえば、この要求を別のデバイスに転送しない。

【課題を解決するための手段】**【0010】**

概して、本明細書に記載の主題のある革新的な側面は、以下のシステムにおいて実現することができる。このシステムは、バスに接続された1つ以上のデバイスからパケットを受信し当該1つ以上のデバイスにパケットを渡すスイッチを備え、スイッチとデバイス各々との間におけるバス上にコンポーネントは存在していない。上記システムはさらに、スイッチに組込まれ仮想アドレスから物理アドレスへのマッピングを格納するためのメモリと、スイッチに組込まれスイッチによって実行可能な命令を格納する非一時的なコンピュータ読取可能な記憶媒体とを備える。命令は実行されるとスイッチに複数の動作を実行させ、複数の動作は、スイッチが、バスによってスイッチに接続されているデバイスのためのアドレス変換要求に対する応答を受信することを含み、応答は、仮想アドレスから物理アドレスへのマッピングを含み、上記複数の動作は、デバイスのためのアドレス変換要求に対する応答を受信したことに応じて、仮想アドレスから物理アドレスへのマッピングをメモリに格納することを含む。この側面のその他の実施形態は、対応するコンピュータシステム、装置、方法、および、1つ以上のコンピュータ記憶装置に記録されたコンピュータプログラムを含み、これらは各々上記動作の処理を実行するように構成されている。1つ以上のコンピュータからなるシステムを、システムにインストールされ動作時にこのシステムに処理を実行させる、ソフトウェア、ファームウェア、ハードウェア、またはこれらを組合わせたものによって、特定の動作または処理を実行するように構成してもよい。1つ以上のコンピュータプログラムを、データ処理装置によって実行されるとこの装置に処理を実行させる命令を含むことによって、特定の動作または処理を実行するように構成してもよい。

【0011】

概して、本明細書に記載の主題のある革新的な側面は、以下のシステムによって実現することができる。このシステムは、バスを通してパケットをルーティングするスイッチと、スイッチに組込まれ仮想アドレスから物理アドレスへのマッピングを格納するためのメモリと、スイッチに組込まれスイッチによって実行可能な命令を格納する非一時的なコンピュータ読取可能な記憶媒体とを備える。命令は、そのように実行されると、スイッチに以下の動作を実行させる。上記複数の動作は、スイッチが、デバイスのためのアドレス変換要求に対する、仮想アドレスから物理アドレスへのマッピングを含む応答を、受信することと、デバイスのためのアドレス変換要求に対する応答を受信したことに応じて、仮想アドレスから物理アドレスへのマッピングをメモリに格納することと、特定の物理アドレスを含むメモリアクセス要求をデバイスから受信することと、特定の物理アドレスがメモ

10

20

30

40

50

りに格納されていると判断することと、特定の物理アドレスがメモリに格納されていると判断したことに応じて、メモリアクセス要求をサービスのために別のデバイスに転送することを含む。この側面のその他の実施形態は、対応するコンピュータシステム、装置、方法、および、1つ以上のコンピュータ記憶装置に記録されたコンピュータプログラムを含み、これらは各々上記動作の処理を実行するように構成されている。1つ以上のコンピュータからなるシステムを、システムにインストールされ動作時にこのシステムに処理を実行させる、ソフトウェア、ファームウェア、ハードウェア、またはこれらを組合わせたものによって、特定の動作または処理を実行するように構成してもよい。1つ以上のコンピュータプログラムを、データ処理装置によって実行されるとこの装置に処理を実行させる命令を含むことによって、特定の動作または処理を実行するように構成してもよい。

10

【0012】

概して、本明細書に記載の主題のある革新的な側面は、以下のシステムによって実現することができる。このシステムは、バスを通してパケットをルーティングするスイッチと、スイッチに組込まれ仮想アドレスから物理アドレスへのマッピングを格納するためのメモリと、スイッチに組込まれスイッチによって実行可能な命令を格納する非一時的なコンピュータ読取可能な記憶媒体とを備える。命令は、そのように実行されると、スイッチに以下の動作を実行させる。上記複数の動作は、スイッチが、デバイスのためのアドレス変換要求に対する、仮想アドレスから物理アドレスへのマッピングを含む応答を、受信することと、デバイスのためのアドレス変換要求に対する応答を受信したことに応じて、仮想アドレスから物理アドレスへのマッピングをメモリに格納することと、特定の物理アドレスを含むメモリアクセス要求をデバイスから受信することと、特定の物理アドレスがメモリに格納されていないと判断することと、特定の物理アドレスがメモリに格納されていないと判断したことに応じて、メモリアクセス要求を破棄することを含む。この側面のその他の実施形態は、対応するコンピュータシステム、装置、方法、および、1つ以上のコンピュータ記憶装置に記録されたコンピュータプログラムを含み、これらは各々上記動作の処理を実行するように構成されている。1つ以上のコンピュータからなるシステムを、システムにインストールされ動作時にこのシステムに処理を実行させる、ソフトウェア、ファームウェア、ハードウェア、またはこれらを組合わせたものによって、特定の動作または処理を実行するように構成してもよい。1つ以上のコンピュータプログラムを、データ処理装置によって実行されるとこの装置に処理を実行させる命令を含むことによって、特定の動作または処理を実行するように構成してもよい。

20

30

【0013】

上記およびその他の実施形態は各々、任意で、以下の特徴のうちの1つ以上を、単独でまたは組合わせとして含み得る。上記システムは、スイッチに組込まれIOMMUメモリを含む入出力メモリ管理ユニット(IOMMU)を含み得る。メモリはIOMMUメモリを含み得る。スイッチが、デバイスのためのアドレス変換要求に対する応答を受信することは、スイッチが、デバイスのためのページテーブルの一部を受信することを含み得る。仮想アドレスから物理アドレスへのマッピングをメモリに格納することは、ページテーブルの一部をIOMMUに格納することを含み得る。

【0014】

いくつかの実装例において、メモリは変換ルックアサイドバッファ(TLB)を含み得る。仮想アドレスから物理アドレスへのマッピングをメモリに格納することは、仮想アドレスから物理アドレスへのマッピングをTLBに格納することを含み得る。システムは、スイッチのための予め定められた数のポートを含み得る。ポートは各々、特定のデバイスに対応し、スイッチは、特定のデバイスに対して1つのTLBを含む。上記複数の動作は、デバイスのためのアドレス変換要求に対する応答を受信したことに応じて、TLBが空の場所を含まないと判断することと、TLB内の場所からエントリを削除することと、TLB内の場所に、仮想アドレスを物理アドレスにマッピングする新たなエントリを格納することとを含み得る。上記複数の動作は、デバイスがTLBを含むと判断するとともに仮想アドレスから物理アドレスへのマッピングをデバイスがデバイスのTLBに現在格納し

40

50

ていることをデバイスのための設定が示すと判断することと、デバイスがTLBを含むと判断するとともに仮想アドレスから物理アドレスへのマッピングをデバイスがデバイスのTLBに現在格納していることをデバイスのための設定が示すと判断したことに応じて、デバイスのTLBからエントリを削除することをデバイスに指示するメッセージをデバイスに送信することと、デバイスがTLBを含むと判断するとともに仮想アドレスから物理アドレスへのマッピングをデバイスがデバイスのTLBに現在格納していることをデバイスのための設定が示すと判断したことに応じて、仮想アドレスから物理アドレスへのマッピングをデバイスに与えることとを含み得る。上記複数の動作は、デバイスがデバイスのTLBからエントリを削除したという確認を、デバイスから受信することを含み得る。仮想アドレスから物理アドレスへのマッピングをデバイスに与えることは、デバイスがデバイスのTLBからエントリを削除したという確認を受信したことに応じて、仮想アドレスから物理アドレスへのマッピングをデバイスに与えることを含む。

10

【0015】

いくつかの実装例において、上記複数の動作は、特定の物理アドレスを含むメモリアクセス要求をデバイスから受信することと、特定の物理アドレスがメモリに格納されていると判断することと、特定の物理アドレスがメモリに格納されていると判断したことに応じて、メモリアクセス要求をサービスのために別のデバイスに転送することとを含み得る。メモリは、デバイスに固有のメモリであってもよく、バスによってスイッチに接続されているその他のデバイスのための仮想アドレスから物理アドレスへのマッピングを含まなくてもよい。システムは、スイッチに組込まれている1つ以上の追加のメモリを含み得る。追加のメモリ各々と、特定のデバイスに固有のメモリとは、バスによってスイッチに接続されている。特定の物理アドレスがメモリに格納されていると判断することは、スイッチにおける特定のポートがメモリアクセス要求を受信したと判断することと、特定のポートを用いてデバイスのためのメモリを選択することと、特定のポートを用いてデバイスのためのメモリを選択したことに応じて、特定の物理アドレスがメモリに格納されていると判断することとを含み得る。システムは、中央処理装置とキャッシュとを含み得る。デバイスのためのアドレス変換要求に対する応答を受信することは、仮想アドレスから物理アドレスへのマッピングをキャッシュから受信することを含み得る。メモリアクセス要求をサービスのために別のデバイスに転送することは、メモリアクセス要求を中央処理装置に転送することを含み得る。システムは、第2のバス上のコントローラを含み得る。コントローラは、第2のバスを介して、スイッチを、中央処理装置およびキャッシュに接続し、スイッチと中央処理装置およびキャッシュとの間でやり取りされる応答および要求を、第2のバスを用いてルーティングする。コントローラはルートコンプレックスを含み得る。システムは、上記スイッチを含む複数のスイッチと、第2のバス上のコントローラとを含み得る。コントローラは、第2のバスを介して、複数のスイッチ各々を、中央処理装置およびキャッシュに接続し、複数のスイッチ各々と中央処理装置およびキャッシュとの間でやり取りされる応答および要求を、第2のバスを用いてルーティングする。

20

30

【0016】

いくつかの実装例において、システムは、マザーボードと、マザーボードに組込まれているバスとを備え、マザーボードに対し、スイッチは、ソースデバイスからの要求を宛先デバイスにルーティングすることにより、周辺装置がマザーボードに接続することを可能にするように構成されている。上記複数の動作は、特定の物理アドレスを含むメモリアクセス要求をデバイスから受信することと、デバイスは特定の物理アドレスによって特定される記憶場所にアクセスすることを許可されないと判断することと、デバイスは特定の物理アドレスによって特定される記憶場所にアクセスすることを許可されないと判断したことに応じて、メモリアクセス要求を破棄することとを含み得る。上記複数の動作は、特定の物理アドレスがメモリに格納されていないと判断したことに応じてデバイスをリセットすることを含み得る。

40

【0017】

いくつかの実装例において、上記複数の動作は、スイッチが、デバイスから、仮想アド

50

レスを含むアドレス変換要求を受信することと、仮想アドレスはメモリに格納されていないと判断することと、仮想アドレスから物理アドレスへのマッピングを要求することとを含み得る。スイッチが、デバイスのためのアドレス変換要求に対する応答を受信することは、仮想アドレスから物理アドレスへのマッピングを要求したことに応じて、応答を受信することを含む。上記複数の動作は、仮想アドレスから物理アドレスへのマッピングを用いて、仮想アドレスに対応する物理アドレスを求めることと、対応する物理アドレスを含む、変換要求に対する応答を、デバイスに与えることとを含み得る。上記複数の動作は、仮想アドレスから物理アドレスへのマッピングを要求すると同時に、仮想アドレスから物理アドレスへのマッピングをメモリが含むか否かを判断することを含み得る。仮想アドレスから物理アドレスへのマッピングを要求することは、仮想アドレスから物理アドレスへのマッピングを中央処理装置に要求することを含み得る。仮想アドレスから物理アドレスへのマッピングを要求することは、仮想アドレスから物理アドレスへのマッピングをメモリに要求することを含み得る。仮想アドレスから物理アドレスへのマッピングを要求することは、仮想アドレスから物理アドレスへのマッピングを入出力メモリ管理ユニット (I O M M U) に要求することを含み得る。

10

【 0 0 1 8 】

いくつかの実装例において、システムは、スイッチに組込まれた予め定められた数のポートを含み得る。ポートは各々、特定のデバイスに対応し、特定のデバイスに対し、メモリは、仮想アドレスから物理アドレスへの対応するマッピングを格納するように構成され、メモリのサイズは予め定められた数のポートに対応する。スイッチはスイッチチップであつてもよい。

20

【 0 0 1 9 】

本明細書に記載の主題は、特定の実施形態において実現することができ、その結果、以下の利点のうちの1つ以上が得られるであろう。いくつかの実装例において、システムは、仮想アドレスから物理アドレスへのマッピングを格納するメモリを有するスイッチチップを備えることにより、追加のスイッチチップが加えられるときにスケールアウトすることができる。たとえば、スイッチチップにより、システムは、当該スイッチチップによって少なくとも一部管理されるバスに接続されているより多くのデバイス、他のスイッチチップによって少なくとも一部管理されるバスに接続されているより多くのデバイス、またはこれら両方を、含むことができる。いくつかの実装例において、下記システムおよび方法により、システムは、仮想アドレスから物理アドレスへのマッピング用のメモリを有するスイッチチップを含まないシステムよりも素早く、アドレス変換要求に応じることができる。いくつかの実装例において、下記システムおよび方法により、システムは、デバイスからのメモリアクセス要求に含まれる特定の物理アドレスにデバイスがアクセスできるか否かを検査することができる。

30

【 0 0 2 0 】

本明細書の主題の1つ以上の実施形態の詳細は、添付の図面および以下の説明に記載されている。この主題のその他の特徴、側面、および利点は、以下の説明、図面、および請求項から明らかになるであろう。

【 図面の簡単な説明 】

40

【 0 0 2 1 】

【 図 1 】 仮想アドレスから物理アドレスへのマッピングをスイッチチップが格納する環境の一例を示す図である。

【 図 2 】 変換要求に応答するプロセスのフロー図である。

【 図 3 】 物理アドレスがメモリに格納されているか否かを判断するプロセスのフロー図である。

【 発明を実施するための形態 】**【 0 0 2 2 】**

各種図面において同様の参照番号および符号は同様の要素を示す。

詳細な説明

50

概観

いくつかの実装例において、スイッチチップ、たとえば周辺コンポーネント相互接続エクспレス (PCIe) スwitchチップは、当該スイッチチップが管理するバスに接続されているデバイスに代わってアドレス変換サービス (ATS) 変換をキャッシュする。たとえば、あるデバイスが、周辺コンポーネント相互接続 (PCI) 読出または書込要求を、バス上に出力した場合、スイッチチップは、この要求に含まれている仮想アドレスを求めて、当該スイッチチップに含まれている変換ルックアサイドバッファ (TLB) を調べ、ヒットした場合はこの仮想アドレスを変換して物理アドレスを求める。当該スイッチチップは、この物理アドレスを上記デバイスに与える、または、この物理アドレスを上記要求に含めてこの要求をたとえばサービスのために別のデバイスに転送することができる。

10

【0023】

TLBがミスの場合、スイッチチップは、ATS要求を、たとえば、別のバスによって当該スイッチチップに接続されているルートコンプレックス内の入出力メモリ管理ユニット (IOMMU) に、仮想アドレスの変換のために出力し、変換を受信し当該スイッチチップのTLBにキャッシュする。いくつかの実装例において、スイッチチップは、並列処理のために、仮想アドレスを求めてTLBをチェックしつつ、同時に未変換の元の要求をルートコンプレックスに送信してもよい。

【0024】

スイッチチップは、当該スイッチチップによって少なくとも一部が管理されるバスに接続されているデバイスへのPCIeコンフィギュレーション空間アクセスをインターセプトすることにより、ATSケイパビリティ (capability) ビットを強制的に1にすることができる、たとえば、ATSケイパビリティビットをイネーブルすることができる。そうすると、上記スイッチチップおよびデバイスを含むハードウェア上で実行されているオペレーティングシステムまたはこのオペレーティングシステムのデバイスドライバは、このデバイスのためのATSをイネーブルすることができる。このデバイスのためのATSがイネーブルされると、IOMMUは、アドレス変換要求、読出もしくは書込アクセス要求、またはこれら双方に応じて、上記スイッチチップおよびデバイス (このデバイスがATSをサポートする場合) に、仮想アドレスから物理アドレスへのマッピングを与える。

20

【0025】

いくつかの例において、オペレーティングシステムのデバイスドライバがデバイスのためのATSをイネーブルしたとき、このデバイスドライバは、オペレーティングシステムが、既知の信頼できるスイッチチップをホワイトリストに入れることを可能にする。たとえば、このデバイスドライバは、オペレーティングシステムが、メモリたとえばTLBを含むスイッチチップを含むハードウェア上で実行され仮想アドレス - 物理アドレスマッピングを格納することを可能にし、メモリを含まないスイッチチップが、仮想アドレス - 物理アドレスマッピングを格納することを可能にしてもよい。デバイスドライバは、メモリを含むスイッチチップをホワイトリストに入れることによってこれらのスイッチチップがマッピングを受信し得ることを示してもよく、これらのスイッチチップからの要求は検証不要であることを示してもよく、またはこれら両方であってもよい。

30

【0026】

たとえば、スイッチチップは、自身のメモリに格納されているマッピングを用いて、当該スイッチチップによって少なくとも一部が管理されるバスに接続されているデバイスから受けた読出要求、書込要求、またはこれら双方を検証してもよい。別のハードウェアデバイス、たとえばIOMMUまたはプロセッサが当該スイッチチップから要求を受けたとき、この別のハードウェアデバイスは、ホワイトリストを利用することにより、上記要求を検証すべきか否かを判断するとともに上記要求を出したデバイスが対応する記憶場所にアクセスすることを許可すべきか否かを判断してもよい。この別のハードウェアデバイスは、ホワイトリスト上にないスイッチチップから要求を受けたときは、この要求を検証することによって、上記要求を出したデバイスが、たとえば悪意があるデバイスである場合、間違ったソフトウェアを含む場合、またはこれら双方の場合に、このデバイスがアクセ

40

50

できない記憶場所にアクセスすることを許可されないことを保証してもよい。

【 0 0 2 7 】

いくつかの実装例において、スイッチチップたとえばP C I eスイッチチップは、I O M M Uを含み、任意でページテーブル記憶装置を含む。たとえば、スイッチチップは、ページテーブルウォーカーと、ページテーブルを格納するためのオンボードメモリとを含む。スイッチチップは、当該スイッチチップによって少なくとも一部が管理されるバスに接続されているデバイスからアドレス変換要求を受け、対応する物理アドレスがページテーブルに含まれているか否かを判断してもよい。含まれている場合、スイッチチップは、要求を出したデバイスに、対応する物理アドレスを与える。含まれていない場合、スイッチチップは、この要求を別のデバイスたとえばキャッシュまたはルートコンプレックスI O M M Uに転送し、この別のデバイスから受けた応答を、当該スイッチチップのメモリ、たとえばページテーブル記憶装置に格納してもよい。こうして当該スイッチチップは元の要求に応じることができる。

10

【 0 0 2 8 】

システムの例

図1は、仮想アドレスから物理アドレスへのマッピングをスイッチチップA 1 0 2 aが格納する環境1 0 0の一例である。いくつかの実装例において、スイッチチップA 1 0 2 aは、スイッチチップA 1 0 2 aがマッピングを格納するT L B 1 0 4を含む。

【 0 0 2 9 】

たとえば、デバイスA 1 0 8 a ~ デバイスC 1 0 8 cのうちの1つが環境1 0 0に追加されスイッチチップA 1 0 2 aにバス1 0 1を介して接続されると、スイッチチップA 1 0 2 aは、ポートアドレスを、このデバイス、たとえばデバイスA 1 0 8 aに割当てて。デバイスA 1 0 8 aが、仮想アドレスから物理アドレスへの変換を要求すると、スイッチチップA 1 0 2 aは、T L B 1 0 4が要求された仮想アドレスの変換を含むか否かを判断する。スイッチチップA 1 0 2 aは、最初に、T L B 1 0 4がアドレス変換を含んでいないと判断し、変換を、コントローラ1 1 0に、たとえばコントローラ1 1 0に含まれるI O M M U 1 1 2に、またはプロセッサ1 1 4もしくはキャッシュ1 1 6等の別のデバイスに要求してもよい。

20

【 0 0 3 0 】

いくつかの実装例において、環境1 0 0がP C I eバスを含む場合、たとえばバス1 0 1がP C I eバスである場合、コントローラ1 1 0はルートコンプレックスであってもよい。たとえば、ルートコンプレックスは、異なるスイッチチップA 1 0 2 a ~ スwitchチップC 1 0 2 c間でデータをルーティングしこれらスイッチチップに対する要求を管理するスイッチであってもよい。

30

【 0 0 3 1 】

スイッチチップA 1 0 2 aは、変換要求に対する応答を受け、要求された仮想アドレスに対する物理アドレスを求め、この物理アドレスをデバイスA 1 0 8 aに与える。いくつかの例において、上記応答は、仮想アドレスから物理アドレスへの1つのマッピングを含み得る。いくつかの例において、この応答は、複数の異なる仮想アドレスのマッピングを含み得る。これらのマッピングは、デバイスA 1 0 8 aに割当てられ、各々が、デバイスA 1 0 8 aがアクセスできる対応する物理アドレスに対するマッピングである。

40

【 0 0 3 2 】

スイッチチップA 1 0 2 aは、スイッチチップA 1 0 2 aが管理するバス1 0 1にデバイスA 1 0 8 aが接続されたときに、デバイスA 1 0 8 aのためのマッピングを要求してもよい。たとえば、スイッチチップA 1 0 2 aは、スイッチチップA 1 0 2 aが管理するバス1 0 1にデバイスA 1 0 8 aが接続されたときに、別のデバイス、たとえばコントローラ1 1 0に、予め定められた数のアドレス変換を要求してもよい。このアドレス変換は、数が小さい仮想アドレス、数が大きい仮想アドレス、デバイスA 1 0 8 aがアクセスする可能性が最も高い仮想アドレス、またはこれらのうちの2つ以上を組合わせたものに対するアドレス変換であってもよい。

50

【 0 0 3 3 】

スイッチチップ A 102 a は、仮想アドレスから物理アドレスへのマッピングを T L B 104 に格納すると、別のデバイスに変換を要求することなく、デバイス A 108 a からのアドレス変換要求に応じることができる。たとえば、スイッチチップ A 102 a は、特定の仮想アドレスについて、T L B 104 がこの特定の仮想アドレスから特定の物理アドレスへのマッピングを含むと判断してこの特定の物理アドレスをデバイス A 108 a に与えることができる。

【 0 0 3 4 】

スイッチチップ A 102 a は、デバイス A 108 a に関するポート番号、バス - デバイス - 機能番号、またはこれら双方を用いることにより、デバイス A 108 a に関するマッピングを求めてもよい。たとえば、T L B 104 は、デバイス A 108 a およびデバイス B 108 b 双方に関するマッピングを含んでいてもよく、スイッチチップ A 102 a は、デバイス A 108 a に関するポート番号およびバス - デバイス - 機能番号を用いることにより、デバイス B 108 b ではなくデバイス A 108 a の特定の機能に関するマッピングのみに注目してもよい。

10

【 0 0 3 5 】

いくつかの例において、スイッチチップ A 102 a は、アドレス変換要求をデバイス A 108 a から受けたとき、この要求を、サービスのために別のデバイスたとえばコントローラ 110 に転送してもよく、同時に、T L B 104 が上記要求に対する応答を含むか否かを判断してもよい。ここで、スイッチチップ A 102 a は、T L B 104 が対応する物理アドレスを含まないという判断を、上記要求をサービスのために別のデバイスに転送する前に下す。

20

【 0 0 3 6 】

たとえばスイッチチップ A 102 a が追加のマッピングを T L B 104 に格納できないとき、スイッチチップ A 102 a は、適切な追出 (eviction) ポリシーを用いて T L B 104 からエンTRIES を追出してよい。たとえば、スイッチチップ A 102 a は、最も長く使用されていないエンTRIES または最も最近使用されたエンTRIES を追出してよい。

【 0 0 3 7 】

あるデバイスが自身のメモリにマッピングを格納しておりスイッチチップ A 102 a が T L B 104 からあるエンTRIES を追出す場合の実装例において、スイッチチップ A 102 a は、対応するデバイスたとえばデバイス A 108 a にメッセージを送信してデバイス A 108 a に同じエンTRIES をこのデバイスのメモリから追出すことを指示してもよい。たとえば、T L B 104 がデバイス A 108 a に関するマッピングを含まない場合にスイッチチップ A 102 a がデバイス A 108 a からアドレス変換要求を受けたとき、スイッチチップ A 102 a は、コントローラ 110 に変換を要求してもよい。スイッチチップ A 102 a は、T L B 104 が未使用の記憶場所を含まないと判断するとともに、最も長く使用されていないエンTRIES は T L B 104 から追出すべきであると判断する。スイッチチップ A 102 a は、コントローラ 110 から受信した変換を、新たに空にされた記憶場所に格納し、デバイス A 108 a にメッセージを送信してデバイス A のメモリから同じ最も長く使用されていないエンTRIES を追出すよう指示する。スイッチチップ A 102 a は、デバイス A 108 a がエンTRIES を追出したという確認を受けてもよい。スイッチチップ A 102 a は、たとえば最も長く使用されていないエンTRIES をデバイス A 108 a が追出したという確認を受けたことに応じて、コントローラ 110 から受けた変換をデバイス A 108 a に送信する。

30

40

【 0 0 3 8 】

環境 100 は、アドレス変換サービス (ATS) を用いて、スイッチチップ A 102 a ~ スwitchチップ C 102 c およびデバイス A 108 a ~ デバイス C 108 c がアドレス変換マッピングをメモリに格納し得るか否かを判断してもよい。たとえば、環境 100 は、ATS ビットを用いることにより、デバイス A 108 a が ATS を使用することができ ATS の使用を許可されるか否かを示してもよい。デバイス A 108 a が、

50

スイッチチップA 102aによって管理されるバス101に接続すると、スイッチチップA 102aは、デバイスA 108aのためのコンフィギュレーション設定、たとえばPCIeコンフィギュレーション空間設定をインターセプトすることにより、デバイスA 108aに対するATSを「イネーブル」してもよい、たとえば、上記ビットを「1」という値に設定してもよい。

【0039】

デバイスA 108aがATSをサポートしない例において、スイッチチップA 102aは、アクセス要求をデバイスA 108aから受信しこの要求を変換のためにコントローラ110に転送してもよい、または、このアクセス要求自体に含まれる1つまたは複数の仮想アドレスを変換してもよい。たとえば、スイッチチップA 102aは、デバイスA 108aのためのATSをイネーブルし、アクセス要求をデバイスA 108aから受け、この要求に含まれる仮想アドレスを求め、この要求中の仮想アドレスから対応する物理アドレスへのマッピングを求めるメッセージをコントローラ110に送り、このマッピングを受け、受けたマッピングを用いて、デバイスA 108aから受けた仮想アドレスを対応する物理アドレスに変換してもよい。

10

【0040】

いくつかの実相例において、デバイスA 108aがATSをサポートしない場合、スイッチチップA 102aは、デバイスA 108aがATSをサポートしていることを示すATSビットはイネーブルしない。たとえば、スイッチチップA 102aが、デバイスA 108aから受けた要求中のいかなる仮想アドレスも対応する物理アドレスに変換しない場合、スイッチチップA 102aはATSビットをイネーブルしない。

20

【0041】

デバイスA 108aがATSをサポートする例において、環境100は、デバイスA 108aがATS機能を使用することを許可してもしなくてもよい。たとえば、デバイスA 108aがATS機能を使用することを環境100が許可する場合、スイッチチップA 102aは、デバイスA 108aに関する設定をチェックすることにより、確実にATSビットがイネーブルされる、たとえば1に設定されるようにしてもよく、ATSビットがイネーブルされると判断すると、ATSビットを修正しなくてもよい。スイッチチップA 102aは、アドレス変換要求をデバイスA 108aから受けて上記のようにアドレス変換要求に応じてよい。

30

【0042】

スイッチチップA 102aは、デバイスA 108aからの、物理アドレス、たとえば変換されたアドレスを含む要求を、検証してもよい。たとえば、スイッチチップA 102aがデバイスA 108aからメモリアクセス要求を受けた場合、スイッチチップA 102aは、この要求がメモリアクセス要求であって、たとえば変換要求ではないと判断する。スイッチチップA 102aは、この要求に含まれる1つまたは複数の物理アドレスを求めこれらのアドレスがTLB104に含まれているか否かを判断する。これらのアドレスがTLB104に含まれている場合、スイッチチップA 102aはこの要求を、サービスのために、別のデバイス、たとえば、プロセッサ114、キャッシュ116、またはランダムアクセスメモリ118に転送する。

40

【0043】

スイッチチップA 102aが、デバイスA 108aからのアクセス要求に含まれている物理アドレスのうちの1つ以上がTLB104に含まれていないと判断した場合、スイッチチップA 102aは、このアクセス要求を別のデバイスには転送しない。たとえば、スイッチチップA 102aは、デバイスA 108aが、TLB104に含まれていない物理アドレスにはアクセスできないと判断し、このアクセス要求をサービスすべきではないと判断する。

【0044】

スイッチチップA 102aは、メモリアクセス要求をサービスすべきであると判断する場合、この要求をルートコンプレックスを介して転送してもよい。これらの例において

50

、コントローラ110は、スイッチチップA 102aがこの要求を検証したと判断してもよく、たとえば、スイッチチップA 102aの識別子を用いることにより、スイッチチップA 102aが、自身が受けたすべてのメモリアクセス要求を検証すると判断する。コントローラは、この要求を、この要求をサービスする別のデバイス、たとえばこの要求における物理アドレスによって特定される記憶場所を含む別のデバイス、たとえば宛先デバイスに、転送してもよい。

【0045】

デバイスA 108aがATSをサポートするがデバイスA 108aがATS機能を使用することを環境100が許可しない例において、スイッチチップA 102aは、デバイスA 108aからの要求を、デバイスA 108aがATS機能をサポートしないときと同様のやり方で、処理する。たとえば、スイッチチップ102aは、デバイスA 108aからのメモリアクセス要求に含まれている仮想アドレスを変換してもよい。いくつかの例において、スイッチチップ102aは、たとえば適切な方法を用いて、デバイスA 108aからの要求をチェックすることにより、これらの要求が物理アドレスを含まないと判断してもよい。

10

【0046】

いくつかの実装例において、スイッチチップA 102aはIOMMU106を含み、スイッチチップA 102aはメモリアドレスをこのIOMMUに格納する。たとえば、スイッチチップA 102aは、IOMMU106を含むがTLB104は含まない。IOMMU106はメモリを含み、このメモリにIOMMUはページテーブル、たとえばページテーブル記憶装置を含めることができる。

20

【0047】

デバイスB 108bが、スイッチチップA 102aによって管理されるバス101に接続したとき、たとえば、デバイスB 108bが、デバイスB 108bとプロセッサ114との間の経路上におけるバス101とスイッチチップA 102aとを含む物理接続を用いてマザーボードに接続したとき、スイッチチップA 102aは、デバイスB 108bのための1つ以上のページテーブルを要求してもよい。いくつかの例において、スイッチチップA 102aは、デバイスB 108bからアドレス変換要求を受けたことに応じて、またはデバイスB 108bからメモリアクセス要求を受けたことに応じて、または、これら両方を受けたことに応じて、デバイスB 108bのためのページテーブルを要求する。

30

【0048】

スイッチチップA 102aは、デバイスB 108bのためのアドレス変換要求に対し、IOMMU106に格納されているページテーブルであって、たとえばバス101を介してスイッチチップA 102aが接続されている別のデバイスではなくデバイスB 108bに固有であるページテーブルを用いて、応答する。たとえば、スイッチチップA 102aは、仮想アドレスを含むアドレス変換要求をデバイスB 108bから受ける。スイッチチップA 102aは、IOMMU106がこの仮想アドレスから対応する物理アドレスへのマッピングを含むか否かを、たとえばIOMMU106に含まれるページテーブル記憶装置にアクセスするページテーブルウォーカーを用いて判断する。IOMMU106がこのマッピングを含む場合、スイッチチップA 102aは、対応する物理アドレスを求め、この物理アドレスをデバイスB 108bに与える。IOMMU106がこのマッピングを含まない場合、スイッチチップA 102aは、別のデバイス、たとえばキャッシュ116、ランダムアクセスメモリ118、またはコントローラ110内のIOMMU112に、追加のページテーブルを要求する。

40

【0049】

IOMMU106は、IOMMUのメモリに格納されているページテーブルに対して追出ポリシーを用いてもよい。たとえば、IOMMU106が別のページテーブル用の空間を含まない場合、IOMMU106は、最も長く使用されていないまたは最も最近使用されたページテーブルを、たとえば、スイッチチップA 102aによって管理されるバス

50

101に接続されているいずれかのデバイスのために、または、そのためにスイッチチップA 102aがIOMMU106内に新たなページテーブルを格納する特定のデバイスのために、追出してもよい。

【0050】

スイッチチップA 102aは、デバイスB 108bからメモリアクセス要求を受けると、このメモリアクセス要求が仮想アドレスを含むのかまたは物理アドレスを含むのかを判断してもよい。このメモリアクセス要求が仮想アドレスを含む場合、スイッチチップA 102aは、IOMMU106中のページテーブルを用いて対応する物理アドレスを求め、メモリアクセス要求内の仮想アドレスのインスタンスを対応する物理アドレスに置換する。スイッチチップA 102aは次に、このメモリアクセス要求を、サービスのた

10

【0051】

スイッチチップA 102aは、物理アドレスを含むメモリアクセス要求をデバイスB 108bから受けたときは、この物理アドレスを検証する。たとえば、スイッチチップA 102aは、IOMMU106内のデバイスB 108b用のページテーブルを求め、求めたページテーブルにこの物理アドレスが含まれるか否かを判断する。スイッチチップA 102aは、デバイスB 108bに関するポート番号またはバス-デバイス-機能番号を用いて、IOMMU106内のデバイスB 108b用のページテーブルを求め

20

【0052】

いくつかの実装例において、予め定められたページ範囲、たとえば4Kページ範囲ごとに、環境100たとえばスイッチチップA 102aは、当該ページ範囲がデバイスにマッピングされていることを示すビット、たとえば「マッピングされている」ビットを有する、または、読出および書込許可を示す2ビットを有する。環境100は、デバイスのバス-デバイス-機能番号ごとに、たとえばバス-デバイス-機能という組み合わせごとに、ビット識別子、たとえば1ビットまたは2ビットを含んでいてもよい。

30

【0053】

デバイスB 108b用のページテーブルに物理アドレスが含まれている場合、スイッチチップA 102aは、メモリアクセス要求をサービスのために別のデバイス、たとえばプロセッサ114、キャッシュ116、またはランダムアクセスメモリ118に転送する。デバイスB 108b用のページテーブルに物理アドレスが含まれていない場合、スイッチチップA 102aはこの要求をサービスしない。いくつかの例において、デバイスB 108b用のページテーブルに物理アドレスが含まれていない場合、スイッチチップA 102aは、デバイスB 108bをリセットしてもよく、またはデバイスB 108bを停止してもよく、または両方を行なってもよい。

【0054】

いくつかの実装例において、環境100は、マザーボードと、1つのコンピュータ、またはたとえばa)スイッチチップA 102a~スイッチチップC 102cのうちの1つ以上、b)コントローラ110、c)プロセッサ114、d)キャッシュ116、ランダムアクセスメモリ118、またはこれらのうちの2つ以上を含む、複数のコンピュータとを、含み得る。環境100は、ハードウェア上で実行される、たとえばマザーボード上で、またはコンピュータ上で、またはこれら双方の上で実行されるオペレーティングシステムを含む。

40

【0055】

デバイスA 108aに対するATSビットをイネーブルすること、たとえばATSビットの値を1に設定することは、デバイスA 108aに対するATSをイネーブルする

50

ことにより、デバイスA 108aおよびスイッチチップA 102aが、仮想アドレスから物理アドレスへのマッピングをたとえばTLB104にキャッシュすることを許可するよう、スイッチチップA 102aを含むハードウェア上で実行されているオペレーティングシステムに指示することであってもよい。スイッチチップA 102aは、スイッチチップA 102aが管理するバス101にデバイスA 108aが接続したことに応じて、デバイスA 108aに対するATSビットをイネーブルしてもよい。

【0056】

いくつかの例において、ソフトウェアに含まれるデバイスドライバは、たとえばスイッチチップA 108aが管理するバス101にデバイスA 108aが接続したときのスイッチチップA 102aからのメッセージにตอบสนองして、ATSビットをイネーブルしてもよい。これらの例において、デバイスドライバは、オペレーティングシステムが、アドレスマッピングをキャッシュすることができる既知のスイッチチップをホワイトリストに入れることによりこれらのスイッチチップがたとえばTLB104内のスイッチチップのメモリにアドレスマッピングをキャッシュできるようにすることを、許可してもよい。

10

【0057】

環境100またはオペレーティングシステムは、上記ホワイトリストを用いることにより、対応するスイッチチップの機能を判断するとともに、このスイッチチップが特定のアクション、たとえばアドレスマッピングを一体化されたメモリにキャッシュすること、またはアドレスを検証すること、またはこれら両方を行なうことを許可すべきか否かを判断してもよい。たとえば、環境100は、異なる種類のスイッチチップを含んでいてもよく、ホワイトリストを用いて、これらのスイッチチップ各々がどのようなアクションの実行を許可されるかを判断してもよい。

20

【0058】

いくつかの例において、スイッチチップA 102aはTLBを含んでいてもよく、スイッチチップB 102bはIOMMUを含んでいてもよく、スイッチチップC 102cはTLBおよびIOMMUどちらも含まなくてもよい。環境100は、ATSを用いるデバイスを、スイッチA 102aが管理するバス101に接続してもよく、別の方法を用いて物理記憶アドレスをデバイスにローカルにキャッシュするデバイスを、スイッチチップB 102bが管理する第2のバスに接続してもよく、物理記憶アドレスをデバイスにローカルにキャッシュしないデバイスを、スイッチチップC 102cが管理する第3のバスに接続してもよい。環境100は、適切な種類のデバイスが、対応するバスを介して適切な種類のスイッチチップに接続することを許可してもよい。

30

【0059】

アドレス変換プロセスフローの例

図2は、変換要求にตอบสนองするプロセス200のフロー図である。たとえば、プロセス200は、環境100のスイッチA 102aによって使用されてもよい。

【0060】

スイッチは、仮想アドレスを含むアドレス変換要求をデバイスから受信する(202)。たとえば、スイッチは、アドレス変換要求をATSイネーブルされたデバイスから受信する。

40

【0061】

スイッチは、仮想アドレスはスイッチのメモリに格納されていないと判断する(204)。たとえば、スイッチは、当該スイッチに含まれるTLBまたはIOMMUをチェックすることにより、TLBまたはIOMMUが仮想アドレスおよび仮想アドレスから対応する物理アドレスへのマッピングを含むか否かを判断する。スイッチは、TLBまたはIOMMUが仮想アドレスおよび対応する物理アドレスを含まないと判断する。

【0062】

スイッチは、仮想アドレスから物理アドレスへのマッピングを要求するためのアドレス変換要求を送信する(206)。いくつかの例において、仮想アドレスがメモリに格納されていないという判断に応じて、スイッチは、アドレス変換要求を別のデバイスに送信す

50

る。たとえば、スイッチは、このアドレス変換要求を、たとえばメモリがTLBのときはルートコンプレックスに送信する、または、たとえばメモリがIOMMUのときはキャッシュまたはランダムアクセスメモリに送信する。

【0063】

スイッチは、アドレス変換要求に対する、仮想アドレスから物理アドレスへのマッピングを含む応答を受信する(208)。スイッチは、仮想アドレスから物理アドレスへのマッピングをメモリに格納する(210)。たとえば、スイッチは、アドレス変換要求を送信し、アドレス変換要求に対する応答を、たとえばルートコンプレックスから受信し、この応答またはこの応答からのデータを、メモリに格納する。スイッチは、この応答からのデータを用いることにより、TLB内のエントリを生成する。いくつかの例において、スイッチは、あるページテーブルの一部またはすべてを受けてこのページテーブルの一部をIOMMUに格納してもよい。

10

【0064】

スイッチは、仮想アドレスから物理アドレスへのマッピングを用いて仮想アドレスに対する物理アドレスを求める(212)。たとえば、スイッチは、メモリに格納されている応答またはデータを用いることにより、仮想アドレスがマッピングされている物理アドレスを求める。

【0065】

スイッチは、物理アドレスを含む、変換要求に対する応答を、デバイスに与える(214)。たとえば、スイッチは、ルートコンプレックスから受信した応答をデバイスに転送してもよい。いくつかの例において、スイッチは、物理アドレスを含む新たな応答を生成しこの新たな応答をデバイスに与える。

20

【0066】

上記プロセス200におけるステップの順序は一例にすぎず、変換要求への応答は異なる順序で実行されてもよい。たとえば、スイッチは、アドレス変換要求の送信、たとえばステップ206を、仮想アドレスがメモリに格納されていないという判断、たとえばステップ204の実行の前に、実行してもよい。いくつかの例において、スイッチは、ステップ204とステップ206とを同時に実行してもよい。

【0067】

いくつかの実装例において、プロセス200は、追加のステップを含んでいてもよく、より少ないステップを含んでいてもよく、または、上記ステップのうちのいくつかのステップが複数のステップに分割されてもよい。たとえば、スイッチは、アドレス変換要求を受け、たとえばステップ204~210を実行することなく、仮想アドレスがメモリに格納されていると判断し、仮想アドレスから物理アドレスへのマッピングを用いて物理アドレスを求めてもよい。

30

【0068】

いくつかの実装例において、スイッチは、複数の異なるアドレス変換要求に対し、プロセス200またはプロセス200の一部を実行してもよい。たとえば、スイッチは、第1のアドレス変換要求を第1のデバイスから受け、第1の要求に応じた第1の物理アドレスがメモリに格納されていると判断し、第1の物理アドレスを第1のデバイスに与えてもよい。スイッチは、第2のアドレス変換要求を第1のデバイスまたはそれとは異なる第2のデバイスから受け、第2の要求に応じた第2の物理アドレスがメモリに格納されていないと判断し、たとえば、第2の要求からの仮想アドレスがメモリに格納されていないと判断し、この仮想アドレスに対するマッピングを、別のデバイスたとえばルートコンプレックスまたはキャッシュに要求してもよい。スイッチは、上記別のデバイスから、この要求に対する、マッピングを含む応答を受け、第2の物理アドレスを、要求を出したデバイスに与える。

40

【0069】

スイッチは、デバイスのために仮想アドレスから物理アドレスへのマッピングを格納しており、これらのデバイス各々について、独立したメモリを含んでいてもよい。いくつか

50

の例において、スイッチは、TLBおよびIOMMU双方を含んでいてもよい。

【0070】

検証プロセスフローの例

図3は、物理アドレスがメモリに格納されているか否かを判断するためのプロセス300のフロー図である。たとえば、プロセス300は、環境100のスイッチチップA 102aまたはコントローラ110によって使用されてもよい。

【0071】

スイッチは、特定の物理アドレスを含むメモリアクセス要求をデバイスから受信する(302)。たとえば、スイッチは読出または書込要求を受信する。

【0072】

スイッチは、この特定の物理アドレスがスイッチのメモリに格納されているか否かを判断する(304)。メモリは、TLBまたはIOMMUであってもよい。スイッチは、この特定の物理アドレスがメモリに格納されているか否かを判断しかつデバイスはこの特定の物理アドレスにアクセスすることを許可されるか否かを判断することにより、この要求を検証する。このメモリは、たとえば、スイッチが仮想アドレスから物理アドレスへのマッピングをデバイスごとに格納しておりスイッチがこのデバイスごとに1つのメモリを有するときは、デバイス固有のメモリであってもよい。メモリは、対応するバスを介してスイッチが接続しているすべてのデバイスのためのメモリであってもよい。

【0073】

スイッチは、上記特定の物理アドレスがメモリに格納されていると判断する(306)。デバイスごとに1つのメモリがある場合に、この特定の物理アドレスがデバイス用のメモリに格納されているとスイッチが判断したときに、スイッチは要求を検証する。上記特定の物理アドレスがすべてのデバイス用の単一のメモリに格納されておりかつデバイスが上記特定の物理アドレスへのアクセスを許可されるとスイッチが判断したときに、スイッチは要求を検証する。

【0074】

上記特定の物理アドレスがスイッチのメモリに格納されていると判断すると、スイッチは、メモリアクセス要求をサービスのために別のデバイスに転送する(308)。たとえば、スイッチは、要求を、この要求に応じたデータを有する宛先デバイスに転送する。この要求の転送は、この要求を1つ以上の中間デバイスを通してルーティングしてもよい。いくつかの例において、キャッシュがこの要求に応じたデータを含む場合、スイッチは、この要求をルートコンプレックスを介して上記キャッシュに転送してもよい。

【0075】

スイッチは、上記特定の物理アドレスはメモリに格納されていないと判断する(310)。たとえば、スイッチは、上記特定の物理アドレスによって特定される記憶場所にアクセスすることをデバイスは許可されないと判断する。各デバイスが自身のメモリを有するときに、上記特定の物理アドレスが、デバイス用ではない、スイッチの別のメモリに格納されている場合、または、すべてのデバイス用の単一のメモリに格納されているものの上記特定の物理アドレスが当該デバイスに対応付けられていない場合、たとえばデバイスが特定の物理アドレスへのアクセスを許可されるべきではない場合、スイッチは要求を検証しない。

【0076】

上記特定の物理アドレスがスイッチのメモリに格納されていないと判断したことに応じて、スイッチは、メモリアクセス要求を破棄する(312)。たとえば、スイッチは、この要求をサービスのために別のデバイスに転送しない、または、要求に応答しない、またはいずれも実行しない。いくつかの例において、スイッチは、破棄されたメモリアクセス要求の詳細を特定するエラーを、たとえば、スイッチのメモリに格納されていない上記特定の物理アドレスと、上記要求をスイッチに送信したソースデバイスの識別子とを、ログ記録してもよい。

【0077】

10

20

30

40

50

上記特定の物理アドレスがスイッチのメモリに格納されていないと判断したことに応じて、スイッチはデバイスをリセットする(314)。たとえば、スイッチは、デバイスに悪意があるまたはソフトウェアバグがあるまたはこれら両方があると判断して、デバイスをリセットすることにより、たとえば、デバイスがアクセスできない記憶場所に当該デバイスがアクセスすることを防止してもよい。

【0078】

上記プロセス300におけるステップの順序は一例にすぎず、物理アドレスがメモリに格納されているか否かの判断は、異なる順序で実行されてもよい。たとえば、スイッチはデバイスをリセットしてからメモリアクセス要求を破棄してもよい、たとえばステップ314を実行してからステップ312を実行してもよい。

10

【0079】

いくつかの実装例において、プロセス300は、追加のステップを含んでいてもよく、より少ないステップを含んでいてもよく、または、上記ステップのうちのいくつかのステップが複数のステップに分割されてもよい。たとえば、複数の異なるメモリアクセス要求、複数の異なる種類のメモリアクセス要求たとえば読出要求、書込要求またはこれら両方、スイッチによって管理されるバスに接続されている複数の異なるデバイス、またはこれらのうちの2つ以上を組合わせたものに対し、スイッチは、プロセス300の一部を実行してもよくまたはすべてを実行してもよい。スイッチは、要求のうちのいくつかを検証してもよく、要求のうちのいくつかを無効にしてもよく、または、要求のうちのいくつかを検証するとともにいくつかを無効にしてもよい。

20

【0080】

いくつかの実装例では、TLBまたはIOMMUを有する別のデバイスが要求を検証する。たとえば、ルートコンプレックスがプロセス300を実行することにより要求を検証してもよい。

【0081】

任意の実装の詳細

いくつかの実装例において、スイッチチップは、デバイスごとにアドレスマッピングを格納しデバイスごとにTLBを含んでいてもよく、たとえば、スイッチチップが管理するバスにデバイスが接続できるようにする各ポートであってそのためにスイッチチップがアドレスマッピングを格納する各ポートについて、TLBを含んでいてもよい。スイッチチップは、ポート情報を用いることにより、どのTLBにアクセスすべきかを判断してもよく、たとえば、特定のデバイス用のアドレスマッピングを求めてもよく、または、特定のデバイスのメモリアクセス要求を検証してもよい。スイッチチップは、適切な方法を用いることにより、特定のデバイスのためにどのTLBにアクセスするかを判断してもよい。

30

【0082】

いくつかの実装例において、スイッチチップは、識別子、たとえばポート識別子を用いることにより、デバイスを特定し、当該デバイスがアドレスマッピングをこのデバイスにローカルにキャッシュできるかできないかを判断してもよい。たとえば、スイッチチップは、バスを介してそのポートに接続されているデバイスがATSをサポートするか否かおよびスイッチチップがそのデバイスからのアドレス変換要求に応じるべきか否かを示すビットを、ポートごとに含む。

40

【0083】

スイッチチップ内のメモリたとえばIOMMUのサイズは、そのためにメモリがアドレスマッピングを格納するデバイスの数に基づいて、たとえば、各ポートがデバイスに対応し当該デバイスはスイッチチップが管理するバスに接続することができIOMMUが当該デバイスのためにページテーブルを格納している場合はスイッチチップ内のポートの数に基づいて、選択されてもよい。たとえば、バスを介して接続する機能を有し16以下のデバイス用のページテーブルを格納するスイッチチップは、別のバスを介して接続する機能を有し4以下のデバイス用のページテーブルを格納する別のスイッチチップよりも、大きなIOMMUを含み得る。

50

【 0 0 8 4 】

いくつかの実装例において、I O M M Uは、1つ以上のデバイス用のページテーブルの総数のうちのある割合を格納してもよい。たとえば、特定のデバイスが多数の記憶場所にアクセスし得る場合、I O M M Uは、この特定のデバイス用のページテーブルのうちすべてではなく一部を格納してもよい。

【 0 0 8 5 】

スイッチチップは、I O M M Uのうち所定の割合を、I O M M Uがページテーブルを格納する対象である各デバイスのためのページテーブルの格納に割当ててもよい。たとえば、16以下のデバイスに対して、スイッチチップがバスを介して接続しページテーブルを格納することができ、かつ、当該スイッチチップが管理するバスに1つのデバイスが接続している場合、当該スイッチチップは、I O M M U全体を、この1つのデバイスのためのページテーブルを格納するために割当ててもよい。当該スイッチチップが管理するバスに別のデバイスが接続している場合、スイッチチップは、I O M M U内のメモリのうちの2分の1をデバイス各々に割当て、それ以外のデバイスに対しても同様に割当てを行ってもよい。いくつかの実装例において、I O M M Uは、スイッチチップが管理するバスに実際に接続しているデバイスの数とは関係なく、メモリの16分の1を各デバイスに割当ててもよい。

10

【 0 0 8 6 】

いくつかの実装例において、スイッチチップは、I O M M Uに代えてメモリ管理ユニット(M M U)を含み得る。たとえば、スイッチチップは、当該スイッチチップが管理するバスに接続されているデバイスのために、M M Uを用いて仮想アドレスを物理アドレスに変換してもよい。

20

【 0 0 8 7 】

その他実装の詳細

本明細書に記載の主題および機能的動作の実施形態は、デジタル電子回路において、有形に実現されたコンピュータソフトウェアまたはファームウェアにおいて、本明細書に開示されている構造およびそれらの構造的均等物を含むコンピュータハードウェアにおいて、または、これらのうちの1つ以上を組合わせたものにおいて、実現することができる。本明細書に記載の主題の実施形態は、1つ以上のコンピュータプログラムとして、すなわち、データ処理装置によって実行されるかまたはデータ処理装置の動作を制御するための有形の非一時的なプログラムキャリア上で符号化されているコンピュータプログラム命令の1つ以上のモジュールとして、実現することができる。コンピュータ記憶媒体は、機械読取可能な記憶装置、機械読取可能な記憶基板、ランダムもしくはシリアルアクセスメモリデバイス、または、これらのうちの1つ以上を組合わせたものであってもよい。

30

【 0 0 8 8 】

「データ処理装置」という用語は、データ処理ハードウェアのことであり、例として1つのプログラマブルプロセッサ、1つのコンピュータ、または複数のプロセッサもしくはコンピュータを含む、データを処理するためのすべての種類の装置、デバイス、およびマシンを包含する。この装置は、専用論理回路、たとえばF P G A (フィールドプログラマブルゲートアレイ)またはA S I C (特定用途向け集積回路)であってもよく、これをさらに含んでもよい。この装置は、任意で、ハードウェアに加えて、コンピュータプログラムのための実行環境を生成するコード、たとえば、プロセッサファームウェア、プロトコルスタック、データベース管理システム、オペレーティングシステム、またはこれらのうちの1つ以上を組合わせたものを構成するコードを、含み得る。

40

【 0 0 8 9 】

コンピュータプログラムは、プログラム、ソフトウェア、ソフトウェアアプリケーション、モジュール、ソフトウェアモジュール、スクリプト、またはコードと呼ばれることもありまたはそういうものとして説明されることもあり、コンパイルされたもしくは解釈言語または宣言型もしくは手続型言語を含む任意の形態のプログラミング言語で書込むことができ、スタンドアロンプログラムとしてまたはモジュールまたはコンポーネントまたは

50

サブルーチンまたは計算環境で使用するのに適したその他のユニットを含む、任意の形態で、デプロイすることができる。コンピュータプログラムは、ファイルシステム内のファイルに対応していてもよいが、ファイルシステム内のファイルに対応している必要はない。プログラムは、その他のプログラムまたはデータたとえばマークアップ言語文書に格納された1つ以上のスクリプトを保持するファイルの一部に、当該プログラム専用の1つのファイルに、または、複数の統合されたファイルたとえば1つ以上のモジュール、サブプログラム、またはコードの部分を格納するファイルに、格納することができる。コンピュータプログラムは、1つのコンピュータ上で、または、1つの場所に位置しまたは複数の場所に分散しており通信ネットワークによって相互に接続されている複数のコンピュータ上で、デプロイして実行することができる。

10

【0090】

本明細書に記載のプロセスおよび論理フローは、1つ以上のコンピュータプログラムを実行して入力データに対して動作し出力を生成することによって機能を果たす1つ以上のプログラマブルコンピュータによって実行することができる。上記プロセスおよび論理フローは、専用論理回路、たとえばFPGA（フィールドプログラマブルゲートアレイ）またはASIC（特定用途向け集積回路）によって実行することもでき、装置は、専用論理回路、たとえばFPGAまたはASICとして実装することもできる。

【0091】

コンピュータプログラム命令およびデータを格納するのに適したコンピュータ読取可能な媒体は、すべての形態の不揮発性メモリ、媒体、および記憶装置を含み、これらは例として、半導体記憶装置、たとえばEPROM、EEPROM、およびフラッシュメモリデバイスと、磁気ディスクたとえば内部ハードディスクまたはリムーバブルディスクと、光磁気ディスクと、CD-ROMおよびDVD-ROMディスクとを含む。プロセッサおよびメモリに、専用論理回路を補充してもよくまたは組込んでよい。

20

【0092】

本明細書には多数の具体的な実装の詳細が含まれているが、これらは、クレームし得るものの範囲を限定するものとして解釈されるべきものではなく、むしろ、特定の実施形態に固有であってもよい特徴の説明であると解釈されるべきものである。別々の実装例の文脈において本明細書に記載されている特定の機能を、1つの実施形態における組み合わせとして実装することも可能である。逆に、1つの実施形態の文脈において記載されているさまざまな特徴を、複数の実施形態において別々に、または適切なサブコンビネーションとして実装することも可能である。加えて、特徴は特定の組み合わせにおいて作用するものとして説明されそういうものとして最初にクレームされる場合があるが、クレームされている組み合わせからの1つ以上の特徴は、場合によってはこの組み合わせから削除されることがあり、クレームされている組み合わせが、サブコンビネーションまたはサブコンビネーションの変形に関連する場合がある。

30

【0093】

同様に、図面では動作を特定の順序で示しているが、これは、所望の結果を得るために、このような動作を、示されている特定の順序でもしくは連続して順番に実行すること、または、示されているすべての動作を実行することを、要求しているのではない。特定の状況では、マルチタスキングおよび並列処理が好都合であろう。加えて、上記実施形態ではさまざまなシステムコンポーネントが分離されているが、これは、すべての実施形態においてこのような分離が必要であると理解されるべきものではなく、記載されているプログラムコンポーネントおよびシステムは概ね1つのソフトウェアプロダクトに統合することができるまたは複数のソフトウェアプロダクトにパッケージングすることができるという理解されるべきものである。

40

【0094】

主題の特定の実施形態について説明してきた。その他の実施形態は以下の請求項の範囲に含まれる。たとえば、請求項に記載の動作は、異なる順序で実行してもよくそれでもなお所望の結果を得ることができる。一例として、添付の図面に記載のプロセスは、所望の

50

結果を得るために、必ずしも示されている特定の順序または連続した順序でなければならない訳ではない。場合によってはマルチタスクおよび並列処理が好都合であろう。

【図1】

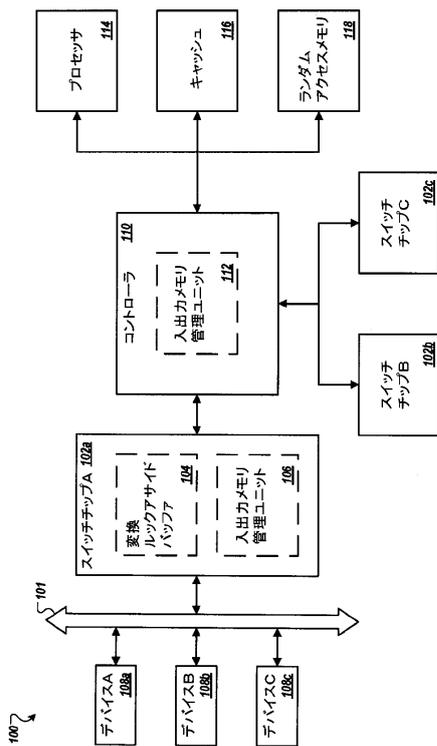


FIG. 1

【図2】

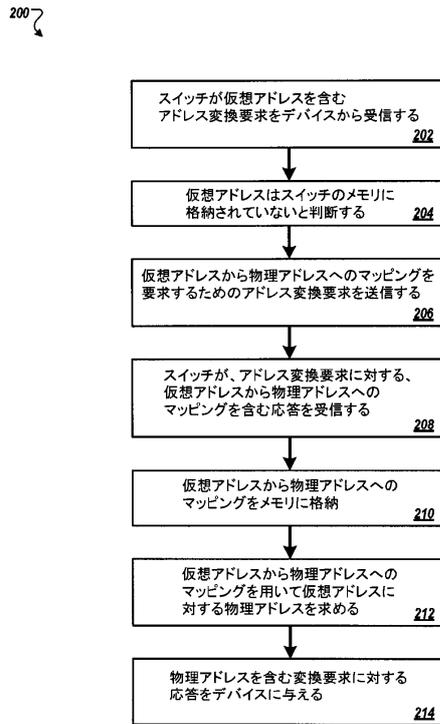


FIG. 2

【 図 3 】

300

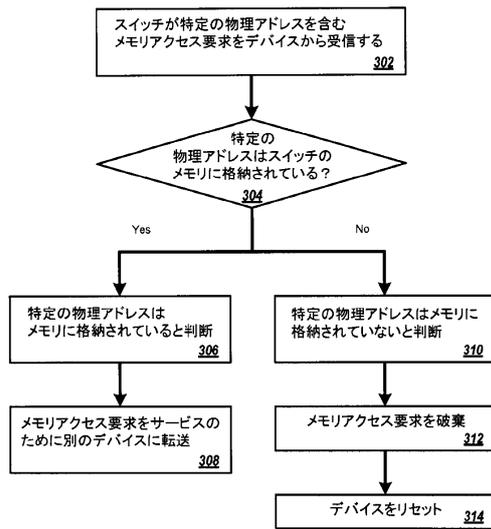


FIG. 3

フロントページの続き

- (56)参考文献 特開平10 - 275129 (JP, A)
特開2009 - 199420 (JP, A)
特開平06 - 187286 (JP, A)
特開平04 - 308953 (JP, A)
国際公開第2008 / 120325 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G06F 12 / 1027

G06F 12 / 1081