



(12) 发明专利

(10) 授权公告号 CN 101740633 B

(45) 授权公告日 2014. 10. 15

(21) 申请号 200910220877. 0

JP 特开平 5-235354 A, 1993. 09. 10,

(22) 申请日 2009. 11. 06

CN 1132941 A, 1996. 10. 09,

(30) 优先权数据

US 2008/0258140 A1, 2008. 10. 23,

2008-286384 2008. 11. 07 JP

审查员 黄丽娜

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 坂田淳一郎

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张政权

(51) Int. Cl.

G02F 1/136 (2006. 01)

H01L 29/786 (2006. 01)

H01L 29/24 (2006. 01)

H01L 21/34 (2006. 01)

H01L 21/265 (2006. 01)

H01L 27/02 (2006. 01)

(56) 对比文件

CN 1934712 A, 2007. 03. 21,

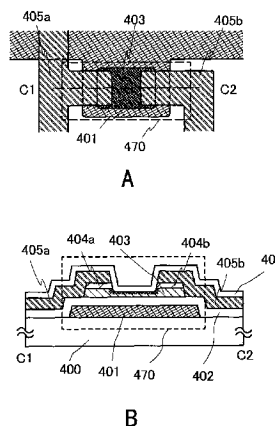
权利要求书5页 说明书34页 附图29页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明的一个目的是提供包括电特性稳定的薄膜晶体管的高可靠的半导体器件。此外,另一目的是以低成本高生产率制造高可靠的半导体器件。在包括薄膜晶体管的半导体器件中,利用添加了金属元素的氧化物半导体层形成薄膜晶体管的半导体层。作为金属元素,使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。此外,该氧化物半导体层包括铟、镓以及锌。



1. 一种半导体器件,包括:
栅电极层;
源电极层;
漏电极层;
包括包含铟、镓以及锌的沟道形成区的第一氧化物半导体层;
置于所述栅电极层和所述第一氧化物半导体层之间的栅绝缘层;
在所述第一氧化物半导体层与所述源电极层之间的第二氧化物半导体层;以及
在所述第一氧化物半导体层与所述漏电极层之间的第三氧化物半导体层,
其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包含铟、镓以及锌,
其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒,
其中所述沟道形成区包含从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种金属元素,且
其中所述第二氧化物半导体层和所述第三氧化物半导体层具有 n 型导电性。
2. 如权利要求 1 所述的半导体器件,其特征在于,所述沟道形成区包括第一区和第二区,
其中所述第一区包括至少一种金属元素,以及
其中所述第二区在所述第一区与所述栅绝缘层之间。
3. 如权利要求 1 所述的半导体器件,其特征在于,所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒,所述晶粒为纳米晶体。
4. 如权利要求 1 所述的半导体器件,其特征在于,
所述第二氧化物半导体层用作源区,以及
其中所述第三氧化物半导体层用作漏区。
5. 如权利要求 1 所述的半导体器件,其特征在于,还包括:
源电极层;
漏电极层;以及
覆盖所述第一氧化物半导体层和所述源电极层以及所述漏电极层的绝缘膜,
其中所述绝缘膜与所述第一氧化物半导体层接触。
6. 如权利要求 1 所述的半导体器件,其特征在于,还包括源电极层和漏电极层,
其中所述源电极层和所述漏电极层分别包含从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种金属元素。
7. 如权利要求 1 所述的半导体器件,其中所述至少一种金属元素包括在所述沟道形成区的整个厚度方向中。
8. 一种半导体器件,包括:
在具有绝缘表面的基板上的栅电极层;
在所述栅电极层上的栅绝缘层;
在所述栅绝缘层上的包括沟道形成区的第一氧化物半导体层,所述沟道形成区包含铟、镓以及锌;
在所述第一氧化物半导体层上的源电极层和漏电极层;

在所述第一氧化物半导体层与所述源电极层之间的第二氧化物半导体层；以及
在所述第一氧化物半导体层与所述漏电极层之间的第三氧化物半导体层，
其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包含铟、镓以及锌，
其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒，

其中所述第一氧化物半导体层包含从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种金属元素，且

其中所述第二氧化物半导体层和所述第三氧化物半导体层具有 n 型导电性。

9. 如权利要求 8 所述的半导体器件，其特征在于，所述沟道形成区包括第一区和第二区，

其中所述第一区包括至少一种金属元素，以及

其中所述第二区在所述第一区与所述栅绝缘层之间。

10. 如权利要求 8 所述的半导体器件，其特征在于，所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒，所述晶粒为纳米晶体。

11. 如权利要求 8 所述的半导体器件，其特征在于，

所述第二氧化物半导体层用作源区，以及

其中所述第三氧化物半导体层用作漏区。

12. 如权利要求 8 所述的半导体器件，其特征在于，还包括覆盖所述第一氧化物半导体层和所述源电极层以及所述漏电极层的绝缘膜，

其中所述绝缘膜与所述第一氧化物半导体层接触。

13. 如权利要求 8 所述的半导体器件，其特征在于，所述源电极层和所述漏电极层分别包含从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种金属元素。

14. 如权利要求 8 所述的半导体器件，其中所述至少一种金属元素包括在所述沟道形成区的整个厚度方向中。

15. 一种半导体器件，包括：

在具有绝缘表面的基板上的栅电极层；

在所述栅电极层上的栅绝缘层；

在所述栅绝缘层上的源电极层和漏电极层；

在所述源电极层和所述漏电极层上的第一氧化物半导体层，所述第一氧化物半导体层包括沟道形成区且包含铟、镓以及锌；

在所述第一氧化物半导体层与所述源电极层之间的第二氧化物半导体层；以及

在所述第一氧化物半导体层与所述漏电极层之间的第三氧化物半导体层，

其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包含铟、镓以及锌，

其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒，

其中所述沟道形成区包含从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种金属元素，且

其中所述第二氧化物半导体层和所述第三氧化物半导体层具有 n 型导电性。

16. 如权利要求 15 所述的半导体器件，其特征在于，所述沟道形成区包括第一区和第

二区，

其中所述第一区包括至少一种金属元素，以及
其中所述第二区在所述第一区与所述栅绝缘层之间。

17. 如权利要求 15 所述的半导体器件，其特征在于，所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒，所述晶粒为纳米晶体。

18. 如权利要求 15 所述的半导体器件，其特征在于，
所述第二氧化物半导体层用作源区，以及
其中所述第三氧化物半导体层用作漏区。

19. 如权利要求 15 所述的半导体器件，其特征在于，还包括覆盖所述第一氧化物半导体层和所述源电极层以及所述漏电极层的绝缘膜，
其中所述绝缘膜与所述第一氧化物半导体层接触。

20. 如权利要求 15 所述的半导体器件，其特征在于，所述源电极层和所述漏电极层分别包含从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种金属元素。

21. 如权利要求 15 所述的半导体器件，其中所述至少一种金属元素包括在所述沟道形成区的整个厚度方向中。

22. 一种用于制造半导体器件的方法，所述方法包括以下步骤：

在具有绝缘表面的基板上形成栅电极层；

在所述栅电极层上形成栅绝缘层；

在所述栅绝缘层上形成第一氧化物半导体层；

在所述第一氧化物半导体层上形成第二氧化物半导体层和第三氧化物半导体层；

在第二氧化物半导体层上形成源电极层，且在第三氧化物半导体层上形成漏电极层；

以及

将金属元素添加到所述第一氧化物半导体层中未被所述源电极层或所述漏电极层覆盖的第一区，

其中所述金属元素是从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种，

其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒，且

其中所述第二氧化物半导体层和所述第三氧化物半导体层具有 n 型导电性。

23. 如权利要求 22 所述的用于制造半导体器件的方法，其特征在于，
未将所述金属元素添加到所述第一氧化物半导体层中的第二区，以及
其中所述第二区在所述第一区与所述栅绝缘层之间。

24. 如权利要求 22 所述的用于制造半导体器件的方法，其特征在于，还包括形成绝缘膜的步骤，为的是覆盖所述第一氧化物半导体层和源电极层以及漏电极层并与所述第一氧化物半导体层接触。

25. 如权利要求 22 所述的用于制造半导体器件的方法，其特征在于，通过离子注入方法添加所述金属元素。

26. 一种用于制造半导体器件的方法，所述方法包括以下步骤：

在具有绝缘表面的基板上形成栅电极层；

在所述栅电极层上形成栅绝缘层；
在所述栅绝缘层上形成第一氧化物半导体层；
在所述第一氧化物半导体层上形成第二氧化物半导体层和第三氧化物半导体层；
向所述第一氧化物半导体层添加金属元素；以及
在第二氧化物半导体层上形成源电极层，且在第三氧化物半导体层上形成漏电极层，
其中所述金属元素是从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种，其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒，且

其中所述第二氧化物半导体层和所述第三氧化物半导体层具有 n 型导电性。

27. 如权利要求 26 所述的用于制造半导体器件的方法，其特征在于，

将所述金属元素添加到所述第一氧化物半导体层中的第一区，

其中未将所述金属元素添加到所述第一氧化物半导体层中的第二区，以及

其中所述第二区在所述第一区与所述栅绝缘层之间。

28. 如权利要求 26 所述的用于制造半导体器件的方法，其特征在于，还包括形成绝缘膜的步骤，为的是覆盖所述第一氧化物半导体层和源电极层以及漏电极层并与所述第一氧化物半导体层接触。

29. 如权利要求 26 所述的用于制造半导体器件的方法，其特征在于，通过离子注入方法添加所述金属元素。

30. 一种用于制造半导体器件的方法，所述方法包括以下步骤：

在具有绝缘表面的基板上形成栅电极层；

在所述栅电极层上形成栅绝缘层；

在所述栅绝缘层上形成源电极层和漏电极层；

在所述源电极层上形成第二氧化物半导体层，且在所述漏电极层上形成第三氧化物半导体层；

在所述第二氧化物半导体层和所述第三氧化物半导体层上形成第一氧化物半导体层；
以及

向所述第一氧化物半导体层添加金属元素，

其中所述金属元素是从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种，

其中所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒，且

其中所述第二氧化物半导体层和所述第三氧化物半导体层具有 n 型导电性。

31. 如权利要求 30 所述的用于制造半导体器件的方法，其特征在于，

将所述金属元素添加到所述第一氧化物半导体层中的第一区，

其中未将所述金属元素添加到所述第一氧化物半导体层中的第二区，以及

其中所述第二区在所述第一区与所述栅绝缘层之间。

32. 如权利要求 30 所述的用于制造半导体器件的方法，其特征在于，还包括形成绝缘膜的步骤，为的是覆盖所述第一氧化物半导体层和源电极层以及漏电极层并与所述第一氧化物半导体层接触。

33. 如权利要求 29 所述的用于制造半导体器件的方法,其特征在于,通过离子注入方法添加所述金属元素。

34. 一种半导体器件,包括:

栅电极层;

毗邻所述栅电极层的栅绝缘层;

毗邻所述栅绝缘层的第一氧化物半导体层,所述第一氧化物半导体层包含铟、镓以及锌;

源电极层;

漏电极层;

在所述第一氧化物半导体层与所述源电极层之间的第二氧化物半导体层;以及

在所述第一氧化物半导体层与所述漏电极层之间的第三氧化物半导体层,

其中所述第一氧化物半导体层包括:

与所述栅电极层堆叠的第一区;以及

与所述源电极层和所述漏电极层之一堆叠的第二区,

其中所述第一区包含从由铁、镍、钴、铜、金、锰、钼、钨、铌以及钽组成的组中选择的至少一种金属元素,

所述第一区的厚度小于所述第二区的厚度,

所述第二氧化物半导体层和所述第三氧化物半导体层分别包含铟、镓以及锌,

所述第二氧化物半导体层和所述第三氧化物半导体层分别包括非晶结构中的晶粒,且

其中所述第二氧化物半导体层和所述第三氧化物半导体层具有 n 型导电性。

35. 如权利要求 34 所述的半导体器件,其中所述第一氧化物半导体层还包括第三区,

其中所述第一区包括金属元素,并且

其中所述第三区在所述第一区和所述栅绝缘层之间。

36. 如权利要求 34 所述的半导体器件,其中所述金属元素包括在所述第一氧化物半导体层的整个厚度方向中。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及包括氧化物半导体的半导体器件及其制造方法。

背景技术

[0002] 如通常在液晶显示装置中所见到地,在诸如玻璃基板之类的平板上形成的薄膜晶体管是使用非晶硅或多晶硅制造的。使用非晶硅的薄膜晶体管具有低场效应迁移率,但可在较大面积的玻璃基板上形成这样的晶体管。另一方面,使用多晶硅的薄膜晶体管具有高场效应迁移率,但诸如激光退火之类的结晶步骤是必须的,而且这样的晶体管不总是适合较大的玻璃基板。

[0003] 鉴于上述描述,已经注意到使用氧化物半导体制造薄膜晶体管的技术,而且这样的晶体管应用于电子器件或光学器件。例如,专利文献 1 和专利文献 2 公开了使用氧化锌或 In-Ga-Zn-O 基氧化物半导体作为氧化物半导体膜来制造薄膜晶体管的技术,而且用这样的晶体管作为图像显示装置的开关元件等。

[0004] [参考文献]

[0005] [专利文献]

[0006] [专利文献 1] 日本已公开专利申请 No. 2007-123861

[0007] [专利文献 2] 日本已公开专利申请 No. 2007-96055

发明内容

[0008] 对于沟道形成区而言,使用氧化物半导体的薄膜晶体管的场效应迁移率高于使用非晶硅的薄膜晶体管的场效应迁移率。可通过溅射等方法在 300°C 或更低温度下形成氧化物半导体膜。其制造工艺比使用多晶硅的薄膜晶体管的制造工艺更简单。

[0009] 预期使用这样的氧化物半导体在玻璃基板、塑料基板等上面形成薄膜晶体管,而且将应用于液晶显示器、电致发光显示器、电子纸等。

[0010] 重要的是,诸如阈值电压之类的薄膜晶体管的电特性不应当不同。具体而言,当半导体层的光敏性高时,薄膜晶体管的电特性不同,这会降低半导体器件的可靠性。

[0011] 本发明的一个目的是提供包括电特性稳定的薄膜晶体管的高可靠半导体器件。此外,另一目的是以低成本高生产率制造高可靠性的半导体器件。

[0012] 在包括薄膜晶体管的半导体器件中,使用包含铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种的氧化物半导体层形成薄膜晶体管的半导体层。

[0013] 作为在此说明书中使用的氧化物半导体膜,形成了通过 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的材料的膜,而且制造了其中使用该薄膜作为半导体层的薄膜晶体管。注意 M 表示从镓 (Ga)、铁 (Fe)、镍 (Ni)、锰 (Mn) 以及钴 (Co) 中选择的一种或多种金属元素。除其中仅包含 Ga 作为 M 的情况之外,存在包含 Ga 和除 Ga 之外的任一种上述金属元素 (例如 Ga 和 Ni 或 Ga 和 Fe) 作为 M 的情况。而且,在该氧化物半导体中,在某些情况下,除包含该金属元素作为 M 之外,还包含诸如 Fe 或 Ni 之类的过渡金属元素或该过渡金属的氧化物作为杂质元素。

在此说明书中,用 M 表示该金属元素,而在氧化物半导体膜的沉积期间包含上述杂质元素。例如,使用了包含由 M 表示的金属元素和杂质元素的靶,而且通过溅射方法形成 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 的膜。

[0014] 在此说明书中,当 M 是 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 的薄膜(层)中的镓(Ga)时,此薄膜也被称为 In-Ga-Zn-O 基非单晶膜。通过 X 射线衍射(XRD)观测到非晶结构为 In-Ga-Zn-O 基非单晶膜的晶体结构。注意,在通过溅射方法形成膜之后,在 200℃到 500℃下,通常在 300℃到 400℃下,对受测样本的 In-Ga-Zn-O 基非单晶膜进行热处理达 10 分钟到 100 分钟。此外,可制造具有诸如在 $\pm 20\text{V}$ 的栅极电压下 10^9 或更高的导通/截止比和 10 或更高的迁移率的电特性的薄膜晶体管。通过溅射方法使用其中 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 为 1 : 1 : 1 的靶形成的 In-Ga-Zn-O 基非单晶膜具有在 450nm 或更短波长的光敏性。

[0015] 铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种被添加到诸如上述 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜之类的薄氧化物半导体层中。通过选择用于添加金属元素的条件和方法,可控制其中添加了金属元素的区域或氧化物半导体层中金属元素的浓度分布。

[0016] 通过将金属元素添加到氧化物半导体层中,该金属元素成为氧化物半导体层中的复合中心;因此,能降低氧化物半导体层的光敏性。在低光敏性的情况下,薄膜晶体管的电特性会稳定,这防止由阈值电压变化等引起的截止电流增大。

[0017] 该金属元素被添加到 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜中而成为该膜的复合中心,藉此可降低该膜的光敏性。作为该金属元素,可使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。不管 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜中包含的金属元素类型如何,通过添加这些金属,可稳定薄膜晶体管的电特性。此外,可控制其中添加了该金属元素的区域或氧化物半导体层中的金属元素的浓度分布,藉此可降低其光敏性,并有效地稳定薄膜晶体管的电特性。

[0018] 用于将金属元素添加到氧化物半导体层的方法不限于特定方法,而可使用诸如干法或湿法(涂敷方法)之类的多种方法中的任何一种。优选使用离子注入方法或离子掺杂方法。

[0019] 在此说明书中公开的本发明的结构的一个实施例包括栅电极层、栅绝缘层、包含铟、镓以及锌的氧化物半导体层、源电极层以及漏电极层,其中包含铟、镓以及锌的氧化物半导体层包含铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。

[0020] 在此说明书中公开的本发明的结构的另一实施例包括:具有绝缘表面的基板上的栅电极层;该栅电极层上的栅绝缘层;该栅绝缘层上的包含铟、镓以及锌的氧化物半导体层;包含铟、镓以及锌的氧化物半导体层上的源电极层以及漏电极层,其中包含铟、镓以及锌的氧化物半导体层包含铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。

[0021] 该金属元素可被添加到氧化物半导体层的整个表面,或被选择性地添加。例如,可采用一种结构,其中氧化物半导体层具有厚度较薄的区域、而且金属元素被包含在氧化物半导体层的厚度较薄的区域中。金属元素还被添加到除氧化物半导体层之外的膜,这取决于在工艺或掩模条件中何时添加金属元素。例如,在倒交错薄膜晶体管中,当通过使用源电极层和漏电极层作为掩模将金属元素添加到氧化物半导体层的暴露区域时,金属元素也被添加到源电极层和漏电极层。

[0022] 在此说明书中公开的本发明的结构的另一实施例包括:在具有绝缘表面的基板上的栅电极层;在该栅电极层上的栅绝缘层;在该栅绝缘层上的源电极层和漏电极层;以及

在源电极层和漏电极层上的包含铟、镓以及锌的氧化物半导体层,其中包含铟、镓以及锌的氧化物半导体层包含铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。

[0023] 在此说明书中公开的本发明的结构的另一实施方式包括以下步骤:在具有绝缘表面的基板上形成栅电极层;在该栅电极层上形成栅绝缘层;在该栅绝缘层上形成氧化物半导体层;在该氧化物半导体层上形成源电极层和漏电极层;以及向氧化物半导体层中未被源电极层或漏电极层覆盖的区域添加金属元素。

[0024] 在此说明书中公开的本发明的结构的另一实施方式包括以下步骤:在具有绝缘表面的基板上形成栅电极层;在该栅电极层上形成栅绝缘层;在该栅绝缘层上形成氧化物半导体层;向氧化物半导体层添加金属元素;以及在添加了金属元素的氧化物半导体层上形成源电极层和漏电极层。

[0025] 在此说明书中公开的本发明的结构的另一实施方式包括以下步骤:在具有绝缘表面的基板上形成栅电极层;在该栅电极层上形成栅绝缘层;在该栅绝缘层上形成源电极层和漏电极层;在源电极层和漏电极层上形成氧化物半导体层;以及向氧化物半导体层添加金属元素。

[0026] 在此说明书中公开的半导体器件和用于制造半导体器件的方法实现以上目的中的至少一个。

[0027] 此外,可将源区设置在氧化物半导体层(也称为第一氧化物半导体层)与源电极层之间,而将漏区设置在氧化物半导体层与漏电极层之间。作为源区和漏区,可使用具有n型导电性的氧化物半导体层(也称为第二氧化物半导体层)。

[0028] 此外,用于薄膜晶体管的源区和漏区的第二氧化物半导体层优选地比用于沟道形成区的第一氧化物半导体层更薄,而且优选地具有比第一氧化物半导体层更高的导电性(电导率)。

[0029] 此外,在某些情况下,用于沟道形成区的第一氧化物半导体层具有非晶结构,而用于源区和漏区的第二氧化物半导体层包括非晶结构中的晶粒(纳米晶体)。用于源区和漏区的第二氧化物半导体层中的晶粒(纳米晶体)具有1nm到10nm、通常约2nm到4nm的直径。

[0030] 作为用于源区和漏区(n^+ 层)的第二氧化物半导体层,可使用In-Ga-Zn-O基非单晶膜。

[0031] 可形成绝缘膜以覆盖包括氧化物半导体层和源以及漏电极层的薄膜晶体管,并与包括沟道形成区的氧化物半导体层接触。

[0032] 因为薄膜晶体管容易被静电等损坏,所以优选在与栅线或源线相同的基板上设置用于保护驱动器电路的保护电路。优选使用其中使用了氧化物半导体的非线性元件形成保护电路。

[0033] 注意为方便起见而使用诸如“第一”和“第二”之类的序数。因此,在此说明书中,它们不表示指定本发明的步骤的顺序、层叠顺序以及特定名称。

[0034] 而且,作为包括驱动器电路的显示装置,除液晶显示装置之外,还给出了其中使用了发光元件的发光显示装置和其中使用了电泳显示元件的显示装置。

[0035] 在其中使用了发光元件的发光显示装置中,像素部分中包括多个薄膜晶体管,而且在像素部分中,存在其中薄膜晶体管的栅电极连接至另一薄膜晶体管的源引线或漏引线

的区域。此外,在其中使用了发光元件的发光显示装置的驱动器电路中,存在薄膜晶体管的栅电极连接至薄膜晶体管的源引线或漏引线的区域。

[0036] 注意此说明书中的半导体装置意味着可使用半导体特性操作的所有器件、以及光电器件、半导体电路以及电子电器均包括在该半导体装置中。

[0037] 可获得具有稳定电特性的薄膜晶体管,且可制造具有良好动态特性的薄膜晶体管。因此,可提供包括具有高电特性的高可靠薄膜晶体管的半导体器件。

附图说明

- [0038] 图 1A 和 1B 示出半导体器件。
- [0039] 图 2A 到 2D 示出用于制造半导体器件的方法。
- [0040] 图 3A 和 3B 示出半导体器件。
- [0041] 图 4A 到 4D 示出用于制造半导体器件的方法。
- [0042] 图 5A 到 5C 示出用于制造半导体器件的方法。
- [0043] 图 6A 到 6C 示出用于制造半导体器件的方法。
- [0044] 图 7 示出用于制造半导体器件的方法。
- [0045] 图 8 示出用于制造半导体器件的方法。
- [0046] 图 9 示出用于制造半导体器件的方法。
- [0047] 图 10 示出半导体器件。
- [0048] 图 11A1 到 11B2 分别示出半导体器件。
- [0049] 图 12 示出半导体器件。
- [0050] 图 13 示出半导体器件。
- [0051] 图 14A 和 14B 是半导体器件的框图。
- [0052] 图 15 示出信号线驱动器电路的结构。
- [0053] 图 16 是信号线驱动器电路的操作的时序图。
- [0054] 图 17 是信号线驱动器电路的操作的时序图。
- [0055] 图 18 示出移位寄存器的结构。
- [0056] 图 19 示出图 18 中的触发器的连接结构。
- [0057] 图 20 示出半导体器件的像素等效电路。
- [0058] 图 21A 到 21C 分别示出半导体器件。
- [0059] 图 22A1 到 22B 分别示出半导体器件。
- [0060] 图 23 示出半导体器件。
- [0061] 图 24A 和 24B 示出半导体器件。
- [0062] 图 25A 和 25B 示出电子纸的使用模式的示例。
- [0063] 图 26 是电子书设备的示例的外部视图。
- [0064] 图 27A 和 27B 分别是电视设备的示例和数码相框的示例的外部视图。
- [0065] 图 28A 和 28B 是娱乐机的示例的外部视图。
- [0066] 图 29A 和 29B 是蜂窝电话的示例的外部视图。
- [0067] 图 30A 到 30E 示出用于制造半导体器件的方法。
- [0068] 图 31A 到 31D 示出用于制造半导体器件的方法。

[0069] 图 32A 到 32D 示出用于制造半导体器件的方法。

具体实施例

[0070] 将参照附图详细描述多个实施例。然而,本发明不限于上述描述,而且对本发明的模式和细节的各种改变对本领域技术人员是显而易见的,除非这些改变背离了本发明的精神和范围。因此,本发明不应被解释为受限于实施例中所描述的内容。在以下要描述的本发明的结构中,在附图通篇中通过相同附图标记来标记具有相似功能的相同部分或多个部分,以省略重复的说明。

[0071] (实施例 1)

[0072] 将参照图 1A 和 1B 以及图 2A 至 2D 描述一种半导体器件和一种用于制造半导体器件的方法。

[0073] 图 1A 是半导体器件的薄膜晶体管 470 的俯视图,而图 1B 是沿图 1A 的线 C1-C2 的截面图。薄膜晶体管 470 是倒交错薄膜晶体管,且包括在具有绝缘表面的基板 400 上的栅电极层 401、栅绝缘层 402、半导体层 403、分别作为源区或漏区的 n^+ 层 404a 和 404b 以及源或漏电极层 405a 和 405b。此外,提供了绝缘膜 407 以覆盖薄膜晶体管 470 并与半导体层 403 接触。

[0074] 该半导体层 403 是包括金属元素的氧化物半导体层,其中添加了铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。在此说明书的附图中,半导体层 403 的阴影区是添加了金属元素的区域。当将金属元素添加到氧化物半导体层中时,该金属元素成为氧化物半导体层中的复合中心,由此会降低氧化物半导体层的光敏性。低光敏性能稳定薄膜晶体管的电特性,且能防止由阈值电压变化等引起的截止电流增大。

[0075] 图 2A 至 2D 是示出制造薄膜晶体管 470 的步骤的截面图。

[0076] 在图 2A 中,将栅电极层 401 设置在作为具有绝缘表面的基板的基板 400 上。可在基板 400 与栅电极层 401 之间设置用作基膜的绝缘膜。该基膜有防止杂质元素从基板 400 扩散的功能,而且可使用氮化硅膜、氧化硅膜、氮氧化硅膜以及氧氮化硅膜中的一种或多种将该基膜形成为具有单层或层叠结构。可使用诸如钼、钛、铬、钽、钨、铝、铜、或钨、或钽之类的金属材料或包括这些材料中的任一种作为其主要组分的任何合金材料来形成具有单层或层叠结构的栅电极层 401。

[0077] 例如,作为栅电极层 401 的两层结构,以下结构是优选的:钼层堆叠在铝层之上的两层结构;钼层堆叠在铜层之上的两层结构;氮化钛层或氮化钽层堆叠在铜层之上的两层结构;以及氮化钛层和钼层堆叠的两层结构。作为三层结构,优选堆叠钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、以及氮化钛层或钛层。

[0078] 在栅电极层 401 之上形成栅绝缘层 402。

[0079] 可通过等离子体 CVD 方法、溅射方法等使用氧化硅层、氮化硅层、氧氮化硅层、或氮氧化硅层来形成具有单层或层叠结构的栅绝缘层 402。替代地,可通过其中使用了有机硅烷气体的 CVD 方法使用氧化硅层形成栅绝缘层 402。作为有机硅烷气体,可使用诸如四乙氧基硅烷 (TEOS: 分子式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷 (TMS: 化学分子式 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷 (TMCTS)、八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$) 或三二甲基氨基硅烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 之类的含硅化合物。

[0080] 在栅绝缘层 402 上,第一氧化物半导体膜 430 和第二氧化物半导体膜 431 以此顺序堆叠。第一氧化物半导体膜 430 与第二氧化物半导体膜 431 是通过光刻步骤形成图案的岛状氧化物半导体层。

[0081] 要注意的是,在通过溅射方法形成第一氧化物半导体膜 430 之前,优选地通过其中引入氩气并产生等离子体的反溅射去除附连至栅绝缘层 402 的表面的灰尘。反溅射是一种方法,其中在氩气气氛中使用 RF 功率源对基板侧施加电压而不对目标侧施加电压以在基板侧上产生等离子体,从而修改表面。可使用氮气、氦气等代替氩气气氛。替代地,可将氧气、氢气、 N_2O 等添加至氩气气氛。进一步替代地,可将 Cl_2 、 CF_4 等添加至氩气气氛。

[0082] 优选地通过等离子体处理修改第二氧化物半导体膜 431 与导电膜 432 相互接触的区域。

[0083] 可使用氮气、氦气等代替氩气气氛执行等离子体处理。替代地,可将氧气、氢气、 N_2O 等添加至氩气气氛。进一步替代地,可将 Cl_2 、 CF_4 等添加至氩气气氛。

[0084] In-Ga-Zn-O 基非单晶膜被用作第一氧化物半导体膜 430 和第二氧化物半导体膜 431。在不同条件下形成第一氧化物半导体膜 430 和第二氧化物半导体膜 431,而第二氧化物半导体膜 431 比第一氧化物半导体膜 430 具有更高的电导率和更低的电阻。例如,利用氧化物半导体膜形成第二氧化物半导体膜 431,通过其中氩气流速设置为 40sccm 的溅射方法获得该氧化物半导体膜。第二氧化物半导体膜 431 具有 n 型导电性,且具有 0.01eV 到 0.1eV (含 0.01eV 和 0.1eV) 的激活能 (ΔE)。注意,第二氧化物半导体膜 431 是 In-Ga-Zn-O 基非单晶膜且至少包括非晶组分。在某些情况下,第二氧化物半导体膜 431 具有在非晶结构中的晶粒(纳米晶体)。此第二氧化物半导体膜 431 中的晶粒(纳米晶体)具有 1nm 到 10nm 的直径,通常为约 2nm 到 4nm。

[0085] 通过提供第二氧化物半导体膜 431 作为 n^+ 层,使用金属层形成的导电膜 432 与用作沟道形成区的第一氧化物半导体膜 430 具有良好的结,这允许比肖特基结中更热稳定的操作。此外,主动提供 n^+ 层在向沟道提供载流子(在源侧)、稳定地吸收来自沟道的载流子(在漏侧)、或防止在与引线的接口处形成电阻分量方面是有效的。此外,通过降低电阻,甚至可在高漏电压下保持高迁移率。

[0086] 在栅绝缘层 402、第一氧化物半导体膜 430 以及第二氧化物半导体膜 431 之上形成导电膜 432。

[0087] 作为导电膜 432 的材料,可以从 Al、Cr、Ta、Ti、Mo 以及 W 中选择的元素、包含这些元素中的任一种作为其组分的合金、包含这些元素中的任一种的组分的合金等。如果在 200°C 至 600°C 下执行热处理,优选地该导电膜具有足以承受该热处理的耐热性。因为铝本身具有低耐热性、容易被腐蚀等缺点,所以它与具有耐热性的导电材料组合使用。作为与铝组合使用的具有耐热性的导电材料,可使用从钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd) 以及钪(Sc) 中选择的元素、包括这些元素中的任一种作为组分的合金、包括这些元素的任一种的组分的合金、或包括这些元素中的任一种作为组分的氮化物。

[0088] 可在不暴露给空气的情况下依次形成栅绝缘层 402、第一氧化物半导体膜 430、第二氧化物半导体膜 431 以及导电膜 432。当在不暴露给空气的情况下依次形成栅绝缘层 402、第一氧化物半导体膜 430、第二氧化物半导体膜 431 以及导电膜 432 时,可在不受空气中包含的大气组分或杂质元素污染的情况下形成层叠膜之间的界面。因此,可减少薄膜晶

体管的特性的变化。

[0089] 通过蚀刻步骤蚀刻第一氧化物半导体膜 430、第二氧化物半导体膜 431 以及导电膜 432,以形成半导体层 433、 n^+ 层 404a 和 404b 以及源或漏电极层 405a 和 405b(图 2B)。注意,半导体层 433 是通过仅蚀刻一部分使之具有凹槽(凹陷)和末端部分而得到的半导体层,该末端部分部分也被蚀刻和暴露。

[0090] 接着,对作为氧化物半导体层的半导体层 433 添加金属元素 434,藉此形成半导体层 403(图 2C)。

[0091] 作为金属元素 434,可使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。例如,将铁用作金属元素 434,并通过离子注入方法来添加。通过使用设置有包括能蒸发固态源的加热器的离子源室的离子注入装置添加铁。

[0092] 因为在半导体层 433 上形成源或漏电极层 405a 和 405b,所以源或漏电极层 405a 和 405b 用作掩模,并且金属元素 434 被添加到半导体层 433 的暴露部分。当金属元素以此方式被选择性地添加到半导体层 433 中时,所添加的金属元素的浓度具有一种分布,而且在半导体层 403 中还存在未添加金属元素的区域。

[0093] 此外,金属元素还被添加到除氧化物半导体层之外的膜,这取决于在工艺或掩模条件中何时添加金属元素。例如,在倒交错薄膜晶体管中,当通过使用源电极层和漏电极层作为掩模将金属元素添加到氧化物半导体层的暴露区域时,金属元素也被添加到源电极层和漏电极层。以相似的方式,因为金属元素被添加到暴露区域,所以金属元素也被添加到栅绝缘层的暴露区域。此外,取决于添加金属元素的条件,在某些情况下,金属元素还被添加到栅绝缘层之下的基膜中。当然,当形成掩模时,被掩模覆盖的区域可以是未添加金属元素的区域;因此,该金属元素可选择性地包含在氧化物半导体层中。

[0094] 通过添加该金属元素,降低了氧化物半导体层的光敏性。此外,通过仅在氧化物半导体层的表面附近添加该金属元素,降低了氧化物半导体层的光敏性,同时抑制了氧化物半导体层中的迁移率的降低。因此,可防止诸如截止电流增大之类的电特性变化。

[0095] 在该步骤之后,优选地在 200°C 至 600°C 下,通常在 300°C 至 500°C 下,执行热处理。例如,在氮气气氛下、在 350°C 下执行热处理一小时。通过热处理,对半导体层 403 和 n^+ 层 404a 和 404b 中包括的 In-Ga-Zn-O 基氧化物半导体执行原子级重排。此热处理(包括光退火等)是重要的,因为此热处理能释放妨碍半导体层 403 和 n^+ 层 404a 和 404b 中载流子传输的畸变。注意,只要在第一氧化物半导体膜 430 和第二氧化物半导体膜 431 形成之后执行该热处理,对上述热处理的定时就不存在特殊的限制。

[0096] 此外,半导体层 403 的暴露部分的凹陷可经受氧自由基处理。通过执行氧自由基处理,半导体层 403 是沟道形成区的薄膜晶体管在正常情况下是截止的。此外,通过执行自由基处理,可修复由蚀刻引起的半导体层 403 的损伤。优选地在 O_2 或 N_2O 的气氛、或 N_2 、He、Ar 等包括氧的气氛下执行自由基处理。此外,可在添加了 Cl_2 或 CF_4 的上述气氛下执行自由基处理。注意,优选地在没有对基板 400 侧施加偏置电压的情况下执行自由基处理。

[0097] 通过上述工艺,如图 2D 所示,可制造添加了金属元素的半导体层 403 用作沟道形成区的倒交错薄膜晶体管 470。此外,形成了绝缘膜 407 以覆盖薄膜晶体管 470 并与半导体层 403 接触。

[0098] 通过向氧化物半导体层添加金属元素可获得具有稳定电特性的薄膜晶体管,而且

可制造具有良好动态特性的薄膜晶体管。因此,可提供包括高可靠薄膜晶体管的半导体器件。

[0099] (实施例 2)

[0100] 在此实施例中,图 30A 到 30E 示出包括薄膜晶体管的半导体器件的示例,其中与实施例 1 不同的是,在形成源和漏电极层之前将金属元素添加到半导体层。

[0101] 图 30A 至 30E 是示出薄膜晶体管 440 的制造工艺的截面图。

[0102] 在图 30A 中,在基板 400 之上形成栅电极层 401,而在栅电极层 401 之上形成栅绝缘层 402。

[0103] 在栅绝缘层 402 上形成第一氧化物半导体膜 435。

[0104] 接着,金属元素 434 被添加至第一氧化物半导体膜 435,藉此形成第一氧化物半导体膜 436(图 30B)。

[0105] 作为金属元素 434,可使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。例如,将铁用作金属元素 434,并通过离子注入方法来添加。通过使用设置有包括能蒸发固态源的加热器的离子源室的离子注入装置添加铁。

[0106] 金属元素 434 被添加至第一氧化物半导体膜 435 的整个表面。虽然示出了金属元素被添加至第一氧化物半导体膜 435 的整个厚度方向的示例,但该金属元素也可仅被添加在第一氧化物半导体膜 435 的表面附近。

[0107] 通过添加该金属元素,降低了氧化物半导体膜的光敏性,这能防止诸如截止电流增大之类的电特性变化。

[0108] 在第一氧化物半导体膜 436 上,形成了第二氧化物半导体膜。通过光刻步骤分别使第一氧化物半导体膜 436 和第二氧化物半导体膜形成为岛状的第一氧化物半导体膜 437 和第二氧化物半导体膜 431。

[0109] 在栅绝缘层 402、第一氧化物半导体膜 437 以及第二氧化物半导体膜 431 之上形成导电膜 432(图 30C)。

[0110] 通过蚀刻步骤蚀刻第一氧化物半导体膜 437、第二氧化物半导体膜 431 以及导电膜 432,以形成半导体层 438、 n^+ 层 404a 和 404b 以及源或漏电极层 405a 和 405b(图 30D)。注意,半导体层 438 是通过仅蚀刻一部分使之具有凹槽(凹陷)和末端部分而得到的的半导体层,该末端部分部分也被蚀刻和暴露。

[0111] 通过添加该金属元素,降低了氧化物半导体膜 438 的光敏性,这能防止诸如截止电流增大之类的电特性变化。

[0112] 在该步骤之后,优选地在 200°C 至 600°C 下,通常在 300°C 至 500°C 下,执行热处理。例如,在氮气气氛下在 350°C 下执行热处理一小时。

[0113] 通过上述工艺,如图 30E 所示,可制造添加了金属元素的半导体层 483 用作沟道形成区的倒交错薄膜晶体管 440。此外,形成了绝缘膜 407 以覆盖薄膜晶体管 440 并与半导体层 438 接触。

[0114] 通过向氧化物半导体层添加金属元素可获得具有稳定电特性的薄膜晶体管,而且可制造具有良好动态特性的薄膜晶体管。因此,可提供包括高可靠薄膜晶体管的半导体器件。

[0115] (实施例 3)

[0116] 在此实施例中,图 31A 到 31D 示出包括薄膜晶体管的半导体器件的示例,其中与实施例 1 不同的是,源和漏电极层与半导体层接触,它们之间未插入 n^+ 层。

[0117] 图 31A 至 31D 是示出薄膜晶体管 471 的制造工艺的截面图。

[0118] 在图 31A 中,在基板 400 之上形成栅电极层 401,而在栅电极层 401 之上形成栅绝缘层 402。

[0119] 在栅绝缘层 402 之上,形成了第一氧化物半导体膜 430。第一氧化物半导体膜 430 是通过光刻步骤形成的岛状氧化物半导体层。

[0120] 在栅绝缘层 402 和第一氧化物半导体膜 430 之上形成导电膜 432。

[0121] 通过蚀刻步骤蚀刻第一氧化物半导体膜 430 和导电膜 432,以形成半导体层 433 和源或漏电极层 405a 和 405b(图 31B)。注意,半导体层 433 是通过仅蚀刻一部分使之具有凹槽(凹陷)和末端部分的半导体层,该末端部分部分也被蚀刻和暴露。

[0122] 接着,对作为氧化物半导体层的半导体层 433 添加金属元素 434,藉此形成半导体层 403(图 31C)。

[0123] 作为金属元素 434,可使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。例如,将铁用作金属元素 434,并通过离子注入方法添加它。通过使用设置有包括能蒸发固态源的加热器的离子源室的离子注入装置添加铁。

[0124] 因为在半导体层 433 上形成源或漏电极层 405a 和 405b,所以源或漏电极层 405a 和 405b 用作掩模,从而金属元素 434 被添加到半导体层 433 的暴露部分。当金属元素以此方式被选择性地添加到半导体层 433 中时,所添加的金属元素的浓度具有一种分布,而且在半导体层 403 中还存在未添加金属元素的区域。虽然示出了金属元素仅被添加在半导体层 433 的表面附近的示例,但该金属元素也可被添加在半导体层 433 的整个厚度方向中。

[0125] 通过添加该金属元素,降低了氧化物半导体层的光敏性,这能防止诸如截止电流增大之类的电特性变化。

[0126] 在该步骤之后,优选地在 200°C 至 600°C 下,通常在 300°C 至 500°C 下,执行热处理。例如,在氮气气氛下、在 350°C 下执行热处理一小时。

[0127] 通过上述工艺,如图 31D 所示,可制造添加了金属元素的半导体层 403 用作沟道形成区的倒交错薄膜晶体管 471。此外,形成了绝缘膜 407 以覆盖薄膜晶体管 471 并与半导体层 403 接触。

[0128] 通过向氧化物半导体层添加金属元素可获得具有稳定电特性的薄膜晶体管,而且可制造具有良好动态特性的薄膜晶体管。因此,可提供包括高可靠薄膜晶体管的半导体器件。

[0129] (实施例 4)

[0130] 将参照图 3A 和 3B 以及图 4A 至 4D 描述一种半导体器件和一种用于制造半导体器件的方法。

[0131] 图 3A 是半导体器件中包括的薄膜晶体管 460 的俯视图,而图 3B 是沿图 3A 的线 D1-D2 的截面图。薄膜晶体管 460 是底栅薄膜晶体管,且包括在具有绝缘表面的基板 450 上的栅电极层 451、栅绝缘层 452、源或漏电极层 455a 和 455b、分别作为源区或漏区的 n^+ 层 454a 和 454b、以及半导体层 453。此外,提供了绝缘膜 457 以覆盖薄膜晶体管 460 并与半导体层 453 接触。对于半导体层 453 和 n^+ 层 454a 和 454b,使用了 In-Ga-Zn-O 基非单晶膜。

[0132] 在薄膜晶体管 460 中,在包括薄膜晶体管 460 的整个区域中存在栅绝缘层 452,而栅电极层 451 设置在栅绝缘层 452 与作为具有绝缘表面的基板的基板 450 之间。在栅绝缘层 452 之上,设置了源或漏电极层 455a 和 455b 和 n^+ 层 454a 和 454b。此外,在栅绝缘层 452、源或漏电极层 455a 和 455b 以及 n^+ 层 454a 和 454b 之上,设置了半导体层 453。虽然未示出,但除源或漏电极层 455a 和 455b 之外,在栅绝缘层 452 之上设置了引线层,且该引线层延伸而超过半导体器件中的半导体层的外围部分。

[0133] 该半导体层 453 是包括金属元素的氧化物半导体层,其中添加了铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。在此说明书的附图中,半导体层 453 的阴影区是添加了金属元素的区域。

[0134] 当将金属元素添加到氧化物半导体层中时,该金属元素成为氧化物半导体层中的复合中心,由此会降低氧化物半导体层的光敏性。低光敏性能稳定薄膜晶体管的电特性,且能防止由阈值电压变化等引起的截止电流增大。

[0135] 图 4A 至 4D 是示出制造薄膜晶体管 460 的步骤的截面图。

[0136] 将栅电极层 451 设置在作为具有绝缘表面的基板的基板 450 上。可在基板 450 与栅电极层 451 之间设置用作基膜的绝缘膜。该基膜有防止杂质元素从基板 450 扩散的功能,而且可使用氮化硅膜、氧化硅膜、氮氧化硅膜以及氧氮化硅膜中的一种或多种将该基膜形成为具有单层或层叠结构。可使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钪之类的金属材料或包括这些材料中的任一种作为其主要组分的任何合金材料来形成具有单层或层叠结构的栅电极层 451。

[0137] 在栅电极层 451 之上形成栅绝缘层 452。

[0138] 可通过等离子体 CVD 方法、溅射方法等使用氧化硅层、氮化硅层、氧氮化硅层、或氮氧化硅层来形成具有单层或层叠结构的栅绝缘层 452。替代地,可通过其中使用了有机硅烷气体的 CVD 方法使用氧化硅形成栅绝缘层 452。

[0139] 在栅绝缘层 452 之上,按照顺序堆叠导电膜和第一氧化物半导体膜。通过光刻步骤将导电膜和第一氧化物半导体膜分别形成为岛状的源或漏电极层 455a 和 455b 以及氧化物半导体膜 481a 和 481b(图 4A)。氧化物半导体膜 481a 和 481b 用作 n^+ 层,因而按照类似于实施例 1 中的第二氧化物半导体膜 431 相似的方式形成。

[0140] 作为源或漏电极层 455a 和 455b 的材料,可以从 Al、Cr、Ta、Ti、Mo 以及 W 中选择的元素、包含这些元素中的任一种作为其组分的合金、包含这些元素中的任一种的合金等。如果在 200°C 至 600°C 下执行热处理,则优选该导电膜具有足以承受该热处理的耐热性。因为铝本身具有低耐热性、容易被腐蚀等缺点,所以它与具有耐热性的导电材料组合使用。作为与铝组合使用的具有耐热性的导电材料,可使用从钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)以及钪(Sc)中选择的元素、包括这些元素中的任一种作为组分的合金、包括这些元素的任一种的合金、或包括这些元素中的任一种作为组分的氮化物。

[0141] 然后,在栅绝缘层 452、源或漏电极层 455a 和 455b 以及氧化物半导体膜 481a 和 481b 之上形成第二氧化物半导体膜,且通过光刻步骤形成岛状半导体层 483 和 n^+ 层 454a 和 454b(图 4B)。

[0142] 半导体层 483 用作沟道形成区,从而按照类似于实施例 1 中的第一氧化物半导体膜 430 的方式形成。

[0143] 要注意的是,在通过溅射方法形成半导体层 483 之前,优选地通过引入氩气并产生等离子体的反溅射去除附连至栅绝缘层 452 的表面的灰尘。

[0144] 接着,对作为氧化物半导体层的半导体层 483 添加金属元素 484,藉此形成半导体层 453(图 4C)。

[0145] 作为金属元素 484,可使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。例如,将铁用作金属元素 484,并通过离子注入方法添加它。通过使用设置有包括能蒸发固态源的加热器的离子源室的离子注入装置添加铁。

[0146] 金属元素 484 被添加至半导体层 483 暴露的整个表面。虽然示出了金属元素被添加在半导体层 483 的整个厚度方向中的示例,但该金属元素也可仅被添加在半导体层 483 的表面附近。

[0147] 通过添加该金属元素,降低了氧化物半导体层的光敏性,这能防止诸如截止电流增大之类的电特性变化。

[0148] 在该步骤之后,优选地在 200°C 至 600°C 下,通常在 300°C 至 500°C 下,执行热处理。例如,在氮气气氛下、在 350°C 下执行热处理一小时。对此热处理的定时无特殊限制,只要在氧化物半导体膜形成之后执行该热处理即可。

[0149] 接着,半导体层 453 可经受氧自由基处理。

[0150] 通过上述工艺,如图 4D 所示,可制造添加了金属元素的半导体层 453 用作沟道形成区的底栅薄膜晶体管 460。此外,形成了绝缘膜 457 以覆盖薄膜晶体管 460 并与半导体层 453 接触。

[0151] 通过向氧化物半导体层添加金属元素可获得具有稳定电特性的薄膜晶体管,而且可制造具有良好动态特性的薄膜晶体管。因此,可提供包括高可靠薄膜晶体管的半导体器件。

[0152] (实施例 5)

[0153] 图 32A 到 32D 示出包括薄膜晶体管的半导体器件的示例,其中与实施例 4 不同的是,源和漏电极层与半导体层接触,它们之间未插入 n^+ 层。

[0154] 图 32A 至 32D 是示出薄膜晶体管 461 的制造工艺的截面图。

[0155] 将栅电极层 451 形成在作为具有绝缘表面的基板的基板 450 上。可在基板 450 与栅电极层 451 之间设置用作基膜的绝缘膜。

[0156] 在栅电极层 451 之上形成栅绝缘层 452。

[0157] 在栅绝缘层 452 上,堆叠导电膜,并通过光刻步骤将该导电膜形成为岛状的源或漏电极层 455a 和 455b(图 32A)。

[0158] 然后在栅绝缘层 452 和源或漏电极层 455a 和 455b 上形成氧化物半导体膜,并通过光刻步骤将该氧化物半导体膜形成为岛状的半导体层 483(图 32B)。

[0159] 半导体层 483 用作沟道形成区,从而按照类似于实施例 1 中的第一氧化物半导体膜 430 的方式形成。

[0160] 要注意的是,在通过溅射方法形成半导体层 483 之前,优选地通过引入氩气并产生等离子体的反溅射去除附连至栅绝缘层 452 的表面的灰尘。

[0161] 接着,对作为氧化物半导体层的半导体层 483 添加金属元素 484,藉此形成半导体层 485(图 32C)。

[0162] 作为金属元素 484,可使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。例如,将铁用作金属元素 484,并通过离子注入方法添加它。通过使用设置有包括能蒸发固态源的加热器的离子源室的离子注入装置添加铁。

[0163] 金属元素 484 被添加至半导体层 483 暴露的整个表面。虽然示出了金属元素仅被添加在半导体层 483 的表面附近的示例,但该金属元素也可被添加在半导体层 483 的整个厚度方向中。

[0164] 通过添加金属元素,降低了氧化物半导体层的光敏性,这能防止诸如截止电流增大之类的电特性变化。

[0165] 在该步骤之后,优选地在 200°C 至 600°C 下,通常在 300°C 至 500°C 下,执行热处理。例如,在氮气气氛下、在 350°C 下执行热处理一小时。对此热处理的定时无特殊限制,只要在氧化物半导体膜形成之后执行该热处理即可。

[0166] 接着,半导体层 485 可经受氧自由基处理。

[0167] 通过上述工艺,如图 32D 所示,可制造添加了金属元素的半导体层 485 用作沟道形成区的底栅薄膜晶体管 461。此外,形成了绝缘膜 457 以覆盖薄膜晶体管 461 并与半导体层 485 接触。

[0168] 在薄膜晶体管 461 中,在包括薄膜晶体管 461 的整个区域中存在栅绝缘层 452,而栅电极层 451 被设置在栅绝缘层 452 与作为具有绝缘表面的基板的基板 450 之间。源或漏电极层 455a 和 455b 被设置在栅绝缘层 452 上。此外,半导体层 485 被设置在栅绝缘层 452 和源或漏电极层 455a 和 455b 之上。虽然未示出,但除源或漏电极层 455a 和 455b 之外,在栅绝缘层 452 之上还设置了引线层,且该引线层延伸而超过半导体器件中的半导体层的外围部分。

[0169] 通过向氧化物半导体层添加金属元素可获得具有稳定电特性的薄膜晶体管,而且可制造具有良好动态特性的薄膜晶体管。因此,可提供包括高可靠薄膜晶体管的半导体器件。

[0170] (实施例 6)

[0171] 将参照图 5A 至 5C、图 6A 至 6C、图 7、图 8、图 9、图 10、图 11A1 至 11B2 以及图 12 描述包括薄膜晶体管的半导体器件的制造工艺。

[0172] 在图 5A 中,对于具有光透射性质的基板 100,可使用由钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等组成的玻璃基板。

[0173] 在基板 100 的整个表面上形成导电层之后,通过第一光刻步骤形成抗蚀剂掩模。然后通过蚀刻去除不必要的部分,从而形成引线和电极(栅极引线包括栅电极层 101、电容器引线 108 以及第一端子 121)。那时,执行蚀刻以至少使栅电极层 101 的边缘楔化。图 5A 示出了此阶段的截面图。注意,图 7 是此阶段的俯视图。

[0174] 优选地使用耐热导电材料形成包括栅电极层 101、电容器引线 108 以及端子部分处的第一端子 121 的栅极引线中的每一个,所述耐热导电材料诸如从钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)以及钪(Sc)中选择的元素、包含这些元素中的任一种作为其组分的合金、包含这些元素中的任一种作为其组合的合金膜、或包含这些元素中的任一种作为其组分的氮化物。在使用诸如铝(Al)或铜(Cu)之类的低耐热导电材料的情况下,该低耐热导电材料与上述耐热材料组合使用,因为 Al 单独具有低耐热性、易受腐蚀等问题。

[0175] 然后,在栅电极层 101 的整个表面上形成栅绝缘层 102。通过溅射方法等将栅绝缘层 102 形成为 50nm 到 250nm 厚度。

[0176] 例如,通过溅射方法将作为栅绝缘层 102 的硅氧化物膜形成为 100nm 厚度。不言而喻,栅绝缘层 102 不限于这样的硅氧化物膜,而诸如氮化硅膜、氮化硅膜、氧化铝膜以及氧化钽膜之类的其它绝缘膜可用来形成单层结构或层叠结构。

[0177] 注意,优选地在氧化物半导体膜形成之前执行引入氩气和产生等离子体的反溅射工艺,以去除附连至栅绝缘层表面的灰尘。可使用氦气、氦气等代替氩气气氛。替代地,可将氧气、氢气、 N_2O 等添加至氩气气氛。进一步替代地,可将 Cl_2 、 CF_4 等添加至氩气气氛。

[0178] 接着,在栅绝缘层 102 上形成第一氧化物半导体膜(第一 In-Ga-Zn-O 基非单晶膜)。在等离子体处理之后在不暴露给空气的情况下沉积第一 In-Ga-Zn-O 基非单晶膜是有效的,因为灰尘和水分未附着到栅绝缘层与半导体膜之间的界面。这里,在以下条件下形成第一 In-Ga-Zn-O 基非单晶膜:靶是包括 In、Ga 和 Zn($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$) 的直径为 8 英寸的氧化物半导体靶,基板与靶之间的距离是 170mm,压力是 0.4Pa,直流(DC)功率是 0.5kW,以及气氛气体是氩气或氧气。优选脉冲直流(DC)功率源,因为可减少灰尘,而且膜厚变得均匀。第一 In-Ga-Zn-O 基非单晶膜的厚度被设置在 5nm 到 200nm 范围中。这里,第一 In-Ga-Zn-O 基非单晶膜的厚度是 100nm。

[0179] 接着,通过溅射方法在不暴露给空气的情况下形成第二氧化物半导体膜(第二 In-Ga-Zn-O 基非单晶膜)。这里,在以下条件下进行溅射沉积:靶是包括 In、Ga 和 Zn($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$) 的氧化物半导体靶,压力是 0.4Pa,电功率量是 500W,沉积温度是室温,以及氩气流速是 40sccm。虽然有意使用了 $In_2O_3 : Ga_2O_3 : ZnO$ 是 1 : 1 : 1 的靶,但在某些情况下,在刚沉积之后获得包括 1nm 至 10nm 大小的晶粒的 In-Ga-Zn-O 基非单晶膜。通过酌情调节靶组分比、沉积压力(0.1Pa 到 2.0Pa)、电功率量(250W 到 3000W : 8 英寸 ϕ)、温度(室温到 100 $^{\circ}C$)、反应溅射沉积条件等,可控制晶粒有无及其密度,且能在 1nm 到 10nm 的范围内调节晶粒直径。第二 In-Ga-Zn-O 基非单晶膜的厚度是 5nm 到 20nm。不言而喻,在膜包括晶粒的情况下,晶粒的大小不会超过膜厚度。这里,第二 In-Ga-Zn-O 基非单晶膜的厚度是 5nm。

[0180] 第一 In-Ga-Zn-O 基非单晶膜和第二 In-Ga-Zn-O 基非单晶膜在彼此不同的条件下形成。例如,第一 In-Ga-Zn-O 基非单晶膜的沉积条件下的氧气与氩气流量比高于第二 In-Ga-Zn-O 基非单晶膜的沉积条件下的该流量比。具体而言,在稀有气体(诸如氩气或氦气)气氛(或包括至少 10%或更少氧气和 90%或更多氩气的气氛)中形成第二 In-Ga-Zn-O 基非单晶膜,而在氧气气氛(或氩气与氧气流量比是 1 : 1 或更高的气氛)中形成第一 In-Ga-Zn-O 基非单晶膜。

[0181] 可在之前已经执行了反溅射的室中形成第二 In-Ga-Zn-O 基非单晶膜,或在不同于之前已经执行了反溅射的室的室中形成。

[0182] 溅射方法的示例包括高频功率源用作溅射功率源的 RF 溅射方法、直流溅射方法以及以脉冲方式施加偏置的脉冲直流溅射方法。在形成绝缘膜的情况下主要使用射频溅射方法,而在形成金属膜的情况下主要使用直流溅射方法。

[0183] 此外,还存在可设置不同材料的多个靶的多源溅射装置。利用该多源溅射装置,可在同一室中沉积层叠的不同材料膜,或可在同一室中通过放电同时沉积多种材料。

[0184] 此外,存在室中设置有磁铁系统且用于磁控管溅射方法的溅射装置,且在不使用辉光放电的情况下使用微波产生等离子体的用于 ECR 溅射方法的溅射装置。

[0185] 此外,作为通过溅射方法的沉积方法,还存在靶物质和溅射气体组分在沉积期间相互化学反应以形成它们的化合物薄膜的反应溅射方法,以及在沉积期间也对基板施加电压的偏置溅射方法。

[0186] 接着,执行第二次光刻步骤以形成抗蚀剂掩模,然后蚀刻第一 In-Ga-Zn-O 基非单晶膜和第二 In-Ga-Zn-O 基非单晶膜。例如,通过使用混合了磷酸、醋酸以及硝酸的溶液的湿法蚀刻,去除不必要的部分,从而形成作为第一 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 109 和作为第二 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 111。注意,此处的蚀刻不限于湿法蚀刻,而可以是干法蚀刻。注意,此阶段的俯视图对应于图 8。

[0187] 作为用于干法蚀刻的蚀刻气体,优选地使用含氯的气体(诸如氯气(Cl_2)、氯化硼(BCl_3)、氯化硅(SiCl_4)或四氯化碳(CCl_4)之类的氯基气体)。

[0188] 替代地,可使用含氟气体(诸如四氟化碳(CF_4)、氟化硫(SF_6)、氟化氮(NF_3)或三氟甲烷(CHF_3)之类的氟基气体)、溴化氢(HBr)、氧气(O_2)、添加了诸如氦气(He)或氩气(Ar)之类的稀有气体的这些气体中的任一种等。

[0189] 作为干法蚀刻方法,可使用平行板 RIE(反应离子蚀刻)方法或 ICP(感应耦合等离子体)蚀刻方法。为了将膜蚀刻成期望形状,可酌情调节蚀刻条件(施加给线圈状电极的电功率量、施加给基板面上的电极的电功率量、基板面上的电极温度等)。

[0190] 作为用于湿法蚀刻的蚀刻剂,可使用通过混合磷酸、醋酸以及硝酸获得的溶液、氨双氧水混合物(双氧水:氨:水=5:2:2)等。此外,还可使用 IT007N(由 KANTO 化学公司(KANTO CHEMICAL CO., INC.)制造)。

[0191] 通过清洗去除用于湿法蚀刻的蚀刻剂以及被蚀刻掉的材料。可提纯包括蚀刻剂和蚀刻掉的材料废液,从而重复使用该材料。当在蚀刻之后收集来自废液的氧化物半导体层中包括的诸如钼之类的材料并且再利用时,可高效地使用资源且可降低成本。

[0192] 根据材料适当地调节蚀刻条件(诸如蚀刻剂、蚀刻时间以及温度),从而可将该材料蚀刻成期望形状。

[0193] 接着,执行第三光刻步骤以形成抗蚀剂掩模,并通过蚀刻去除不必要的部分以形成接触孔,该接触孔达到电极层或由与栅电极层相同材料组成的引线。该接触孔被设置用于与稍后形成的导电膜直接连接。例如,当形成栅电极层与驱动器电路部分中的源或漏电极层直接接触的薄膜晶体管时,或当形成电连接至端子部分的栅极引线的端子时,形成接触孔。

[0194] 接着,在氧化物半导体膜 109 和氧化物半导体膜 111 上,通过溅射方法或真空蒸发方法形成由金属材料组成的导电膜 132。图 5B 示出了此阶段的截面图。

[0195] 作为导电膜 132 的材料,可以从 Al、Cr、Ta、Ti、Mo 以及 W 中选择的元素、包含这些元素中的任一种作为其组分的合金、包含这些元素中的任一种的合金等。此外,在 200°C 至 600°C 下执行热处理的情况下,优选地,该导电膜具有足以承受该热处理的耐热性。因为铝本身具有低耐热性、容易被腐蚀等缺点,所以它与具有耐热性的导电材料组合使用。作为与 Al 组合使用的具有耐热性的导电材料,可使用以下材料中的任一种:从钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)以及钪(Sc)中选择的元素、包括这些元素中的任一

种作为组分的合金、包括这些元素的任一种的组合的合金、以及包括这些元素中的任一种作为组分的氮化物。

[0196] 这里,导电膜 132 具有钛膜的单层结构。替代地,导电膜 132 可具有两层结构:铝膜和堆叠于其上的钛膜。再替代地,导电膜 132 可具有三层结构:Ti 膜、堆叠在 Ti 膜上的含 Nd(Al-Nd) 的铝膜、以及堆叠在这些膜上的 Ti 膜。导电膜 132 可具有含硅铝膜的单层结构。

[0197] 接着,通过第四光刻步骤形成抗蚀剂掩模 131,并通过蚀刻去除不需要的部分,从而形成源或漏电极层 105a 和 105b、用作源区或漏区的 n^+ 层 104a 和 104b、以及第二端子 122。这时使用湿法蚀刻或干法蚀刻作为蚀刻方法。例如,当使用铝膜或铝合金膜作为导电膜 132 时,可执行使用磷酸、醋酸以及硝酸的混合溶液的湿法蚀刻。这里,通过使用氨双氧水混合物的湿法蚀刻(双氧水与氨以及水的比例为 5 : 2 : 2),蚀刻作为 Ti 膜的导电膜 132 以形成源或漏电极层 105a 和 105b,并蚀刻氧化物半导体膜 111 以形成 n^+ 层 104a 和 104b。在此蚀刻步骤中,还将氧化物半导体膜 109 的暴露区域部分蚀刻为半导体层 133。因此, n^+ 层 104a 和 104b 之间的半导体层 133 的沟道区具有小厚度。在图 5C 中,在某一时刻通过使用氨双氧水混合物执行用于形成源或漏电极层 105a 和 105b 以及 n^+ 层 104a 和 104b 的蚀刻工艺。因此,源或漏电极层 105a 的末端部分和源或漏电极层 105b 的末端部分分别与 n^+ 层 104a 的末端部分和 n^+ 层 104b 的末端部分对齐;因此形成了连续结构。此外,湿法蚀刻允许这些层被各向同性地蚀刻,从而源或漏电极层 105a 和 105b 的末端部分被定位成比抗蚀剂掩模 131 的末端部分更向内。

[0198] 接着,将铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种金属元素 134 添加到作为氧化物半导体层的半导体层 133,藉此形成半导体层 103(图 6A)。作为金属元素 134,可使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。例如,将铁用作金属元素 134,并通过离子注入方法添加它。通过使用设置有包括能蒸发固态源的加热器的离子源室的离子注入装置添加铁。

[0199] 因为在半导体层 133 上形成源或漏电极层 105a 和 105b,所以源或漏电极层 105a 和 105b 用作掩模,从而金属元素 134 被添加到半导体层 133 的暴露区域。当金属元素以此方式被选择性地添加到半导体层 133 中时,所添加的金属元素的浓度具有一种分布,而且在半导体层 103 中还存在未添加金属元素的区域。

[0200] 通过添加该金属元素,稳定了氧化物半导体层,且降低了氧化物半导体膜的光敏性,这能防止诸如截止电流增大之类的电特性变化。

[0201] 通过上述步骤,可制造包括作为沟道形成区的其中添加了金属元素的半导体层 103 的薄膜晶体管 170。图 6A 是此阶段的截面图。图 9 示出了此阶段的俯视图。

[0202] 然后,优选地在 200°C 至 600°C 下,通常在 300°C 至 500°C 下,执行热处理。例如,使用熔炉在氮气气氛下在 350°C 下执行热处理一小时。通过此热处理,执行 In-Ga-Zn-O 基非单晶膜的原子级重排。此热处理(包括光退火等)是重要的,因为此热处理能释放妨碍载流子转移的畸变。要注意的是,对热处理的定时不存在特殊限制,只要在第二 In-Ga-Zn-O 基非单晶膜形成之后进行即可,而且例如,可在像素电极形成之后执行热处理。

[0203] 此外,半导体层 103 的沟道形成区的暴露部分可经受氧自由基处理,从而可获得常关闭型薄膜晶体管。此外,自由基处理可修复由蚀刻引起的半导体层 103 中的损伤。优

选地在 O_2 或 N_2O 的气氛下,优选地在 N_2 、He、或 Ar 等包括氧的气氛下,执行自由基处理。可在添加了 Cl_2 或 CF_4 的上述气氛下执行该自由基处理。注意优选地在未施加偏置的情况下执行该自由基处理。

[0204] 在第四光刻步骤中,由与源或漏电极层 105a 和 105b 相同的材料制成的第二端子 122 保留在端子部分中。注意,第二端子 122 电连接至源引线(包括源或漏电极层 105a 和 105b 的源引线)。

[0205] 如果使用利用多色调掩模形成的具有不同厚度(通常两种厚度)的多个区域的抗蚀剂掩模,则可减少抗蚀剂掩模的数量,从而导致简化的工艺和更低的成本。

[0206] 接着,去除抗蚀剂掩模 131,并形成保护绝缘层 107 以覆盖薄膜晶体管 170。可使用通过溅射方法等获得的氮化硅膜、氧化硅膜、氧氮化硅膜、氧化铝膜、氧化钽膜等形成保护绝缘层 107。

[0207] 接着,执行第五光刻步骤以形成抗蚀剂掩模,并蚀刻保护绝缘层 107 以形成达到源电极层或漏电极层 105b 的接触孔 125。此外,在同一蚀刻步骤中还形成达到第二端子 122 的接触孔 127 和达到第一端子 121 的接触孔 126。图 6B 示出了此阶段的截面图。

[0208] 接着,去除抗蚀剂掩模,然后形成透明导电膜。由氧化铟(In_2O_3)、氧化铟-氧化锡合金($In_2O_3-SnO_2$, 简称为 ITO) 等通过溅射方法、真空蒸发方法等形成透明导电膜。使用盐酸基溶液蚀刻这样的材料。然而,因为在蚀刻 ITO 时尤其容易产生残留物,所以可使用氧化铟-氧化锌合金(In_2O_3-ZnO) 来改善蚀刻可加工性。

[0209] 接着,执行第六光刻步骤以形成抗蚀剂掩模,并通过蚀刻去除不必要的部分,从而形成像素电极层 110。

[0210] 在第六光刻步骤中,在电容器引线 108 与像素电极层 110 之间形成存储电容器,其中电容器部分中的栅绝缘层 102 和保护绝缘层 107 作为电介质。

[0211] 此外,在第六光刻步骤中,用抗蚀剂掩模覆盖第一端子和第二端子,从而保留了端子部分中的透明导电膜 128 和 129。透明导电膜 128 和 129 用作连接至 FPC 的电极或引线。在第一端子 121 上形成的透明导电膜 128 是用作栅引线的输入端子的连接端子电极。在第二端子 122 上形成的透明导电膜 129 是用作源引线的输入端子的连接端子电极。

[0212] 然后去除抗蚀剂掩模。图 6C 示出了此阶段的截面图。注意,图 10 是此阶段的俯视图。

[0213] 图 11A1 和 11A2 分别是此阶段的栅引线端子部分的截面图和俯视图。图 11A1 是沿图 11A2 的线 E1-E2 的截面图。在图 11A1 中,在保护绝缘膜 154 上形成的透明导电膜 155 是用作输入端子的连接端子电极。此外,在图 11A1 的端子部分中,由与栅引线相同的材料组成的第一端子 151 和由与源引线相同的材料组成的连接电极层 153 彼此交迭,且通过透明导电膜 155 彼此电连接,其中栅绝缘层 152 插入在它们之间。注意,图 6C 中透明导电膜 128 与第一端子 121 接触的部分对应于图 11A1 中透明导电膜 155 与第一端子 151 接触的部分。

[0214] 图 11B1 和 11B2 分别是不同于图 6C 中所示的源引线端子部分的截面图和俯视图。图 11B1 是沿图 11B2 的线 F1-F2 的截面图。在图 11B1 中,在保护绝缘膜 154 上形成的透明导电膜 155 是用作输入端子的连接端子电极。此外,在图 11B1 的端子部分中,在电连接至源引线的第二端子 150 之下形成由与栅引线相同的材料组成的电极层 156 且与第二端子 150

交迭,其中栅绝缘层 152 插入它们之间。电极层 156 与第二端子 150 未电连接,而且如果电极层 156 的电位被设置成不同于第二端子 150 的电位,诸如浮置、GND 或 0V,则可形成用来防止噪声或静电的电容器。第二端子 150 电连接至透明导电膜 155,而且保护绝缘膜 154 插入在第二端子 150 与透明导电膜 155 之间。

[0215] 根据像素密度设置多个栅引线、源引线以及电容器引线。在端子部分中,还安排了与栅引线相同电位的多个第一端子、与源引线相同电位的多个第二端子、与电容器引线相同电位的多个第三端子等。第一到第三端子的数量可以分别是给定的数量,而且可由本领域技术人员酌情确定。

[0216] 通过这六个光刻步骤,可使用六个光刻掩模完成包括底栅 n 沟道薄膜晶体管的薄膜晶体管 170 和存储电容器的像素薄膜晶体管部分。当这些像素薄膜晶体管部分和存储电容器被安排在对应于它们各自像素的矩阵中时,可形成像素部分,而且可获得用于制造有源矩阵显示装置的基板之一。为简便起见,在此说明书中将这样的基板称为有源矩阵基板。

[0217] 在制造有源矩阵液晶显示装置的情况下,有源矩阵基板和设置有对电极的对基板被相互接合,液晶层插入在它们之间。注意,在有源矩阵基板上设置有电连接至对基板上的对电极的公共电极,而且在端子部分中设置有电连接至公共电极的第四端子。设置第四端子从而公共电极被固定至诸如 GND 或 0V 之类的预定电位。

[0218] 本发明的实施例不限于图 10 的像素结构,而且图 12 示出了不同于图 10 的俯视图的示例。图 12 示出一示例,其中未设置电容器引线,且像素电极与毗邻像素的栅引线交迭,而且保护绝缘膜和栅绝缘膜插入在像素电极与毗邻像素电极之间以形成存储电容器。在该情况下,可忽略电容器引线和连接至该电容器引线的第三端子。注意,在图 12 中,由相同的附图标记标注与图 10 中相同的部分。

[0219] 在有源矩阵液晶显示装置中,驱动排列成矩阵的像素电极以在屏幕上形成显示图案。具体而言,在选定的像素电极与对应于该像素电极的对电极之间施加电压,从而该像素电极与该对电极之间设置的液晶层受光调制,而此光调制被观看者识别为显示图案。

[0220] 在显示运动图像时,液晶显示装置存在问题,因为液晶分子本身的长响应时间引起运动图像的拖影或模糊。为改善液晶显示装置的运动图像特性,采用了称为黑插入的驱动方法,其中每隔一个帧周期在整个屏幕上显示黑色。

[0221] 替代地,可采用称为双帧率驱动的驱动方法,其中垂直循环的频率是通常垂直循环的频率的 1.5 倍或更多倍、优选 2 倍或更多倍,以改善运动图像特性。

[0222] 进一步替代地,为改善液晶显示装置的运动图像特性,可采用一种驱动方法,其中使用多个 LED(发光二极管)光源或多个 EL 光源来形成表面光源作为背光、而且在一个帧周期中以脉冲方式独立地驱动该表面光源的每个光源。作为该表面光源,可使用三种或更多种类型的 LED,或可使用发射白光的 LED。因为能独立地控制多个 LED,所以可使 LED 的发光时序与光调制的液晶层的时序同步。根据此驱动方法,可将部分 LED 关闭;因此,可获得降低功耗的效果,尤其是在屏幕上显示具有大部分为黑的图像的情况下。

[0223] 通过组合这些驱动方法,相比于常规液晶显示装置的显示特性,可改善液晶显示装置的诸如运动图像特性之类的显示特性。

[0224] 此说明书中公开的 n 沟道晶体管包括添加了金属元素用于沟道形成区且具有良好的动态特性的氧化物半导体膜。因此,可对此说明书中公开的 n 沟道晶体管组合应用这些

驱动方法。

[0225] 在制造发光显示装置的情况下,有机发光元件的一个电极(也称为阴极)被设置为诸如 GND 或 0V 之类的低功率源电位;因此,端子部分设置有用于将该阴极设置为诸如 GND 或 0V 之类的低功率源电位的第四端子。此外,在制造发光显示装置的情况下,除源引线和栅引线之外,还设置了电源线。因此,端子部分设置有电连接至该电源线的第五端子。

[0226] 将氧化物半导体用于薄膜晶体管导致制造成本减少。

[0227] 可通过向氧化物半导体层添加金属元素获得具有稳定电特性的薄膜晶体管,而且可制造具有良好动态特性的薄膜晶体管。因此,可提供包括高可靠薄膜晶体管的半导体器件。

[0228] 可酌情将此实施例与其它实施例中公开的结构组合。

[0229] (实施例 7)

[0230] 代替在实施例 1 到 6 中作为 In-Ga-Zn-O 基非单晶膜的氧化物半导体层($\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜),可使用 M 是不同金属元素的 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜。

[0231] 作为在此说明书中使用的氧化物半导体,形成通过 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的材料薄膜,而且制造了使用该薄膜作为半导体层的薄膜晶体管。注意, M 表示从镓(Ga)、铁(Fe)、镍(Ni)、锰(Mn)以及钴(Co)中选择的一种或多种金属元素。存在包含 Ga 和除 Ga 之外的上述金属元素——例如 Ga 和 Ni 或 Ga 和铁——作为 M 的情况。而且,在该氧化物半导体中,在某些情况下,除包含金属元素作为 M 之外,还包含诸如 Fe 或 Ni 之类的过渡金属元素或过渡金属的氧化物作为杂质元素。注意,在氧化物半导体膜的沉积期间包含通过 M 表示的金属元素和上述杂质元素,因此获得 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜。

[0232] 将铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种添加到诸如 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜之类的薄氧化物半导体层中。通过选择用于添加金属元素的条件和方法,可控制添加了金属元素的区域或氧化物半导体层中的金属元素的浓度分布。

[0233] 当将金属元素添加到氧化物半导体层中时,该金属元素成为氧化物半导体层中的复合中心,由此会降低氧化物半导体层的光敏性。低光敏性能稳定薄膜晶体管的电特性,且能防止由阈值电压变化等引起的截止电流增大。

[0234] 该金属元素通过被添加到 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜中而成为该膜的复合中心,藉此可降低其光敏性。作为该金属元素,可使用铁、镍、钴、铜、金、锰、钼、钨、铌以及钽金属元素中的至少一种。不管 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 膜中包含的金属元素类型如何,通过添加这些金属,可稳定薄膜晶体管的电特性。此外,可控制添加了该金属元素的区域或氧化物半导体层中的金属元素的浓度分布,藉此可降低其光敏性,并有效地稳定薄膜晶体管的电特性。

[0235] 可通过向氧化物半导体层添加金属元素获得具有稳定电特性的薄膜晶体管,而且可制造具有良好动态特性的薄膜晶体管。因此,可提供包括高可靠薄膜晶体管的半导体器件。

[0236] (实施例 8)

[0237] 以下将描述一实施例,其中在显示装置中的同一基板上形成排列在像素部分中的驱动器电路和薄膜晶体管的至少一部分,该显示装置是半导体装置的一个示例。

[0238] 根据实施例 1 到 7 形成要设置在像素部分中的薄膜晶体管。此外,实施例 1 到 7 中描述的薄膜晶体管是 n 沟道 TFT,因此在与像素部分的薄膜晶体管相同的基板上形成驱

驱动器电路中可包括 n 沟道 TFT 的驱动器电路的一部分。

[0239] 图 14A 是作为半导体装置的示例的有源矩阵液晶显示装置的框图的示例。图 14A 中所示的显示装置在基板 5300 上包括：像素部分 5301，其包括分别设置有显示元件的多个像素；选择像素的扫描线驱动器电路 5302；以及控制输入选定像素的视频信号的信号线驱动器电路 5303。

[0240] 像素部分 5301 通过从信号线驱动器电路 5303 沿列向延伸的多个信号线 S1 到 Sm (未示出) 连接至信号线驱动器电路 5303，且通过从扫描线驱动器电路 5302 沿行向延伸的多个扫描线 G1 到 Gn (未示出) 连接至扫描线驱动器电路 5302。像素部分 5301 包括排列成矩阵以便对应于信号线 S1 到 Sm 和扫描线 G1 到 Gn 的多个像素 (未示出)。各个像素连接至信号线 Sj (信号线 S1 到 Sm 中的一个) 和扫描线 Gj (扫描线 G1 到 Gn 中的一个)。

[0241] 此外，实施例 1 到 7 中描述的薄膜晶体管是 n 沟道 TFT，而参照图 15 描述包括 n 沟道 TFT 的信号线驱动器电路。

[0242] 图 15 中所示的信号线驱动器电路包括驱动器 IC 5601、开关组 5602_1 到 5602_M、第一引线 5611、第二引线 5612、第三引线 5613 以及引线 5621_1 到 5621_M。开关组 5602_1 到 5602_M 的每一个包括第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c。

[0243] 驱动器 IC 5601 连接至第一引线 5611、第二引线 5612、第三引线 5613 以及引线 5621_1 到 5621_M。开关组 5602_1 到 5602_M 中的每一个连接至第一引线 5611、第二引线 5612 以及第三引线 5613，而引线 5621_1 到 5621_M 分别连接至开关组 5602_1 到 5602_M。引线 5621_1 到 5621_M 中的每一个经由第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 连接至三个信号线。例如，第 J 列的引线 5621_J (引线 5621_1 到 5621_M 中的一个) 分别经由开关组 5602_J 中包括的第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 连接至信号线 Sj-1、信号线 Sj 以及信号线 Sj+1。

[0244] 信号被输入第一引线 5611、第二引线 5612 以及第三引线 5613 中的每一个。

[0245] 注意，优选地在单晶基板上形成驱动器 IC 5601。此外，优选地在与像素部分相同的基板上形成开关组 5602_1 到 5602_M。因此，优选地，通过 FPC 等连接驱动器 IC 5601 和开关组 5602_1 到 5602_M。

[0246] 接着，参照图 16 中所示的时序图描述图 15 中所示的信号线驱动器电路的操作。图 16 中的时序图示出了选择了第 i 行的扫描线 Gi 的情况。第 i 行的扫描线 Gi 的选择周期被分成第一子选择周期 T1、第二子选择周期 T2 以及第三子选择周期 T3。此外，即使选择了另一行的扫描线，图 15 中的信号线驱动器电路也以与图 16 相似的方式工作。

[0247] 注意，图 16 中的时序图示出了第 J 列的引线 5621_J 分别经由第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 连接至信号线 Sj-1、信号线 Sj 以及信号线 Sj+1 的情况。

[0248] 注意，图 16 中的时序图示出了选择了第 i 行的扫描线 Gi 的时序、导通 / 截止第一薄膜晶体管 5603a 的时序 5703a、导通 / 截止第二薄膜晶体管 5603b 的时序 5703b、导通 / 截止第三薄膜晶体管 5603c 的时序 5703c 以及输入第 J 列的引线 5621_J 的信号 5721_J。

[0249] 在第一子选择周期 T1、第二子选择周期 T2 以及第三子选择周期 T3 中，不同的视频信号被输入引线 5621_1 到 5621_M。例如，在第一子选择周期 T1 中输入引线 5621_J 的视

频信号被输入信号线 S_{j-1} ，在第二子选择周期 T_2 中输入引线 5621_J 的视频信号被输入信号线 S_j ，以及在第三子选择周期 T_3 中输入引线 5621_J 的视频信号被输入信号线 S_{j+1} 。此外，通过数据 $_j-1$ 、数据 $_j$ 以及数据 $_j+1$ 表示在第一子选择周期 T_1 、第二子选择周期 T_2 以及第三子选择周期 T_3 中输入引线 5621_J 的视频信号。

[0250] 如图 16 所示，在第一子选择周期 T_1 中，第一薄膜晶体管 5603a 导通，而第二薄膜晶体管 5603b 和第三薄膜晶体管 5603c 截止。此时，输入引线 5621_J 的数据 $_j-1$ 经由第一薄膜晶体管 5603a 被输入信号线 S_{j-1} 。在第二子选择周期 T_2 中，第二薄膜晶体管 5603b 导通，而第一薄膜晶体管 5603a 和第三薄膜晶体管 5603c 截止。此时，输入引线 5621_J 的数据 $_j$ 经由第二薄膜晶体管 5603b 被输入信号线 S_j 。在第三子选择周期 T_3 中，第三薄膜晶体管 5603c 导通，而第一薄膜晶体管 5603a 和第二薄膜晶体管 5603b 截止。此时，输入引线 5621_J 的数据 $_j+1$ 经由第三薄膜晶体管 5603c 被输入信号线 S_{j+1} 。

[0251] 如上所述，在图 15 中的信号线驱动器电路中，通过将一个门选周期分成三个，可在一个门选周期中将视频信号从一个引线 5621 输入到三个信号线中。因此，在图 15 中的信号线驱动器电路中，在设置有驱动器 IC 5601 的基板与设置有像素部分的基板之间的连接的数量可以是信号线数量的约 $1/3$ 。连接数量被减少到信号线数量的约 $1/3$ ，因此可提高图 15 中的信号线驱动器电路的可靠性、生产率等。

[0252] 要注意的是，对薄膜晶体管的排列、数量、驱动方法等并无特殊限制，只要将一个门选周期分成多个子选择周期，并如图 15 所示地在相应的子选择周期将视频信号从一个引线输入多个信号线即可。

[0253] 例如，当在三个或更多个子选择周期中将视频信号从一个引线输入到三个或更多个信号线时，只需要添加一个薄膜晶体管和用于控制该薄膜晶体管的一个引线。要注意的是，当一个门选择周期被分成四个或多个子选择周期时，一个子选择周期变得更短。因此，优选地将一个门选择周期分成两个或三个子选择周期。

[0254] 作为另一示例，可将一个选择周期分成如图 17 的时序图所示的预充电周期 T_p 、第一子选择周期 T_1 、第二子选择周期 T_2 以及第三子选择周期 T_3 。图 17 的时序图示出了选择了第 i 行的扫描线 G_i 的时序、第一薄膜晶体管 5603a 导通 / 截止的时序 5803a、第二薄膜晶体管 5603b 导通 / 截止的时序 5803b、第三薄膜晶体管 5603c 导通 / 截止的时序 5803c 以及输入第 J 列的引线 5621_J 的信号 5821_J。如图 17 所示，第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 在预充电周期 T_p 中导通。此时，输入引线 5621_J 的预充电电压 V_p 分别经由第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c 被输入信号线 S_{j-1} 、信号线 S_j 以及信号线 S_{j+1} 。在第一子选择周期 T_1 中，第一薄膜晶体管 5603a 导通，而第二薄膜晶体管 5603b 和第三薄膜晶体管 5603c 截止。此时，输入引线 5621_J 的数据 $_j-1$ 经由第一薄膜晶体管 5603a 被输入信号线 S_{j-1} 。在第二子选择周期 T_2 中，第二薄膜晶体管 5603b 导通，而第一薄膜晶体管 5603a 和第三薄膜晶体管 5603c 截止。此时，输入引线 5621_J 的数据 $_j$ 经由第二薄膜晶体管 5603b 被输入信号线 S_j 。在第三子选择周期 T_3 中，第三薄膜晶体管 5603c 导通，而第一薄膜晶体管 5603a 和第二薄膜晶体管 5603b 截止。此时，输入引线 5621_J 的数据 $_j+1$ 经由第三薄膜晶体管 5603c 被输入信号线 S_{j+1} 。

[0255] 如上所述，在施加了图 17 的时序图的图 15 的信号线驱动器电路中，可将视频信号

高速写入像素中,因为通过在子选择周期之前提供预充电选择周期可对信号线预充电。注意,通过共同的附图标记表示图 17 中类似于图 16 的部分,而且省略相似部分或具有相似功能的部分的详细描述。

[0256] 接着,描述了扫描线驱动器电路的结构。该扫描线驱动器电路包括移位寄存器和缓冲器。此外,该扫描线驱动器电路可包括电平移动器。在该扫描线驱动器电路中,当将时钟信号 (CLK) 和起动脉冲信号 (SP) 输入移位寄存器时,产生选择信号。所产生的选择信号被缓冲器缓存和放大,而所得的信号被提供给相应的扫描线。一个线的像素中的晶体管的栅电极连接至扫描线。因为一个线的像素中的晶体管必须同时立即导通,所以使用了能提供大电流的缓冲器。

[0257] 将参照图 18 和图 19 描述用于扫描线驱动器电路的一部分的移位寄存器的一种模式。

[0258] 图 18 示出该移位寄存器的电路结构。图 18 中所示的移位寄存器包括多个触发器: 触发器 5701_i 到 5701_n。使用第一时钟信号、第二时钟信号、起动脉冲信号以及复位信号来操作该移位寄存器。

[0259] 将描述图 18 的移位寄存器的连接关系。在图 18 的移位寄存器中的第 i 级触发器 5701_i (触发器 5701₁ 到 5701_n 中的一个) 中,图 19 中所示的第一引线 5501 连接至第七引线 5717_{i-1},图 19 中所示的第二引线 5502 连接至第七引线 5717_{i+1},图 19 中所示的第三引线 5503 连接至第七引线 5717_i,以及图 19 中所示的第六引线 5506 连接至第五引线 5715。

[0260] 此外,图 19 中所示的第四引线 5504 连接至奇数级的触发器中的第二引线 5712,且连接至偶数级的触发器中的第三引线 5713。图 19 中所示的第五引线 5505 连接至第四引线 5714。

[0261] 注意,图 19 中所示的第一级触发器 5701₁ 的第一引线 5501 连接至第一引线 5711。而且,图 19 中所示的第 n 级触发器 5701_n 的第二引线 5502 连接至第六引线 5716。

[0262] 注意,第一引线 5711、第二引线 5712、第三引线 5713 以及第六引线 5716 可被分别称为第一信号线、第二信号线、第三信号线以及第四信号线。第四引线 5714 和第五引线 5715 可被分别称为第一电源线和第二电源线。

[0263] 接着,图 19 示出图 18 中所示触发器的细节。图 19 中所示的触发器包括第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578。第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578 中的每一个均为 n 沟道晶体管,而且在栅-源电压 (V_{gs}) 超过阈值电压 (V_{th}) 时导通。

[0264] 接着,以下将描述图 18 中所示的触发器的连接结构。

[0265] 第一薄膜晶体管 5571 的第一电极 (源电极和漏电极中的一个) 连接至第四引线 5504。第一薄膜晶体管 5571 的第二电极 (源电极和漏电极中的另一个) 连接至第三引线 5503。

[0266] 第二薄膜晶体管 5572 的第一电极连接至第六引线 5506。第二薄膜晶体管 5572 的第二电极连接至第三引线 5503。

[0267] 第三薄膜晶体管 5573 的第一电极连接至第五引线 5505, 而第三薄膜晶体管 5573 的第二电极连接至第二薄膜晶体管 5572 的栅电极。第三薄膜晶体管 5573 的栅电极连接至第五引线 5505。

[0268] 第四薄膜晶体管 5574 的第一电极连接至第六引线 5506。第四薄膜晶体管 5574 的第二电极连接至第二薄膜晶体管 5572 的栅电极。第四薄膜晶体管 5574 的栅电极连接至第一薄膜晶体管 5571 的栅电极。

[0269] 第五薄膜晶体管 5575 的第一电极连接至第五引线 5505。第五薄膜晶体管 5575 的第二电极连接至第一薄膜晶体管 5571 的栅电极。第五薄膜晶体管 5575 的栅电极连接至第一引线 5501。

[0270] 第六薄膜晶体管 5576 的第一电极连接至第六引线 5506。第六薄膜晶体管 5576 的第二电极连接至第一薄膜晶体管 5571 的栅电极。第六薄膜晶体管 5576 的栅电极连接至第二薄膜晶体管 5572 的栅电极。

[0271] 第七薄膜晶体管 5577 的第一电极连接至第六引线 5506。第七薄膜晶体管 5577 的第二电极连接至第一薄膜晶体管 5571 的栅电极。第七薄膜晶体管 5577 的栅电极连接至第二引线 5502。第八薄膜晶体管 5578 的第一电极连接至第六引线 5506。第八薄膜晶体管 5578 的第二电极连接至第二薄膜晶体管 5572 的栅电极。第八薄膜晶体管 5578 的栅电极连接至第一引线 5501。

[0272] 注意, 第一薄膜晶体管 5571 的栅电极、第四薄膜晶体管 5574 的栅电极、第五薄膜晶体管 5575 的第二电极、第六薄膜晶体管 5576 的第二电极以及第七薄膜晶体管 5577 的第二电极所连接的点被称为节点 5543。第二薄膜晶体管 5572 的栅电极、第三薄膜晶体管 5573 的第二电极、第四薄膜晶体管 5574 的第二电极、第六薄膜晶体管 5576 的栅电极以及第八薄膜晶体管 5578 的第二电极所连接的点被称为节点 5544。

[0273] 注意, 第一引线 5501、第二引线 5502、第三引线 5503 以及第四引线 5504 可被分别称为第一信号线、第二信号线、第三信号线以及第四信号线。第五引线 5505 和第六引线 5506 可被分别称为第一电源线和第二电源线。

[0274] 此外, 可仅使用实施例 1 中描述的 n 沟道 TFT 形成信号线驱动器电路和扫描线驱动器电路。实施例 1 中所描述的 n 沟道 TFT 具有晶体管的高迁移率, 从而可提高驱动器电路的驱动频率。此外, 通过作为 In-Ga-Zn-O 基非单晶膜的源和漏极区减小了寄生电容; 因此, 实施例 1 中描述的 n 沟道 TFT 具有高的频率特性 (称为 f 特性)。例如, 使用实施例 1 中所描述的 n 沟道 TFT 的扫描线驱动器电路可高速地工作, 从而可提高帧频率并实现黑图像的插入。

[0275] 此外, 例如, 当提高了扫描线驱动器电路中的晶体管信道带宽或设置了多个扫描线驱动器电路时, 可实现更高的帧频率。当设置了多个扫描线驱动器电路时, 用于驱动偶数行的扫描线的扫描线驱动器电路被设置在一侧, 而用于驱动奇数行的扫描线的扫描线驱动器电路被设置在另一侧; 因此可实现帧频率的提高。此外, 使用多个扫描线驱动器电路用于向同一扫描线输出信号对于增大显示装置的大小是有利的。

[0276] 此外, 当制造作为半导体装置的示例的有源矩阵发光显示装置时, 在至少一个像素中安排多个薄膜晶体管, 从而优选地安排多个扫描线驱动器电路。图 14B 示出有源矩阵发光显示装置的框图的示例。

[0277] 图 14B 中所示的发光显示装置在基板 5400 上包括：像素部分 5401，其包括分别设置有显示元件的多个像素；用于选择像素的第一扫描线驱动器电路 5402 和第二扫描线驱动器电路 5404；以及用于控制输入选定像素的视频信号的信号线驱动器电路 5403。

[0278] 当输入图 14B 中所示的发光显示装置的像素的视频信号是数字信号时，通过切换晶体管的导通 / 截止使像素发射光或不发射光。因此，可使用区域灰度法或时间灰度法显示灰度。区域灰度法指的是基于视频信号将一个像素分成多个子像素、而且独立驱动各个子像素从而显示灰度的驱动方法。此外，时间灰度方法指的是控制像素发射光的周期从而显示灰度的驱动方法。

[0279] 因为发光元件的响应时间高于液晶元件等的响应时间，所以发光元件比液晶元件更适合于时间灰度方法。具体而言，在利用时间灰度方法显示的情况下，将一个帧周期分成多个子帧周期。接着，根据视频信号，在各个子帧周期将像素中的发光元件置为发光状态或不发光状态。通过将一个帧周期分成多个子帧周期，可通过视频信号控制像素在一个帧周期中实际发光的周期时间的总长度，从而可显示灰度。

[0280] 注意，在图 14B 中所示的发光显示装置的示例中，当两个开关 TFT 被安排在一个像素中时，第一扫描线驱动器电路 5402 产生被输入用作两个开关 TFT 中的一个的栅极引线的第一扫描线的信号，而第二扫描线驱动器电路 5404 产生被输入用作两个开关 TFT 中的另一个的栅极引线的第二扫描线的信号；不过，一个扫描线驱动器电路既可产生被输入第一扫描线的信号又可产生被输入第二扫描线的信号。此外，例如，有可能在每个像素中设置用于控制开关元件的操作的多个扫描线，这取决于一个像素中所包括的开关 TFT 的数量。在此情况下，一个扫描线驱动器电路可产生被输入多个扫描线的所有信号，或多个扫描线驱动器电路可产生被输入多个扫描线的信号。

[0281] 而且在该发光显示装置中，可在与像素部分的薄膜晶体管相同的基板上形成可包括驱动器电路中的 n 沟道 TFT 的驱动器电路的一部分。替代地，可仅使用实施例 1 到 7 中描述的 n 沟道 TFT 形成信号线驱动器电路和扫描线驱动器电路。

[0282] 而且，上述驱动器电路可用于使用电连接至开关元件的元件来驱动电子墨水的电子纸，而限于液晶显示装置或发光显示装置的应用。电子纸也被称为电泳显示装置（电泳显示器），而且其有利之处在于，它具有与普通纸张一样的可阅读性，它具有比其它显示装置更低的功耗，而且它可被制造得薄和轻。

[0283] 电泳显示器可具有多种模式。电泳显示器包括散布在溶剂或溶质中的多个微胶囊，各个微胶囊包含带正电的第一粒子和带负电的第二粒子。通过对这些微胶囊施加电场，微胶囊中的粒子按相反方向彼此运动，从而仅显示聚集在一侧的粒子的颜色。注意第一粒子和第二粒子分别包含色素，而且在无电场的情况下不移动。而且，第一粒子和第二粒子具有不同的颜色（可以是无色的）。

[0284] 因此，电泳显示器是利用所谓的介电电泳效应的显示器，具有高介电常数的物质通过该效应移动至高电场区。电泳显示装置不需要使用液晶显示装置中需要的极化器或对基板，而且电泳显示装置的重量和厚度均可被减少为液晶显示装置的重量和厚度的一半。

[0285] 在溶剂中散布的上述微胶囊所处于的溶液被称为电子墨水。可将此电子墨水印刷在玻璃、塑料、布料、纸张等的表面上。此外，通过使用具有色素的滤色器或粒子，还可实现彩色显示。

[0286] 此外,如果酌情将多个上述微胶囊安排在有源矩阵基板以插入两个电极之间,则可完成有源矩阵显示装置,而且可通过对这些微胶囊施加电场来实现显示。例如,可使用通过实施例 1 到 7 中所描述的薄膜晶体管获得的有源矩阵基板。

[0287] 注意,微胶囊中的第一粒子和第二粒子可分别由从导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料、以及磁泳材料中选择的单种材料组成,或由这些材料的任一种的复合材料组成。

[0288] 通过上述工艺,可将高可靠的显示装置制造为半导体装置。

[0289] 可利用其它实施例中描述的结构以适当的组合实现此实施例。

[0290] (实施例 9)

[0291] 当制造了薄膜晶体管并将其用于像素部分并进一步用于驱动器电路时,可制造具有显示功能的半导体装置(也称为显示装置)。此外,当在与像素部分相同的基板上形成使用薄膜晶体管的驱动器电路的一部分或全部时,可获得板上系统。

[0292] 显示装置包括显示元件。作为该显示元件,可使用液晶元件(也称为液晶显示元件)或发光元件(也称为发光显示元件)。发光元件在其种类中包括照度受电流或电压控制的元件,具体包括无机电致发光(EL)元件、有机 EL 元件等。此外,可使用诸如电子墨水之类的对比度受电效应改变的显示介质。

[0293] 此外,该显示装置包括封装有显示元件的面板和包括安装在面板上的控制器的 IC 等的模块。本发明还涉及元件基板,其对应于显示装置的制造工艺中在完成显示元件之前的一种模式,而且该元件基板设置有用于向多个像素中的每一个中的显示元件提供电流的装置。具体而言,该元件基板可以处于仅形成显示元件的一个像素电极之后的状态、在形成作为像素电极的导电膜之后的状态、在该导电膜被蚀刻以形成像素电极之前的状态或任何其它状态。

[0294] 注意,此说明书中的显示装置表示图像显示装置、显示装置或光源(包括发光装置)。此外,该显示装置在其种类中还可包括以下模块:附连有诸如 FPC(柔性印刷电路)、TAB(带式自动接合)带或 TCP(带式载体封装)之类的连接器的模块;具有在其末梢设置有印刷线路板的 TAB 带或 TCP 的模块;以及 IC(集成电路)通过 COG(玻璃上的芯片)方法直接安装在显示元件上的模块。

[0295] 将参照图 22A1、22A2 以及 22B 描述作为半导体装置的一个实施例的液晶显示面板的外观和截面。图 22A1 和 22A2 分别是面板的俯视图,其中在第一基板 4001 上形成高可靠薄膜晶体管 4010 和 4011,而且液晶元件 4013 被密封剂 4005 密封在第一基板 4001 与第二基板 4006 之间。薄膜晶体管 4010 和 4011 分别包括如实施例 1 中所描述的添加了金属元素的作为半导体层的氧化物半导体膜。图 22B 是沿图 22A1 和图 22A2 的线 M-N 的截面图。

[0296] 设置了密封剂 4005 以包围像素部分 4002 和设置在第一基板 4001 上的扫描线驱动器电路 4004。在像素部分 4002 和扫描线驱动器电路 4004 之上设置第二基板 4006。因此,通过第一基板 4001、密封剂 4005 以及第二基板 4006 使像素部分 4002 和扫描线驱动器电路 4004 以及液晶层 4008 密封到一起。在单独制备的基板上使用单晶半导体膜或多晶半导体膜形成的信号线驱动器电路 4003 安装在第一基板 4001 上与被密封剂 4005 包围的区域不同的区域中。

[0297] 要注意,对于单独形成的驱动器电路的连接方法无特殊限制,而且可使用 COG 方

法、引线接合方法、TAB 方法等。图 22A1 示出通过 COG 方法安装信号线驱动器电路 4003 的示例，而图 22A2 示出通过 TAB 方法安装信号线驱动器电路 4003 的示例。

[0298] 在第一基板 4001 上设置的像素部分 4002 和扫描线驱动器电路 4004 各包括多个薄膜晶体管。图 22B 示出像素部分 4002 中包括的薄膜晶体管 4010 和扫描线驱动器电路 4004 中包括的薄膜晶体管 4011。绝缘层 4020 和 4021 设置在薄膜晶体管 4010 和 4011 上。

[0299] 作为薄膜晶体管 4010 和 4011 中的每一个，可采用如实施例 1 所描述的包括添加了金属元素的氧化物半导体膜作为半导体层的高可靠薄膜晶体管。替代地，可采用实施例 2 到 7 中所描述的薄膜晶体管。在此实施例中，薄膜晶体管 4010 和 4011 是 n 沟道薄膜晶体管。

[0300] 液晶元件 4013 中包括的像素电极层 4030 电连接至薄膜晶体管 4010。在第二基板 4006 上形成液晶元件 4013 的对电极层 4031。像素电极层 4030、对电极层 4031 以及液晶层 4008 相互交迭的部分对应于液晶元件 4013。要注意，像素电极层 4030 和对电极层 4031 分别设置有起对准膜作用的绝缘层 4032 和绝缘层 4033。液晶层 4008 被夹在像素电极层 4030 与对电极层 4031 之间，其中还有绝缘层 4032 和 4033。

[0301] 要注意，可由玻璃、金属（通常是不锈钢）、陶瓷或塑料制成第一基板 4001 和第二基板 4006。作为塑料，可使用 FRP（玻璃纤维增强塑料）板、PVF（聚氟乙烯）膜、聚酯膜、或丙烯酸类树脂膜。替代地，可使用有铝箔夹在 PVF 膜或聚酯膜之间的结构的薄板。

[0302] 通过绝缘膜的选择性蚀刻而获得由附图标记 4035 表示的柱状隔离件，而且被设置而用于控制像素电极层 4030 与对电极层 4031 之间的距离（单元间隙）。注意还可使用球状隔离件。对电极层 4031 电连接至设置在与薄膜晶体管 4010 相同的基板上的公共电位线。通过使用公共连接部分，对电极层 4031 可通过设置在该对基板之间的导电粒子电连接至公共电位线。注意，这些导电粒子包含在密封剂 4005 中。

[0303] 替代地，可使用不需要对准膜的表现出蓝相的液晶。蓝相是液晶相之一，当胆甾型液晶的温度升高时，刚好在胆甾相变成各向同性相之前产生蓝相。因为仅在窄温度范围中产生蓝相，所以将包含 5% 或更多重量百分比的手性剂的液晶组合物用于液晶层 4008 以展宽该温度范围。包括表现出蓝相的液晶和手性剂的液晶组合物具有 10 μ s 到 100 μ s 的短响应时间、具有不需要对准工艺的光学各向同性、且具有小的视角依赖性。

[0304] 除透射型液晶显示装置之外，本发明的实施例还可应用于反射型液晶显示装置或半透射型液晶显示装置。

[0305] 描述了极化板设置在基板的外表面上而用于显示元件的着色层和电极层设置在基板的内表面上的液晶显示装置的示例；不过，极化板还可设置在基板的内表面上。极化板和着色层的层叠结构不限于在此实施例中描述的结构，而可根据极化板和着色层的材料或制造步骤的条件来酌情设置。此外，可设置用作黑色基质的挡光膜。

[0306] 此外，为减少薄膜晶体管的表面粗糙度和提高薄膜晶体管的可靠性，使用作为保护膜或平坦化绝缘膜的绝缘层（绝缘层 4020 和绝缘层 4021）覆盖实施例 1 获得的薄膜晶体管。注意，设置该保护膜用于防止空气中包含的诸如有机物质、金属物质或水汽之类的杂质进入，而且优选地该保护膜是致密膜。可使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜以及氮氧化铝膜中的任一种通过溅射方法将该保护膜形成为单层膜或层叠膜。虽然在此实施例中描述了通过溅射方法形成保护膜的示例，但本

发明的实施例不限于此方法,而且可采用多种方法。

[0307] 这里,形成了具有层叠结构的绝缘层 4020 作为保护膜。作为绝缘层 4020 的第一层,通过溅射方法形成氧化硅膜。使用氧化硅膜作为保护膜具有防止用于源和漏电极层的铝膜的小丘的效果。

[0308] 此外,形成绝缘层作为保护膜的第三层。在此实施例中,作为绝缘层 4020 的第三层,通过溅射方法形成氮化硅膜。将氮化硅膜用作保护膜可防止诸如钠离子之类的移动离子进入半导体区,从而抑制 TFT 的电特性变化。

[0309] 在形成保护膜之后,可使该半导体层经受退火(300°C 到 400°C)。

[0310] 形成绝缘层 4021 作为平坦化绝缘膜。作为绝缘层 4021,可使用诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺或环氧树脂之类的具有耐热性的有机材料。除这些有机材料之外,还有可能使用低介电常数材料(低 k 材料)、硅氧烷基树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。注意,可通过堆叠由这些材料组成的多层绝缘膜来形成绝缘层 4021。

[0311] 注意,硅氧烷基树脂是由作为起始材料的硅氧烷基材料组成且具有 Si-O-Si 键的树脂。作为取代基,可使用有机基(例如烷基或芳香基)或氟基。该有机基可包括氟基。

[0312] 对于形成绝缘层 4021 的方法没有特殊限制,而且根据材料,可通过使用溅射法、SOG 法、旋涂法、浸渍法、喷涂法、液滴放电法(例如喷墨法、丝网印刷、胶版印刷等)、刮片法、辊涂法、幕涂法、刀涂法等形成绝缘层 4021。在使用材料解决方案形成绝缘层 4021 的情况下,可在烘焙步骤同时对该半导体层退火(在 300°C 到 400°C 下)。绝缘层 4021 的烘焙步骤也用作半导体层的退火步骤,藉此可高效地制造半导体装置。

[0313] 像素电极层 4030 和对电极层 4031 可由诸如包含氧化钨的氧化铟、包含氧化钨的氧化锌铟、包含氧化钛的氧化铟、包含氧化钛的氧化锡铟、氧化锡铟(下文称为 ITO)、氧化锌铟或添加了氧化硅的氧化锡铟之类的透光导电材料制成。

[0314] 包含导电高分子(也称为导电聚合物)的导电组合物可用于像素电极层 4030 和对电极层 4031。由导电组合物制成的像素电极优选地具有 10000 欧姆每方块或更低的薄膜电阻和在 550nm 波长下的 70% 或更高的透射率。此外,导电组合物中包含的导电高分子的电阻率优选地为 $0.1 \Omega \cdot \text{cm}$ 或更低。

[0315] 作为该导电高分子,可使用所谓的 π 电子共轭导电聚合物。例如,有可能使用聚苯胺及其衍生物、聚吡咯及其衍生物、聚噻吩及其衍生物、或它们中的两种或多种的共聚物。

[0316] 此外,从 FPC 4018 对单独形成的信号线驱动器电路 4003 以及扫描线驱动器电路 4004 或像素部分 4002 提供多个信号和电位。

[0317] 连接端子电极 4015 由与液晶元件 4013 中所包括的像素电极层 4030 相同的导电膜形成,而端子电极 4016 由与薄膜晶体管 4010 和 4011 的源和漏电极层相同的导电膜形成。

[0318] 连接端子电极 4015 通过各向异性导电膜 4019 电连接至 FPC 4018 中包括的端子。

[0319] 注意,图 22A1、22A2 以及 22B 示出了单独形成信号线驱动器电路 4003 且安装在第一基板 4001 上的示例;不过,本发明不限于此结构。可单独形成扫描线驱动器电路然后安装,或单独形成仅信号线驱动器电路的一部分或扫描线驱动器电路的一部分,然后安装。

[0320] 图 23 示出通过使用根据此说明书中公开的制造方法制造的 TFT 基板形成为半导

体装置的液晶显示模块的示例。

[0321] 图 23 示出液晶显示模块的示例,其中基板 2600 和对基板 2601 通过密封剂 2602 相互接合,而包括 TFT 等的像素部分 2603、包括液晶层的显示元件 2604 以及着色层 2605 设置在所述基板之间以形成显示区。着色层 2605 是实现彩色显示所必需的。在 RGB 系统的情况下,为相应的像素设置了对应于红色、绿色以及蓝色的相应的着色层。在基板 2600 和对基板 2601 外设置了极化板 2606 和 2607 以及漫射板 2613。光源包括冷阴极管 2610 和反射板 2611。电路板 2612 通过柔性线路板 2609 连接至基板 2600 的引线电路部分 2608,且包括诸如控制电路或电源电路之类的外部电路。极化板和液晶层可堆叠,而且它们之间插入有阻滞板。

[0322] 对于液晶显示模块,可使用 TN(扭曲向列)模式、IPS(共面切换)模式、FFS(边缘场切换)模式、MVA(多畴垂直取向)模式、PVA(图像垂直调整)模式、ASM(轴对称排列微单元)模式、OCB(光学补偿双折射)模式、FLC(铁电液晶)模式、AFLC(反铁电液晶)模式等。

[0323] 通过上述工艺,可将高可靠的显示装置制造为半导体装置。

[0324] 可利用其它实施例中描述的结构以适当的组合来实现此实施例。

[0325] (实施例 10)

[0326] 将描述电子纸的示例作为半导体装置。

[0327] 图 13 示出作为半导体装置的示例的有源矩阵电子纸。可按照实施例 1 中所描述的薄膜晶体管类似的方式制造用于该半导体装置的薄膜晶体管 581,而且薄膜晶体管 581 是包括添加了金属元素的氧化物半导体膜作为半导体层的高可靠薄膜晶体管。实施例 2 到 7 中描述的薄膜晶体管也可用作此实施例的薄膜晶体管 581。

[0328] 图 13 中的电子纸是使用扭转球显示系统的显示装置的示例。扭转球显示系统指的是一种方法,其中各个着色为黑色或白色的球状粒子被安排在作为用于显示元件的电极层的第一电极层与第二电极层之间、而且在第一电极层与第二电极层之间产生电位差以控制球状粒子取向从而实现显示。

[0329] 为基板 580 设置的薄膜晶体管 581 是底栅薄膜晶体管,而其源或漏电极层通过绝缘层 583、584 以及 585 中形成的开口与第一电极层 587 接触,藉此薄膜晶体管 581 电连接至第一电极层 587。在为对电极 596 设置的第一电极层 587 与第二电极层 588 之间设置了各具有黑区 590a、白区 590b 以及被这些区周围的液体填充的腔 594 的球状粒子 589。球状粒子 589 周围的空间被诸如树脂之类的填充物 595 填充(图 13)。第一电极层 587 对应于像素电极,而第二电极层 588 对应于公共电极。第二电极层 588 电连接至设置在与薄膜晶体管 581 同一基板上的公共电位线。通过使用公共连接部分,第二电极层 588 可通过设置在该对基板之间的导电粒子电连接至公共电位线。

[0330] 还可使用电泳元件代替扭转球。使用密封了透明液体、带正电或负电的白色微粒以及带负电或正电的黑色微粒(具有与白色微粒相反的极性)的具有约 $10\ \mu\text{m}$ 到 $200\ \mu\text{m}$ 直径的微胶囊。在设置在第一电极层与第二电极层之间的微胶囊中,当通过第一电极层和第二电极层施加电场时,白微粒和黑微粒移动到彼此相反侧,从而可显示白色或黑色。使用此原理的显示元件是电泳显示元件,而且一般称为电子纸。电泳显示元件比液晶显示元件具有更高反射率,因此不需要辅助光、功耗低、而且可在暗处识别显示部分。此外,即使未对

显示部分提供电能,也能保持已经显示过一次的图像。因此,即使具有显示功能的半导体装置(可简单称为显示装置或设置有显示装置的半导体装置)远离电波源,也能保存已显示的图像。

[0331] 通过此工艺,可制造作为半导体装置的高可靠的电子纸。

[0332] 可利用其它实施例中描述的结构以适当的组合实现此实施例。

[0333] (实施例 11)

[0334] 将描述作为半导体装置的发光显示装置的示例。作为显示装置中包括的显示元件,此处描述了利用电致发光的发光元件。利用电致发光的发光元件是根据发光材料是有机化合物还是无机化合物来分类的。一般而言,前者被称为有机 EL 元件,而后者被称为无机 EL 元件。

[0335] 在有机 EL 元件中,通过对发光元件施加电压,电子和空穴分别从一对电极注入包含发光有机化合物的层中,且电流流动。然后载流子(电子和空穴)复合,从而激发发光有机化合物。发光有机化合物从激发态返回基态,从而发射光。由于这种机制,此发光元件被称为电流激发发光元件。

[0336] 无机 EL 元件根据它们的元件结构分类为散射型无机 EL 元件和薄膜无机 EL 元件。散射型无机 EL 元件具有发光材料的粒子散布在粘合剂中的发光层,而且其发光机制是利用施主能级和受主能级的施主-受主复合型发光。薄膜无机 EL 元件具有发光层夹在介电层之间的结构,而介电层又进一步夹在电极之间,其发光机制是利用金属离子的内层电子跃迁的局部发光。注意,这里使用有机 EL 元件作为发光元件作出该描述。

[0337] 图 20 示出作为可通过数字时间灰度法驱动的半导体器件的示例的像素结构的示例。

[0338] 将描述可通过数字时间灰度法驱动的像素的结构和操作。此处描述了一个示例,其中一个像素包括使用氧化物半导体层(In-Ga-Zn-O 基非单晶膜)作为沟道形成区的两个 n 沟道晶体管。

[0339] 像素 6400 包括开关晶体管 6401、驱动晶体管 6402、发光元件 6404 以及电容器 6403。开关晶体管 6401 的栅极连接至扫描线 6406,开关晶体管 6401 的第一电极(源电极和漏电极中的一个)连接至信号线 6405,而开关晶体管 6401 的第二电极(源电极和漏电极中的另一个)连接至驱动晶体管 6402 的栅极。驱动晶体管 6402 的栅极通过电容器 6403 连接至电源线 6407,驱动晶体管 6402 的第一电极连接至电源线 6407,而驱动晶体管 6402 的第二电极连接至发光元件 6404 的第一电极(像素电极)。发光元件 6404 的第二电极对应于公共电极 6408。公共电极 6408 电连接至设置在同一基板上的公共电位线。

[0340] 注意,发光元件 6404 的第二电极(公共电极 6408)被设置为低电源电位。该低电源电位低于提供给电源线 6407 的高电源电位。例如,GND、0V 等可设置为低电源电位。高电源电位与低电源电位之差被施加给发光元件 6404,从而电流流过发光元件 6404,藉此发光元件 6404 发光。因此,设置各个电位,以使高电源电位与低电源电位之差大于或等于发光元件 6404 的正向阈值电压。

[0341] 当驱动晶体管 6402 的栅电容用作电容器 6403 的替代物时,可省去电容器 6403。可在沟道区与栅电极之间形成驱动晶体管 6402 的栅电容。

[0342] 这里,在使用电压输入电压驱动方法的情况下,视频信号被输入驱动晶体管 6402

的栅极以使驱动晶体管 6402 完全导通或截止。即,驱动晶体管 6402 在线性区中工作,因此高于电源线 6407 电压的电压被施加给驱动晶体管 6402 的栅极。注意,大于或等于电源线电压加上驱动晶体管 6402 的 V_{th} 的电压被施加给信号线 6405。

[0343] 在使用模拟灰度法代替数字时间灰度法的情况下,通过以不同的方式输入信号可采用如图 20 中一样的像素结构。

[0344] 在使用模拟灰度驱动方法的情况下,大于或等于发光元件 6404 的正向电压加上驱动晶体管 6402 的 V_{th} 的电压被施加给驱动晶体管 6402 的栅极。发光元件 6404 的正向电压指的是获得期望照度的电压,且包括至少正向阈值电压。通过输入视频信号以使驱动晶体管 6402 能在饱和区工作,电流可流过发光元件 6404。为了使驱动晶体管 6402 能工作于饱和区,电源线 6407 的电位高于驱动晶体管 6402 的栅极电位。利用模拟视频信号,与视频信号一致的电流流过发光元件 6404,从而可实现模拟灰度驱动方法。

[0345] 注意,该像素结构不限于图 20 中所示的像素结构。例如,图 20 中的像素还可包括开关、电阻器、电容器、晶体管、逻辑电路等。

[0346] 接着,将参照图 21A 到 21C 描述发光元件的结构。这里,将以 n 沟道驱动 TFT 为例描述像素的截面结构。可按照与实施例 1 中所描述的薄膜晶体管相似的方式制造用于图 21A 到 21C 中所示的半导体器件的驱动 TFT7001、7011 以及 7021,而且它们是每个都包括添加了金属元素的氧化物半导体膜作为半导体层的高可靠薄膜晶体管。替代地,可采用实施例 2 到 7 中所描述的薄膜晶体管作为驱动 TFT 7001、7011 以及 7021。

[0347] 为提取从发光元件发出的光,需要阳极或阴极中的至少一个来透射光。在基板上形成薄膜晶体管 and 发光元件。发光元件可具有通过与基板相对的表面提取光的顶发光结构、通过基板一侧上的表面提取光的底发光结构、或通过与基板相对的表面和基板一侧上的表面提取光的双发光结构。可将像素结构应用于具有这些发光结构中的任一种的发光元件。

[0348] 将参照图 21A 描述具有顶发光结构的发光元件。

[0349] 图 21A 是驱动 TFT 7001 是 n 型而且光从发光元件 7002 发射至阳极 7005 侧的情况下的像素的截面图。在图 21A 中,发光元件 7002 的阴极 7003 电连接至驱动 TFT 7001,而发光层 7004 和阳极 7005 以此顺序堆叠在阴极 7003 上。阴极 7003 可由多种导电材料制成,只要它们具有低功函数并反射光。例如,优选地使用 Ca、Al、CaF、MgAg、AlLi 等。发光层 7004 可被形成为单层或堆叠的多层。当将发光层 7004 形成为多层时,通过按照以下顺序在阴极 7003 上堆叠电子注入层、电子传输层、发光层、空穴传输层以及空穴注入层而形成发光层 7004。注意,不需要设置所有这些层。阳极 7005 由诸如包含氧化钨的氧化铟、包含氧化钨的氧化锌铟、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧锡化铟(下文称为 ITO)、氧化锌铟或添加了氧化硅的氧化锡铟之类的透光导电材料制成。

[0350] 发光元件 7002 对应于发光层 7004 夹在阴极 7003 与阳极 7005 之间的区域。在图 21A 中所示像素的情况下,如箭头所示,光从发光元件 7002 发射至阳极 7005。

[0351] 接着,将参照图 21B 描述具有底发光结构的发光元件。图 21B 是驱动 TFT 7011 是 n 型的而且光从发光元件 7012 发射至阴极 7013 侧的情况下的像素的截面图。在图 21B 中,在电连接至驱动 TFT 7011 的透光导电膜 7017 上形成发光元件 7012 的阴极 7013,而发光层 7014 和阳极 7015 以此顺序堆叠在阴极 7013 上。注意,当阳极 7015 具有透光性质时,可形

成用于反射和阻挡光的挡光膜 7016 来覆盖阳极 7015。对于阴极 7013,与图 21A 的情况一样,可使用多种材料,只要它们是具有低功函数的导电材料。注意,阴极 7013 被形成具有可透光的厚度(优选约 5nm 到 30nm)。例如,具有 20nm 厚度的铝膜可用作阴极 7013。类似于图 21A 的情况,可使用单层或堆叠的多层形成发光层 7014。不需要阳极 7015 透光,但阳极 7015 可由如图 21A 的情况一样的透光导电材料制成。作为挡光膜 7016,例如可使用反射光的金属;不过,它不限于金属膜。例如,还可使用添加了黑色素的树脂。

[0352] 发光元件 7012 对应于发光层 7014 夹在阴极 7013 与阳极 7015 之间的区域。在图 21B 中所示像素的情况下,如箭头所示,光从发光元件 7012 发射至阴极 7013 侧。

[0353] 接着,将参照图 21C 描述具有双发光结构的发光元件。在图 21C 中,在电连接至驱动 TFT 7021 的透光导电膜 7027 上形成发光元件 7022 的阴极 7023,而发光层 7024 和阳极 7025 以此顺序堆叠在阴极 7023 上。像图 21A 的情况一样,阴极 7023 可由多种导电材料制成,只要它们具有低功函数。注意,阴极 7023 被形成具有能透射光的厚度。例如,具有 20nm 厚度的铝膜可用作阴极 7023。如图 21A 中一样,发光层 7024 可被形成成为单层或堆叠的多层。阳极 7025 可由像图 21A 的情况中一样的透光导电材料制成。

[0354] 发光元件 7022 对应于阴极 7023、发光层 7024 以及阳极 7025 彼此交迭的区域。在图 21C 中所示像素的情况下,如箭头所示,光从发光元件 7022 发射至阳极 7025 侧和阴极 7023 侧。

[0355] 虽然这里描述了有机 EL 元件作为发光元件,但还可提供无机 EL 元件作为发光元件。

[0356] 注意,描述了控制发光元件的驱动的薄膜晶体管(驱动 TFT)电连接至发光元件的示例;不过,可采用用于电流控制的 TFT 连接在驱动 TFT 与发光元件之间的结构。

[0357] 注意,该半导体器件的结构不限于图 21A 到 21C 中所示的那些结构,而且可基于此说明书中公开的技术以多种方式修改。

[0358] 接着,将参照图 24A 和 24B 描述作为半导体器件的一个实施例的发光显示面板(也称为发光面板)的外观和截面。图 24A 是使用密封剂将形成在第一基板上的薄膜晶体管和发光元件密封在第一基板与第二基板之间的面板的俯视图。图 24B 是沿图 24A 的线 H-I 的截面图。

[0359] 密封剂 4505 被设置成包围设置在第一基板 4501 上的像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b。此外,第二基板 4506 设置在像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b 上。因此,像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b 连同填充物 4507 通过第一基板 4501、密封剂 4505 以及第二基板 4506 密封到一起。优选地,显示器件被保护膜(诸如粘接膜或紫外可固化树脂膜)或具有高气密性和几乎无除气的覆盖材料封装(密封),从而该显示器件不暴露在外部空气中。

[0360] 形成在第一基板 4501 上的像素部分 4502、信号线驱动器电路 4503a 和 4503b 以及扫描线驱动器电路 4504a 和 4504b 各包括多个薄膜晶体管,而在图 24B 中示出了作为示例的包括在像素部分 4502 中的薄膜晶体管 4510 和包括在信号线驱动器电路 4503a 中的薄膜晶体管 4509。

[0361] 作为薄膜晶体管 4509 和 4510 中的每一个,可采用如实施例 1 所描述的包括添加

了金属元素的氧化物半导体膜作为半导体层的高可靠薄膜晶体管。替代地,可采用实施例 2 到 7 中所描述的薄膜晶体管。薄膜晶体管 4509 和 4510 是 n 沟道薄膜晶体管。

[0362] 此外,附图标记 4511 表示发光元件。包括在发光元件 4511 中的作为像素电极的第一电极层 4517 电连接至薄膜晶体管 4510 的源电极层或漏电极层。注意,发光元件 4511 的结构不限于包括第一电极层 4517、电致发光层 4512 以及第二电极层 4513 的层叠结构。可根据从发光元件 4511 提取光的方向等酌情改变发光元件 4511 的结构。

[0363] 由有机树脂膜、无机绝缘膜或有机聚硅氧烷制成隔离壁 4520。尤其优选地,由光敏材料制成隔离壁 4520,且在第一电极层 4517 上具有开口,以使开口的侧壁被形成为具有连续弯曲的斜面。

[0364] 电致发光层 4512 可被形成为单层或堆叠的多层。

[0365] 可在第二电极层 4513 和隔离壁 4520 上形成保护膜,以阻止氧气、氢气、水汽、二氧化碳等进入发光元件 4511。作为保护膜,可形成氮化硅膜、氮氧化硅膜、DLC 膜等。

[0366] 从 FPC 4518a 和 4518b 将多个信号和电压提供给信号线驱动器电路 4503a 和 4503b、扫描线驱动器电路 4504a 和 4504b 或像素部分 4502。

[0367] 由与发光元件 4511 中所包括的第一电极层 4517 相同的导电膜形成连接端子电极 4515,而由与薄膜晶体管 4509 和 4510 中包括的源和漏电极层相同的导电膜形成端子电极 4516。

[0368] 连接端子电极 4515 通过各向异性导电膜 4519 电连接至 FPC 4518a 的端子。

[0369] 位于从发光元件 4511 提取光的方向的第二基板 4506 需要具有透光性质。在该情况下,使用诸如玻璃板、塑料板、聚酯膜或丙烯酸膜之类的透光材料。

[0370] 作为填充物 4507,除诸如氮气或氩气之类的惰性气体之外,还可使用紫外可固化树脂或热固性树脂。例如,可使用 PVC(聚氯乙烯)、丙烯酸、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)或 EVA(乙烯乙酸乙烯酯)。例如,使用氮气作为填充物。

[0371] 此外,在需要时,可在发光元件的发光表面上酌情设置诸如极化板、圆形极化板(包括椭圆极化板)、阻滞板(四分之一波板或半波板)或滤色器之类的光学膜。此外,极化板或圆形极化板可设置有抗反射膜。例如,可执行抗眩光处理,通过该处理能通过表面上的凸起和凹陷漫射反射光以减少眩光。

[0372] 信号线驱动器电路 4503a 和 4503b 和扫描线驱动器电路 4504a 和 4504b 可作为使用单晶半导体膜或多晶半导体膜形成的驱动器电路安装在单独制备的基板上。替代地,可单独形成和安装信号线驱动器电路及其部分或扫描线驱动器电路及其部分。此实施例不限于图 24A 和 24B 中所示结构。

[0373] 通过上述工艺,可将高可靠的发光显示器件(显示面板)制造为半导体器件。

[0374] 可利用其它实施例中描述的结构以适当的组合实现此实施例。

[0375] (实施例 12)

[0376] 此说明书中公开的半导体器件可应用于电子纸。电子纸可用于多种领域的电子电器,只要它们显示数据。例如,电子纸可应用于电子书设备(电子书)、招贴、诸如火车之类的车辆中的广告、或诸如信用卡之类的多种卡的显示器。图 25A 和 25B 以及图 26 中示出了电子电器的示例。

[0377] 图 25A 示出使用电子纸的招贴 2631。在广告媒体是印刷报纸的情况下,通过手工

更换广告；然而，通过使用此说明书中公开的电子纸，可在短时间内改变广告显示内容。此外，可在无显示缺陷的情况下获得稳定的图像。注意，该招贴可具有能无线发送和接收数据的配置。

[0378] 图 25B 示出诸如火车之类的车辆中的广告 2632。在广告媒体是印刷报纸的情况下，通过手工更换广告；然而，通过使用此说明书中公开的电子纸，可在更少人力的情况下在短时间内改变广告显示内容。此外，可在无显示缺陷的情况下获得稳定的图像。注意，车辆中的广告可具有能无线发送和接收数据的配置。

[0379] 图 26 示出电子书设备 2700 的示例。例如，电子书设备 2700 包括两个外壳——外壳 2701 和外壳 2703。外壳 2701 和外壳 2703 与枢纽 2711 组合，从而该电子书设备 2700 可以该枢纽 2711 为轴打开和关闭。利用这样的结构，电子书设备 2700 可类似于纸书一样工作。

[0380] 显示部分 2705 和显示部分 2707 分别被包括在外壳 2701 和外壳 2703 中。显示部分 2705 和显示部分 2707 可显示一幅图像或不同图像。例如，在显示部分 2705 和显示部分 2707 显示不同图像的情况下，可在右边的显示部分（图 26 中的显示部分 2705）上显示文字，而在左边的显示部分上显示图像（图 26 中的显示部分 2707）。

[0381] 图 26 示出外壳 2701 设置有操作部分等的示例。例如，外壳 2701 设置有电源开关 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可翻页。可在外壳的显示部分的同一表面上设置键盘、指向装置等。此外，可在外壳的后面或侧面上设置外部连接端子（耳机端子、USB 端子、可连接至诸如 AC 适配器和 USB 电缆之类的各种电缆的端子等）、记录介质插入部分等。而且，电子书设备 2700 可具有电子词典功能。

[0382] 电子书设备 2700 可具有能无线发送和接收数据的配置。通过无线通信，可从电子书服务器购买和下载想要的图书数据等。

[0383] （实施例 13）

[0384] 此说明书中公开的半导体器件可应用作为多种电子电器（包括娱乐机）。电子电器的示例包括电视机（也称为电视或电视接收器）、计算机显示器等、诸如数码相机或数码摄像机之类的相机、数码相框、蜂窝电话（也称为移动电话或移动电话机）、便携式游戏终端、便携式信息终端、音频再现设备、诸如弹球盘机之类的大尺寸游戏机等。

[0385] 图 27A 示出电视机 9600 的示例。在电视机 9600 中，显示部分 9603 包括在外壳 9601 中。可在显示部分 9603 上显示图像。这里，外壳 9601 由支架 9605 支承。

[0386] 可利用外壳 9601 的操作开关或独立的遥控器 9610 操作电视机 9600。可利用遥控器 9610 的操作键 9609 控制频道和音量，从而控制显示部分 9603 上显示的图像。此外，远程控制器 9610 可设置有用显示从遥控器 9610 输入的数据的显示部分 9607。

[0387] 注意，电视机 9600 设置有接收器、调制解调器等。利用该接收器，可接收一般的电视广播。此外，当电视机 9600 经由调制解调器通过有线或无线连接连接至通信网络时，可实现单向（从发射器到接收器）或双向（发射器与接收器之间、接收器之间等）数据通信。

[0388] 图 27B 示出数码相框 9700 的示例。例如，在数码相框 9700 中，显示部分 9703 被包括在外壳 9701 中。可在显示部分 9703 上显示多幅图像。例如，显示部分 9703 可显示数码相机等拍摄的图像数据而起普通相框的作用。

[0389] 注意，数码相框 9700 设置有操作部分、外部连接部分（USB 端子、可连接至诸如 USB

电缆之类的多种电缆的端子等)、记录介质插入部分等。虽然它们可被设置在与显示部分相同的表面上,但优选地,为了数码相框 9700 的设计而将它们设置在侧面或后面。例如,存储由数码相机拍摄的图像数据的存储器被插入数码相框的记录介质插入部分中,藉此图像数据可被转移并显示在显示部分 9703 上。

[0390] 数码相框 9700 可具有能无线发送和接收数据的配置。通过无线通信,可转移期望的图像数据以供显示。

[0391] 图 28A 示出包括两个外壳的便携式娱乐机:外壳 9881 和外壳 9891。外壳 9881 和 9891 与连接部分 9893 连接以便打开和关闭。显示部分 9882 和显示部分 9883 分别被包括在外壳 9881 和外壳 9891 中。此外,图 28A 中所示的便携式娱乐机包括扬声器部分 9884、记录介质插入部分 9886、LED 灯 9890、输入装置(操作键 9885、连接端子 9887、传感器 9888(具有测量力、位移、位置、速度、加速度、角速度、旋转频率、距离、光、液体、磁性、温度、化学物质、声音、时间、硬度、电场、电流、电压、电功率、辐射、流速、湿度、梯度、振动、气味或红外线功能的传感器))或话筒 9889)等。不言而喻,该便携式娱乐机的结构不限于上述结构,而且可采用设置有此说明书中公开的至少一个半导体器件的其它结构。该便携式娱乐机可酌情包括其它附加设备。图 28A 中所示的便携式娱乐机具有读取存储在记录介质中的程序或数据以显示在显示部分上的功能,以及通过无线通信与另一便携式娱乐机共享信息的功能。图 28A 中所示的便携式娱乐机可具有不限于上述功能的多种功能。

[0392] 图 28B 示出作为大尺寸娱乐机的自动售货机 9900 的示例。在自动售货机 9900 中,显示部分 9903 包括在外壳 9901 中。此外,自动售货机 9900 包括诸如起始杆或停止开关之类的操作装置、硬币槽、扬声器等。不言而喻,该自动售货机 9900 的结构不限于上述结构,而且可采用设置有此说明书中公开的至少一个半导体器件的其它结构。该自动售货机 9900 可酌情包括其它附加设备。

[0393] 图 29A 示出蜂窝电话 1000 的示例。蜂窝电话 1000 设置有包括在外壳 1001 中的显示部分 1002、操作按钮 1003、外部连接端口 1004、扬声器 1005、话筒 1006 等。

[0394] 当用手指等触摸图 29A 中所示的蜂窝电话 1000 的显示部分 1002 时,数据可被输入蜂窝电话 1000。此外,可通过手指等触摸显示部分 1002 来执行诸如打电话和编辑邮件之类的操作。

[0395] 显示部分 1002 主要有三种屏幕模式。第一种模式是主要用于显示图像的显示模式。第二种模式是主要用于输入诸如文字之类的数据的输入模式。第三种模式是组合显示模式和输入模式这两种模式的显示-输入模式。

[0396] 例如,在打电话或编辑邮件的情况下,为显示部分 1002 选择主要用于输入文字的文字输入模式,从而可输入显示在屏幕上的文字。在该情况下,优选地在显示部分 1002 的屏幕的几乎全部区域上显示键盘或数字按钮。

[0397] 当诸如陀螺仪或加速度传感器之类的包括用于检测倾斜的传感器的检测设备设置在蜂窝电话 1000 内部时,可通过确定蜂窝电话 1000 的取向(无论蜂窝电话 1000 被放置成水平还是垂直以用于景色模式或肖像模式)自动切换显示部分 1002 的屏幕上的显示内容。

[0398] 通过触摸显示部分 1002 或操作外壳 1001 的操作按钮 1003 可切换屏幕模式。替代地,可根据显示部分 1002 上显示的图像类型切换屏幕模式。例如,当显示在显示部分上

的图像信号是移动图像数据时,屏幕模式被切换成显示模式。当该信号是文字数据时,屏幕模式被切换成输入模式。

[0399] 此外,在输入模式中,当未进行通过触摸显示部分 1002 的输入达一定时间,同时显示部分 1002 中的光传感器检测到信号时,可控制屏幕模式从输入模式切换至显示模式。

[0400] 显示部分 1002 可起图像传感器的作用。例如,通过用手掌或手指触摸显示部分 1002 采集掌纹、指纹等图像,藉此执行个人认证。此外,通过为显示部分提供背光或发射近红外光的感测光源,也能采集指纹、掌纹等图像。

[0401] 图 29B 示出蜂窝电话 1000 的另一示例。图 29B 中的蜂窝电话具有:外壳 9411 中的显示装置 9410,其包括显示部分 9412 和操作按钮 9413;以及外壳 9401 中的通信装置 9400,其包括操作按钮 9402、外部输入端子 9403、话筒 9404、扬声器 9405 以及在接收到电话时发射光的发光部分 9406。具有显示功能的显示装置 9410 可通过按照箭头表示的两个方向移动而从具有电话功能的通信装置 9400 脱离或附连至该通信装置 9400。因此,显示装置 9410 和通信装置 9400 可沿它们的短边或长边彼此附连。此外,当仅需要显示功能时,显示装置 9410 可从通信装置 9400 脱离并单独使用。图像或输入信号可通过无线或有线通信在分别具有充电电池的通信装置 9400 和显示装置 9410 之间发送或接收。

[0402] 此申请基于 2008 年 11 月 7 日向日本专利局提交的日本专利申请 S/N. 2008-286384,该申请的全部内容通过引用结合于此。

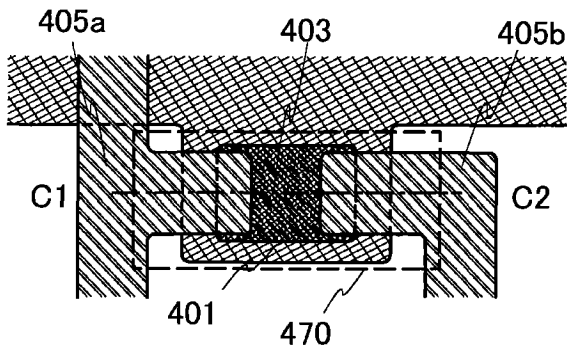


图 1A

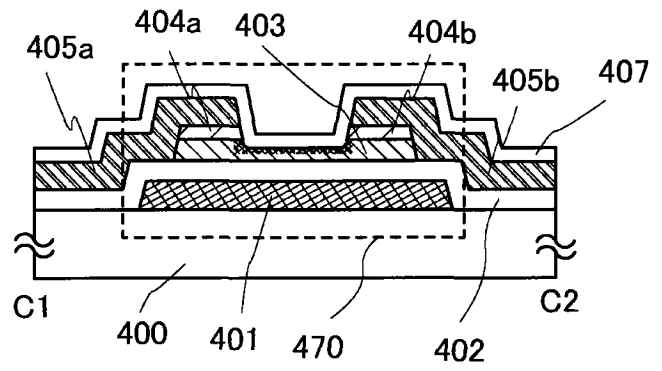


图 1B

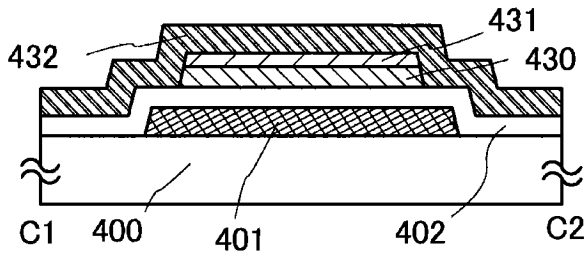


图 2A

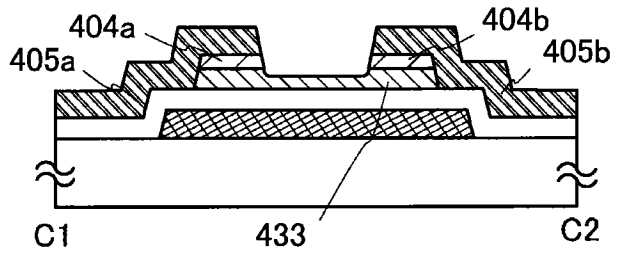


图 2B

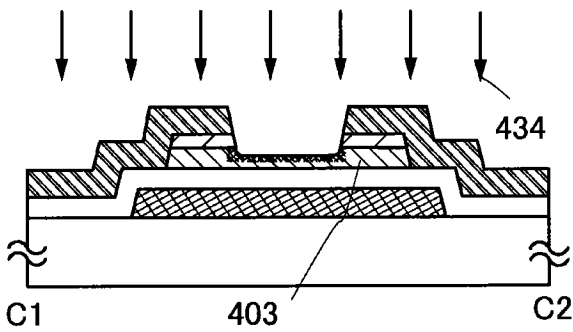


图 2C

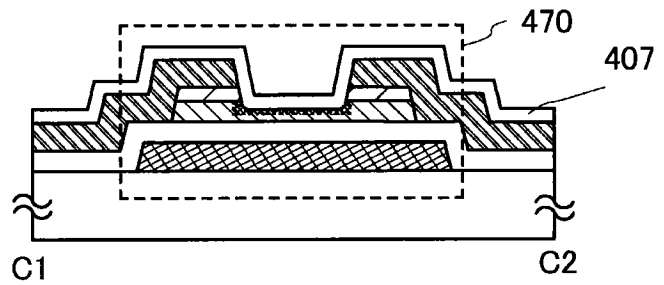


图 2D

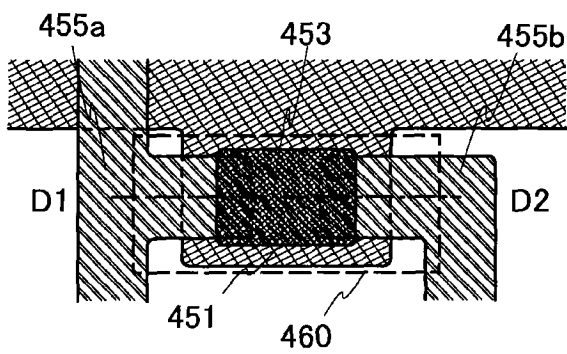


图 3A

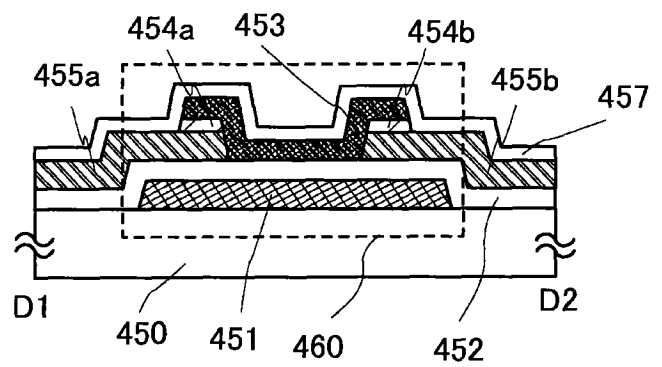


图 3B

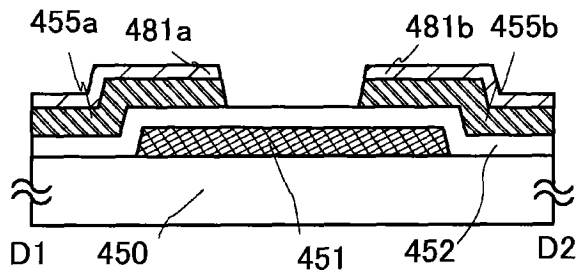


图 4A

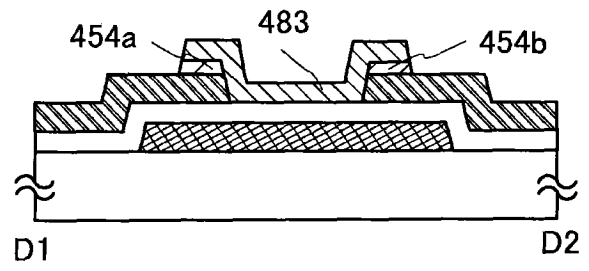


图 4B

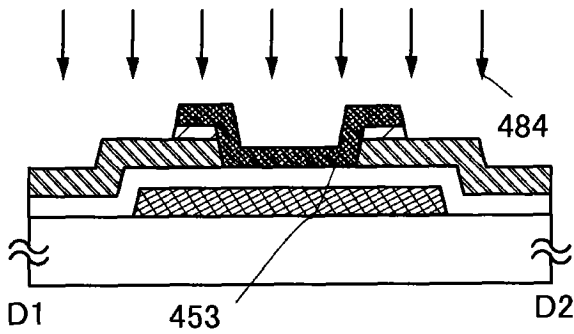


图 4C

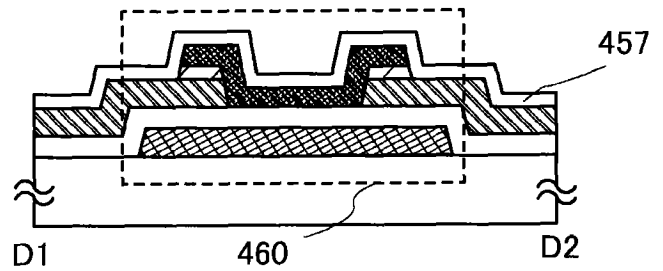
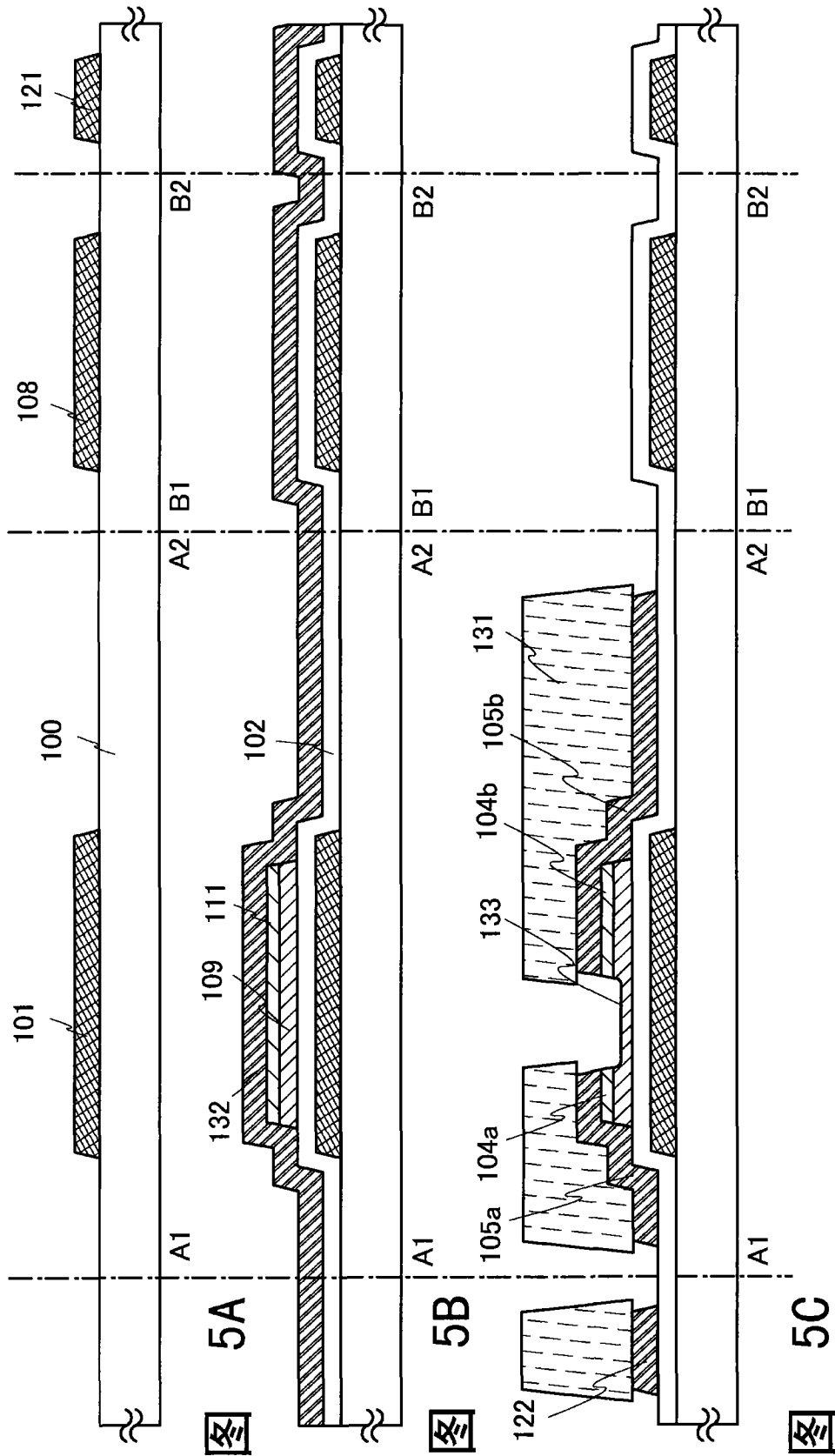
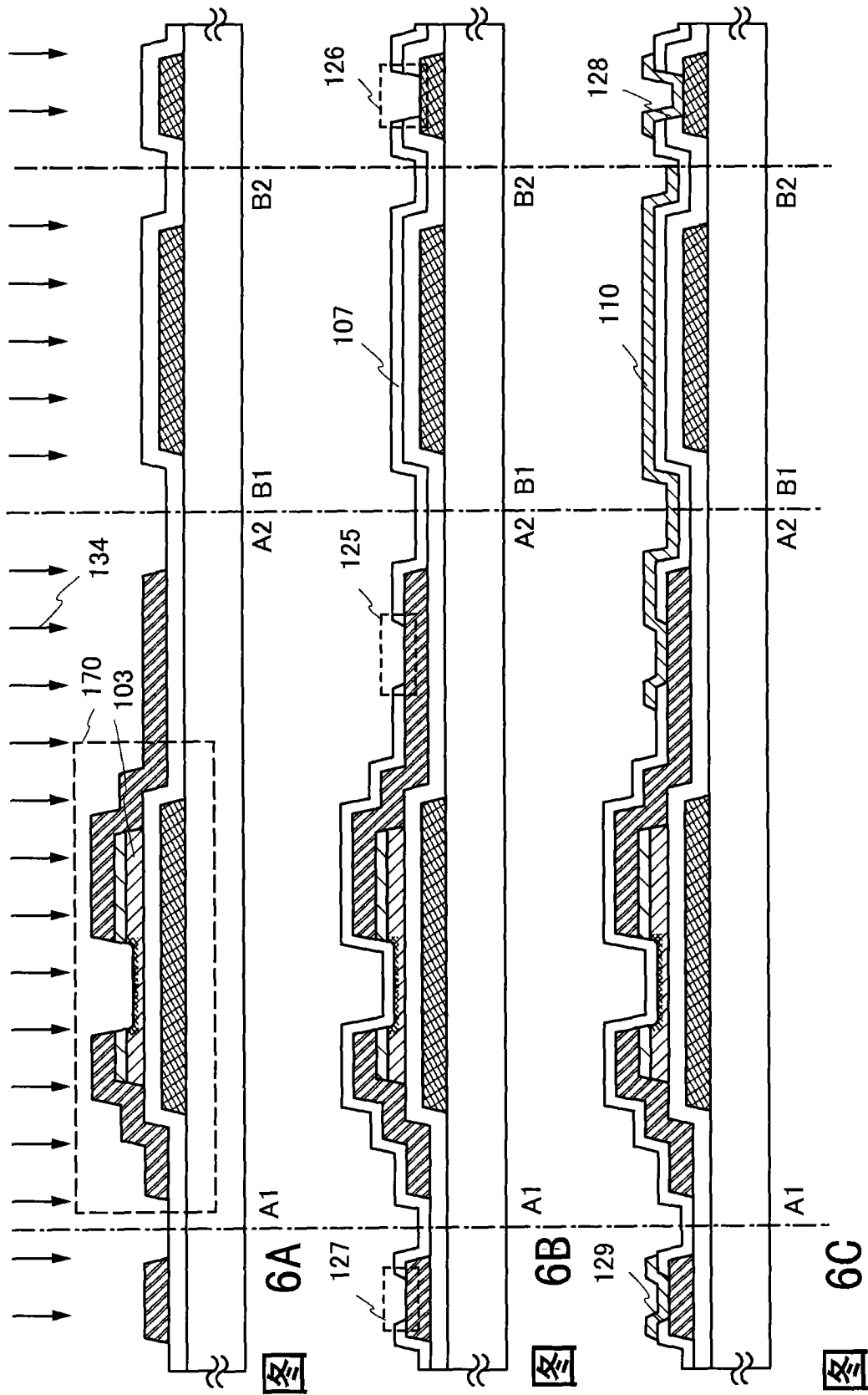


图 4D





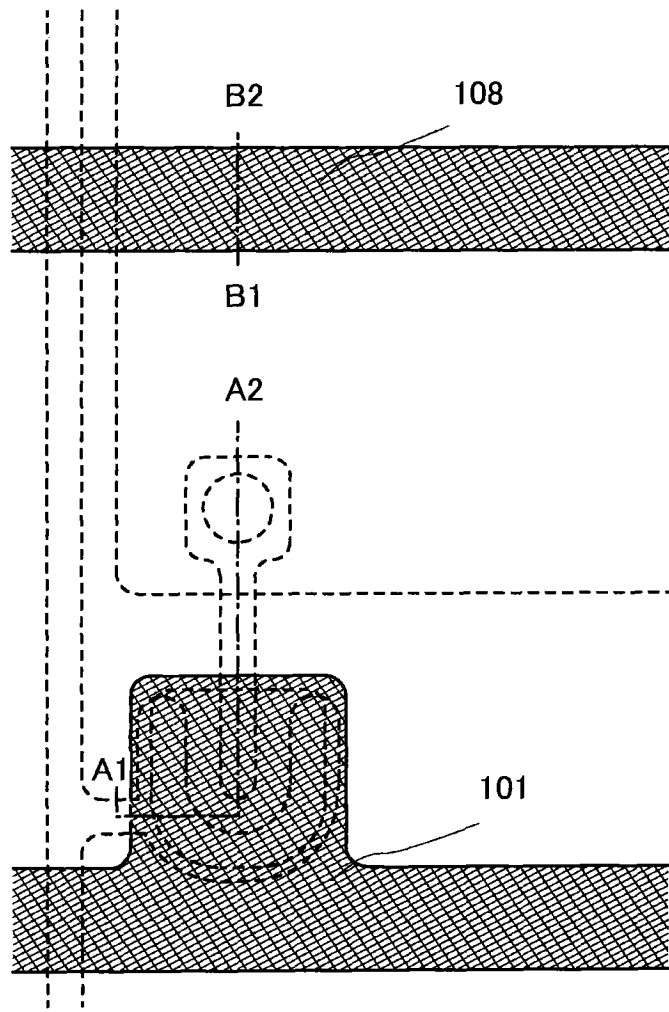


图 7

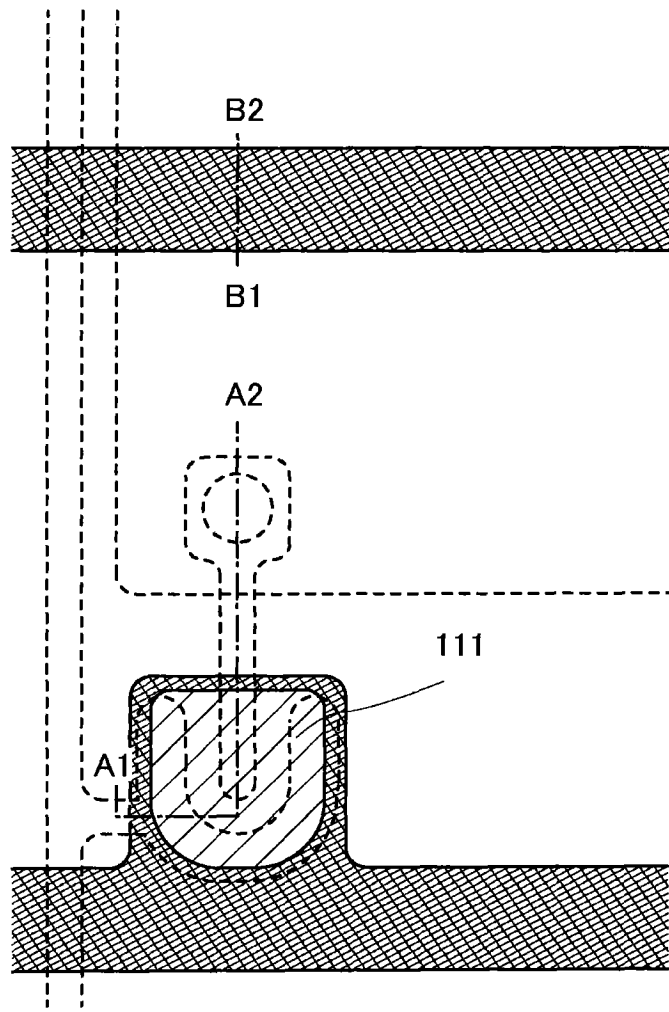


图 8

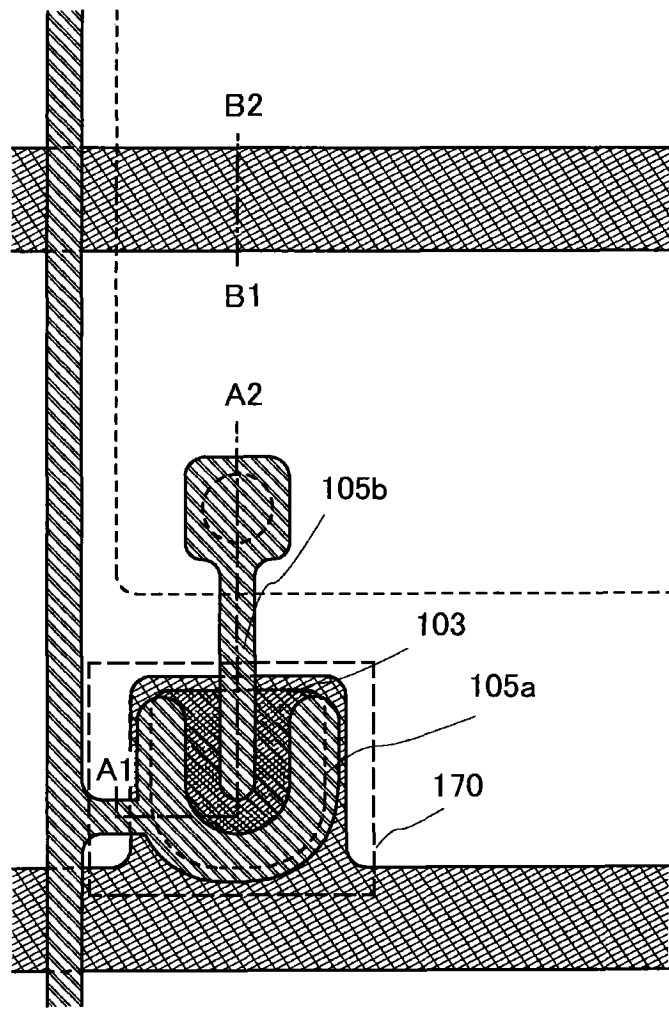


图 9

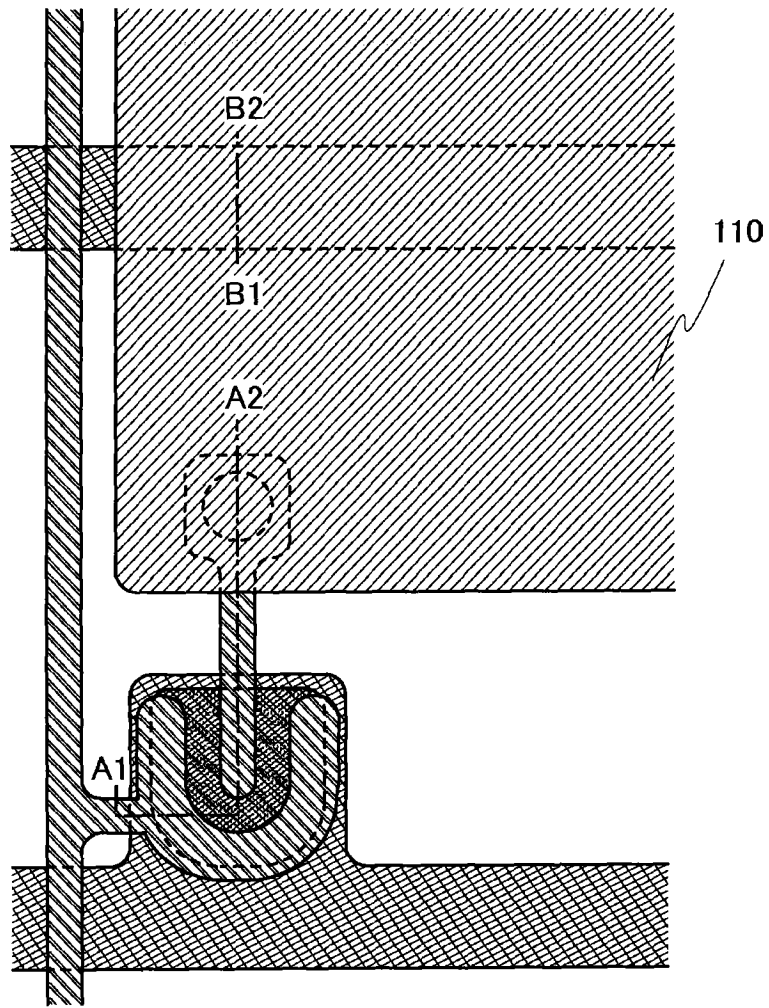


图 10

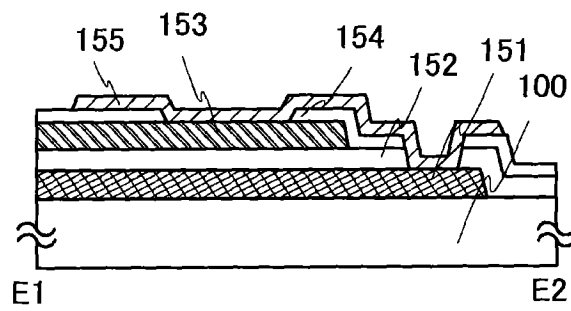


图 11A1

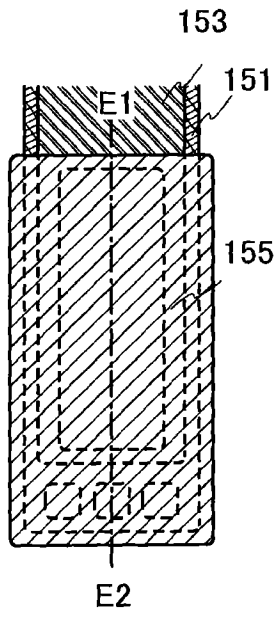


图 11A2

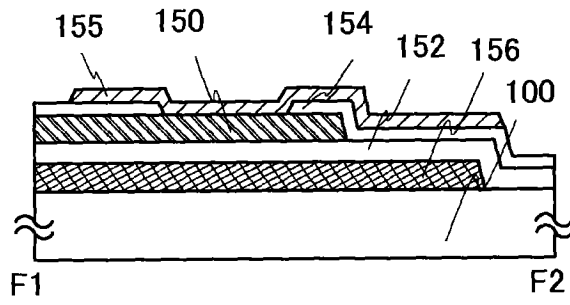


图 11B1

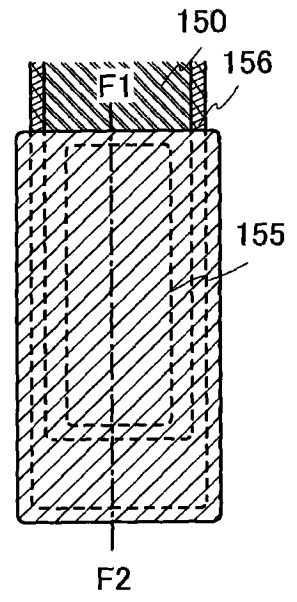


图 11B2

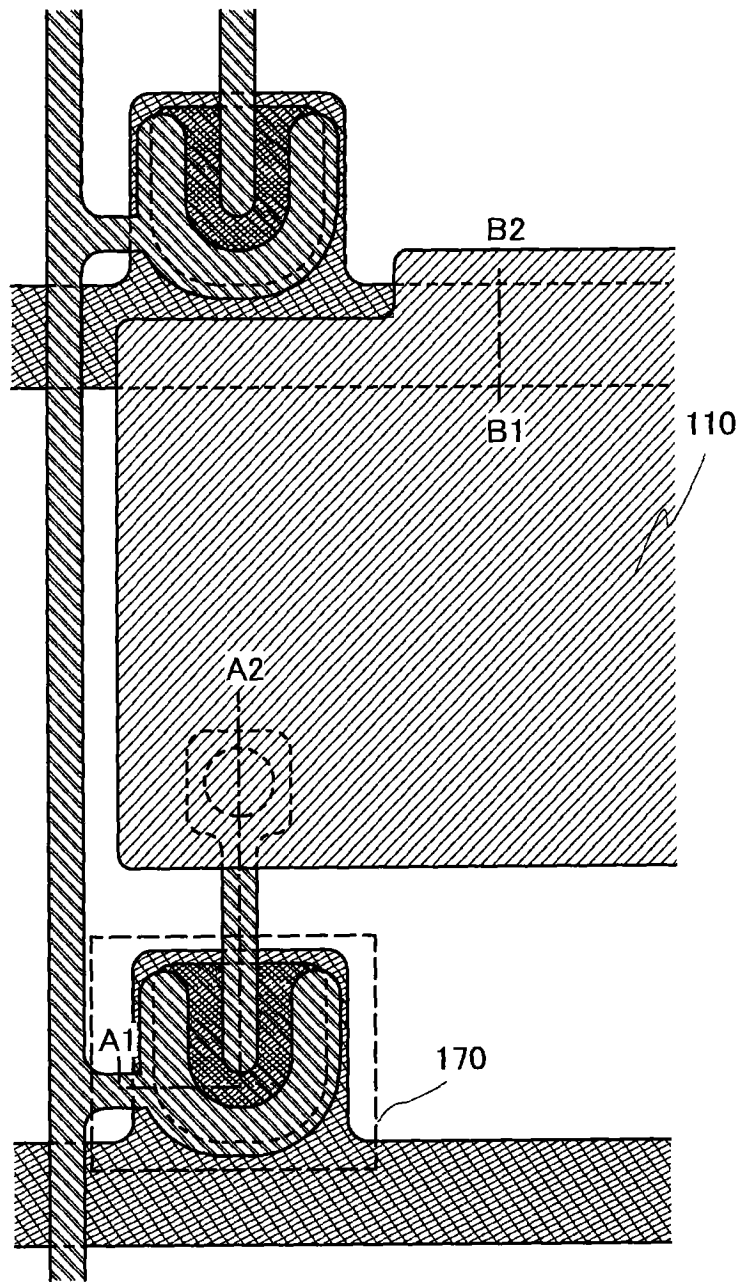


图 12

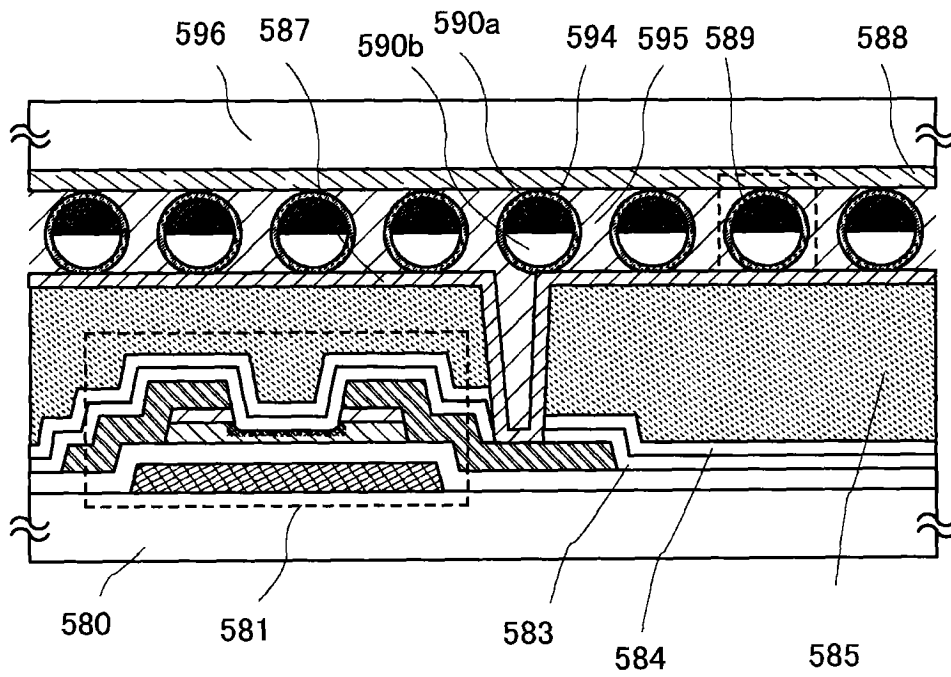


图 13

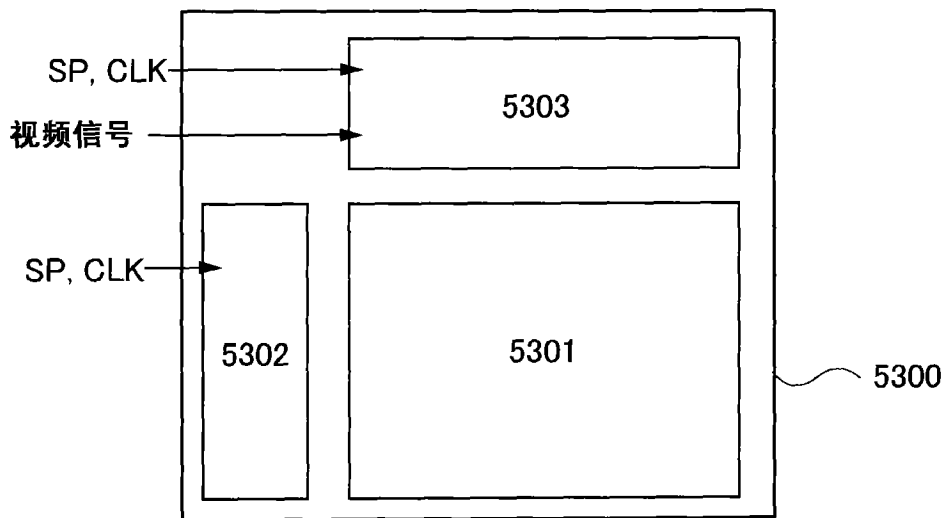


图 14A

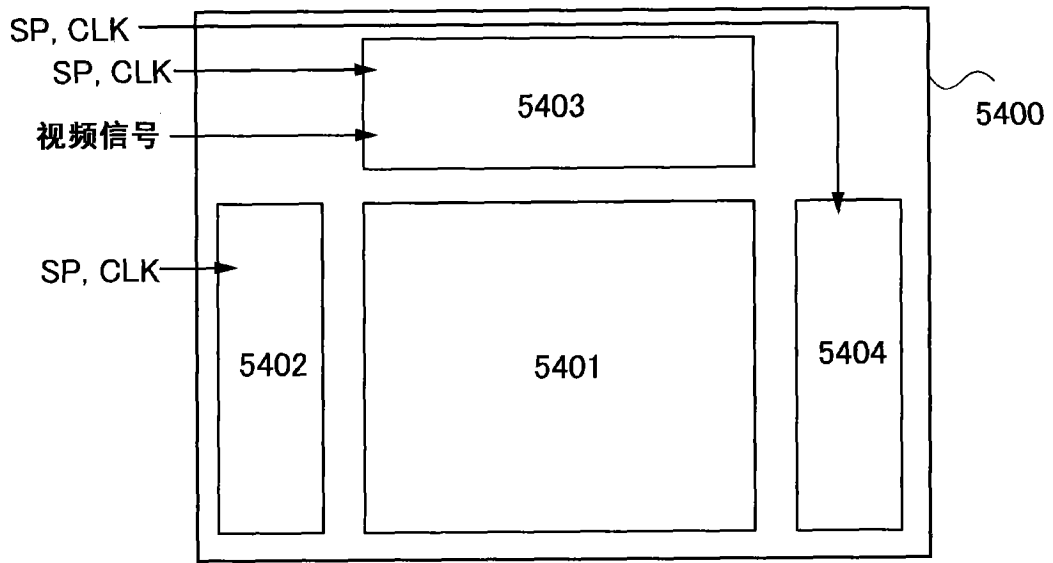


图 14B

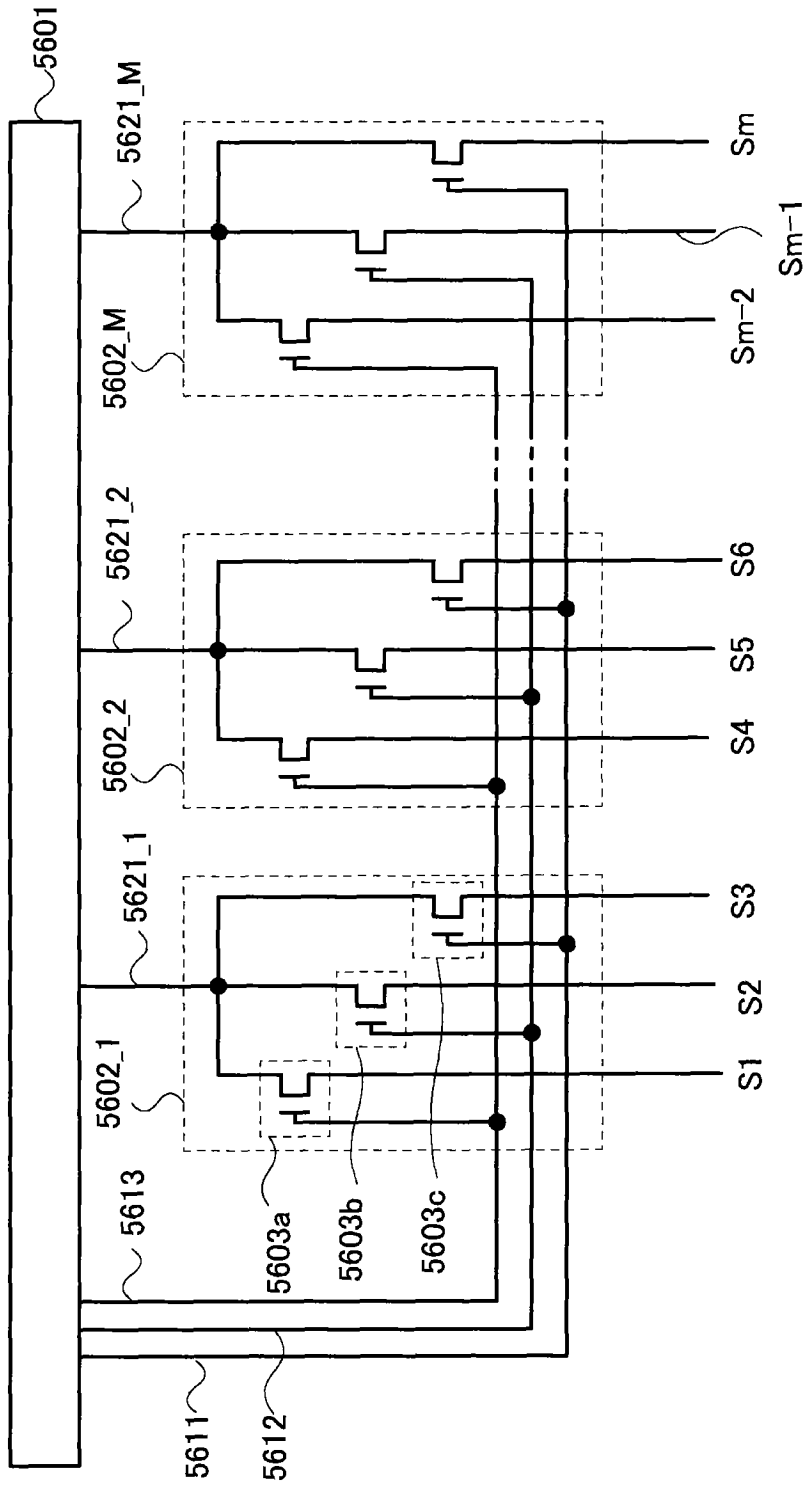


图 15

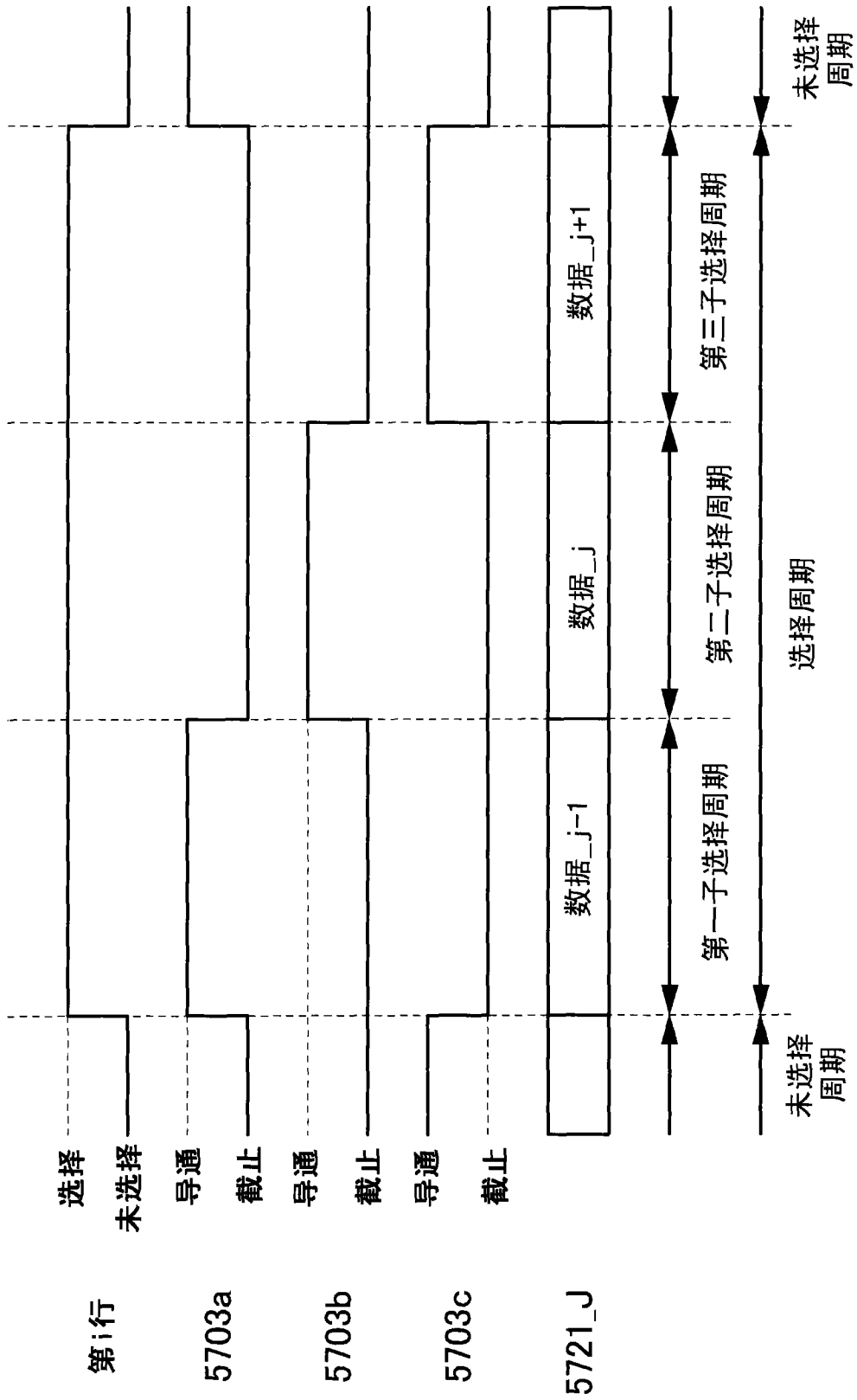


图 16

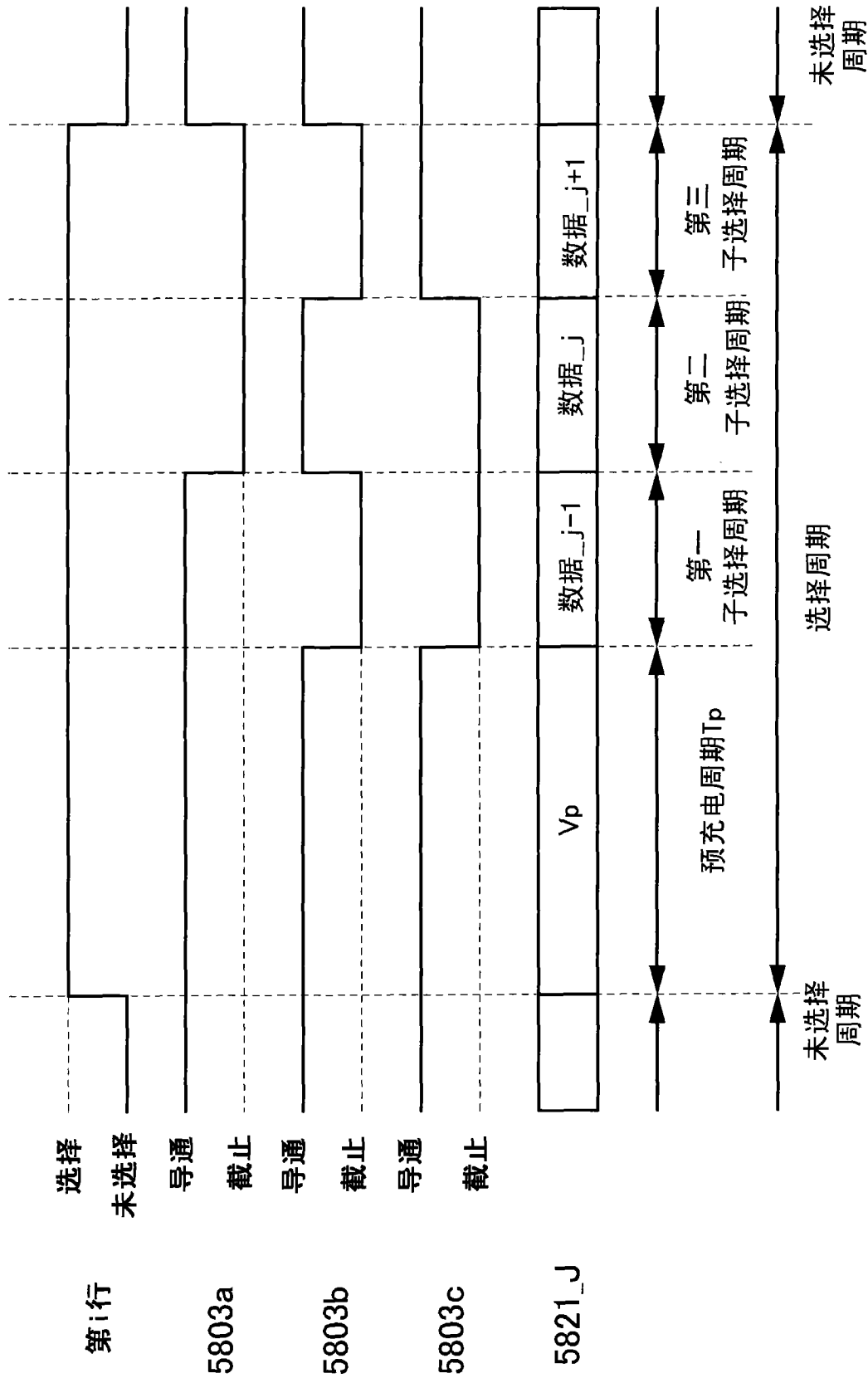


图 17

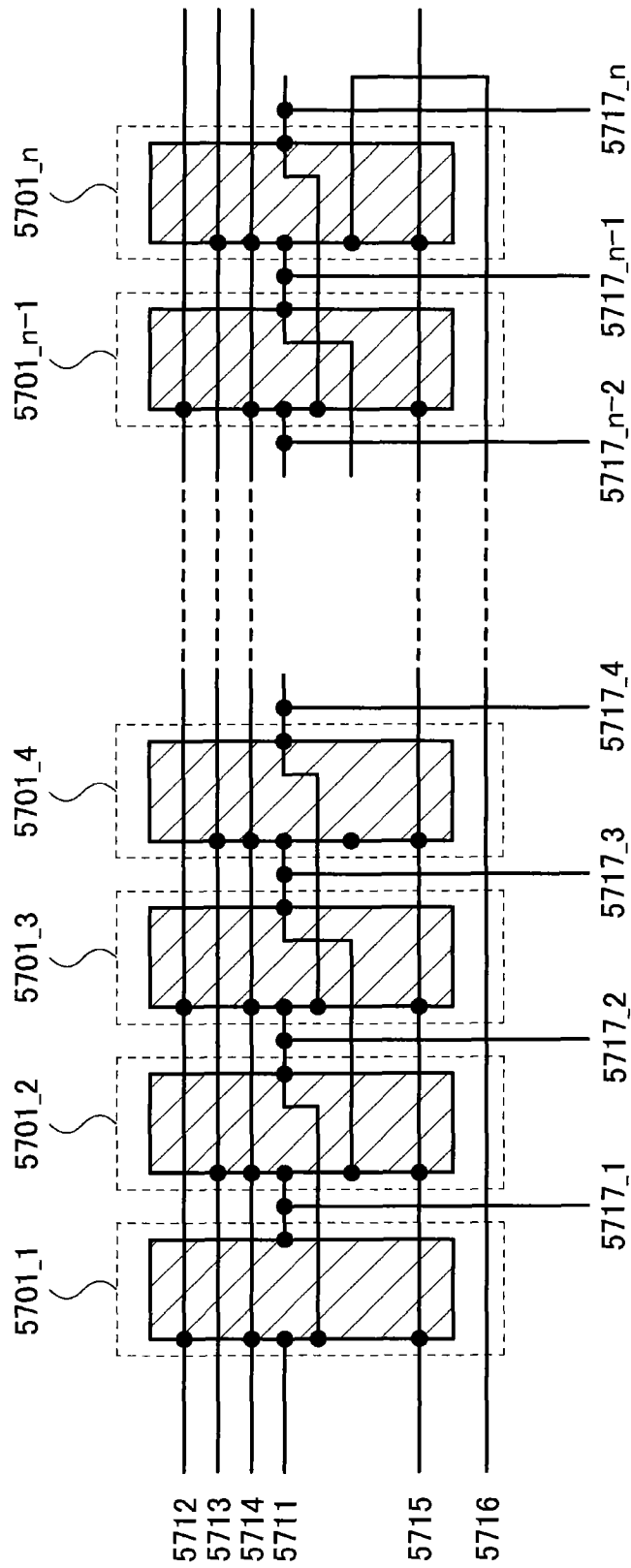


图 18

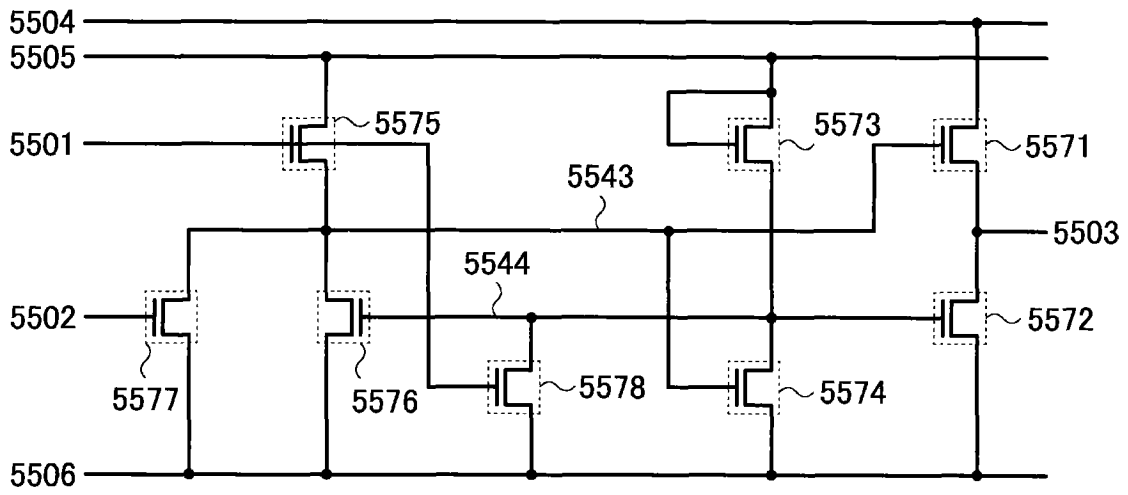


图 19

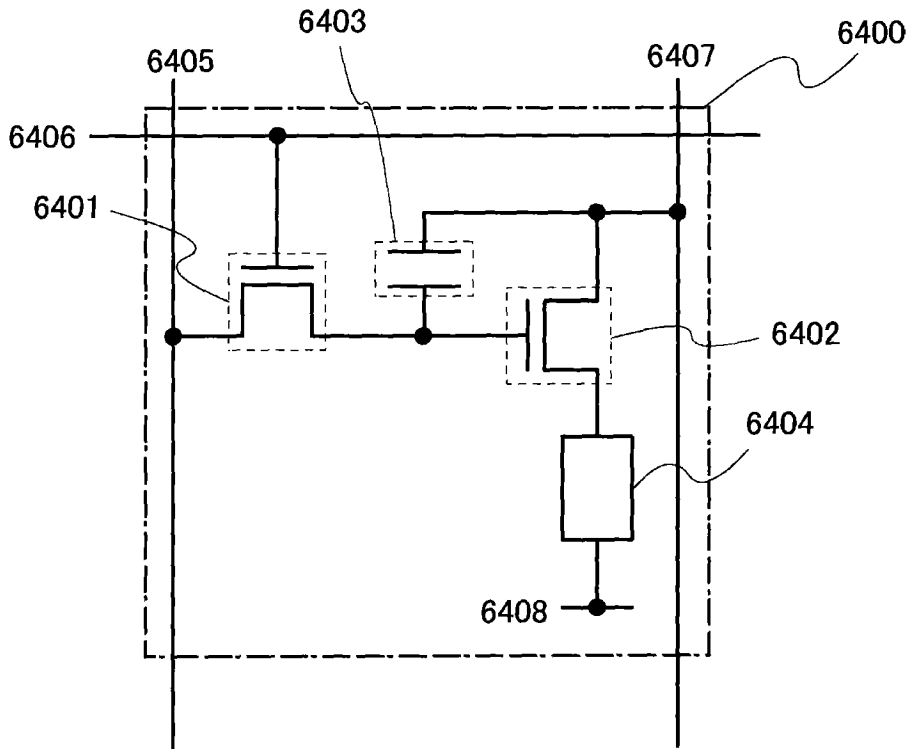


图 20

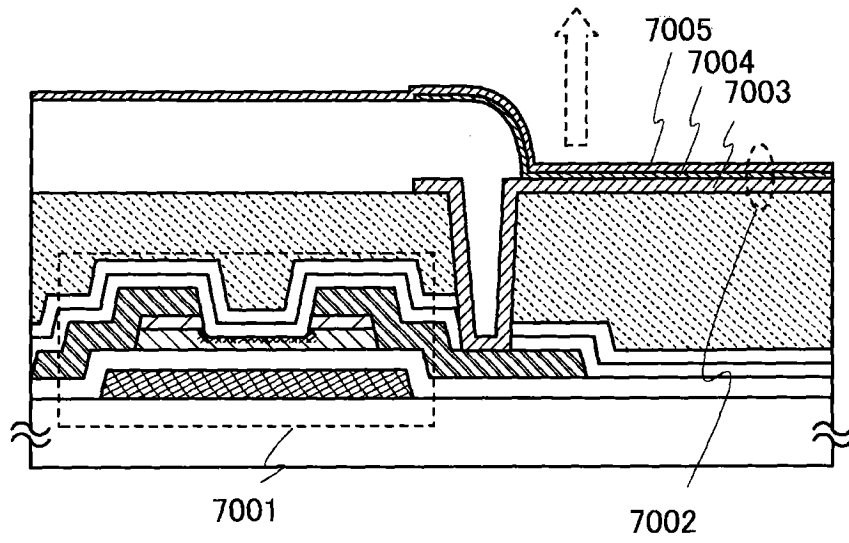


图 21A

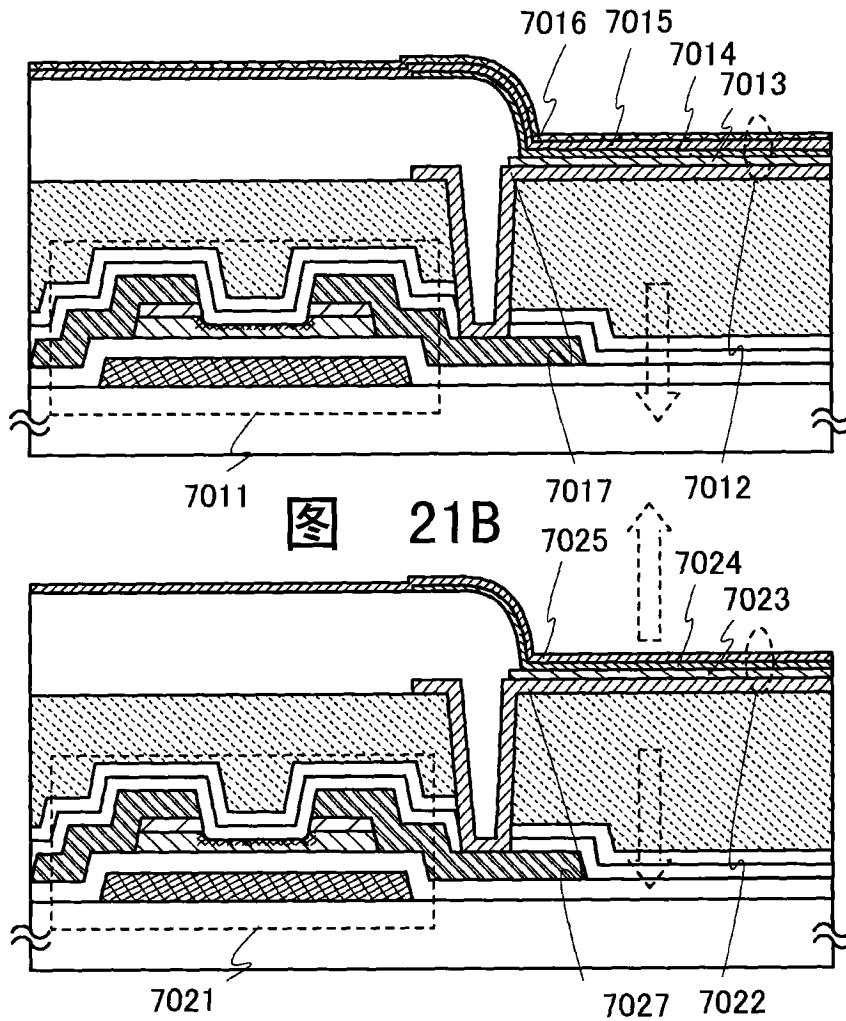


图 21B

图 21C

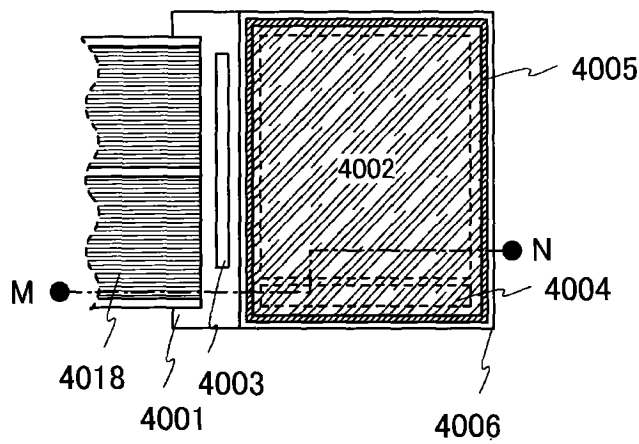


图 22A1

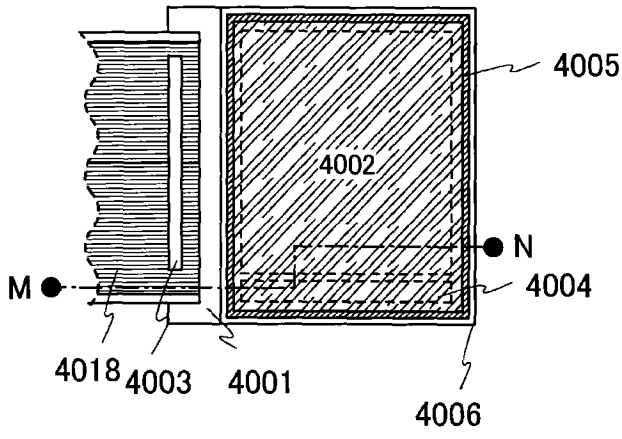


图 22A2

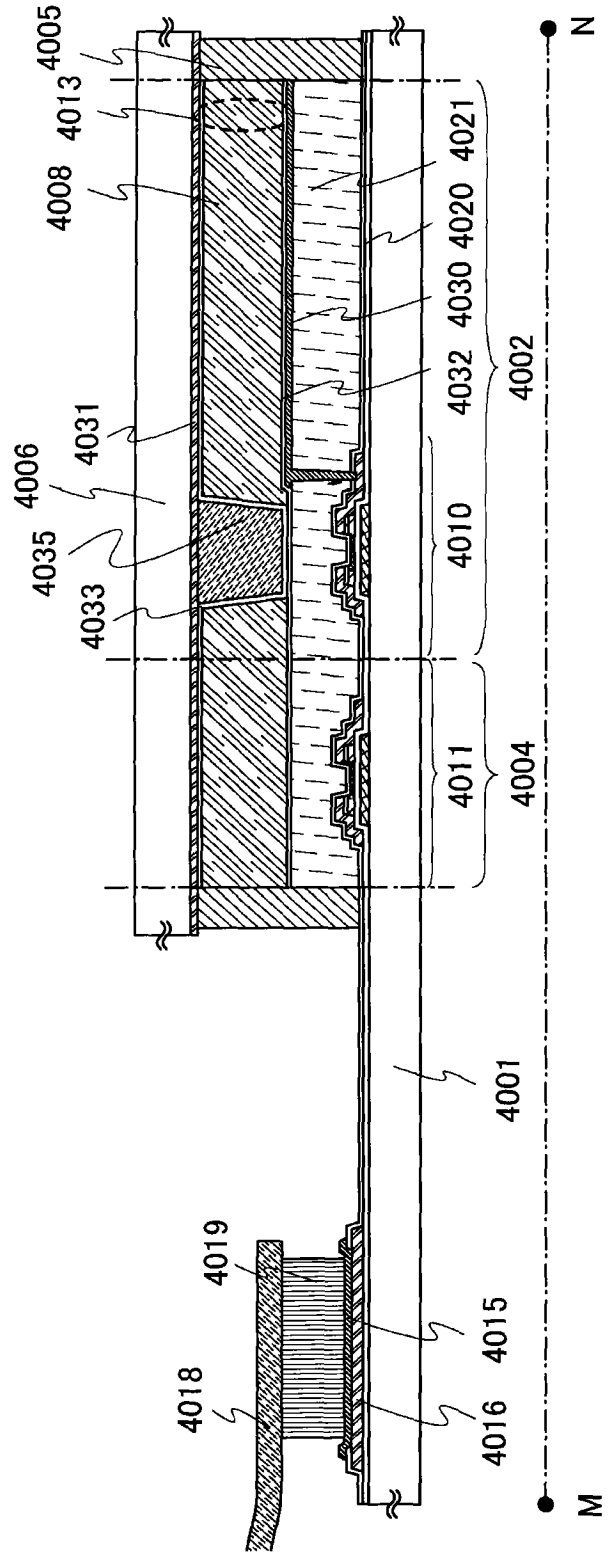


图 22B

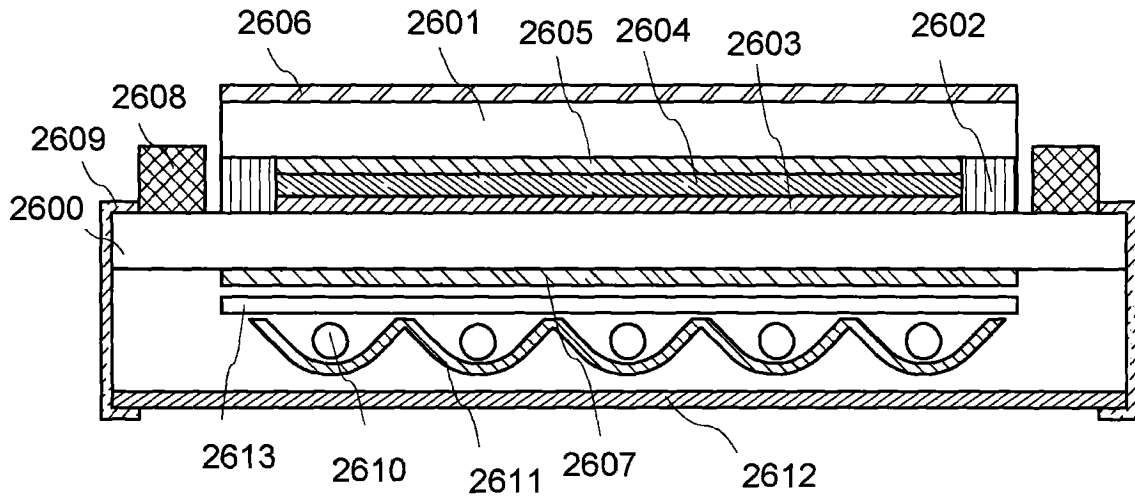


图 23

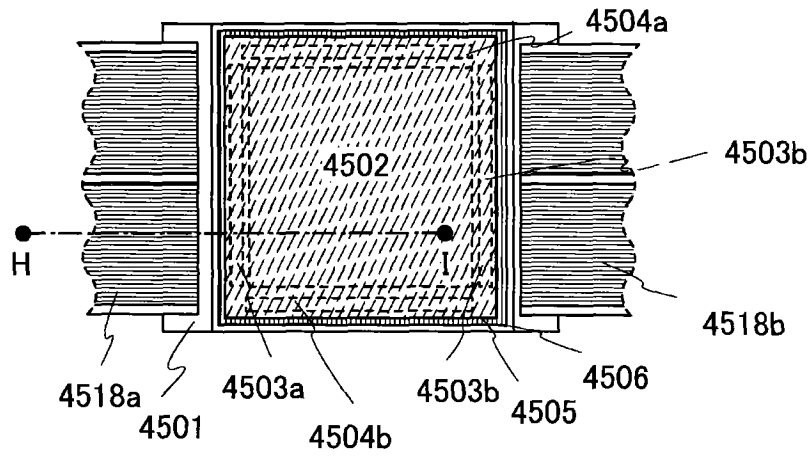


图 24A

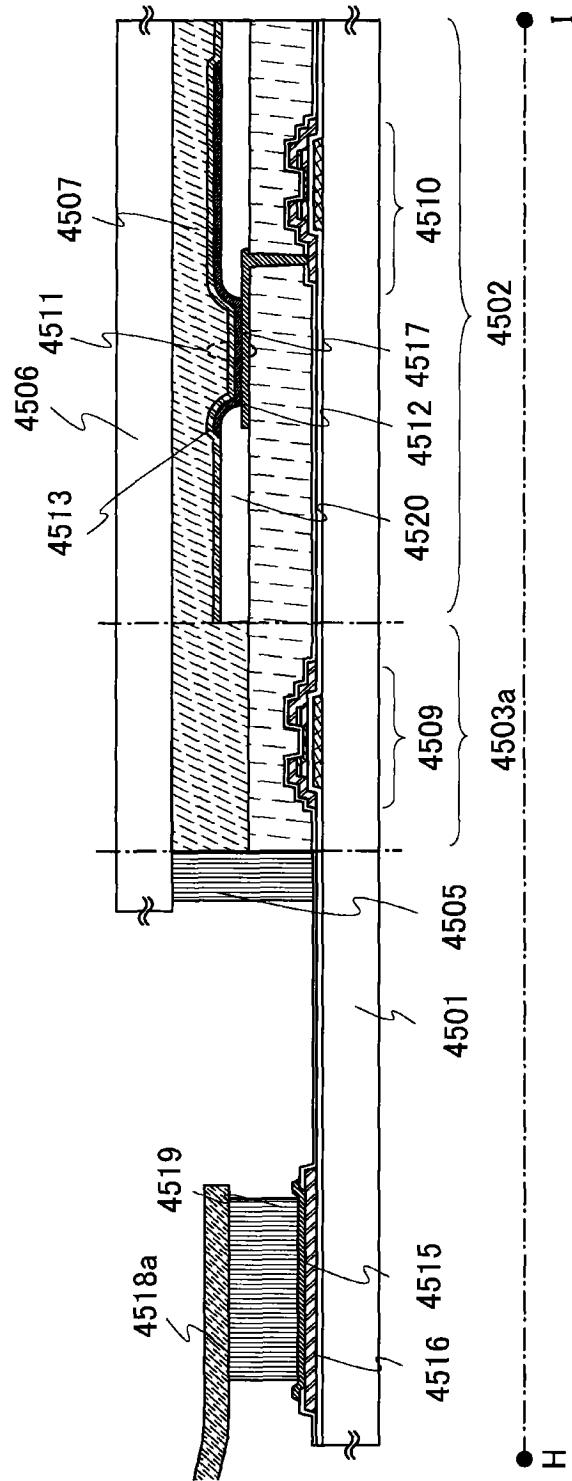


图 24B

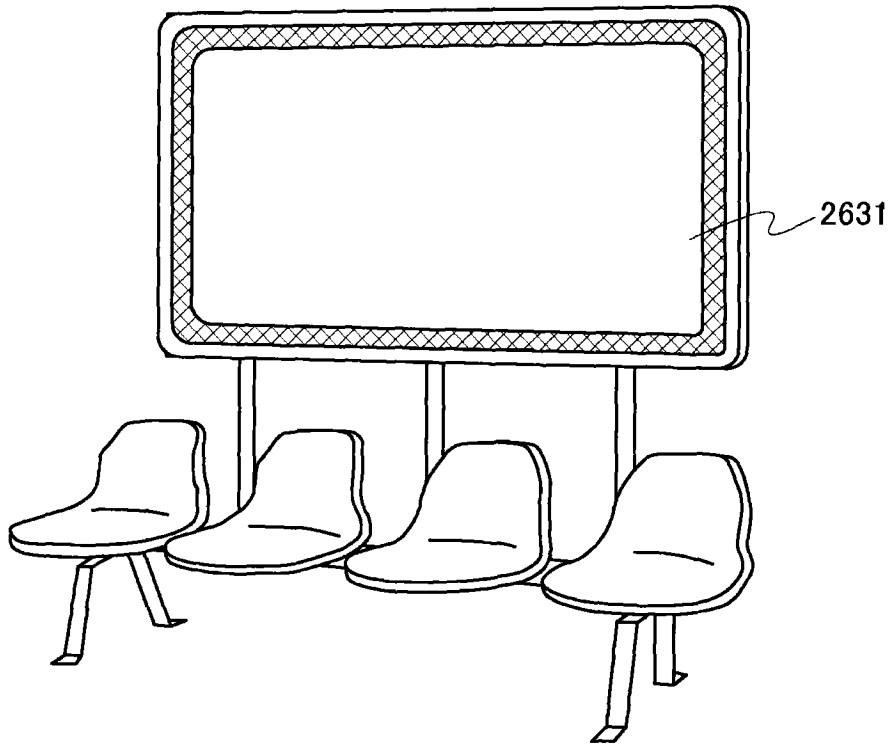


图 25A

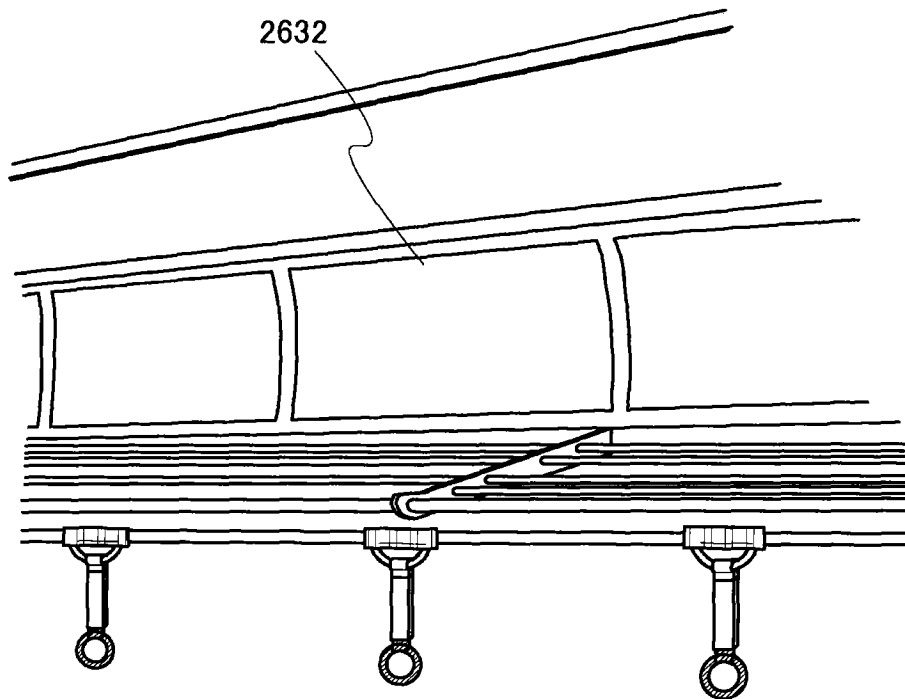


图 25B

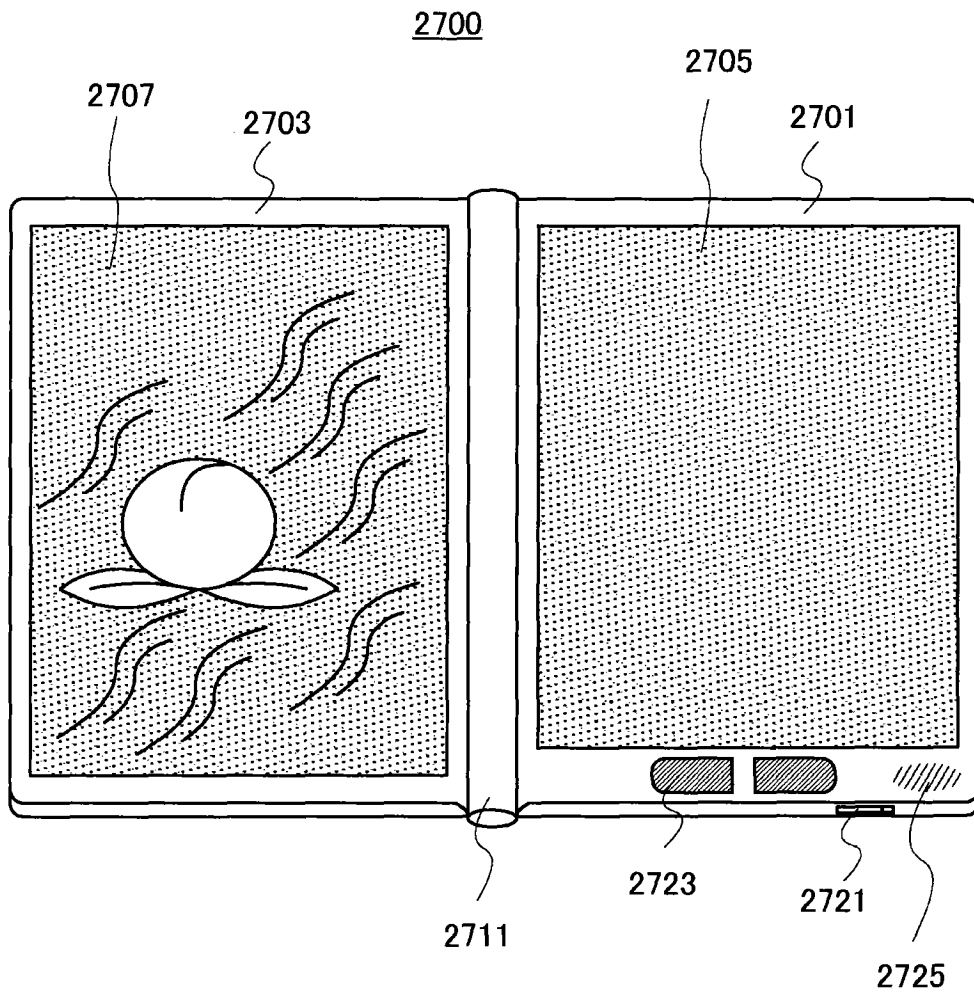


图 26

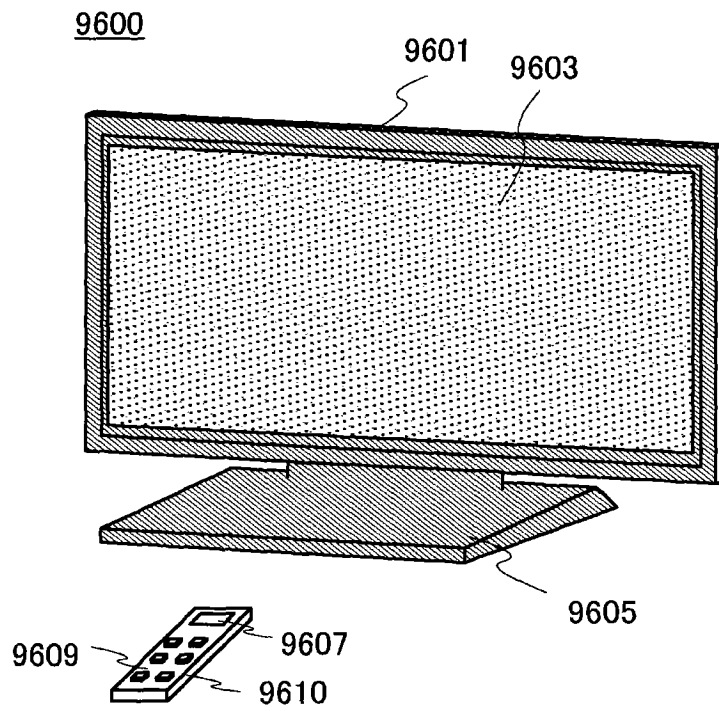


图 27A

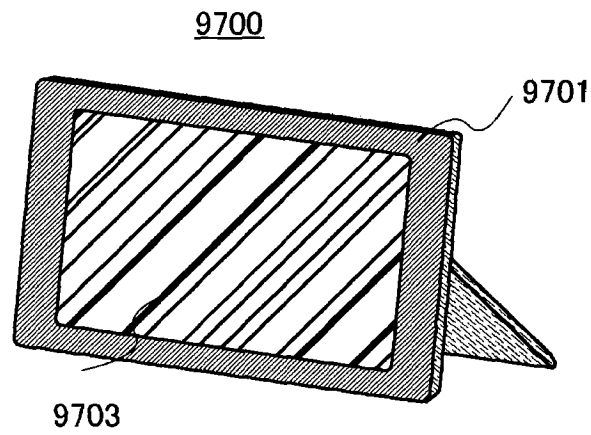


图 27B

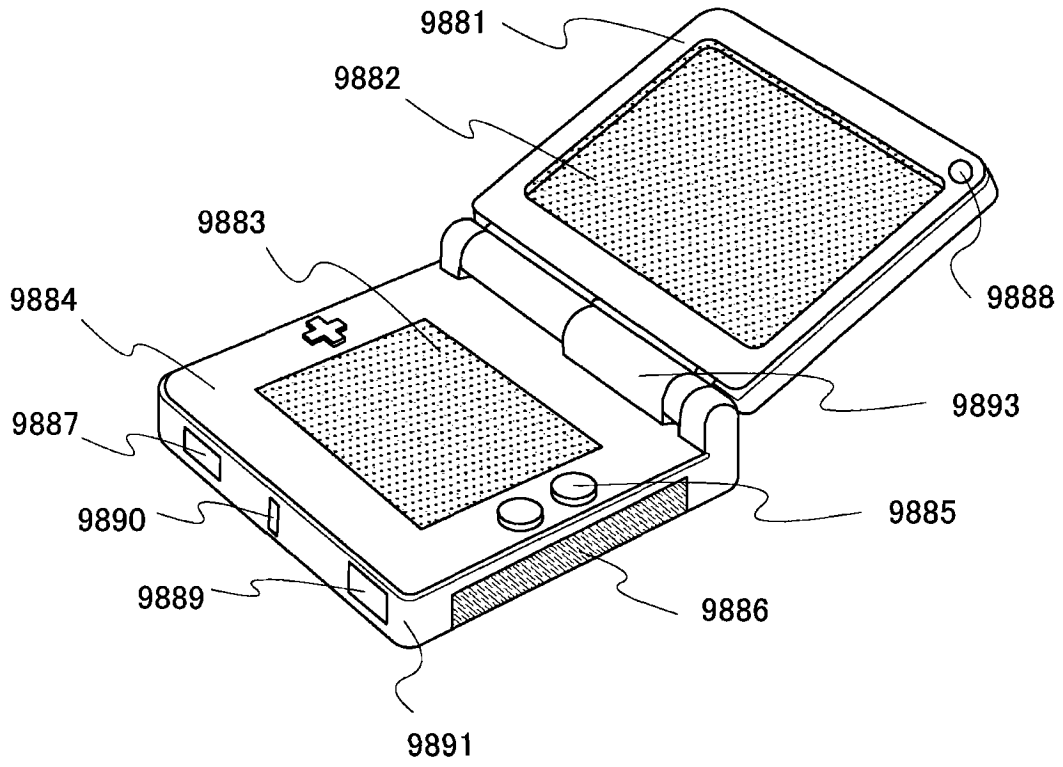


图 28A

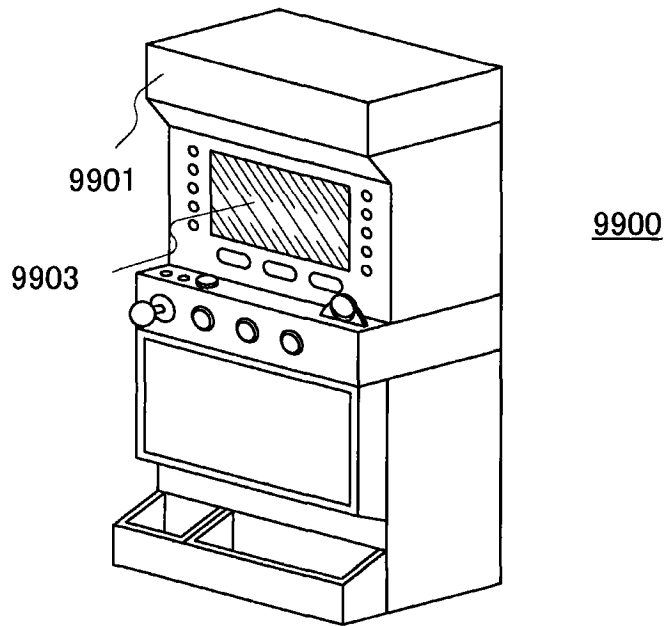


图 28B

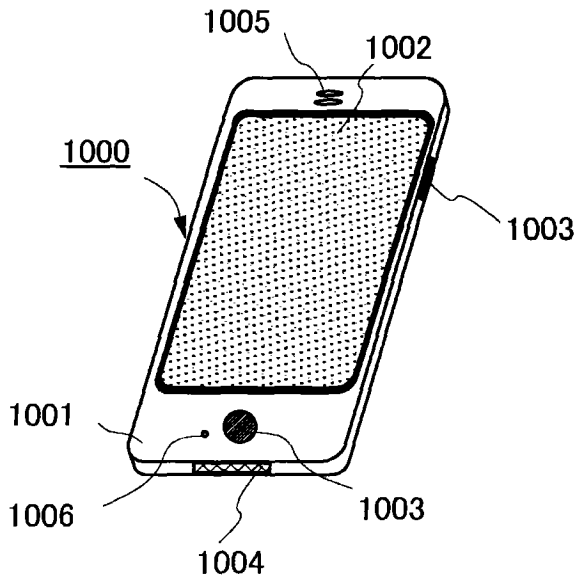


图 29A

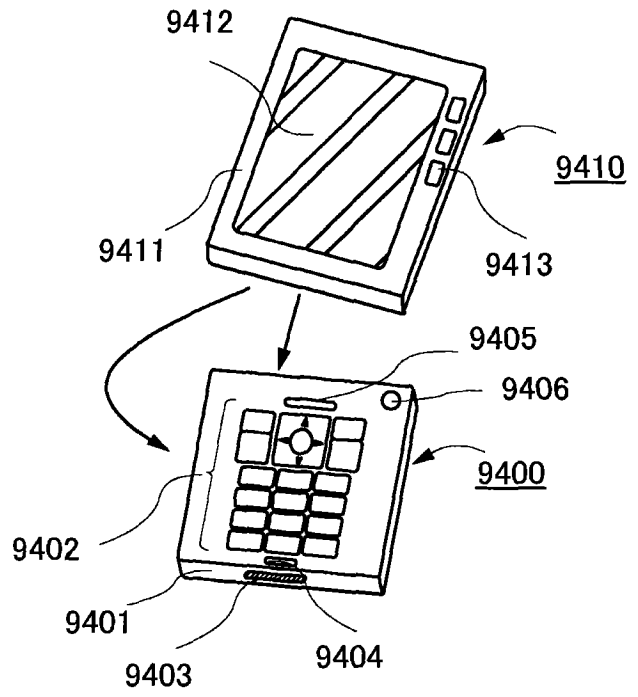


图 29B

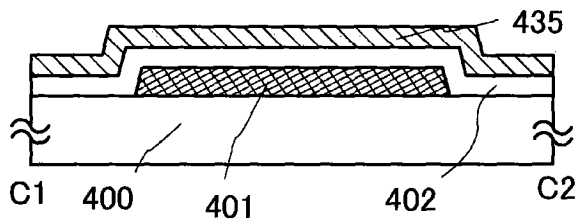


图 30A

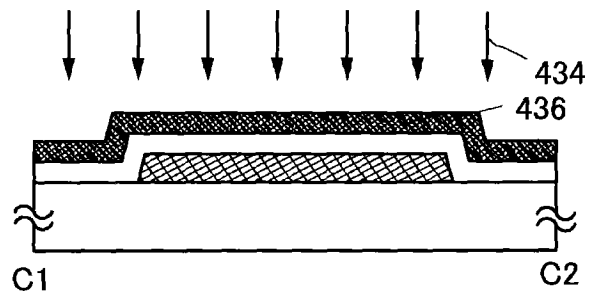


图 30B

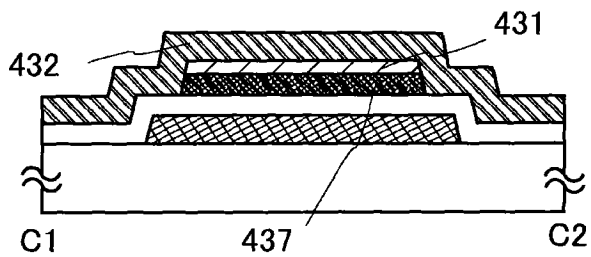


图 30C

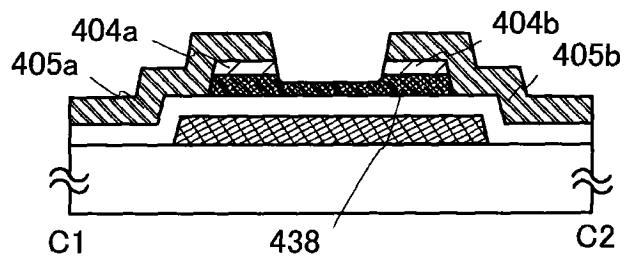


图 30D

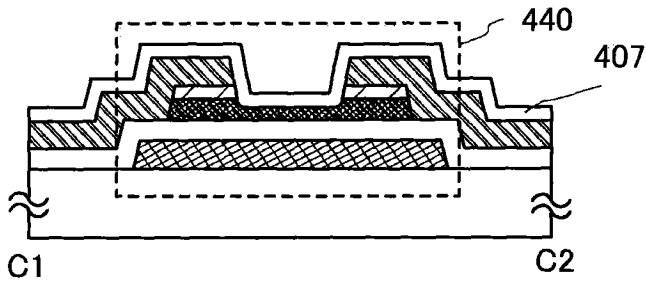


图 30E

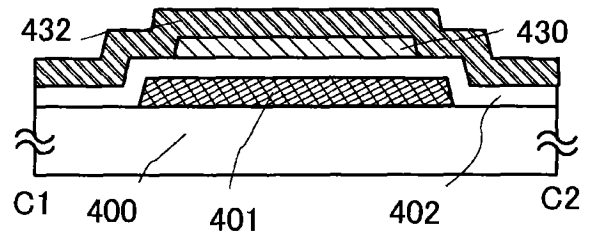


图 31A

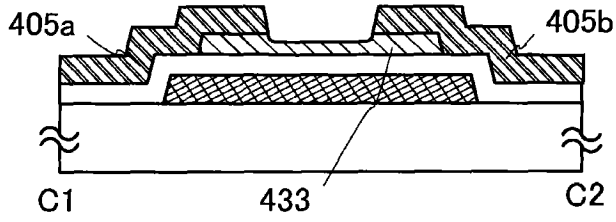


图 31B

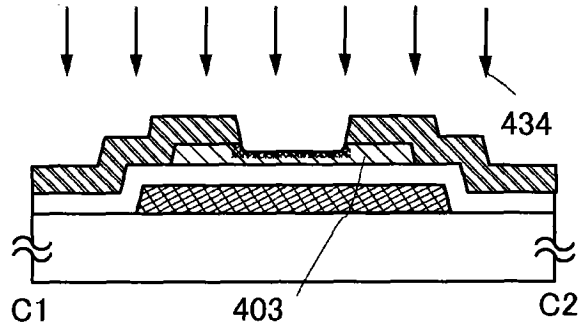


图 31C

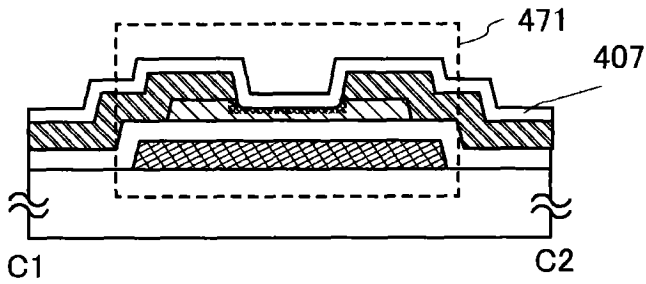


图 31D

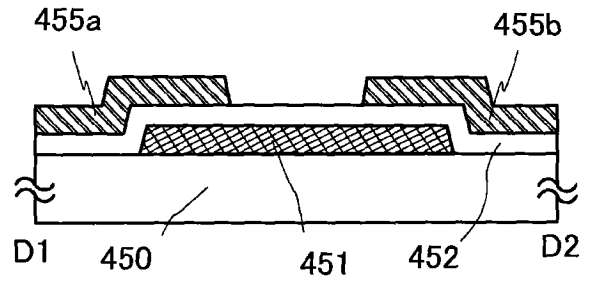


图 32A

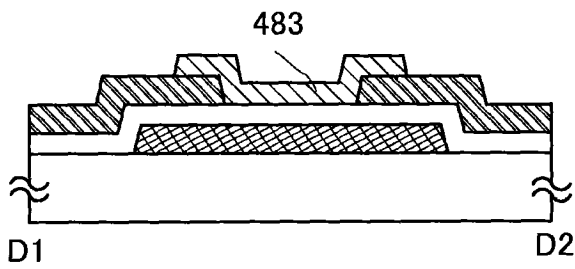


图 32B

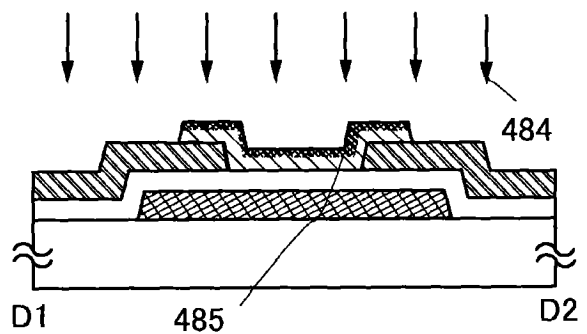


图 32C

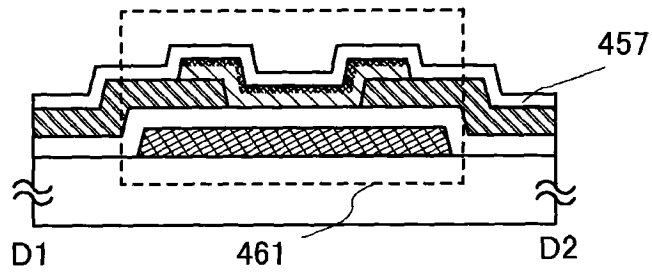


图 32D