

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5340905号
(P5340905)

(45) 発行日 平成25年11月13日(2013.11.13)

(24) 登録日 平成25年8月16日(2013.8.16)

(51) Int. Cl. F I
G06F 3/041 (2006.01) G O 6 F 3/041 3 2 O C
G06F 3/042 (2006.01) G O 6 F 3/041 3 3 O E
 G O 6 F 3/042 4 7 2

請求項の数 4 (全 25 頁)

| | |
|---|---|
| <p>(21) 出願番号 特願2009-284798 (P2009-284798) (22) 出願日 平成21年12月16日(2009.12.16) (65) 公開番号 特開2010-170538 (P2010-170538A) (43) 公開日 平成22年8月5日(2010.8.5) 審査請求日 平成24年12月10日(2012.12.10) (31) 優先権主張番号 特願2008-327901 (P2008-327901) (32) 優先日 平成20年12月24日(2008.12.24) (33) 優先権主張国 日本国(JP)</p> | <p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 黒川 義元 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 審査官 中田 剛史</p> |
|---|---|

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1のセンサと、第2のセンサと、第1のA/D変換回路と、第2のA/D変換回路と、前記第1のA/D変換回路及び前記第2のA/D変換回路に信号を入力することができる機能を有する第1の回路と、を有し、

前記第1の回路は、複数段のラッチを有するシフトレジスタと、第1の論理回路と、第2の論理回路と、を有し、

前記第1の論理回路は、前記シフトレジスタの*i* (*i*は自然数)段目のラッチの出力信号を入力信号とする論理演算により第1の信号を生成し、

前記第2の論理回路は、前記シフトレジスタの*i*+1段目のラッチの出力信号を入力信号とする論理演算により第2の信号を生成し、

前記第1のA/D変換回路には、前記第1の信号及び前記第1のセンサの出力信号が入力され、

前記第2のA/D変換回路には、前記第2の信号及び前記第2のセンサの出力信号が入力され、

前記第1の信号は、前記第1のA/D変換回路を制御することができる機能を有し、

前記第2の信号は、前記第2のA/D変換回路を制御することができる機能を有することを特徴とする表示装置。

【請求項2】

請求項1において、

前記第 1 の A / D 変換回路及び前記第 2 の A / D 変換回路は、逐次変換方式の A / D 変換回路であることを特徴とする表示装置。

【請求項 3】

請求項 1 または 2 において、

前記第 1 のセンサ及び前記第 2 のセンサは、フォトセンサであることを特徴とする表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、

前記第 1 の A / D 変換回路は、第 1 の比較回路を有し、

前記第 2 の A / D 変換回路は、第 2 の比較回路を有し、

前記第 1 の比較回路と前記第 2 の比較回路とは、互いに異なるタイミングで動作することを特徴とする表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する発明は、タッチセンサを有するタッチパネルと、その駆動方法に関する。特に、タッチセンサを有する画素がマトリクス状に配置されたタッチパネルと、その駆動方法に関する。更には、当該タッチパネルを有する電子機器に関する。

【背景技術】

【0002】

近年、タッチセンサを搭載した表示装置が注目されている。タッチセンサを搭載した表示装置は、タッチパネル又はタッチスクリーンなどと呼ばれている（以下、これを単に「タッチパネル」と呼ぶ。）。タッチセンサには、動作原理の違いにより、抵抗膜方式、静電容量方式、光方式などがある。いずれの方式においても、被検出物が表示装置に接触又は近接することでデータを入力することができる。

20

【0003】

光方式のタッチセンサとして光を検出するセンサ（「フォトセンサ」ともいう。）をタッチパネルに設けることにより、表示画面が入力領域を兼ねる。このような光方式のタッチセンサを有する装置の一例として、画像取り込みを行う密着型エリアセンサを配置することによって画像取り込み機能を備えた表示装置が挙げられる（例えば、特許文献 1 を参照）。光方式のタッチセンサを有するタッチパネルでは、タッチパネルから光が発せられる。タッチパネルの任意の位置に被検出物が存在する場合には、被検出物が存在する領域の光が被検出物によって遮断され、一部の光が反射される。タッチパネル内の画素には光を検出することができるフォトセンサ（「光電変換素子」と呼ばれることもある。）が設けられており、反射された光を検出することで、光が検出された領域に被検出物が存在することを認識することができる。

30

【0004】

また、携帯電話等の携帯情報端末をはじめとする電子機器に、本人認証機能等を付与する試みがなされている（例えば、特許文献 2 を参照）。本人認証には、指紋、顔、手形、掌紋及び手の静脈の形状等による認証が挙げられる。本人認証機能を表示部とは別の部分に設ける場合には、部品点数が増大し、電子機器の重量や価格が増大するおそれがある。

40

【0005】

また、タッチセンサのシステムにおいて、外光の明るさに応じて指先の位置を検出するための画像処理方法を選択する技術が知られている（例えば、特許文献 3 を参照）。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2001 - 292276 号公報

【特許文献 2】特開 2002 - 033823 号公報

【特許文献 3】特開 2007 - 183706 号公報

50

【発明の概要】**【発明が解決しようとする課題】****【0007】**

光方式のタッチセンサとしてフォトセンサをタッチパネルに用いる場合、タッチパネルの各画素に設けられたフォトセンサが光を検出して電気信号を生成し、当該電気信号を収集して画像処理を施す。ここで、高精度で、高速動作を行うタッチパネルを実現するには、多数のフォトセンサから得られる大量のデータを効率的に収集する必要がある。

【0008】

また、フォトセンサが生成する電気信号はアナログ信号であるため、画像処理を施すためには、アナログ信号からデジタル信号への変換を行う回路（A/D変換回路）を要する。ここで、多数のA/D変換回路を有するタッチパネルにおいて、高スループットでA/D変換回路を動作させることができる制御方式が必要となる。

10

【0009】

さらに、上記A/D変換回路の制御方式を実現するために要する領域が膨大になると、額縁領域の増大に繋がってしまうため、A/D変換回路の制御に係る回路の占有面積の増大を極力抑える必要がある。

【0010】

上記問題に鑑み、高精度で高速動作を行うことができるタッチパネルを提供することを課題の一とする。また、高階調で高性能なタッチパネルの駆動方法を提供することを課題の一とする。

20

【課題を解決するための手段】**【0011】**

本明細書で開示する発明の構成の一形態は、表示素子とフォトセンサと、がそれぞれ設けられた複数の画素と、フォトセンサの出力信号が供給されるフォトセンサ読み出し回路と、連なって設けられた複数のラッチと、論理回路と、を有し、論理回路は、複数のラッチの出力信号の論理演算により信号を生成し、生成した信号をフォトセンサ読み出し回路に供給することを特徴とするタッチパネルである。

【0012】

また、本明細書で開示する発明の構成の他の一形態は、表示素子とフォトセンサと、がそれぞれ設けられた複数の画素と、フォトセンサの出力信号が供給されるフォトセンサ読み出し回路と、表示素子に画像信号を供給する表示素子選択回路と、連なって設けられた複数のラッチと、論理回路と、を有し、論理回路は、複数のラッチの出力信号の論理演算により信号を生成し、生成した信号をフォトセンサ読み出し回路に供給し、表示素子選択回路は、複数のラッチの出力信号によって制御されていることを特徴とするタッチパネルである。

30

【0013】

上記構成において、表示素子選択回路は、複数のラッチの1つの出力信号によって制御されるセレクトを有し、セレクトによって、表示素子に画像信号を供給する経路の接続と遮断の切り替えが行われる。

【0014】

また、上記構成において、フォトセンサ読み出し回路は、複数のA/D変換回路と、読み出し回路と、を有し、複数のA/D変換回路の1つに、フォトセンサの出力信号と、論理回路が生成した信号とが供給され、複数のA/D変換回路の出力信号が、読み出し回路に供給され、読み出し回路は、複数のA/D変換回路の出力信号のうちの1つを選択して出力する。

40

【0015】

また、本明細書で開示する発明の構成の他の一形態は、複数のラッチのそれぞれの出力信号が論理回路に供給され、論理回路において、供給された出力信号の論理演算により信号を生成し、フォトセンサから出力された信号と、論理回路で生成された信号とが、A/D変換回路に入力されることを特徴とするタッチパネルの駆動方法である。

50

【 0 0 1 6 】

また、本明細書で開示する発明の構成の他の一形態は、複数のラッチのそれぞれの出力信号が論理回路及び表示素子選択回路に供給され、論理回路において、複数のラッチから供給された出力信号の論理演算により信号が生成され、フォトセンサから出力された信号と、論理回路で生成された信号とが、A/D変換回路に入力され、表示素子選択回路において、複数のラッチから供給された出力信号によって、表示素子への画像信号の供給が制御されることを特徴とするタッチパネルの駆動方法である。

【 0 0 1 7 】

上記構成において、複数のラッチは、クロック信号に同期してスタート信号を順次シフトすることによって、出力信号を論理回路に供給する。

10

【発明の効果】

【 0 0 1 8 】

高精度で高速動作を行うことができるタッチパネルを提供することができる。また、高階調で高性能なタッチパネルの駆動方法を提供することができる。

【図面の簡単な説明】

【 0 0 1 9 】

【図1】タッチパネルの構成の一例を示す図。

【図2】フォトセンサ読み出し回路の構成の一例を示す図。

【図3】A/D変換回路の構成の一例を示す図。

【図4】A/D変換回路の動作の一例を示すタイミングチャート。

20

【図5】A/D変換回路の動作の一例を示すタイミングチャート。

【図6】タイミング信号生成回路の構成の一例を示す図。

【図7】タイミング信号生成回路の動作の一例を示すタイミングチャート。

【図8】フォトセンサ読み出し回路の構成の一例を示す図。

【図9】表示素子駆動回路の構成の一例を示す図。

【図10】タッチパネルを有する液晶表示装置の断面の一例を示す図。

【図11】タッチパネルを有するEL表示装置の断面の一例を示す図。

【図12】タッチパネルを適用した電子機器の一例を示す図。

【図13】タッチパネルを適用した携帯電話機の一例を示す図。

【発明を実施するための形態】

30

【 0 0 2 0 】

以下に、実施の形態について、図面を用いて詳細に説明する。但し、以下の実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 1 】

(実施の形態1)

本実施の形態では、タッチパネルについて以下に説明する。

40

【 0 0 2 2 】

タッチパネルの構成の一例を図1に示す。図1において、タッチパネル100は、画素回路101、表示素子制御回路102、フォトセンサ制御回路103を有する。

【 0 0 2 3 】

画素回路101は、行列方向にマトリクス状に配置された複数の画素104を有する。各々の画素104は、表示素子105とフォトセンサ106を有する。

【 0 0 2 4 】

表示素子105は、薄膜トランジスタ(Thin Film Transistor: TFT)、保持容量、液晶層を有する液晶素子、カラーフィルタなどを有する。液晶層に電圧を印加することで偏光方向が変化することを利用して、液晶層を透過する光の明暗(

50

階調)を作ること、画像表示が実現される。液晶層を透過する光には、外光、もしくは光源(バックライト)によって液晶表示装置の裏面から照射される光を用いる。また、液晶層を透過した光がカラーフィルタを通過することで、特定の色(例えば、赤(R)、緑(G)、青(B))の階調を作ることができ、カラー画像表示が実現される。保持容量は、液晶層に印加する電圧に相当する電荷を保持する機能を有する。薄膜トランジスタは、保持容量への電荷の注入もしくは排出を制御する機能を有する。

【0025】

なお、表示素子105が液晶素子を有する場合について説明したが、発光素子などの他の素子を有していてもよい。発光素子は、電流または電圧によって輝度が制御される素子であり、具体的には発光ダイオード、OLED(Organic Light Emitting Diode)などが挙げられる。

10

【0026】

フォトセンサ106は、フォトダイオードなど、受光することで電気信号を発する機能を有する素子を有する。なお、フォトセンサ106が受光する光として、外光もしくはバックライトからの光が、被検出物に照射された際の反射光もしくは透過光を利用することができる。ここで、カラーフィルタを用いることで、赤(R)、緑(G)、青(B)のいずれかの色を発光する機能を有する画素104を、各々、R画素、G画素、B画素と呼ぶ。なお、被検出物に外光もしくはバックライトからの光が照射された際の反射光もしくは透過光のうち、赤(R)色成分、緑(G)色成分、青(B)色成分を、各々R画素、G画素、B画素におけるフォトセンサにより、検出することができる。

20

【0027】

表示素子制御回路102は、表示素子105を制御するための回路であり、信号線(「ソース信号線」ともいう。)を介して表示素子105に信号を入力する表示素子駆動回路107と、走査線(「ゲート信号線」ともいう。)を介して表示素子105に信号を入力する表示素子駆動回路108を有する。例えば、走査線側の表示素子駆動回路108は、特定の行に配置された画素が有する表示素子105を選択する機能を有する。また、信号線側の表示素子駆動回路107は、選択された行の画素が有する表示素子105に任意の電位を与える機能を有する。なお、走査線側の表示素子駆動回路108により高電位を印加された表示素子105では、薄膜トランジスタが導通状態となり、信号線側の表示素子駆動回路107により与えられる電荷が供給される。

30

【0028】

フォトセンサ制御回路103は、フォトセンサ106を制御するための回路であり、信号線側のフォトセンサ読み出し回路109と、走査線側のフォトセンサ駆動回路110を有する。例えば、走査線側のフォトセンサ駆動回路110は、特定の行に配置された画素が有するフォトセンサを選択する機能を有する。また、信号線側のフォトセンサ読み出し回路109は、選択された行の画素が有するフォトセンサ106の出力信号を取り出す機能を有する。

【0029】

信号線側のフォトセンサ読み出し回路109の構成の一例を図2に示す。

【0030】

図2において、第1のA/D変換回路201(Analog-Digital Converter:ADC)~第9のA/D変換回路209、第1のA/D変換回路201~第9のA/D変換回路209から出力された信号が入力される読み出し回路210、第1のフォトセンサ信号線211~第9のフォトセンサ信号線219、フォトセンサ読み出し回路109の出力信号線220、第1のA/D変換回路の出力信号線221~第9のA/D変換回路の出力信号線229、第1のA/D変換回路の制御信号線231~第9のA/D変換回路の制御信号線239を示している。

40

【0031】

第1のA/D変換回路201~第9のA/D変換回路209には、各々、第1のフォトセンサ信号線211~第9のフォトセンサ信号線219を介してフォトセンサの出力信号

50

が入力される。また、第1のA/D変換回路201～第9のA/D変換回路209を制御するための信号が、各々、第1の制御信号線231～第9の制御信号線239を介して入力される。

【0032】

読み出し回路210は、第1の出力信号線221～第9の出力信号線229の各々の電位から、出力信号線220に出力する電位を生成する。具体的には、第1の出力信号線221～第9の出力信号線229のうち一つを選択し、当該信号線の電位を、出力信号線220に出力する。

【0033】

A/D変換回路201の構成の一例を図3に示す。ここで、A/D変換回路201として、2ビットの逐次変換方式のA/D変換回路を例として用いている。

10

【0034】

図3において、A/D変換回路201は、比較回路301(Comparator)、逐次変換レジスタ302(Successive Approximation Register)、D/A変換回路303(Digital-Analog Converter)、比較回路301の出力信号線304、逐次変換レジスタ302の第1の出力信号線305と第2の出力信号線306、D/A変換回路303の出力信号線307、第1の保持回路308、第2の保持回路309を有する。また、図3において、A/D変換回路のイネーブル信号線310、第1のリセット信号線311、第2のリセット信号線312、第1のセット信号線313、第2のセット信号線314を示している。A/D変換回路201のイネーブル信号線310、第1のリセット信号線311、第2のリセット信号線312、第1のセット信号線313、第2のセット信号線314をまとめて、A/D変換回路の制御信号線231と呼ぶ。逐次変換レジスタ302の第1の出力信号線305と第2の出力信号線306は、A/D変換回路の出力信号線221に電氣的に接続されている。A/D変換回路の出力信号線221は、この場合、2ビットの信号線である。

20

【0035】

次に、図3に示すA/D変換回路201の動作の一例について説明する。

【0036】

比較回路301は、フォトセンサ信号線211とD/A変換回路303の出力信号線307とを入力信号線とし、両信号線の電位の比較を行い、比較結果に伴い、出力信号線304に、“H”又は“L”の電位を出力する。ここでは、フォトセンサ信号線211の電位の方が、D/A変換回路303の出力信号線307の電位より高い場合に“H”の電位、低い場合に“L”の電位を出力するものとする。また、比較回路301は、イネーブル信号線310の電位を制御することで、動作もしくは停止とすることができる。比較回路301が停止中は、比較回路301における消費電力を著しく低減することができる。これは、例えば、比較回路301に供給する電源電圧を停止することで実現できる。ここでは、イネーブル信号線310の電位が“H”の場合に比較回路301が動作し、“L”の場合に比較回路301が停止するものとする。

30

【0037】

逐次変換レジスタ302において、第1のセット信号線313の電位を制御することで、第1の保持回路308に、比較回路301の出力信号線304の電位に応じた電位を保持する。第2のセット信号線314の電位を制御することで、第2の保持回路309に、比較回路301の出力信号線304の電位に応じた電位を保持する。第1のリセット信号線311の電位を制御することで、第1の保持回路308に保持された電位及び第2の保持回路309に保持された電位をリセットすることができる。第2のリセット信号線312の電位を制御することで、第2の保持回路309に保持された電位をリセットすることができる。

40

【0038】

第1の保持回路308と第2の保持回路309は、レベルセンシティブラッチ、エッジセンシティブラッチなどで構成することができる。ここでは、第1の保持回路308(又

50

は第2の保持回路309)がレベルセンシティブラッチを有し、第1のセット信号線313(又は第2のセット信号線314)の電位が" H "の際に、比較回路301の出力信号線304の電位が" H "ならば、第1の保持回路308(又は第2の保持回路309)に" H "の電位を保持し、比較回路301の出力信号線304の電位が" L "ならば、第1の保持回路308(又は第2の保持回路309)に" L "の電位を保持するものとする。また、第1のリセット信号線311の電位を" H "とすることで、第1の保持回路308に" H "の電位、第2の保持回路309に" L "の電位を保持し、第2のリセット信号線312の電位を" H "とすることで、第2の保持回路309に" H "の電位を保持するものとする。

【0039】

また、逐次変換レジスタ302において、第1の保持回路308に保持された電位と第2の保持回路309に保持された電位は、逐次変換レジスタ302の第1の出力信号線305と第2の出力信号線306に各々出力される。

【0040】

D/A変換回路303は、逐次変換レジスタ302の第1の出力信号線305の電位と第2の出力信号線306の電位で一意に決まる電位を、D/A変換回路303の出力信号線307に出力する。ここでは、逐次変換レジスタ302の第1の出力信号線305の電位と第2の出力信号線306の電位が各々(" L "、" L ")、(" L "、" H ")、(" H "、" L ")、(" H "、" H ")の場合、D/A変換回路303の出力信号線307に、0V、1V、2V、3Vを各々出力するものとする。このような、D/A変換回路303は、抵抗方式、容量方式などで実現することができる。

【0041】

次に、A/D変換回路201の動作の一例を、図4に示すタイミングチャートを用いて説明する。

【0042】

図4において、信号401~信号410は、各々、フォトセンサ信号線211、イネーブル信号線310、第1のリセット信号線311、第2のリセット信号線312、第1のセット信号線313、第2のセット信号線314、比較回路301の出力信号線304、逐次変換レジスタ302の第1の出力信号線305と第2の出力信号線306、D/A変換回路303の出力信号線307、の電位に対応する。なお、フォトセンサ信号線211(信号401)の電位は、1.5Vとする。

【0043】

A/D変換回路201の動作は、まず、第1のリセット信号線311(信号403)の電位を" H "とすると、第1の保持回路308に保持された電位と第2の保持回路309に保持された電位がリセットされ、逐次変換レジスタ302の第1の出力信号線305(信号408)の電位が" H "、第2の出力信号線306(信号409)の電位が" L "となる。また、D/A変換回路303の出力信号線307(信号410)の電位は2Vとなる。

【0044】

次に、イネーブル信号線310(信号402)の電位を" H "とすると、比較回路301が動作し、フォトセンサ信号線211(信号401)の電位(1.5V)とD/A変換回路303の出力信号線307(信号410)の電位(2V)を比較し、D/A変換回路303の出力信号線307(信号410)の電位の方が高いので、比較回路301の出力信号線304(信号407)の電位は" L "となる。

【0045】

次に、第1のセット信号線313(信号405)の電位を" H "とすると、第1の保持回路308に" L "の電位が保持され、逐次変換レジスタ302の第1の出力信号線305(信号408)の電位が" L "となる。また、D/A変換回路303の出力信号線307(信号410)の電位は0Vとなる。フォトセンサ信号線211(信号401)の電位(1.5V)とD/A変換回路303の出力信号線307(信号410)の電位(0V)

10

20

30

40

50

を比較し、D/A変換回路303の出力信号線307(信号410)の電位の方が低いので、比較回路301の出力信号線304(信号407)の電位は”H”となる。

【0046】

次に、イネーブル信号線310(信号402)の電位を”L”とすると、比較回路301が停止する。

【0047】

次に、第2のリセット信号線312(信号404)の電位を”H”とすると、第2の保持回路309に保持された電位がリセットされ、逐次変換レジスタ302の第2の出力信号線306(信号409)の電位が”H”となる。また、D/A変換回路303の出力信号線307(信号410)の電位は1Vとなる。

10

【0048】

次に、イネーブル信号線310(信号402)の電位を”H”とすると、比較回路301が動作し、フォトセンサ信号線211(信号401)の電位(1.5V)とD/A変換回路303の出力信号線307(信号410)の電位(1V)を比較し、D/A変換回路303の出力信号線307(信号410)の電位の方が低いので、比較回路301の出力信号線304(信号407)の電位は”H”となる。

【0049】

次に、第2のセット信号線314(信号406)の電位を”H”とすると、第2の保持回路309に”H”の電位が保持される。ここでは、もともと第2の保持回路309には”H”の電位が保持されているため、逐次変換レジスタ302の第2の出力信号線306(信号409)の電位は変わらず”H”のままである。また、D/A変換回路303の出力信号線307(信号410)の電位も1Vのままである。

20

【0050】

このようにして、A/D変換回路の出力信号線221から、A/D変換データとして、”L”又は”H”の電位が出力される。

【0051】

以上のように、逐次変換方式のA/D変換回路では、逐次変換レジスタにおける保持回路に保持する電位を変更することで、D/A変換回路の出力を逐次変更し、被測定電位と比較していくことで、出力信号を決定していく。ここでは、2ビットのA/D変換回路の場合について説明したが、より多数のビットにおけるA/D変換回路についても、同様な方式により、動作を行うことができる。

30

【0052】

(実施の形態2)

実施の形態1の図2において、信号線側のフォトセンサ読み出し回路109では、第1のA/D変換回路201~第9のA/D変換回路209でA/D変換することにより得られた信号を、出力信号線220から出力する。

【0053】

ここで、A/D変換により得られた信号を、同時に出力するのではなく、時系列で順番に出力信号線220から出力することが望ましい。出力信号線220からの出力を同時に行うと、出力信号線220が非常に多ビットの信号線となり、タッチパネルから信号を取り出す際に、信号が非常に煩雑となるからである。

40

【0054】

そこで、本実施の形態では、A/D変換により得られた信号を時系列で順番に出力する場合の、A/D変換回路の動作について以下に説明する。

【0055】

A/D変換により得られた信号を時系列で順番に出力する場合、出力信号線220からの信号の出力には、時間差が設けられている。一方で、第1のA/D変換回路201~第9のA/D変換回路209におけるA/D変換は、出力信号線220から当該信号が出力されるまでに実行されていけばよい。

【0056】

50

そこで、第1のA/D変換回路201～第9のA/D変換回路209におけるA/D変換を、同時に実行するのではなく、時系列で順番に実行する構成について、以下に説明する。

【0057】

A/D変換回路の動作の一例を、図5に示すタイミングチャートを用いて説明する。図5において、信号501～信号515は、各々、図2における第1のA/D変換回路201～第3のA/D変換回路203のイネーブル信号線の電位、第1のA/D変換回路201～第3のA/D変換回路203の第1のリセット信号線の電位、第1のA/D変換回路201～第3のA/D変換回路203の第2のリセット信号線の電位、第1のA/D変換回路201～第3のA/D変換回路203の第1のセット信号線の電位、第1のA/D変換回路201～第3のA/D変換回路203の第2のセット信号線の電位に対応する。

10

【0058】

なお、図5では、第1のA/D変換回路201～第3のA/D変換回路203の信号線の電位に関するタイミングチャートを示しているが、同様に、時間軸方向にシフトすることで、第4のA/D変換回路204～第9のA/D変換回路209の信号線の電位に関するタイミングチャートが得られる。

【0059】

また、図4で説明したのと同様に、信号501、504、507、510、513を用いることで、第1のA/D変換回路201を動作することができる。同様に、信号502、505、508、511、514を用いることで、第2のA/D変換回路202を動作

20

【0060】

ここで、第1のA/D変換回路201のイネーブル信号線(信号501)～第3のA/D変換回路203のイネーブル信号線(信号503)は、“H”の電位になる期間、すなわち、A/D変換回路201～A/D変換回路203における比較回路が動作している期間が、互いに重ならない点の特徴である。

【0061】

A/D変換回路を同時に実行して、比較回路を同時に動作させると、A/D変換回路における瞬間的な消費電力が膨大になってしまう。一方、図5のタイミングチャートで説明したように、A/D変換回路を時系列で順番に実行することにより、同時に動作する比較回路が少なくなるため、A/D変換回路における瞬間的な消費電力の上昇を抑えることができる。

30

【0062】

また、一般に、A/D変換回路における消費電力は、A/D変換精度(電圧分解能、階調)及びA/D変換速度とトレードオフの関係にある。したがって、瞬間的な消費電力の上昇を抑えた分、より高精度で高速なA/D変換回路の動作を行うことができる。

【0063】

また、個々のA/D変換回路におけるA/D変換と、出力信号線からの信号の出力とを流れ作業(パイプライン処理)で行うことにより、個々のA/D変換回路におけるA/D変換に費やす時間を長くすることができる。すなわち、相対的に、A/D変換の速度を向上させることができる。

40

【0064】

(実施の形態3)

実施の形態1で示したA/D変換回路の動作は、各種A/D変換回路の制御信号(「タイミング信号」ともいう。)を供給することによって制御する。ここで、A/D変換回路に信号を供給する方法として、外部駆動回路からタイミング信号線を介して供給する方法や、タッチパネルに搭載したタイミング信号生成回路からタイミング信号線を介して供給する方法などがある。ここで、用いるタイミング信号線の本数は、A/D変換回路の数に比例し、且つ、A/D変換回路のビット数に比例する。

50

【 0 0 6 5 】

外部駆動回路からタイミング信号を供給する場合には、多数のタイミング信号線をタッチパネルから引き出す。そのため、タイミング信号線の本数が増加すると、タイミング信号線の引き回しに要する面積が増大し、額縁領域が増大する。また、多数のタイミング信号線と外部駆動回路との電氣的接続にも困難が生じる。

【 0 0 6 6 】

また、外部駆動回路からタイミング信号を供給する方法は、空間分解能の向上や階調数の向上などのタッチパネルの高性能化において、非常に不利である。例えば、タッチパネルの空間分解能を向上させるには、A/D変換回路を増やす必要があるため、タイミング信号線の本数が増加してしまう。また、タッチパネルの階調数を向上させるには、A/D変換回路のビット数を増大する必要があるため、タイミング信号線の本数が増加してしまう。

10

【 0 0 6 7 】

一方、タッチパネルに搭載したタイミング信号生成回路からタイミング信号を供給する場合には、タイミング信号線をパネル上で接続できるので、外部駆動回路から供給する場合に比べて、タイミング信号線の本数の増加による問題は緩和される。

【 0 0 6 8 】

ここで、タイミング信号生成回路として、CPUを用いる構成や、専用回路を用いる構成などがある。

【 0 0 6 9 】

一般に、CPUを用いる場合は、メモリに搭載されたプログラムを変更することで、タイミング信号の仕様変更が可能であるが、メモリのレイアウト面積が膨大になる。CPU及びメモリが設けられた領域は額縁領域となるため、メモリのレイアウト面積が増大すると、表示品質が低下する。また、特定の機能を実現するための専用回路を用いる場合は、CPUを用いる場合と比較して回路規模を縮小できるため、レイアウト面積を縮小できるが、パネル上での配置を考慮してレイアウトを作成しないと、額縁領域が増大し、表示品質が低下し、また装置が大型化する。

20

【 0 0 7 0 】

そこで、本実施の形態では、タイミング信号をA/D変換回路に供給するために、タッチパネルに搭載したタイミング信号生成回路について説明する。具体的には、シフトレジスタと論理回路を有するタイミング信号生成回路について、以下に説明する。

30

【 0 0 7 1 】

図6に、タイミング信号生成回路の構成の一例を示す。図6において、タイミング信号生成回路600は、シフトレジスタ651と、論理回路652を有する。シフトレジスタ651は、第1のエッジセンシティブラッチ601～第15のエッジセンシティブラッチ615を有する。論理回路652は、論理和回路640を有する。エッジセンシティブラッチは、保持された電位がQ端子から出力され、CK端子の電位が" L " から " H " に変化する時に、エッジセンシティブラッチに保持される電位がD端子の電位に書き換えられる。なお、図6ではシフトレジスタ651を構成するラッチとしてエッジセンシティブラッチを用いたが、これに限定されない。ラッチとしてレベルセンシティブラッチを用いてもよい。

40

【 0 0 7 2 】

シフトレジスタ651において、スタート信号線616から供給されるスタート信号は、クロック信号線617から供給されるクロック信号に同期して、第1のエッジセンシティブラッチ601～第15のエッジセンシティブラッチ615に、順次シフトする。第1のエッジセンシティブラッチ601～第15のエッジセンシティブラッチ615の出力信号はそれぞれ、第1の出力信号線621～第15の出力信号線635に供給される。

【 0 0 7 3 】

論理回路652は、第1の出力信号線621～第15の出力信号線635から供給される信号から、第16の出力信号線641に供給する信号を生成する。より具体的には、論

50

理和回路 640 は、入力信号、即ち、第 3 の出力信号線 623 ~ 第 5 の出力信号線 625 と第 9 の出力信号線 629 ~ 第 11 の出力信号線 631 から出力される信号を論理演算して信号を生成し、第 16 の出力信号線 641 に出力する。なお、図 6 では論理演算する論理回路として論理和回路を用いたが、これに限定されない。

【0074】

なお、図 6 において 15 個のエッジセンシティブラッチを有するシフトレジスタについて説明したが、エッジセンシティブラッチの個数は図 6 の構成に限定されず、m 個 (m は自然数) のエッジセンシティブラッチを有するシフトレジスタについて、容易に拡張することができる。

【0075】

次に、タイミング信号生成回路のタイミングチャートについて説明する。図 7 に、タイミング信号生成回路 600 の動作の一例を示すタイミングチャートを示す。

【0076】

図 7 において、信号 701 ~ 信号 718 は、各々、クロック信号線 617、スタート信号線 616、第 1 の出力信号線 621 ~ 第 15 の出力信号線 635、第 16 の出力信号線 641 の電位に対応する。

【0077】

クロック信号線 617 (信号 701) の電位が "L" から "H" に変化する際に、第 1 のエッジセンシティブラッチ 601 が、スタート信号線 616 (信号 702) の電位を取り込んで、第 1 の出力信号線 621 (信号 703) の電位を変化させる。以下、第 2 のエッジセンシティブラッチ 602 ~ 第 15 のエッジセンシティブラッチ 615 は、1 クロックずつ遅れながら、各々第 2 の出力信号線 622 (信号 704) ~ 第 15 の出力信号線 635 (信号 717) の電位を変化させる。また、第 16 の出力信号線 641 (信号 718) は、第 3 の出力信号線 623 ~ 第 5 の出力信号線 625 と第 9 の出力信号線 629 ~ 第 11 の出力信号線 631 との何れかの電位が "H" の場合に、電位が "H" となる。

【0078】

図 6 において、第 16 の出力信号線 641、第 1 の出力信号線 621、第 7 の出力信号線 627、第 4 の出力信号線 624、第 10 の出力信号線 630、第 13 の出力信号線 633 を、各々、第 1 の A/D 変換回路 201 におけるイネーブル信号線 310、第 1 のリセット信号線 311、第 2 のリセット信号線 312、第 1 のセット信号線 313、第 2 のセット信号線 314、及び、第 2 の A/D 変換回路 202 における第 1 のリセット信号線 311 とすれば、図 5 に示すタイミングチャートを実現できる。

【0079】

なお、図 6 では、図 3 で示す第 1 の A/D 変換回路 201 におけるイネーブル信号線 310、第 1 のリセット信号線 311、第 2 のリセット信号線 312、第 1 のセット信号線 313、第 2 のセット信号線 314、及び、第 2 の A/D 変換回路 202 における第 1 のリセット信号線 311 の出力電位を得る場合を示している。シフトレジスタ 651 をさらに延伸し、適宜信号を得ることで、同様に、第 2 の A/D 変換回路 202 ~ 第 9 の A/D 変換回路 209 のイネーブル信号線、第 3 の A/D 変換回路 203 ~ 第 9 の A/D 変換回路 209 の第 1 のリセット信号線、第 2 の A/D 変換回路 202 ~ 第 9 の A/D 変換回路 209 の第 2 のリセット信号線、第 2 の A/D 変換回路 202 ~ 第 9 の A/D 変換回路 209 の第 1 のセット信号線、第 2 の A/D 変換回路 202 ~ 第 9 の A/D 変換回路 209 の第 2 のセット信号線の出力電位を得ることができる。

【0080】

次に、図 6 で示したタイミング信号生成回路 600 に、図 2 で示した信号線側のフォトセンサ読み出し回路 109 を組み合わせた構成について、以下に説明する。具体的には、信号線側のフォトセンサ読み出し回路 109 にタイミング信号生成回路 600 を搭載した構成の一例について、図 8 を用いて説明する。

【0081】

図 6 において、第 16 の出力信号線 641、第 1 の出力信号線 621、第 7 の出力信号

10

20

30

40

50

線 6 2 7、第 4 の出力信号線 6 2 4、第 1 0 の出力信号線 6 3 0、第 1 3 の出力信号線 6 3 3 は、各々、図 3 における第 1 の A / D 変換回路 2 0 1 のイネーブル信号線 3 1 0、第 1 のリセット信号線 3 1 1、第 2 のリセット信号線 3 1 2、第 1 のセット信号線 3 1 3、第 2 のセット信号線 3 1 4、及び、第 2 の A / D 変換回路 2 0 2 の第 1 のリセット信号線 3 1 1 に対応する。第 1 の A / D 変換回路 2 0 1 のイネーブル信号線 3 1 0、第 1 のリセット信号線 3 1 1、第 2 のリセット信号線 3 1 2、第 1 のセット信号線 3 1 3、第 2 のセット信号線 3 1 4 をまとめて、図 8 における第 1 の A / D 変換回路 2 0 1 の制御信号線 2 3 1 としている。

【 0 0 8 2 】

また、タイミング信号生成回路 6 0 0 におけるシフトレジスタ 6 5 1 をさらに延伸し、
適宜信号を得ることで、同様に、第 2 の A / D 変換回路 2 0 2 ~ 第 9 の A / D 変換回路 2
0 9 のイネーブル信号線、第 3 の A / D 変換回路 2 0 3 ~ 第 9 の A / D 変換回路 2 0 9 の
第 1 のリセット信号線、第 2 の A / D 変換回路 2 0 2 ~ 第 9 の A / D 変換回路 2 0 9 の第
2 のリセット信号線、第 2 の A / D 変換回路 2 0 2 ~ 第 9 の A / D 変換回路 2 0 9 の第 1
のセット信号線、第 2 の A / D 変換回路 2 0 2 ~ 第 9 の A / D 変換回路 2 0 9 の第 2 のセ
ット信号線の出力電位を得ることができ、図 8 における第 2 の A / D 変換回路 2 0 2 の制
御信号線 2 3 2 ~ 第 9 の A / D 変換回路 2 0 9 の制御信号線 2 3 9 の電位を得ることがで
きる。

10

【 0 0 8 3 】

なお、タイミング信号生成回路 6 0 0 におけるシフトレジスタ 6 5 1 は、複数のエッジ
センシティブラッチをタッチパネルの列方向に連ねて構成することが有効である。このよ
うにすることで、額縁領域の増大を抑えることができる。

20

【 0 0 8 4 】

ここで、タッチパネルの高性能化、例えば、空間分解能の向上や階調数の向上に対して
、図 6 のタイミング信号生成回路 6 0 0 の構成が有効であることを以下に説明する。

【 0 0 8 5 】

図 8 の構成において、タッチパネルの空間分解能を向上させる場合には、A / D 変換回
路が列方向に増えるが、タイミング信号生成回路 6 0 0 においては、シフトレジスタ 6 5
1 の段数を列方向に増加することで対応できる。ここで、シフトレジスタの段数増加に要
する面積は、外部駆動回路を設ける構成における配線の引き回し増加に要する面積よりも
格段に小さい。したがって、図 8 の構成を用いることにより、レイアウト面積の増大を抑
えることができる。なお、図 8 の構成では、シフトレジスタ 6 5 1 の段数が増加しても、
外部からタッチパネルに入力する信号線の本数は増加しない。

30

【 0 0 8 6 】

また、図 8 の構成において、タッチパネルの階調数を向上させる場合には、A / D 変換
回路のビット数を増大させるが、タイミング信号生成回路 6 0 0 において、シフトレジス
タ 6 5 1 の段数を列方向に増加し、論理回路 6 5 2 に適宜論理素子回路を追加することで
対応できる。ここで、論理素子回路として、否定回路、論理和回路、論理積回路、排他的
論理和回路、否定論理和回路、否定論理積回路、排他的否定論理和回路などを用いること
ができる。

40

【 0 0 8 7 】

また、一般に、論理素子回路はシフトレジスタに比べてレイアウト面積が小さい。よっ
て、図 8 の構成において、論理素子回路の追加による論理回路 6 5 2 のレイアウト面積の
増加は、タイミング信号生成回路 6 0 0 全体におけるレイアウト面積の増加にはほとんど
影響しない。よって、シフトレジスタ 6 5 1 の段数増加を、レイアウト面積の増大を抑え
て実現することができる。

【 0 0 8 8 】

上記の構成とすることにより、空間分解能が高く、階調数が高く、額縁領域の増大が抑
えられた、表示品質の良いタッチパネルを得ることができる。

【 0 0 8 9 】

50

(実施の形態4)

実施の形態3ではタイミング信号生成回路の構成について説明したが、タイミング信号生成回路のシフトレジスタを、タッチパネルの画像描画用に設けられている信号線側の表示素子駆動回路107を構成しているシフトレジスタと共通とすることができる。

【0090】

本実施の形態では、タッチパネルに搭載し、信号線側の表示素子駆動回路と共通のシフトレジスタを用いたタイミング信号生成回路について、以下に説明する。

【0091】

図9に、タイミング信号生成回路600と表示素子選択回路900とを有する、信号線側の表示素子駆動回路107の構成の一例を示す。図9において、表示素子選択回路900は、第1のセクタ901～第15のセクタ915を有する。第1のセクタ901は、タイミング信号生成回路600における第1の出力信号線621により制御され、画像信号入力線916から供給される画像信号を第1のソース信号線921に供給する経路の、接続と遮断の切り替えを行う。同様に、第2のセクタ902～第15のセクタ915の各々は、タイミング信号生成回路600における第2の出力信号線622～第15の出力信号線635により各々制御され、画像信号入力線916から供給される画像信号を第2のソース信号線922～第15のソース信号線935に供給する経路の、接続と遮断の切り替えを行う。

【0092】

タイミング信号生成回路600における論理回路652は、第1の論理和回路640、第2の論理和回路642、第3の論理和回路644を有する。第1の論理和回路640は、タイミング信号生成回路600における第3の出力信号線623～第5の出力信号線625と、第9の出力信号線629～第11の出力信号線631から出力される信号を論理演算して信号を生成し、第16の出力信号線641に出力する。同様に、第2の論理和回路642は、タイミング信号生成回路600における第4の出力信号線624～第6の出力信号線626と、第10の出力信号線630～第12の出力信号線632から出力される信号を論理演算して信号を生成し、第17の出力信号線643に出力する。さらに、第3の論理和回路644は、タイミング信号生成回路600における第5の出力信号線625～第7の出力信号線627と、第11の出力信号線631～第13の出力信号線633から出力される信号を論理演算して信号を生成し、第18の出力信号線645に出力する。なお、図9では論理演算する論理回路として論理和回路を用いたが、これに限定されない。

【0093】

ここで、タイミング信号生成回路600において、第16の出力信号線641、第1の出力信号線621、第7の出力信号線627、第4の出力信号線624、第10の出力信号線630を、各々、図3における第1のA/D変換回路201のイネーブル信号線310、第1のリセット信号線311、第2のリセット信号線312、第1のセット信号線313、第2のセット信号線314に対応させることができる。これらをまとめて、図2における第1のA/D変換回路201の制御信号線231とすることができる。

【0094】

同様に、タイミング信号生成回路600において、第17の出力信号線643、第2の出力信号線622、第8の出力信号線628、第5の出力信号線625、第11の出力信号線631を、各々、図3における第2のA/D変換回路202のイネーブル信号線310、第1のリセット信号線311、第2のリセット信号線312、第1のセット信号線313、第2のセット信号線314に対応させることができる。これらをまとめて、図2における第2のA/D変換回路202の制御信号線232とすることができる。

【0095】

さらに、タイミング信号生成回路600において、第18の出力信号線645、第3の出力信号線623、第9の出力信号線629、第6の出力信号線626、第12の出力信号線632を、各々、図3における第3のA/D変換回路203のイネーブル信号線31

10

20

30

40

50

0、第1のリセット信号線311、第2のリセット信号線312、第1のセット信号線313、第2のセット信号線314に対応させることができる。これらをまとめて、図2における第3のA/D変換回路203の制御信号線233とすることができる。

【0096】

なお、図9には、図2における第1のA/D変換回路201の制御信号線231～第3のA/D変換回路203の制御信号線233を示しているが、同様に、第4のA/D変換回路204の制御信号線234～第9のA/D変換回路209の制御信号線239を設けることができる。

【0097】

さて、図1において、信号線側の表示素子駆動回路107をシフトレジスタで構成する場合、タッチパネル100にシフトレジスタが搭載されている。したがって、図9に示すように、タイミング信号生成回路600と表示素子駆動回路107のシフトレジスタが共通に用いられる構成とすることで、タイミング信号生成回路600を搭載するためにタッチパネル100に追加される回路は、論理回路652のみとなる。よって、タイミング信号生成回路600の搭載による額縁領域の増大を抑えることができるため、表示品質の良いタッチパネルを得ることができる。

【0098】

また、タッチパネルの高性能化、例えば、空間分解能の向上や階調数の向上に対して、図9の構成が有効であることを以下に説明する。

【0099】

図9の構成において、タッチパネルの空間分解能を向上させる場合には、A/D変換回路が列方向に増えるが、タイミング信号生成回路600においては、シフトレジスタ651の段数を列方向に増加することで対応できる。ここで、シフトレジスタ651の段数増加に要する面積は、外部駆動回路を設ける構成における配線の引き回し増加に要する面積よりも格段に小さい。したがって、図9の構成を用いることにより、レイアウト面積の増大を抑えることができる。なお、図9の構成では、シフトレジスタ651の段数が増加しても、外部からタッチパネルに入力する信号線の本数は増加しない。

【0100】

また、図9の構成において、タッチパネルの階調数を向上させる場合には、A/D変換回路のビット数を増大させるが、タイミング信号生成回路600において、シフトレジスタ651の段数を列方向に増加し、論理回路652に適宜論理素子回路を追加することで対応できる。ここで、論理素子回路として、否定回路、論理和回路、論理積回路、排他的論理和回路、否定論理和回路、否定論理積回路、排他的否定論理和回路などを用いることができる。

【0101】

また、一般に、論理素子回路はシフトレジスタに比べてレイアウト面積が小さい。よって、図9の構成において、論理素子回路の追加による論理回路652のレイアウト面積の増加は、タイミング信号生成回路600全体におけるレイアウト面積の増大にはほとんど影響しない。よって、シフトレジスタ651の段数増加を、レイアウト面積の増加を抑えて実現することができる。

【0102】

上記の構成とすることにより、空間分解能が高く、階調数が高く、額縁領域の増大がさらに抑えられた、表示品質の良いタッチパネルを得ることができる。

【0103】

(実施の形態5)

本実施の形態では、実施の形態1～4で説明したタッチパネルについて、図10、11を参照して説明する。本実施の形態において、タッチパネルはフォトセンサと表示素子を有している。表示素子は液晶素子又は発光素子を有する。

【0104】

図10は、実施の形態1～4で説明したタッチパネルにおいて、表示素子として液晶素

10

20

30

40

50

子を有する液晶表示装置の断面の一例を示す図である。バックライトからの光が被検出物である指1035で反射し、フォトセンサ1003に照射される状態を示している。

【0105】

基板1000としてはガラス基板又は石英基板等の透光性基板を用いる。基板1000上には、薄膜トランジスタ1001、薄膜トランジスタ1002、及びフォトセンサ1003が設けられている。フォトセンサ1003は、n型半導体層1010、i型半導体層1011、及びp型半導体層1012が順に積層されて設けられている。n型半導体層1010は、一導電型を付与する不純物元素(例えばリン)を含む。i型半導体層1011は、真性半導体である。p型半導体層1012は、一導電型を付与する不純物元素(例えばボロン)を含む。

10

【0106】

図10では、薄膜トランジスタ1001及び薄膜トランジスタ1002としてトップゲート型の薄膜トランジスタを用いたが、これに限定されない。薄膜トランジスタ1001及び薄膜トランジスタ1002としてボトムゲート型の薄膜トランジスタを用いてもよい。また、フォトセンサ1003は、n型半導体層1010、i型半導体層1011、及びp型半導体層1012を有する構成としているが、これに限定されない。

【0107】

本実施の形態では、薄膜トランジスタ1001及び薄膜トランジスタ1002の半導体層に結晶性半導体層を用いることができる。例えば、多結晶シリコンを用いることができる。しかしこれに限定されず、薄膜トランジスタ1001及び薄膜トランジスタ1002の半導体層に、非晶質シリコン、単結晶シリコン、ペントセン等の有機半導体、または酸化物半導体等を用いてもよい。なお、基板1000上に単結晶シリコンを用いた半導体層を形成する場合は、表面から所定の深さに損傷領域が設けられた単結晶シリコン基板と基板1000とを接合し、当該損傷領域で単結晶シリコン基板を分離することによって形成することができる。また、酸化物半導体としては、インジウム、ガリウム、アルミニウム、亜鉛及びスズから選んだ元素の複合酸化物を用いることができる。

20

【0108】

絶縁層1004は、薄膜トランジスタ1001及び薄膜トランジスタ1002上を覆って設けられている。絶縁層1004上には絶縁層1005が設けられ、絶縁層1005上には絶縁層1006が設けられている。画素電極1007は絶縁層1006上に設けられ、フォトセンサ1003と下部電極1008は絶縁層1005上に設けられている。下部電極1008によって、絶縁層1005に設けられた開口部を介して、フォトセンサ1003と薄膜トランジスタ1001とが電氣的に接続される。

30

【0109】

また、対向基板1020には、対向電極1021、カラーフィルタ層1022、及びオーバーコート層1023が設けられている。対向基板1020と基板1000はシール材によって固定され、スペーサ1025によって基板間隔が概ね一定の距離に保たれている。画素電極1007と対向電極1021が液晶層1024を挟持することで、液晶素子を構成している。

【0110】

カラーフィルタ層1022は、図10に示すようにフォトセンサ1003と画素電極1007の両方と重なるように設けてもよい。

40

【0111】

また、フォトセンサ1003は、図10に示すように薄膜トランジスタ1002のゲート電極1013と重なっており、薄膜トランジスタ1002の信号線1014とも重なるように設けるとよい。

【0112】

本実施の形態の液晶表示装置には、バックライトが設けられている。図10では、バックライトは基板1000側に設けられ、破線の矢印で示す方向に光が照射されている。バックライトとしては、冷陰極管(Cold-Cathode Fluorescent

50

Lamp: CCFL)又は白色の発光ダイオードを用いることができる。白色の発光ダイオードは、冷陰極管よりも明るさの調整範囲が広いため好ましい。

【0113】

また、フォトセンサ1003を例えばフォトセンサ制御回路や表示素子制御回路を有する駆動回路部にも設けて外光を検出し、使用環境に応じた表示が可能となるようにバックライトの明るさ(輝度)を調節することもできる。

【0114】

また、バックライトは上記構成に限定されない。例えば、RGBの発光ダイオード(LED)を用いてバックライトを構成してもよいし、RGBのLEDバックライトを順次点灯させてフィールドシーケンシャル方式でカラー表示してもよい。この場合にはカラーフィルタ層は不要である。

【0115】

ここで、図10に示す液晶表示装置の作製方法の一例について簡単に説明する。

【0116】

まず、活性層として結晶性半導体層を有するトップゲート構造の薄膜トランジスタを作製する。ここではゲート電極1013を有する薄膜トランジスタ1002と、フォトセンサ1003と電気的に接続される薄膜トランジスタ1001を同一基板上に形成する。それぞれのトランジスタとして、n型薄膜トランジスタ又はp型薄膜トランジスタを用いることができる。また、これらのトランジスタと同一の工程で保持容量を形成することができる。なお、保持容量は、半導体層を下部電極とし、容量配線を上部電極とし、薄膜トランジスタ1001及び薄膜トランジスタ1002のゲート絶縁膜と同一の工程で形成される絶縁膜を誘電体とすればよい。

【0117】

また、薄膜トランジスタの層間絶縁層の一つである絶縁層1004にはコンタクトホールが形成され、それぞれの半導体層と電気的に接続されるソース電極又はドレイン電極、若しくは、上方の配線と接続される接続電極を形成する。また、フォトセンサ1003と電気的に接続される薄膜トランジスタ1001の信号線も同一の工程で形成される。薄膜トランジスタ1002の信号線1014も同一の工程で形成される。

【0118】

次に、信号線1014を覆う絶縁層1005を形成する。なお、本実施の形態では、透過型の液晶表示装置を例として示しているので、絶縁層1005には可視光を透過することのできる絶縁性材料を用いる。次に、絶縁層1005にコンタクトホールを形成し、絶縁層1005上に下部電極1008を形成する。

【0119】

そして、下部電極1008の少なくとも一部と重なるようにフォトセンサ1003を形成する。下部電極1008は、フォトセンサ1003と、薄膜トランジスタ1001とを電気的に接続させる電極である。フォトセンサ1003は、n型半導体層1010、i型半導体層1011及びp型半導体層1012が順に積層されて形成される。本実施の形態では、プラズマCVD法を用いることで、リンを含む微結晶シリコンによりn型半導体層1010を形成し、非晶質シリコンによりi型半導体層1011を形成し、ボロンを含む微結晶シリコンによりp型半導体層1012を形成する。

【0120】

次に、フォトセンサ1003を覆う絶縁層1006を形成する。透過型の液晶表示装置の場合は、絶縁層1006に可視光を透過することのできる絶縁性材料を用いる。その後、絶縁層1006にコンタクトホールを形成し、絶縁層1006上に画素電極1007を形成する。画素電極1007と同一の層によりフォトセンサ1003の上部電極であるp型半導体層1012と電気的に接続される配線も形成する。

【0121】

次に、絶縁層1006上にスペーサ1025を形成する。図10では、スペーサ1025として柱状スペーサ(ポストスペーサ)を設けたが、球状スペーサ(ビーズスペーサ)

10

20

30

40

50

を用いてもよい。

【0122】

次に、液晶層1024としてTN液晶等を用いる場合には、画素電極1007上に配向膜を塗布し、ラビング処理を行う。

【0123】

一方で、対向基板1020上にはカラーフィルタ層1022、オーバーコート層1023、対向電極1021を形成し、対向電極1021上に配向膜を塗布し、ラビング処理を行う。

【0124】

その後、基板1000の配向膜が塗布された面と、対向基板1020の配向膜が塗布された面とを、シール材により貼り合わせる。これらの基板間には液晶滴下法又は液晶注入法により液晶を配置し、液晶層1024を形成する。

10

【0125】

なお、液晶層1024は、配向膜を用いないブルー相を示す液晶を用いて形成してもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、液晶層1024に適用するには、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いる。ブルー相を示す液晶とカイラル剤を含む液晶組成物は、応答速度が $10\mu\text{s} \sim 100\mu\text{s}$ と短く、光学的に等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

【0126】

次に、実施の形態1~4で説明したタッチパネルにおいて、表示素子として発光素子を有するエレクトロルミネセンス表示装置(以下、「EL表示装置」という。)について説明する。

【0127】

図11は、上記タッチパネルにおいて、発光素子としてEL素子(例えば、有機EL素子、無機EL素子、又は有機物及び無機物を含むEL素子)を用いたEL表示素子の断面の一例を示す図である。EL素子1127から発せられた光が被検出物である指1135で反射し、フォトセンサ1103に照射される状態を示している。

【0128】

図11において、基板1100上には、薄膜トランジスタ1101、薄膜トランジスタ1102、及びフォトセンサ1103が設けられている。フォトセンサ1103は、n型半導体層1110、i型半導体層1111、及びp型半導体層1112が順に積層されて設けられている。基板1100は、シール材によって対向基板1120に固定されている。

30

【0129】

絶縁層1104は、薄膜トランジスタ1101及び薄膜トランジスタ1102上を覆って設けられている。絶縁層1104上には絶縁層1105が設けられ、絶縁層1105上には絶縁層1106が設けられている。EL素子1127は絶縁層1106上に設けられ、フォトセンサ1103は絶縁層1105上に設けられている。フォトセンサ1103のn型半導体層1110によって、絶縁層1105に設けられた開口部を介して、フォトセンサ1103と薄膜トランジスタ1101とが電氣的に接続されている。

40

【0130】

また、センサ用配線1109によって、p型半導体層1112と他の配線とが電氣的に接続されている。

【0131】

EL素子1127は、画素電極1123、発光層1124、対向電極1125が積層されて設けられている。なお、バンク1126によって隣り合う画素同士の発光層が区切られている。

【0132】

50

薄膜トランジスタ 1 1 0 1 及び薄膜トランジスタ 1 1 0 2 として、n 型薄膜トランジスタ又は p 型薄膜トランジスタを用いることができる。画素電極 1 1 2 3 が陰極として機能する場合は、電流の向きを考慮して、画素電極 1 1 2 3 と電氣的に接続する薄膜トランジスタ 1 1 0 2 を n 型薄膜トランジスタとすることが好ましい。また、画素電極 1 1 2 3 が陽極として機能する場合は、薄膜トランジスタ 1 1 0 2 を p 型薄膜トランジスタとすることが好ましい。

【 0 1 3 3 】

なお本実施の形態は、実施の形態 1 ~ 4 と自由に組み合わせることができる。

【 0 1 3 4 】

(実施の形態 6)

本実施の形態では、実施の形態 1 ~ 5 で説明したタッチパネルを表示部に適用した電子機器の一例について、図 1 2 (A) (B)、図 1 3 (A) (B) を用いて説明する。

【 0 1 3 5 】

図 1 2 (A) に、上記実施の形態で説明したタッチパネルを適用したモニタ型タッチパネルを示す。図 1 2 (A) に示すモニタ型タッチパネルは、筐体 1 2 1 1、表示部 1 2 1 2、支持台 1 2 1 3 を有する。筐体 1 2 1 1 に上記実施の形態で説明したタッチパネルが内蔵され、表示部 1 2 1 2 の各画素にはフォトセンサが設けられており、表示部 1 2 1 2 は表示機能と情報入力機能を有する。上記実施の形態で説明したタッチパネルを適用することで高感度な検出が可能になるため、読み取り精度の高いモニタ型タッチパネルを得ることができる。

【 0 1 3 6 】

図 1 2 (B) に、上記実施の形態で説明したタッチパネルを適用した携帯型遊技機を示す。図 1 2 (B) に示す携帯型遊技機は、筐体 1 2 2 1、第 1 の表示部 1 2 2 2、第 2 の表示部 1 2 2 3、スピーカ部 1 2 2 4、操作キー 1 2 2 5、記録媒体挿入部 1 2 2 6、外部接続ポート 1 2 2 7、LED ランプ 1 2 2 8、マイクロフォン 1 2 2 9 を有する。図 1 2 (B) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して第 1 の表示部 1 2 2 2 及び第 2 の表示部 1 2 2 3 に画像を表示する機能を有する。更には、他の携帯型遊技機と無線通信を行って情報を共有することも可能である。第 1 の表示部 1 2 2 2 及び第 2 の表示部 1 2 2 3 の一方又は双方に上記実施の形態で説明したタッチパネルを適用することで高感度な検出が可能になる。そのため、読み取り精度が高く、セキュリティ性の向上を図ることができ、従来よりも複雑で高度なゲームを提供することができるゲーム機器を得ることができる。

【 0 1 3 7 】

図 1 3 (A) (B) に、上記実施の形態で説明したタッチパネルを適用した携帯電話機(所謂、スマートフォン)の一例を示す。図 1 3 (A) に示す携帯電話機は、筐体 1 3 0 0、表示部 1 3 0 1、操作ボタン 1 3 0 2、外部接続ポート 1 3 0 3、スピーカ 1 3 0 4 及びマイク 1 3 0 5 を有する。表示部 1 3 0 1 を指等で触れることで、携帯電話機に情報を入力することができる。

【 0 1 3 8 】

表示部 1 3 0 1 の画面は主として 3 つのモードがある。第 1 は、主に画像の表示を行う表示モードであり、第 2 は、主に文字等の情報を入力する入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 / 入力モードである。

【 0 1 3 9 】

図 1 3 (B) は、入力モード時の携帯電話機の正面図を示す。図 1 3 (B) に示すように、表示部 1 3 0 1 には、キーボード 1 3 0 6 が表示され、また、画面 1 3 0 7 には、キーボード 1 3 0 6 から入力された文字を表示する。入力モードでは、文字の入力操作を優先するため、表示部 1 3 0 1 の画面のほぼ全体にキーボード 1 3 0 6 が表示される。キーボード 1 3 0 6 のキー配列は使用する言語によって、変更される。

【 0 1 4 0 】

なお、図 1 3 (A) (B) に示す携帯電話機の内部に、加速度センサ等の傾きを検出す

10

20

30

40

50

るセンサを設けることで、携帯電話機の向き（縦か横か）を判断し、表示部 1 3 0 1 の画面表示を自動的に切り替えることができる。

【 0 1 4 1 】

また、画面モードの切り替えは、表示部 1 3 0 1 への接触（タッチ操作）、または操作ボタン 1 3 0 2 の操作により行われる。また、表示部 1 3 0 1 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部 1 3 0 1 に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替えるといった構成にすることも可能である。

【 0 1 4 2 】

また、入力モードにおいて、表示部 1 3 0 1 内に設けられたフォトセンサで検知される信号を判定し、表示部 1 3 0 1 へのタッチ操作による入力が一定期間行われない場合には、画面を入力モードから表示モードに切り替える構成としてもよい。

【 0 1 4 3 】

表示部 1 3 0 1 には、上記実施の形態で説明したタッチパネルを適用することができる。例えば、表示部 1 3 0 1 に掌又は指等を触れることで、掌紋又は指紋等を撮像し、本人認証を行うことができる。また、表示部 1 3 0 1 に近赤外光を発光するバックライト又は近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈等を撮像することもできる。上記実施の形態で説明したタッチパネルを適用することで高感度な検出が可能になるため、読み取り精度の高いタッチパネルを有する携帯電話機を得ることができる。そのため、例えば利用者の指紋を登録しておくことで、登録済みの利用者のみが使用可能な、セキュリティ性が高い携帯電話機を得ることができる。

【 0 1 4 4 】

以上のように、上記実施の形態で説明したタッチパネルを適用することにより、上記効果を有する表示部を有する電子機器を得ることができる。

【 0 1 4 5 】

なお本実施の形態は、実施の形態 1 ~ 5 と自由に組み合わせることができる。

【符号の説明】

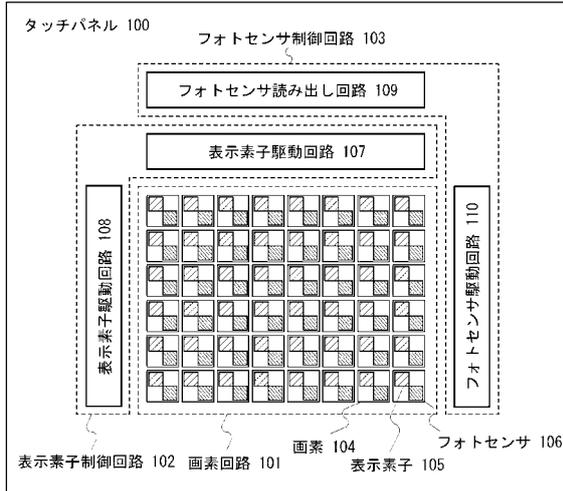
【 0 1 4 6 】

| | | |
|---------------|--------------|----|
| 1 0 0 | タッチパネル | |
| 1 0 1 | 画素回路 | 30 |
| 1 0 2 | 表示素子制御回路 | |
| 1 0 3 | フォトセンサ制御回路 | |
| 1 0 4 | 画素 | |
| 1 0 5 | 表示素子 | |
| 1 0 6 | フォトセンサ | |
| 1 0 7 | 表示素子駆動回路 | |
| 1 0 8 | 表示素子駆動回路 | |
| 1 0 9 | フォトセンサ読み出し回路 | |
| 1 1 0 | フォトセンサ駆動回路 | |
| 2 0 1 ~ 2 0 9 | A / D 変換回路 | 40 |
| 2 1 0 | 読み出し回路 | |
| 2 1 1 ~ 2 1 9 | フォトセンサ信号線 | |
| 2 2 0 | 出力信号線 | |
| 2 2 1 ~ 2 2 9 | 出力信号線 | |
| 2 3 1 ~ 2 3 9 | 制御信号線 | |
| 3 0 1 | 比較回路 | |
| 3 0 2 | 逐次変換レジスタ | |
| 3 0 3 | D / A 変換回路 | |
| 3 0 4 | 出力信号線 | |
| 3 0 5 | 出力信号線 | 50 |

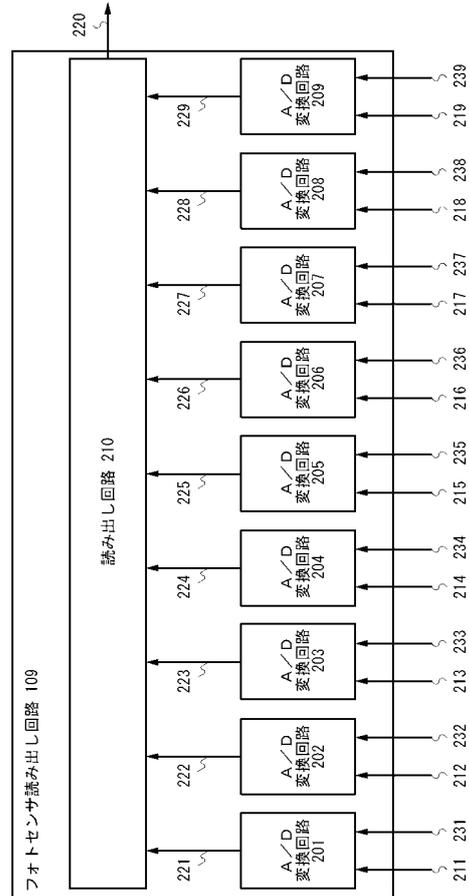
| | | |
|---------------|--------------|----|
| 3 0 6 | 出力信号線 | |
| 3 0 7 | 出力信号線 | |
| 3 0 8 | 保持回路 | |
| 3 0 9 | 保持回路 | |
| 3 1 0 | イネーブル信号線 | |
| 3 1 1 | リセット信号線 | |
| 3 1 2 | リセット信号線 | |
| 3 1 3 | セット信号線 | |
| 3 1 4 | セット信号線 | |
| 4 0 1 ~ 4 1 0 | 信号 | 10 |
| 5 0 1 ~ 5 1 5 | 信号 | |
| 6 0 0 | タイミング信号生成回路 | |
| 6 0 1 ~ 6 1 5 | エッジセンシティブラッチ | |
| 6 1 6 | スタート信号線 | |
| 6 1 7 | クロック信号線 | |
| 6 2 1 ~ 6 3 5 | 出力信号線 | |
| 6 4 0 | 論理和回路 | |
| 6 4 1 | 出力信号線 | |
| 6 4 2 | 論理和回路 | |
| 6 4 3 | 出力信号線 | 20 |
| 6 4 4 | 論理和回路 | |
| 6 4 5 | 出力信号線 | |
| 6 5 1 | シフトレジスタ | |
| 6 5 2 | 論理回路 | |
| 7 0 1 ~ 7 1 8 | 信号 | |
| 9 0 0 | 表示素子選択回路 | |
| 9 0 1 ~ 9 1 5 | セレクタ | |
| 9 1 6 | 画像信号入力線 | |
| 9 2 1 ~ 9 3 5 | ソース信号線 | |
| 1 0 0 0 | 基板 | 30 |
| 1 0 0 1 | 薄膜トランジスタ | |
| 1 0 0 2 | 薄膜トランジスタ | |
| 1 0 0 3 | フォトセンサ | |
| 1 0 0 4 | 絶縁層 | |
| 1 0 0 5 | 絶縁層 | |
| 1 0 0 6 | 絶縁層 | |
| 1 0 0 7 | 画素電極 | |
| 1 0 0 8 | 下部電極 | |
| 1 0 1 0 | n型半導体層 | |
| 1 0 1 1 | i型半導体層 | 40 |
| 1 0 1 2 | p型半導体層 | |
| 1 0 1 3 | ゲート電極 | |
| 1 0 1 4 | 信号線 | |
| 1 0 2 0 | 対向基板 | |
| 1 0 2 1 | 対向電極 | |
| 1 0 2 2 | カラーフィルタ層 | |
| 1 0 2 3 | オーバーコート層 | |
| 1 0 2 4 | 液晶層 | |
| 1 0 2 5 | スペーサ | |
| 1 0 3 5 | 指 | 50 |

| | | |
|---------|-----------|----|
| 1 1 0 0 | 基板 | |
| 1 1 0 1 | 薄膜トランジスタ | |
| 1 1 0 2 | 薄膜トランジスタ | |
| 1 1 0 3 | フォトセンサ | |
| 1 1 0 4 | 絶縁層 | |
| 1 1 0 5 | 絶縁層 | |
| 1 1 0 6 | 絶縁層 | |
| 1 1 0 9 | センサ用配線 | |
| 1 1 1 0 | n型半導体層 | |
| 1 1 1 1 | i型半導体層 | 10 |
| 1 1 1 2 | p型半導体層 | |
| 1 1 2 0 | 対向基板 | |
| 1 1 2 3 | 画素電極 | |
| 1 1 2 4 | 発光層 | |
| 1 1 2 5 | 対向電極 | |
| 1 1 2 6 | バンク | |
| 1 1 2 7 | E L 素子 | |
| 1 1 3 5 | 指 | |
| 1 2 1 1 | 筐体 | |
| 1 2 1 2 | 表示部 | 20 |
| 1 2 1 3 | 支持台 | |
| 1 2 2 1 | 筐体 | |
| 1 2 2 2 | 表示部 | |
| 1 2 2 3 | 表示部 | |
| 1 2 2 4 | スピーカ部 | |
| 1 2 2 5 | 操作キー | |
| 1 2 2 6 | 記録媒体挿入部 | |
| 1 2 2 7 | 外部接続ポート | |
| 1 2 2 8 | L E D ランプ | |
| 1 2 2 9 | マイクロフォン | 30 |
| 1 3 0 0 | 筐体 | |
| 1 3 0 1 | 表示部 | |
| 1 3 0 2 | 操作ボタン | |
| 1 3 0 3 | 外部接続ポート | |
| 1 3 0 4 | スピーカ | |
| 1 3 0 5 | マイク | |
| 1 3 0 6 | キーボード | |
| 1 3 0 7 | 画面 | |

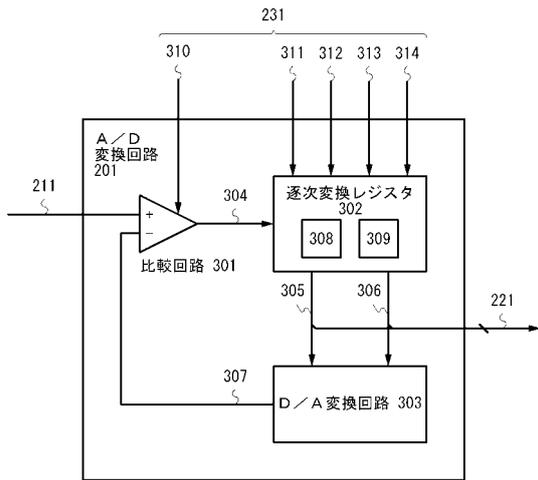
【図1】



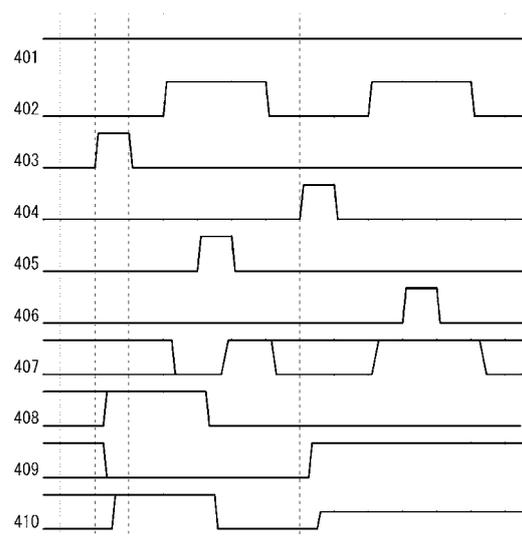
【図2】



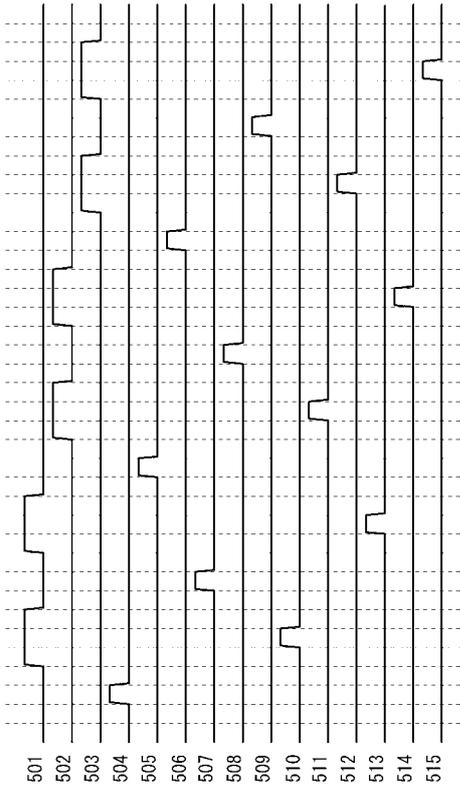
【図3】



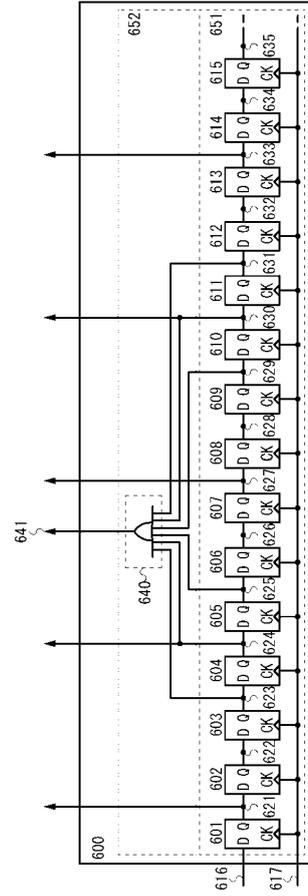
【図4】



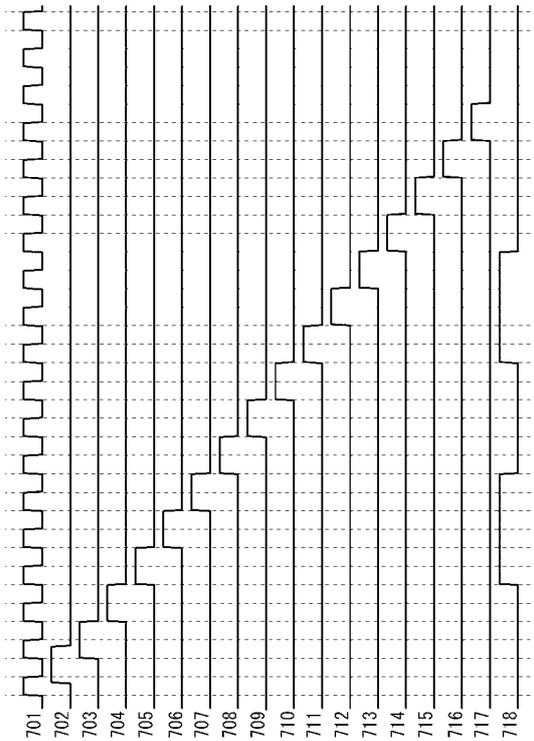
【図 5】



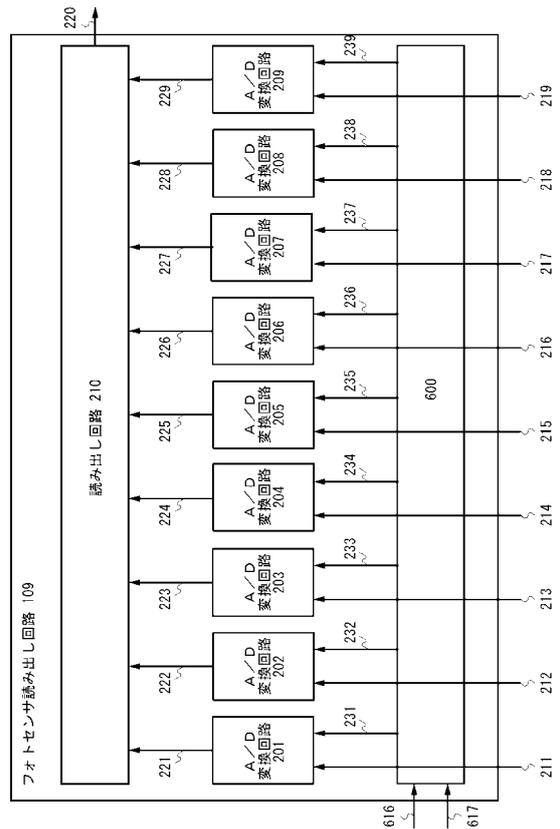
【図 6】



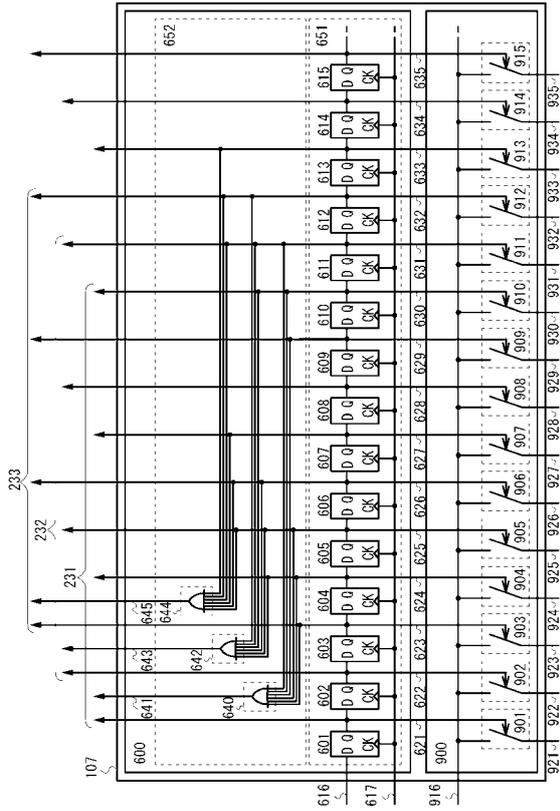
【図 7】



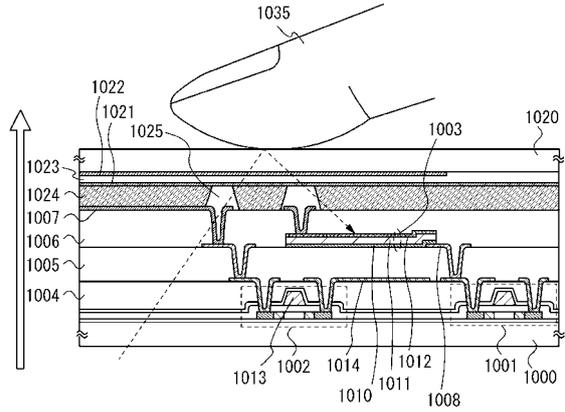
【図 8】



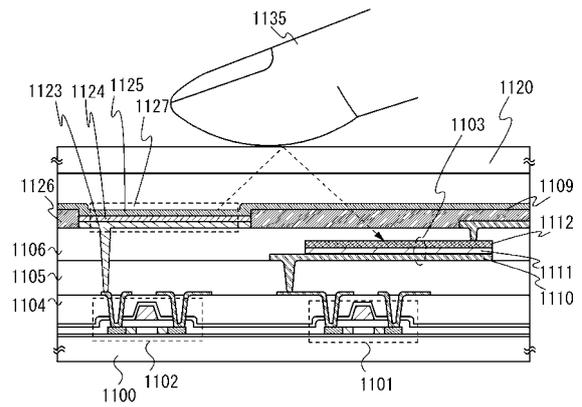
【 図 9 】



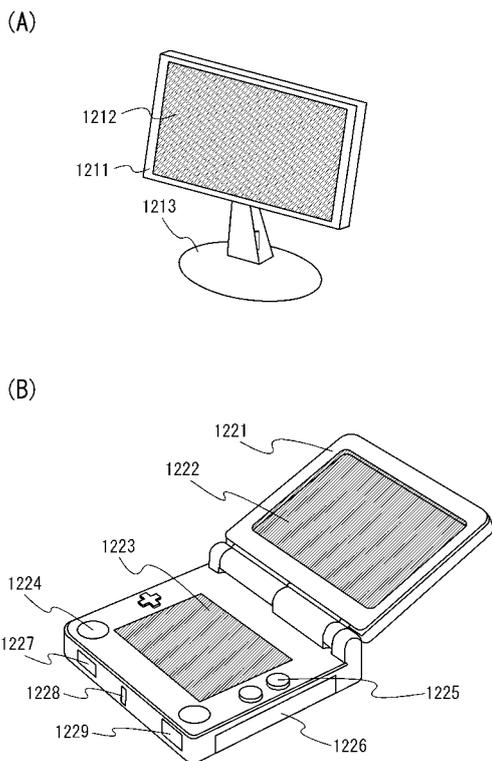
【 図 10 】



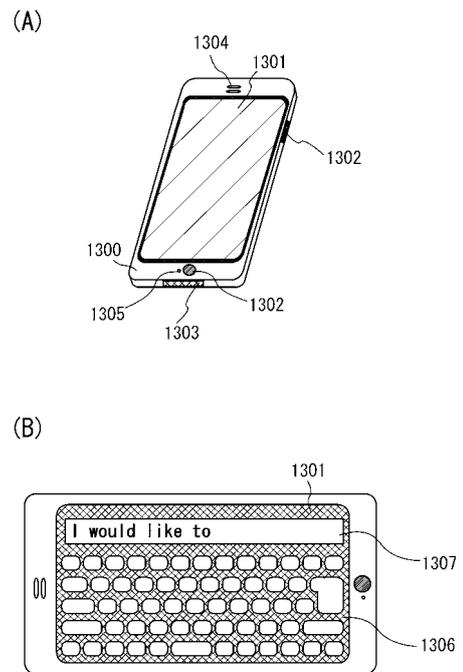
【 図 11 】



【 図 12 】



【 図 13 】



フロントページの続き

- (56)参考文献 特開平06 - 161627 (JP, A)
特開2002 - 027331 (JP, A)
特開2007 - 087393 (JP, A)
特開2008 - 015755 (JP, A)
特開2008 - 021208 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/041 - 3/047