

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5076881号  
(P5076881)

(45) 発行日 平成24年11月21日(2012.11.21)

(24) 登録日 平成24年9月7日(2012.9.7)

(51) Int.Cl.		F I			
<b>HO4L</b>	<b>7/02</b>	<b>(2006.01)</b>	HO4L	7/02	Z
<b>HO4B</b>	<b>3/10</b>	<b>(2006.01)</b>	HO4B	3/10	Z

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2007-334547 (P2007-334547)	(73) 特許権者	000005223
(22) 出願日	平成19年12月26日 (2007.12.26)		富士通株式会社
(65) 公開番号	特開2009-159257 (P2009-159257A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成21年7月16日 (2009.7.16)	(74) 代理人	100101856
審査請求日	平成22年8月20日 (2010.8.20)		弁理士 赤澤 日出夫
		(72) 発明者	鏑本 大太
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
		(72) 発明者	須和田 誠
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 伝送特性調整装置、回路基板、及び伝送特性調整方法

(57) 【特許請求の範囲】

【請求項1】

伝送路を介する送信素子と受信素子との間での伝送特性を調整する伝送特性調整装置であって、

多相クロックの各位相により、確定されたデータについての相異の有無を判断する判断部と、

前記判断部の判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出するウィンドウ検出部と、

前記ウィンドウ検出部により検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて、前記送信素子又は前記受信素子の回路要素の設定値を変更する回路要素設定部とを備え、

前記送信素子内に複数のデータ送信系を備えてなり、前記回路要素設定部は、前記評価結果に基づいて、前記複数のデータ送信系を切替えることにより伝送特性を調整する伝送特性調整装置。

【請求項2】

請求項1に記載の伝送特性調整装置において、

前記受信素子内に複数のデータ受信系を備えてなり、前記回路要素設定部は、前記評価結果に基づいて、前記データ受信系を切替えることにより伝送特性を調整する伝送特性調整装置。

## 【請求項 3】

請求項 1 に記載の伝送特性調整装置であって、  
前記伝送特定調整装置は、前記受信素子内に設けられる複数の受信系のそれぞれに設けられる伝送特性調整装置。

## 【請求項 4】

請求項 1 に記載の伝送特性調整装置であって、  
前記ウィンドウ検出部及び前記回路要素設定部は、前記受信素子内に設けられる複数の受信系に対して共用されるように設けられる伝送特性調整装置。

## 【請求項 5】

請求項 2 に記載の伝送特性調整装置において、  
前記回路要素設定部は、前記送信素子側へ送信する設定用の制御信号を、変調して差動データ伝送系に同相で重畳して伝送する伝送特性調整装置。

10

## 【請求項 6】

伝送路を介して送信素子と受信素子との間での伝送特性を調整する伝送特性調整装置を有する回路基板であって、

前記伝送特性調整装置は、  
多相クロックの各位相により、確定されたデータについての相異の有無を判断する判断部と、

前記判断部の判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出するウィンドウ検出部と、

20

前記ウィンドウ検出部により検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて、前記送信素子又は前記受信素子の回路要素の設定値を変更する回路要素設定部とを備え、

前記送信素子内に複数のデータ送信系を備えてなり、前記回路要素設定部は、前記評価結果に基づいて、前記複数のデータ送信系を切替えることにより伝送特性を調整する回路基板。

## 【請求項 7】

伝送路を介する送信素子と受信素子との間での伝送特性を調整する伝送特性調整方法であって、

30

多相クロックの各位相により、確定されたデータについての相異の有無を判断し、  
前記判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出し、

前記検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて前記送信素子又は前記受信素子の回路要素の設定値を変更し、前記評価結果に基づいて前記送信素子内に備えられた複数のデータ送信系を切替えることにより伝送特性を調整する伝送特性調整方法。

## 【発明の詳細な説明】

## 【技術分野】

40

## 【0001】

本発明は伝送路を介して送信素子と受信素子との間での伝送特性を調整する伝送特性調整装置、回路基板および伝送特性調整方法に係り、特に、信号伝送系の受信素子入力における波形品質の劣化を、多相CLKを用いて測定した時間軸方向のウィンドウ幅を指標として監視し、その結果を用いて伝送特性の調整を行う伝送特性調整装置、回路基板、及び伝送特性調整方法に関するものである。

## 【背景技術】

## 【0002】

近年、信号伝送の高速化に伴い、そのマージン（波形マージン）は小さくなる傾向にあり、設計、評価段階だけでなく、装置上で適所ごとに逐次伝送特性を調整する必要性が高

50

まってきたている。

【 0 0 0 3 】

これに対して従来から提供されている技術は、エラー率を監視しながら、任意の回路要素を調整して伝送特性を調整する方式を採用している。例えば参考文献として、下記特許文献が挙げられる。

【特許文献1】特開2003-032187号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

しかしながら、エラー率を監視しながら、回路要素を調整することになると、ある程度のエラー率を許容せざるを得ず、従って、従来技術ではある程度のエラー率を許容することができるシステムにしか適用することができないという問題点がある。

【 0 0 0 5 】

本発明は、上述した問題点を解決するためになされたものであり、エラーを起こす前に回路調整を行うことができ、エラーを生じることがなくて、伝送特性の信頼性の高い伝送特性調整装置、そのような伝送特性調整装置を組み込んだ回路基板、及び伝送特性調整方法を提供することを目的としている。

【課題を解決するための手段】

【 0 0 0 6 】

上述した課題を解決するため、この伝送特性調整装置は、伝送路を介する送信素子と受信素子との間での伝送特性を調整する伝送特性調整装置であって、多相クロックの各位相により、確定されたデータについての相異の有無を判断する判断部と、前記判断部の判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出するウィンドウ検出部と、前記ウィンドウ検出部により検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて、前記送信素子又は前記受信素子の回路要素の設定値を変更する回路要素設定部とを備える。

【 0 0 0 7 】

また、この回路基板は、伝送路を介して送信素子と受信素子との間での伝送特性を調整する伝送特性調整装置を有する回路基板であって、前記伝送特性調整装置は、多相クロックの各位相により、確定されたデータについての相異の有無を判断する判断部と、前記判断部の判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出するウィンドウ検出部と、前記ウィンドウ検出部により検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて、前記送信素子又は前記受信素子の回路要素の設定値を変更する回路要素設定部とを備える。

【 0 0 0 8 】

また、この伝送特性調整方法は、伝送路を介する送信素子と受信素子との間での伝送特性を調整する伝送特性調整方法であって、多相クロックの各位相により、確定されたデータについての相異の有無を判断し、前記判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出し、前記検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて、前記送信素子又は前記受信素子の回路要素の設定値を変更する。

【発明の効果】

【 0 0 0 9 】

本発明によれば、検出された時間軸方向のウィンドウ幅の変動に基づいて、設定の評価を行い、その評価結果に応じて伝送特性を調整することができ、常に信頼性高い伝送を行うことができるという効果を奏する。

【発明を実施するための最良の形態】

10

20

30

40

50

## 【 0 0 1 0 】

以下、本発明の実施の形態を図を用いて説明する。

## 【 0 0 1 1 】

実施の形態 1 .

図 1 は本発明の実施の形態 1 における全体構成を示すブロック図である。この実施の形態は送信素子 1 0 0 と受信素子 2 0 0 とこれらの間に設けられる伝送路 3 0 0 とを備えて構成される。

## 【 0 0 1 2 】

送信素子 1 0 0 は、内部処理回路 1 0 1 とその処理結果を伝送路に出力する出力バッファ 1 0 2 を備えている。

10

## 【 0 0 1 3 】

また受信素子 2 0 0 は、イコライザ 2 0 1 A , 2 0 1 B と入力バッファ 2 0 2 A , 2 0 2 B とを有する二つの受信系 R A , R B と経路切り替え回路 2 0 3 と内部処理回路 2 0 4 とを備える。

## 【 0 0 1 4 】

そして、二つの受信系 R A , R B のうちの一つの受信系 R B は、多相クロックを発生する多相クロック発生器 2 0 5 と、時間軸ウィンドウ幅を検出する時間軸ウィンドウ幅監視回路 ( 時間軸ウィンドウ幅検出部 ) 2 0 6 と、時間軸ウィンドウ幅監視回路 2 0 6 により検出されたウィンドウ幅の変動を検出し該変動に基づいて、ウィンドウ幅に影響を与える回路要素 ( ここではイコライザ 2 0 1 B ) の設定値についての評価を行い、該評価結果に基づいてイコライザ 2 0 1 B ( 回路要素の設定値 ) を調整する回路要素調整回路 ( 回路要素調整部 ) 2 0 7 を備える。

20

## 【 0 0 1 5 】

以下これらについて詳述する。伝送路 3 0 0 は、送信素子 1 0 0 と受信素子 2 0 0 を接続する線路であり、具体的にはプリント配線板、Cable などにより構成される。

## 【 0 0 1 6 】

イコライザ 2 0 1 A , 2 0 1 B は、伝送路で損失する高周波成分を受信素子 2 0 0 側で補償する回路である。

## 【 0 0 1 7 】

多相クロック発生器 2 0 5 は、1 周期を任意数で分割した時間幅ずつ位相を変動させた CLK を発生する。

30

## 【 0 0 1 8 】

時間軸ウィンドウ幅監視回路 2 0 6 は、入力されるデータを多相 CLK から供給されたそれぞれの位相の CLK で確定し、隣り合う位相の論理が異なる部分をデータ変化点として認識することにより、時間軸上のウィンドウ幅を測定する。なお、時間軸ウィンドウ幅監視回路 2 0 6 は、ウィンドウ幅の測定とともに、その変動を監視するものであってもよい。

## 【 0 0 1 9 】

回路要素調整回路 2 0 7 は、時間軸ウィンドウ幅監視回路 2 0 6 により測定されたウィンドウ幅の変動を検出し、該変動に基づいてイコライザ 2 0 1 B の設定値を評価し、該評価結果に基づいて、イコライザ 2 0 1 B の設定値を変更調整する。この調整は時間軸ウィンドウの幅が最大になるように行う。なお、本実施の形態においては、回路要素調整回路 2 0 7 にウィンドウ幅の変動の検出機能を設けたが、上述のように、時間軸ウィンドウ幅監視回路 2 0 6 に設けるようにしても良い。

40

## 【 0 0 2 0 】

以下、実施の形態 1 の全体動作について、図 2 のフローチャートを用いて説明する。

## 【 0 0 2 1 】

( データ変化点の検出 : S 1 )

データ変化点を検出する方式は一般的なクロック・リカバリ回路で採用されている方式とする。具体的なプロセスを以下に説明する。

## 【 0 0 2 2 】

50

(第1ステップ) 多相クロックの発生

図3に示すように、外部から入力された、または内部でもっている基準となるクロック信号を元に、任意の値だけ位相がずれたクロックを発生させる。発生させる本数はクロックの周期を位相ずれの値で割った数とする。

【0023】

(第2ステップ) 各位相クロックでの論理確定

図4に示すように、前項(第1ステップ)で発生した多相クロックのそれぞれで受信データを確定する。

【0024】

(第3ステップ) 隣接位相間で論理が異なる部分を検出

図5に示すように、前項(第2ステップ)で確定した論理を調べ、隣り合う位相で論理が異なる部分を検出する。図の例では「CLK1」と「CLK2」の間がそれにあたる。これをデータの変化点とみなす。このとき、変化点の抽出は複数ビットのデータにおける変化点の平均値をとることとする。

【0025】

(時間軸ウィンドウ幅の算出: S2)

図6に示すように、前項の手法(S1)によって、データ変化点を検出し、検出されたデータ変化点同士の時間間隔を測定することにより時間軸ウィンドウ幅を得ることができる。

【0026】

(時間軸ウィンドウ幅の変動監視: S3)

図7に示すように、時間軸ウィンドウ幅監視回路206は、一定の周期でウィンドウ幅を監視し、ウィンドウ幅に変動があった場合は(S3, Y)、回路要素の調整(S4)に進む。変動がない場合は(S3, N)、ステップS1に戻る。ウィンドウ幅の監視は前回測定との差分に対して任意の基準値を設定することによって実現する。

【0027】

(回路要素の調整: S4)

回路要素の調整は、以下の手順で行われる。図8は動作概要を示すブロック図であり、図9は回路要素の調整動作を示すフローチャートである。

【0028】

イコライザ回路の高周波成分に関する増幅量(以降イコライザ量と表現する)の設定を初期値「0」に設定し(S4-1)、時間軸ウィンドウ幅を測定する(S4-2)。次に、イコライザ量の設定を次の増加方向段階に変更し(S4-3)、時間軸ウィンドウ幅を測定する(S4-4)。

【0029】

以上のステップ(S4-3)、(S4-4)の処理を全ての設定値について実施し(S4-5)、ウィンドウ幅が最大となる設定を検出し、これを採用値とする(S4-6)。

【0030】

(設定の反映: S5)

前項(S4)で検出した設定を回路に反映する。

このとき設定変更に伴うエラーを生じないように回路を制御する必要がある。この機能を図10に示す動作概念図の経路切り替え回路に持たせる。具体的な手順を図11に従って説明する。

【0031】

まず、抽出した設定を図10に示すSub系RBに反映する(S5-1)。次に、Sub系の設定切り替え時のエラーが収まったことを、Sub系とMain系の受信データの相異(一致)により検出する(S5-2)。このデータの相異を確認する回路の具体例としては排他的論理和の利用があげられる。データの相異を確認するためには数ミリ秒程度の監視が必要となる。この監視に必要な時間が送受信データの何倍に相当するかを計算し、その結果をカウンタで計測することによって、所望の一致(相異)監視時間を得る。この構成回路の

10

20

30

40

50

一例を図 1 2 に示す。

【 0 0 3 2 】

図 1 2 には、Main系とSub系の受信データを入力する排他的論理和回路 2 2 1 と、その出力を一致を監視するための周期計算回路 2 2 2 で指示される周期にわたり、カウントするカウンタ 2 2 3 と、そのカウンタ 2 2 3 のカウント値に基づいてMain系とSub系を切替えるセレクタ 2 2 4 とを備えて構成される。

【 0 0 3 3 】

そして、Main系とSub系の一致が確認されると ( S 5 - 2 )、受信データとしてSub系を選択する ( S 5 - 3 )。そして、Sub系の設定をMain系に反映し ( S 5 - 4 )、Main系の設定切り替え時のエラーが収まったことを、Sub系とMain系の受信データの一致により確認すると ( S 5 - 5 )、受信データとしてMain系を選択する ( S 5 - 6 )。

10

【 0 0 3 4 】

実施の形態 2 .

実施の形態 1 では伝送特性を制御する回路要素、即ち回路要素設定回路 2 0 7 が調整する回路要素としてイコライザを採用しているが、送信素子 1 0 0、および受信素子 2 0 0 を制御することによって、同様の効果を得ることができる。

【 0 0 3 5 】

例えば実施の形態 2 として、図 1 3 に示すように伝送路の両端である送信素子 1 0 0 の出力バッファ 1 0 2 の出力側と受信素子 2 0 0 の入力バッファ 2 0 2 A , 2 0 2 B の入力側とに設けられる内蔵終端抵抗 1 3 1 , 2 3 1 A , 2 3 1 B の値を変更制御することによっても、実施の形態 1 と同様な効果を得ることができる。

20

【 0 0 3 6 】

実施の形態 3 .

また、実施の形態 3 においては、回路要素の設定として、送信素子 1 0 0 A の送信系を冗長化することもできる。上述した実施の形態 1 では、受信素子側のみで冗長回路が構成されているため、送信側の回路要素を調節することができない。

【 0 0 3 7 】

そこで、図 1 4 に示すように、送信素子 1 0 0 A 内におけるデータ送信系を冗長に備えることによって、受信素子側から伝送されてくる制御信号によって、プリアンファシス量、振幅、およびデータ送信系の切り替えを行いながら伝送特性を調整することによって、同様の効果を得ることができる。

30

【 0 0 3 8 】

図 1 4 では、送信素子内に複数 ( 二つ ) のデータ送信系 T A , T B を備えるとともに、これら送信系のそれぞれが出力バッファ 1 0 2 A , 1 0 2 B とプリアンファシス設定回路 1 0 5 A , 1 0 5 B を有する。そして、これら送信系を受信素子 2 0 0 側の回路要素設定回路 2 0 7 からの制御信号により切替える経路切り替え回路 1 0 6 を備えている。

【 0 0 3 9 】

実施の形態 4 .

実施の形態 1 では、信号伝送系をMainとSubの 2 系統にわけ、回路要素の調整についてはSub側にその機能をもたせている。この構成によれば、図 1 5 ( a ) に示すように、設定の切り替え時にMain Sub Mainという手順になり 2 回の切り替えが必要となる。これに対し、図 1 5 ( b ) に示すように、信号伝送系の 2 重化を完全に対称な形態にすることによって、MainとSubという区別がなくなり、回路の切り替えを信号伝送系 ( 1 ) 信号伝送系 ( 2 ) と 1 回に減少させることができる。

40

【 0 0 4 0 】

実施の形態 5 .

実施の形態 1 では、図 1 6 ( a ) に示すように、ウィンドウ幅監視系を含むSub系をそれぞれのチャンネルに持たせることになるが、これを図 1 6 ( b ) に示すように複数のデータ伝送系で共有することにより回路規模を小さくすることができる。なお、共有は時分割方式とする。

50

## 【 0 0 4 1 】

実施の形態 6 .

実施の形態 3 では、送信素子の冗長化について説明した。これは図 1 7 ( a ) に示すように、送信素子側の回路要素を制御する手段として主信号の伝送路 3 0 0 a と別に、受信素子から送信素子へ制御信号を送付するための伝送路 3 0 0 b を付加している。このため、専用の信号 P i n を送信素子、受信素子、コネクタに用意する必要があり、実装効率を悪化させることとなる。

## 【 0 0 4 2 】

これに対し、図 1 7 ( b ) に示すように、受信素子 2 0 0 に制御信号搬送波を生成して主信号の配線に重畳する制御信号搬送波生成回路 3 7 1 を設けると共に、送信素子 1 0 0 に主信号に重畳された制御信号搬送波を受信する制御信号搬送波受信回路 1 7 1 を設け、受信素子 2 0 0 側からの制御信号を差動データ伝送系に同相で重畳して伝送することにより、送受信データへの影響なく、かつ、制御信号用伝送路を追加することなく、送信素子への制御信号伝送を実現できる。

## 【 0 0 4 3 】

実施の形態 7 .

実施の形態 1 では、図 1 8 ( a ) に示すように、伝送特性を制御する回路要素としてイコライザを採用しているが、図 1 8 ( b ) に示すように、送信素子 1 0 0、または受信素子 2 0 0 の P L L 2 6 1 に供給する電源の電源フィルタを構成する回路部品(定数可変のインダクタンス、コンデンサ、抵抗) 2 6 2 の定数を制御することによっても、同様の効果を得ることができる。実施の形態 1 1 では、このようにジッタ周波数耐性を調整する。

## 【 0 0 4 4 】

信号伝送系においてジッタによるエラーが発生する場合、その原因となるジッタ周波数は限定されることが多い。そして、そのジッタは P L L 2 6 1 の電源供給系に混入する雑音によって生じる場合が多い。よって、P L L 2 6 1 への電源供給端子の内部に可変素子(コンデンサ、またはインダクタンス) 2 6 2 を作りこみ、この内部素子と外部に作成した外部電源フィルタ(フィルタ回路) 2 6 3 の合成で決まるフィルタの特性を変化させることによつて原因となるジッタを抑制することができる。

## 【 0 0 4 5 】

以上に説明したように、本実施の形態によれば、結果を確認しながら伝送特性の調整を図る事が可能となり、またマージンの測定をデジタル回路で構成しているので LSI への適用が容易になる。よって、信号伝送の品質改善に寄与することができるという効果を奏する。

## 【 0 0 4 6 】

以上に説明したように、実施の形態によれば、伝送の結果を確認しながら伝送特性の調整を図る事が可能となり、また時間軸ウィンドウ幅の測定をデジタル回路で構成しているため LSI への適用が容易になる。よって、信号伝送の品質改善に寄与することができるという効果を奏する。

## 【 0 0 4 7 】

以上、本実施の形態によれば、以下の付記で示す技術的思想が開示されている。

(付記 1) 伝送路を介する送信素子と受信素子との間での伝送特性を調整する伝送特性調整装置であつて、

多相クロックの各位相により、確定されたデータについての相異の有無を判断する判断部と、

前記判断部の判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出するウィンドウ検出部と、

前記ウィンドウ検出部により検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて、前記送信素子又は前記受信素子の回路要素の設定値を変更する回路要素設定部と、

10

20

30

40

50

を備える伝送特性調整装置。

(付記 2) 付記 1 に記載の伝送特性調整装置において、  
前記回路要素設定部は、前記伝送路の終端に設けられる内蔵終端抵抗を変更することにより伝送特性を調整する伝送特性調整装置。

(付記 3) 付記 1 に記載の伝送特性調整装置において、  
前記受信素子内に複数のデータ受信系を備えてなり、前記回路要素設定部は、前記評価結果に基づいて、前記データ受信系を切替えることにより伝送特性を調整する伝送特性調整装置。

(付記 4) 付記 1 に記載の伝送特性調整装置において、  
前記送信素子内に複数のデータ送信系を備えてなり、前記回路要素設定部は、前記評価結果に基づいて、前記複数のデータ送信系を切替えることにより伝送特性を調整する伝送特性調整装置。

10

(付記 5) 付記 1 に記載の伝送特性調整装置であって、  
前記伝送特定調整装置は、前記受信素子内に設けられる複数の受信系のそれぞれに設けられる伝送特性調整装置。

(付記 6) 付記 1 に記載の伝送特性調整装置であって、  
前記ウィンドウ検出部及び前記回路要素設定部は、前記受信素子内に設けられる複数の受信系に対して共用されるように設けられる伝送特性調整装置。

(付記 7) 付記 1 に記載の伝送特性調整装置において、  
前記回路要素設定部は、前記送信素子、または前記受信素子の PLL に供給する電源の電源フィルタを構成するインダクタンス、コンデンサ、及び抵抗のうち少なくともいずれか一つの定数を変更することによって、ジッタ周波数耐性の調整を行う伝送特性調整装置。

20

(付記 8) 付記 4 に記載の伝送特性調整装置において、  
前記回路要素設定部は、前記送信素子側へ送信する設定用の制御信号を、変調して差動データ伝送系に同相で重畳して伝送する伝送特性調整装置。

(付記 9) 伝送路を介して送信素子と受信素子との間での伝送特性を調整する伝送特性調整装置を有する回路基板であって、

前記伝送特性調整装置は、  
多相クロックの各位相により、確定されたデータについての相異の有無を判断する判断部と、

30

前記判断部の判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出するウィンドウ検出部と、

前記ウィンドウ検出部により検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて、前記送信素子又は前記受信素子の回路要素の設定値を変更する回路要素設定部と、

を備える回路基板。

(付記 10) 付記 9 に記載の回路基板において、  
前記回路要素設定部は、前記伝送路の終端に設けられる内蔵終端抵抗を変更することにより伝送特性を調整する回路基板。

40

(付記 11) 付記 9 に記載の回路基板において、  
前記受信素子内に複数のデータ受信系を備えてなり、前記回路要素設定部は、前記評価結果に基づいて、前記データ受信系を切替えることにより伝送特性を調整する回路基板。

(付記 12) 付記 9 に記載の回路基板において、  
前記送信素子内に複数のデータ送信系を備えてなり、前記回路要素設定部は、前記評価結果に基づいて、前記複数のデータ送信系を切替えることにより伝送特性を調整する回路基板。

(付記 13) 付記 9 に記載の回路基板において、  
前記ウィンドウ検出部及び前記回路要素設定部は、前記受信素子内に設けられる複数の

50



受信系に対して共用されるように設けられる回路基板。

(付記 14) 付記 9 に記載の回路基板において、

前記回路要素設定部は、前記送信素子、または前記受信素子の PLL に供給する電源の電源フィルタを構成するインダクタンス、コンデンサ、及び抵抗のうち少なくともいずれか一つの定数を変更することによって、ジッタ周波数耐性の調整を行う回路基板。

(付記 15) 伝送路を介する送信素子と受信素子との間での伝送特性を調整する伝送特性調整方法であって、

多相クロックの各位相により、確定されたデータについての相異の有無を判断し、

前記判断結果と前記多相クロックの位相に基づいて、受信データの時間軸方向のウィンドウ幅を検出し、

前記検出されたウィンドウ幅の変動に基づいて、受信波形に影響を及ぼす前記送信素子又は前記受信素子の回路要素の設定値について評価し、該評価結果に基づいて、前記送信素子又は前記受信素子の回路要素の設定値を変更する

伝送特性調整方法。

(付記 16) 付記 15 に記載の伝送特性調整方法において、

前記伝送路の終端に設けられる内蔵終端抵抗を変更することにより伝送特性を調整する伝送特性調整方法。

(付記 17) 付記 15 に記載の伝送特性調整方法において、

前記受信素子内に複数のデータ受信系を備えてなり、前記評価結果に基づいて、前記データ受信系を切替えることにより伝送特性を調整する伝送特性調整方法。

(付記 18) 付記 15 に記載の伝送特性調整方法において、

前記送信素子内に複数のデータ送信系を備えてなり、前記評価結果に基づいて、前記複数のデータ送信系を切替えることにより伝送特性を調整する伝送特性調整方法。

(付記 19) 付記 15 に記載の伝送特性調整方法において、

前記送信素子、または前記受信素子の PLL に供給する電源の電源フィルタを構成するインダクタンス、コンデンサ、及び抵抗のうち少なくともいずれか一つの定数を変更することによって、ジッタ周波数耐性の調整を行う伝送特性調整方法。

(付記 20) 付記 18 に記載の伝送特性調整方法において、

前記送信素子側へ送信される設定用の制御信号は、変調されて差動データ伝送系に同相で重畳されて伝送される伝送特性調整方法。

【図面の簡単な説明】

【0048】

【図 1】本発明の実施の形態 1 を示すブロック図である。

【図 2】本発明の実施の形態 1 の全体動作を示すフローチャートである。

【図 3】多相クロックの発生を説明する概念図である。

【図 4】各位相クロックでの論理確定動作を示す概念図である。

【図 5】隣接位相間で論理値の変化検出動作を示す概念図である。

【図 6】時間軸ウィンドウ幅の算出動作を示す概念図である。

【図 7】時間軸ウィンドウ幅の変動監視動作を示す概念図である。

【図 8】回路要素の調整動作を示す概念図である。

【図 9】回路要素の調整動作を示すフローチャートである。

【図 10】調整された設定値の反映動作を示す概念図である。

【図 11】経路切り替え動作を示すフローチャートである。

【図 12】データ的一致(相異)監視回路を示すブロック図である。

【図 13】実施の形態 2 における内蔵終端抵抗の制御の調整動作を示す概念図である。

【図 14】実施の形態 3 における送信素子の冗長化を示すブロック図である。

【図 15】実施の形態 4 における信号伝送系の 2 重化を示すブロック図である。

【図 16】実施の形態 5 における時間軸ウィンドウ幅監視系の共有を示すブロック図である。

【図 17】実施の形態 6 における主信号伝送系への制御信号の重畳を示す概念図である。

10

20

30

40

50

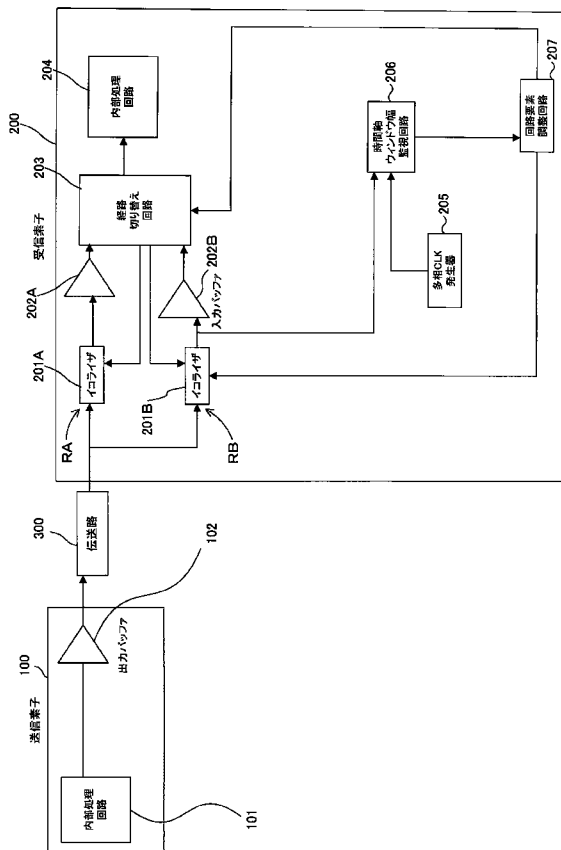
【図18】実施の形態7における電源フィルタ定数の調整動作を示すブロック図である。

【符号の説明】

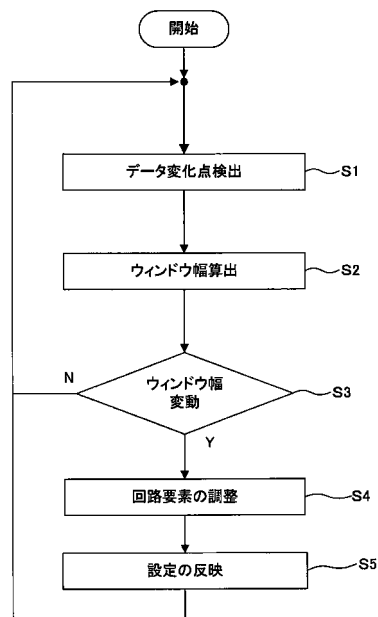
【0049】

100 送信素子、101 内部処理回路、102 出力バッファ、200 受信素子、201A, 201B イコライザ、202A, 202B 入力バッファ、203 経路切り替え回路、204 内部処理回路、205 多相クロック発生器、206 時間軸ウィンドウ幅監視回路、207 回路要素調整回路、RA, RB 受信系。

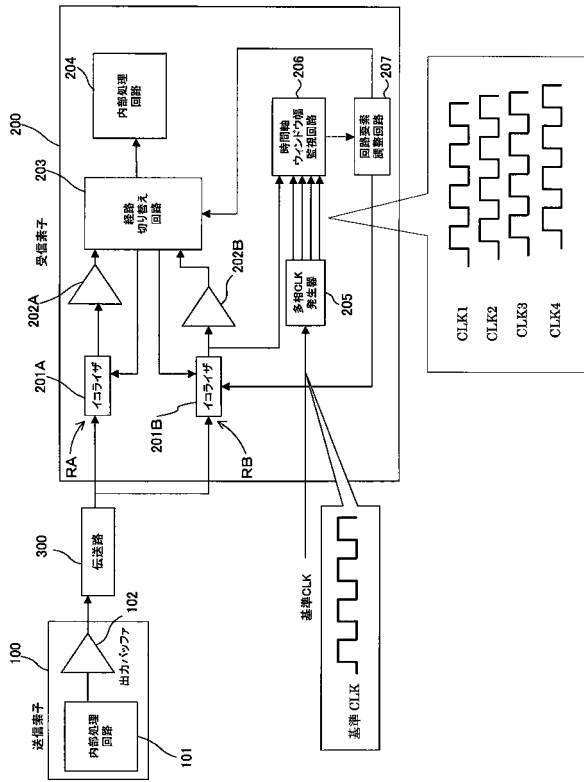
【図1】



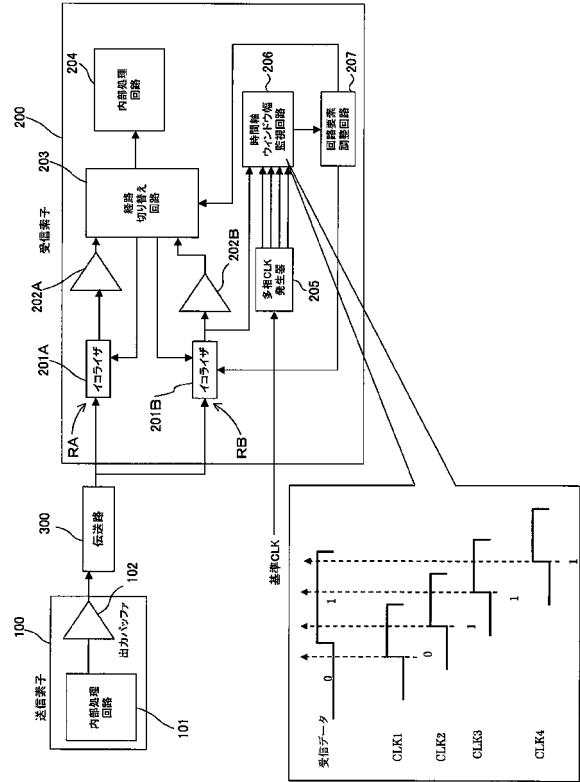
【図2】



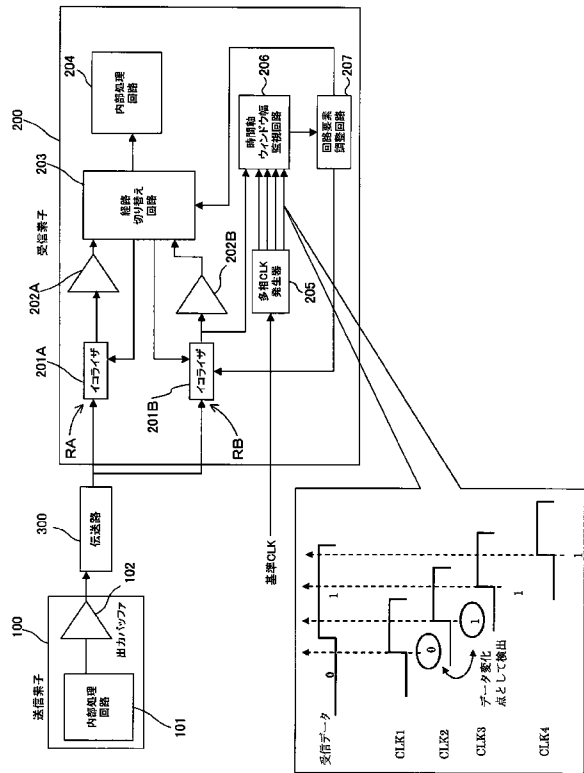
【図3】



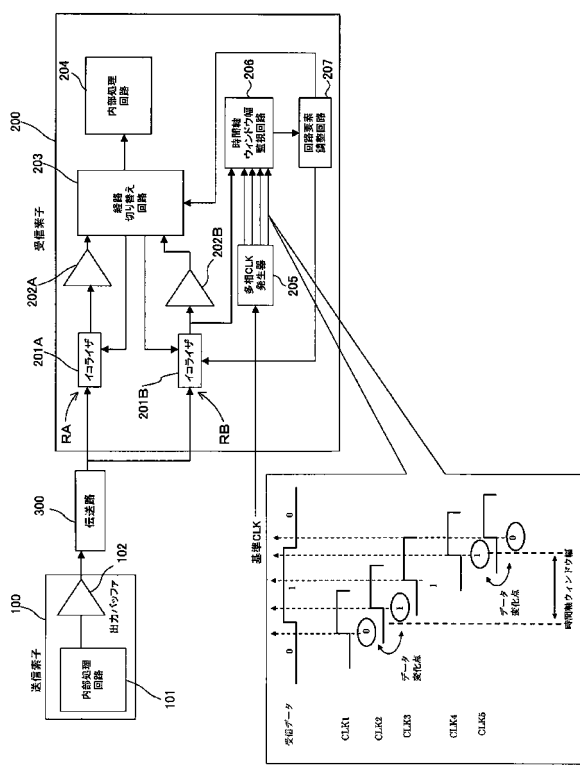
【図4】



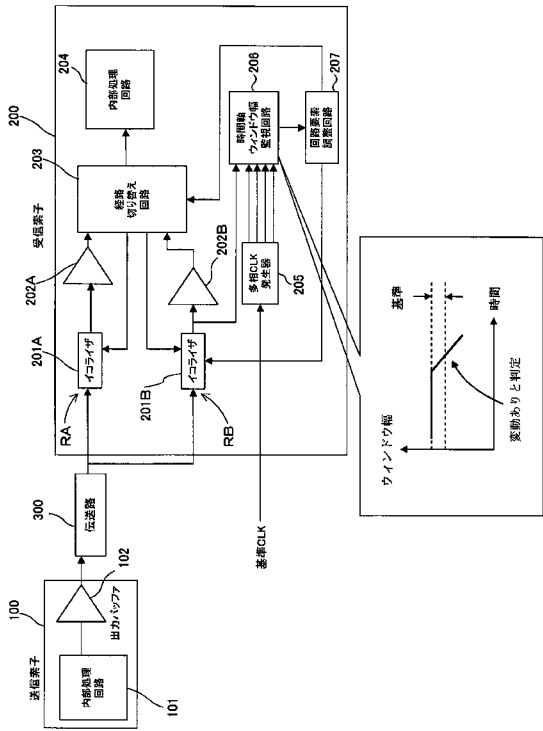
【図5】



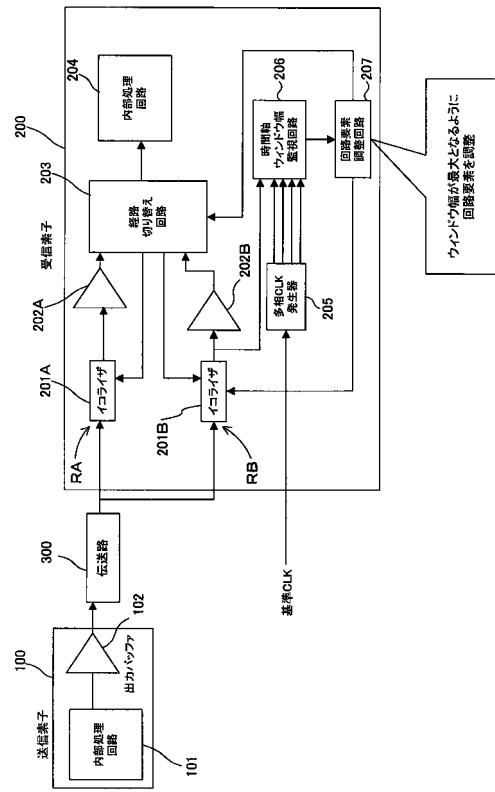
【図6】



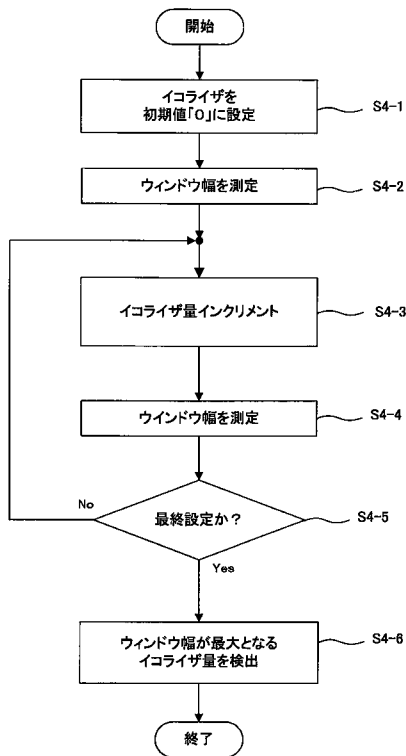
【図7】



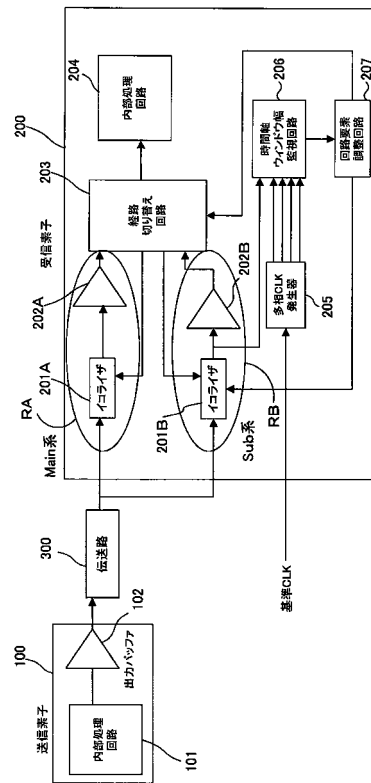
【図8】



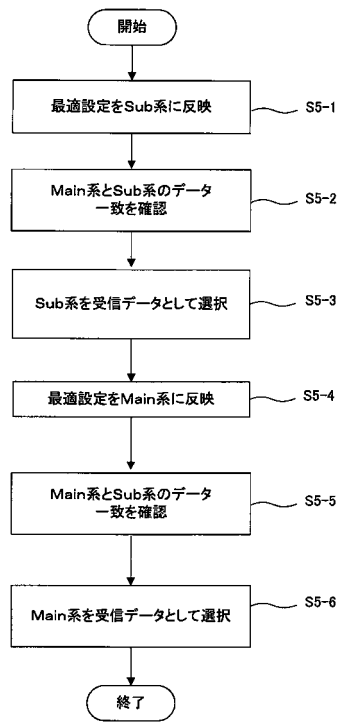
【図9】



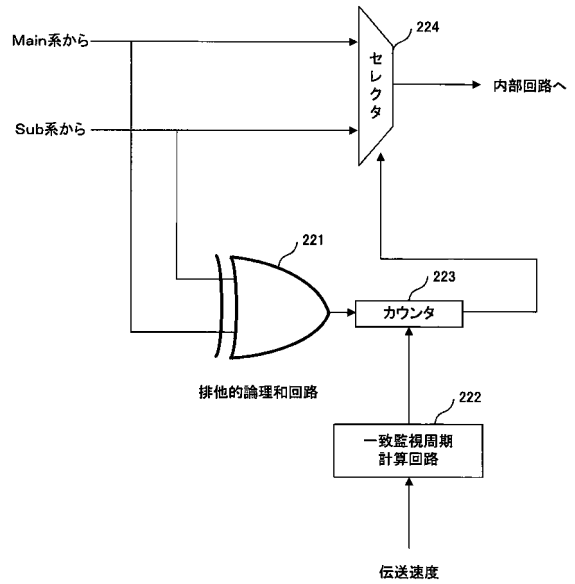
【図10】



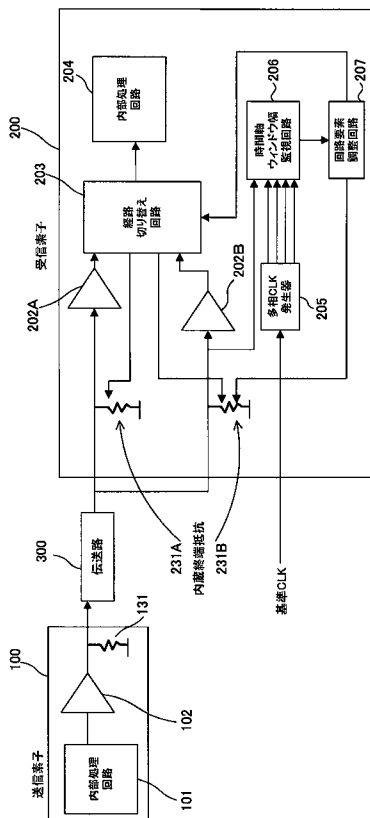
【図11】



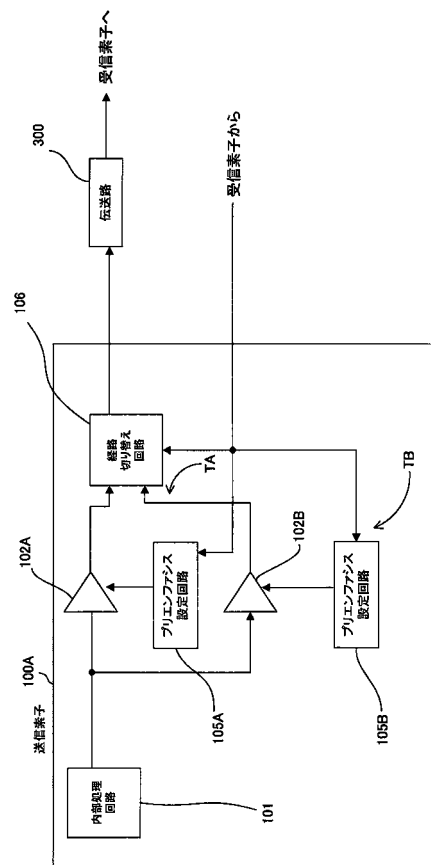
【図12】



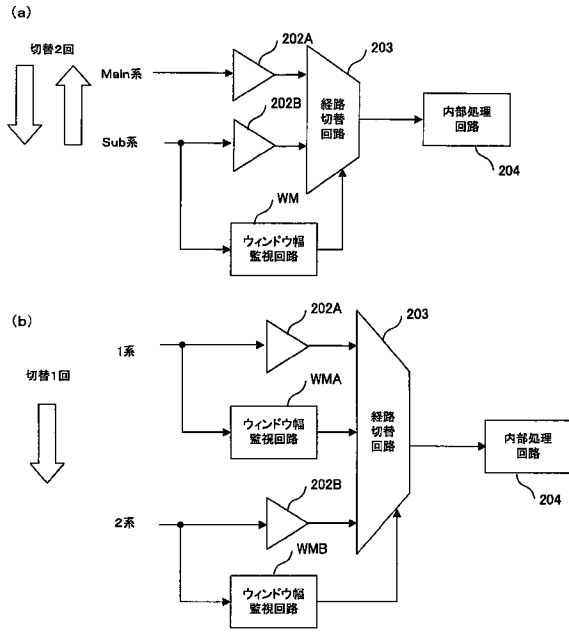
【図13】



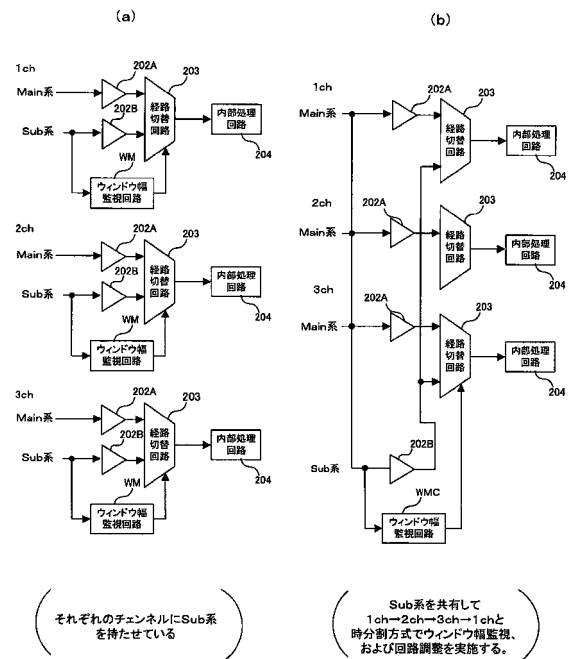
【図14】



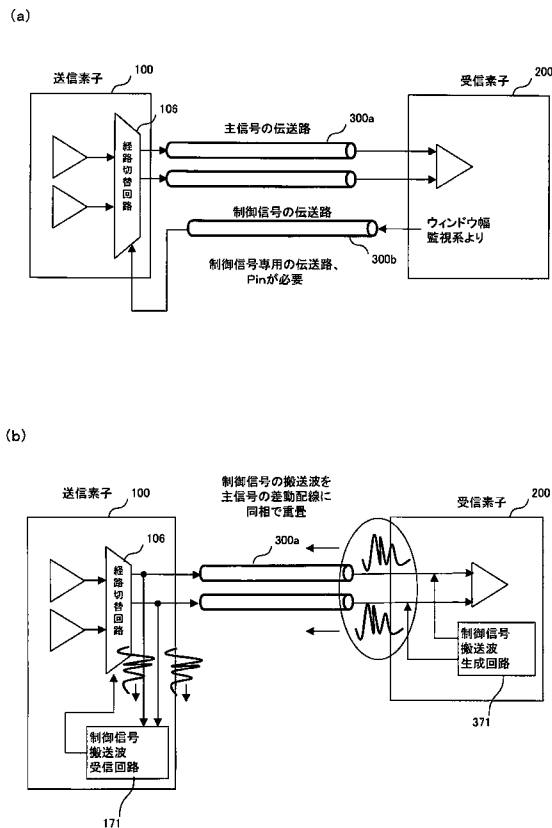
【図15】



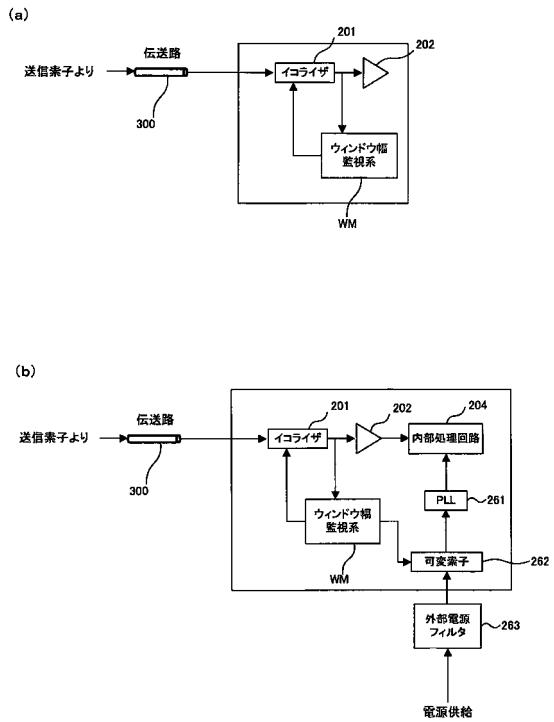
【図16】



【図17】



【図18】



---

フロントページの続き

(72)発明者 除村 均

神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

(72)発明者 登坂 正喜

神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

審査官 阿部 弘

(56)参考文献 特開平09-294093(JP,A)

特開平08-172430(JP,A)

特開2002-152284(JP,A)

特開2002-184125(JP,A)

特開平10-285150(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 7

H04L 25

H04B 3