



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월30일
 (11) 등록번호 10-2005337
 (24) 등록일자 2019년07월24일

(51) 국제특허분류(Int. Cl.)
 G05F 1/565 (2006.01)
 (21) 출원번호 10-2014-0002814
 (22) 출원일자 2014년01월09일
 심사청구일자 2017년11월17일
 (65) 공개번호 10-2015-0083259
 (43) 공개일자 2015년07월17일
 (56) 선행기술조사문헌
 KR1020130095126 A*
 JP2006254401 A
 JP2011150582 A
 US07126513 B1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 연세대학교 산학협력단
 서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
 (72) 발명자
 오병찬
 서울 노원구 마들로 59, 16동 301호 (월계동, 월계미성아파트)
 정성욱
 서울특별시 강남구 삼성로 212 은마아파트 25-1103
 (뒷면에 계속)
 (74) 대리인
 김선중

전체 청구항 수 : 총 20 항

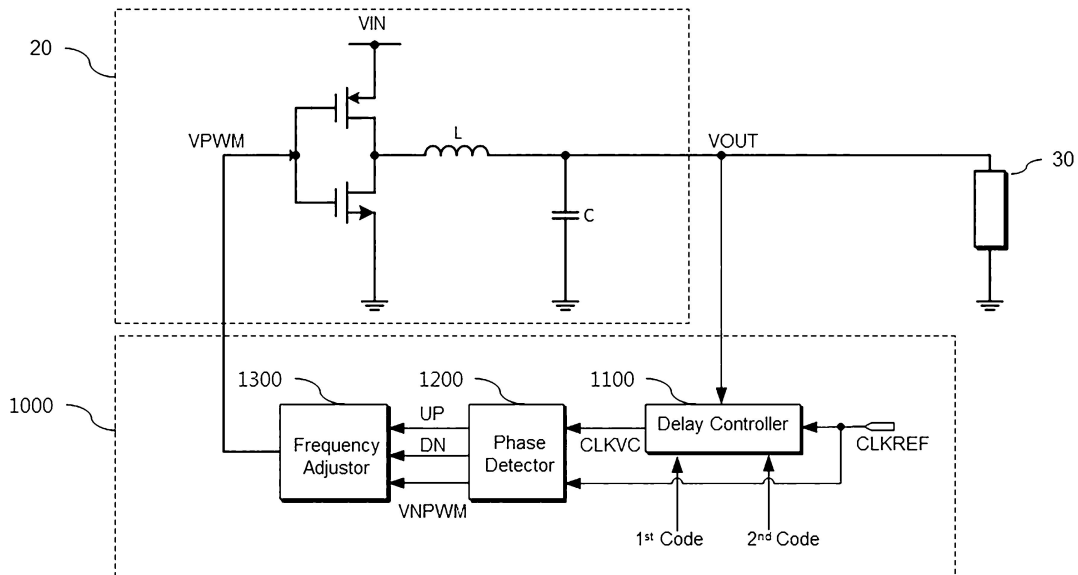
심사관 : 김재호

(54) 발명의 명칭 **전압 변환 장치**

(57) 요약

본 발명의 일 실시예에 의한 전압 변환 장치는 제어 신호에 따라 입력 전압으로부터 출력 전압을 생성하는 전원부 및 기준 클럭 신호와 출력 전압에 따라 제어 신호를 피드백 제어하는 전원 제어부를 포함한다.

대표도 - 도2



(72) 발명자

김진혁

전라북도 임실군 삼계면 삼계2길 143

유경호

서울특별시 강남구 삼성로 11 주공아파트 3단지
303-410

정동훈

서울특별시 마포구 동교로52길 6 401호

명세서

청구범위

청구항 1

제어 신호에 따라 입력 전압으로부터 출력 전압을 생성하는 전원부 및
 상기 출력 전압과 제 1 코드값에 따라 기준 클럭 신호를 지연하여 생성한 지연 클럭 신호와 상기 기준 클럭 신호를 이용하여 상기 제어 신호를 생성하는 전원 제어부
 를 포함하는 전압 변환 장치.

청구항 2

청구항 1에 있어서, 상기 전원 제어부는
 상기 출력 전압과 상기 제 1 코드값에 따라 상기 기준 클럭 신호를 지연하여 상기 지연 클럭 신호를 생성하는 지연 제어부;
 상기 기준 클럭 신호와 상기 지연 클럭 신호의 위상차에 대응하는 클럭 신호를 생성하는 위상 탐지부; 및
 상기 클럭 신호의 주파수를 일정하게 조정하여 상기 제어 신호를 생성하는 주파수 조정부
 를 포함하는 전압 변환 장치.

청구항 3

청구항 2에 있어서, 상기 지연 제어부는 상기 제 1 코드값에 따라 상기 지연 클럭 신호의 지연량을 조절하되, 상기 제 1 코드값의 변화에 따라 상기 출력 전압의 목표값이 조정되는 전압 변환 장치.

청구항 4

청구항 3에 있어서, 상기 지연 제어부는 제 2 코드값에 따라 상기 지연 클럭 신호의 지연량을 조절하되, 상기 제 2 코드값은 상기 제 1 코드값의 범위와 상기 출력 전압의 목표값의 범위가 대응하도록 설정되는 전압 변환 장치.

청구항 5

청구항 2에 있어서, 상기 지연 제어부는 상기 기준 클럭 신호를 지연하여 상기 지연 클럭 신호를 출력하도록 연결된 제 1 인버터 및 제 2 인버터를 포함하되, 상기 제 1 및 제 2 인버터의 바이어스 전류는 상기 출력 전압에 따라 제어되는 전압 변환 장치.

청구항 6

청구항 5에 있어서, 상기 지연 제어부는 상기 제 1 코드값에 따라 상기 지연 클럭 신호의 지연량을 조절하는 제 1 지연 조정부를 더 포함하는 전압 변환 장치.

청구항 7

청구항 6에 있어서, 상기 지연 제어부는 제 2-1 코드값에 따라 상기 지연 클럭 신호의 지연량을 조절하는 제 2 지연 조정부를 더 포함하는 전압 변환 장치.

청구항 8

청구항 7에 있어서, 상기 지연 제어부는 상기 제 1 코드값 및 제 2-2 코드값에 따라 상기 지연 클럭 신호의 지연량을 조절하는 제 3 지연 조정부를 더 포함하는 전압 변환 장치.

청구항 9

청구항 2에 있어서, 상기 클럭 신호는 상기 기준 클럭 신호의 위상이 상기 지연 클럭 신호의 위상에 앞서는 제 1 구간에서 제 1 레벨을 가지고 상기 지연 클럭 신호의 위상이 상기 기준 클럭 신호의 위상에 앞서는 제 2 구간에서 제 2 레벨을 가지는 제 3 신호를 포함하는 전압 변환 장치.

청구항 10

청구항 9에 있어서, 상기 클럭 신호는 상기 제 1 구간에서 다수의 펄스 신호를 포함하는 제 1 신호와, 상기 제 2 구간에서 다수의 펄스 신호를 포함하는 제 2 신호를 더 포함하는 전압 변환 장치.

청구항 11

청구항 10에 있어서, 상기 위상 탐지부는

상기 기준 클럭 신호와 상기 지연 클럭 신호의 에지에서 천이하는 제 1 위상 신호와 제 2 위상 신호를 출력하는 에지 탐지부;

상기 제 1 위상 신호와 상기 제 2 위상 신호의 차이를 증폭하여 제 1 증폭 신호와 제 2 증폭 신호를 출력하는 증폭부;

상기 제 1 증폭 신호와 상기 제 2 증폭 신호에 따라 상기 제 1 신호, 상기 제 2 신호 및 상기 제 3 신호를 생성하는 신호 생성부

를 포함하는 전압 변환 장치.

청구항 12

청구항 11에 있어서, 상기 신호 생성부는

상기 제 1 증폭 신호에 따라 구동되어 상기 제 1 신호를 출력하는 제 1 신호 생성부;

상기 제 2 증폭 신호에 따라 구동되어 상기 제 2 신호를 출력하는 제 2 신호 생성부; 및

상기 제 1 증폭 신호 및 상기 제 2 증폭 신호에 따라 상기 제 3 신호를 출력하는 제 3 신호 생성부

를 포함하는 전압 변환 장치.

청구항 13

청구항 11에 있어서, 상기 위상 탐지부는 상기 기준 클럭 신호와 상기 지연 클럭 신호의 위상차를 탐지한 이후 상기 제 1 증폭 신호 및 상기 제 2 증폭 신호를 초기화시키는 초기화부를 더 포함하는 전압 변환 장치.

청구항 14

청구항 10에 있어서, 상기 주파수 조정부는

기준값에 따라 펄스 생성 시점을 결정하여 상기 제 1 구간에서 제 1 펄스 신호를 출력하고 상기 제 2 구간에서 제 2 펄스 신호를 출력하는 지연 추가부;

상기 제 1 구간에서의 상기 제 1 신호의 펄스 개수와 상기 제 2 구간에서의 상기 제 2 신호의 펄스 개수에 따라 상기 기준값을 제어하는 주파수 에러 탐지부; 및

상기 제 1 펄스 신호와 상기 제 2 펄스 신호에 따라 상기 제어 신호를 출력하는 신호 합성부

를 포함하는 전압 변환 장치.

청구항 15

청구항 14에 있어서, 상기 지연 추가부는

상기 제 1 구간에서 상기 제 1 신호의 펄스 개수를 계산하는 제 1 카운터;

상기 제 2 구간에서 상기 제 2 신호의 펄스 개수를 계산하는 제 2 카운터;

상기 제 1 카운터의 출력과 상기 기준값이 같은 경우 펄스 파형을 가지는 상기 제 1 펄스 신호를 출력하는 제 1

비교부; 및

상기 제 2 카운터의 출력과 상기 기준값이 같은 경우 펄스 파형을 가지는 상기 제 2 펄스 신호를 출력하는 제 2 비교부

를 포함하는 전압 변환 장치.

청구항 16

청구항 14에 있어서, 상기 주파수 에러 탐지부는

상기 제 1 구간에서 상기 제 1 신호의 펄스 개수와 상기 제 2 구간에서 상기 제 2 신호의 펄스 개수를 계산하는 제 3 카운터 및

상기 제 3 카운터의 출력에 따라 상기 기준값을 조정하는 제 4 카운터

를 포함하는 전압 변환 장치.

청구항 17

청구항 16에 있어서, 상기 제 4 카운터는 상기 제 3 카운터의 출력을 임계점과 비교하여 상기 기준값을 증가 또는 감소시키는 전압 변환 장치.

청구항 18

청구항 14에 있어서, 상기 신호 합성부는

상기 제 1 펄스 신호 및 상기 제 2 펄스 신호에 따라 상기 제어 신호의 상승 에지와 하강 에지를 생성하는 래치를 포함하는 전압 변환 장치.

청구항 19

청구항 1에 있어서, 상기 제어 신호는 PWM 방식의 클럭 신호인 전압 변환 장치.

청구항 20

청구항 19에 있어서, 상기 전원부는 벽 컨버터인 전압 변환 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전압 변환 장치에 관한 것으로서 보다 구체적으로는 디지털 방식으로 출력 전압을 피드백 제어하는 전압 변환 장치에 관한 것이다.

배경 기술

- [0002] 도 1은 종래의 전압 변환 장치를 나타내는 회로도이다.
- [0003] 종래의 전압 변환 장치는 배터리 등의 전원으로부터 제공되는 입력 전압(VIN)으로부터 출력 전압(VOUT)을 생성하여 부하(30)에 제공하는 전원부(20)와 전원부(20)를 피드백 제어하는 전원 제어부(10)를 포함한다.
- [0004] 도시된 전원부(20)는 제어 신호(VPWM)에 의해 제어되어 입력 전압(VIN)으로부터 출력 전압(VOUT)을 생성하는 벽 컨버터 방식의 회로이다. 벽 컨버터 방식의 전원부(20)에서 출력 전압(VOUT)은 기준 전압(VREF)을 기준으로 상승 하강을 반복하는 삼각파 형태의 파형을 가진다.
- [0005] 종래의 전원 제어부(10)는 출력 전압(VOUT)과 기준 전압(VREF)을 비교하여 비교 신호(VCMP)를 생성하는 비교부(11)와 기준 전압(VF)에 따라 비교 신호(VCMP)의 주파수를 조절하여 제어 신호(VPWM)를 출력하는 주파수 조정부(12)를 포함한다.
- [0006] 이러한 종래의 전압 변환 장치에 포함된 전원 제어부(10)는 출력 전압(VOUT)이 변하는 경우 제어 신호(VPMW)의

주파수가 변화하여 시스템에 EMI 노이즈를 유발하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 디지털 방식의 전원 제어부(10)를 포함하는 전압 변환 장치를 제공한다. 본 발명은 디지털 코드에 따라 출력 전압의 목표값을 용이하게 조절할 수 있는 전압 변환 장치를 제공한다. 또한 본 발명은 공정 변이의 영향을 제거하기 위하여 디지털 코드에 따라 캘리브레이션 동작을 수행할 수 있는 전압 변환 장치를 제공한다. 본 발명은 디지털 방식의 주파수 조정부를 통해 EMI 노이즈의 유발을 효과적으로 방지할 수 있다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 의한 전압 변환 장치는 제어 신호에 따라 입력 전압으로부터 출력 전압을 생성하는 전원 부 및 기준 클럭 신호와 출력 전압에 따라 제어 신호를 피드백 제어하는 전원 제어부를 포함한다.

[0009] 본 발명의 일 실시예에 의한 전압 변환 장치에서 전원 제어부는 기준 클럭 신호와 출력 전압에 따라 지연 클럭 신호를 생성하는 지연 제어부, 기준 클럭 신호와 지연 클럭 신호의 위상차에 대응하는 클럭 신호를 생성하는 위상 탐지부; 및 클럭 신호의 주파수를 일정하게 조정하여 제어 신호를 생성하는 주파수 조정부를 포함한다.

발명의 효과

[0010] 본 발명에 의한 전압 변환 장치는 디지털 방식의 주파수 조정부를 사용하여 EMI 노이즈의 발생을 줄일 수 있다. 또한 본 발명에 의한 전압 변환 장치는 외부에서 제공되는 디지털 코드에 따라 출력 전압의 목표값을 용이하게 변경할 수 있다. 또한 본 발명에 의한 전압 변환 장치는 디지털 코드에 따라 공정 변이의 영향을 감소시키기 위한 캘리브레이션 동작을 수행할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 종래의 전압 변환 장치의 회로도.
- 도 2는 본 발명의 일 실시예에 의한 전압 변환 장치의 회로도.
- 도 3은 도 2의 지연 제어부의 회로도.
- 도 4는 도 2의 지연 제어부 및 위상 탐지부의 동작을 나타내는 파형도.
- 도 5는 도 2의 위상 탐지부의 회로도.
- 도 6은 도 5의 위상 탐지부의 동작을 나타내는 파형도.
- 도 7은 도 2의 주파수 조정부의 블록도.
- 도 8은 도 7의 주파수 조정부의 동작을 나타내는 파형도.

발명을 실시하기 위한 구체적인 내용

[0012] 이하에서는 도면을 참조하여 본 발명의 실시예를 개시한다. 이하의 개시에서 동일한 참조 번호는 실질적으로 동일한 구성을 지시한다.

[0013] 도 2는 본 발명의 일 실시예에 의한 전압 변환 장치를 나타낸 회로도이다.

[0014] 본 발명의 일 실시예에 의한 전압 변환 장치는 전원부(20)와 전원 제어부(1000)를 포함한다.

[0015] 전원부(20)는 제어 신호(VPWM)에 따라 입력 전압(VIN)으로부터 출력 전압(VOUT)을 생성하여 부하(30)에 제공한다. 본 실시예에서 전원부(20)는 PWM 방식의 제어 신호(VPWM)에 의해 제어되는 벡 컨버터 형태의 전원부를 예로 들어 설명한다. 그러나 본 발명에 의한 전원부(20)가 이에 한정되는 것은 아니다.

[0016] 전원 제어부(1000)는 기준 클럭 신호(CLKREF)와 출력 전압(VOUT)에 따라 제어 신호(VPWM)를 생성하여 전원부(20)를 피드백 제어한다.

- [0017] 전원 제어부(1000)는 지연 제어부(1100), 위상 탐지부(1200), 주파수 조정부(1300)를 포함한다.
- [0018] 지연 제어부(1100)는 기준 클럭 신호(CLKREF)를 입력받아 지연 클럭 신호(CLKVC)를 출력한다. 지연 클럭 신호(CLKVC)의 지연량은 출력 전압(VOUT)에 따라 조정된다.
- [0019] 지연 클럭 신호(CLKVC)의 지연량은 제 1 코드 또는 제 2 코드에 의해서도 조정될 수 있다. 제 1 코드는 출력 전압(VOUT)의 목표값을 설정하기 위하여 사용될 수 있고, 제 2 코드는 지연 제어부(1100)의 캘리브레이션을 위해 사용될 수 있다. 캘리브레이션은 공정 변이에 의한 영향을 상쇄하기 위한 동작으로서 이하에서 상세하게 설명한다.
- [0020] 지연 제어부(1100)의 구체적인 구성 및 동작을 이하의 도 3을 참조하여 상세하게 설명한다.
- [0021] 도 3에 도시된 바와 같이 지연 제어부(1100)는 인버터(1110, 1120)를 포함한다. 지연 제어부(1100)는 인버터(1110, 1120) 사이에 연결된 제 1 지연 조정부(1130), 제 2 지연 조정부(1140), 제 3 지연 조정부(1150)를 더 포함할 수 있다.
- [0022] 제 1 내지 제 3 지연 조정부는 인버터(1110, 1120) 사이에 연결되며 각각 스위치와 직렬 연결된 커패시터를 다수 개 포함한다. 스위치에는 제 1 코드(Code) 또는 제 2 코드(CAL1, CAL2)가 입력된다. 본 실시예에서 제 2 코드(CAL1, CAL1)는 제 1 캘리브레이션 코드(CAL1)와 제 2 캘리브레이션 코드(CAL2)를 포함한다. 제 1 코드(Code), 제 2 코드(CAL1, CAL2)는 각각 멀티비트로 구성될 수 있다.
- [0023] 본 실시예에서 제 1 지연 조정부(1130)의 스위치에는 제 1 코드(Code)가 입력되고, 제 3 지연 조정부(1150)의 스위치에는 제 1 캘리브레이션 코드(CAL1)가 입력된다. 제 2 지연 조정부(1140)에는 직렬 연결된 두 스위치를 포함하고 각각 제 1 코드(Code)와 제 2 캘리브레이션 코드(CAL2)가 입력된다.
- [0024] 제 1 코드(Code)와 제 2 코드(CAL1, CAL2)가 모두 로우 레벨인 경우 제 1 내지 제 3 지연 제어부(1130, 1140, 1150)에 포함된 스위치는 모두 턴오프되므로 지연 제어부(1100)는 인버터(1110, 1120)의 지연량에 따라 기준 클럭 신호(CLKREF)를 지연하여 지연 클럭 신호(CLKVC)를 출력한다.
- [0025] 이때 인버터(1110, 1120)에 흐르는 바이어스 전류는 출력 전압(VOUT)에 의해 제어된다. 출력 전압(VOUT)이 상승하면 바이어스 전류가 상승하여 인버터의 스위칭 속도가 빨라지므로 인버터(1110, 1120)의 지연량이 감소하고, 출력 전압(VOUT)이 감소하면 지연량이 늘어난다. 출력 전압(VOUT)과 기준 클럭 신호(CLKREF)의 지연량의 관계는 도 4에 도시된 바와 같다.
- [0026] 제 1 코드(Code)는 출력 전압(VOUT)의 목표값에 대응하는 디지털 코드이다. 예를 들어 설계된 출력 전압(VOUT)의 범위가 0.5V ~ 1 V 인 경우 제 1 코드는 $0 \sim 2^n - 1$ 사이의 값을 가지도록 설정될 수 있다. 따라서 제 1 코드(Code)의 값을 조절함으로써 출력 전압(VOUT)을 목표값의 범위 내에서 임의로 조절할 수 있다.
- [0027] 제 2 코드(CAL1, CAL2)는 캘리브레이션을 위한 디지털 값이다. 공정 변이의 영향으로 인해 동일한 공정을 사용하여 생산된 칩이라 하더라도 동작 특성이 상이할 수 있다. 따라서 동일한 제 1 코드값(CAL1)이 입력된 경우라도 하여도 회로에 따라 출력 전압(VOUT)이 달라질 수 있다.
- [0028] 이러한 문제를 해결하기 위하여 캘리브레이션 동작을 수행할 수 있다. 본 실시예에서 캘리브레이션 동작은 다음과 같은 순서로 진행될 수 있다.
- [0029] 먼저 출력 전압의 목표값의 범위 중 가장 작은 값을 출력 전압(VOUT)으로 입력하고 제 1 코드(Code)에는 0을 입력한다. 이후 제 1 캘리브레이션 코드(CAL1)의 값을 조절하여 지연 제어부(1100)의 지연량이 기준 클럭 신호(CLKREF)의 주기(TREF)와 동일하게 되도록 설정한다.
- [0030] 다음으로 목표값의 범위 중 가장 큰 값을 출력 전압(VOUT)으로 입력하고 제 1 코드(Code)에는 $2^n - 1$ 을 입력한다. 이후 제 2 캘리브레이션 코드(CAL2)의 값을 조절하여 지연 제어부(1100)의 지연량이 기준 클럭 신호(CLKREF)의 주기(TREF)와 동일하게 되도록 설정한다.
- [0031] 이와 같이 캘리브레이션 동작이 완료되면 제 2 코드(CAL1, CAL2)의 값은 고정되고 지연 제어부(1100)의 지연량은 출력 전압(VOUT) 또는 제 1 코드(Code)의 값에 따라 변경될 수 있다.
- [0032] 도 2에서 위상 탐지부(1200)는 지연 클럭 신호(CLKVC)와 기준 클럭 신호(CLKREF)를 비교하여 두 클럭 신호의 위상차에 대응하는 클럭 신호를 출력한다. 클럭 신호에는 제 1 신호(UP), 제 2 신호(DN), 제 3 신호(VNPWM)가 포

함될 수 있다. 위상 탐지부(1200)에서 출력되는 클럭 신호의 특성에 대해서는 도 4를 참조하여 설명한다.

- [0033] 도 2에서 출력 전압(VOUT)이 감소하면 인버터(1110, 1120)에 흐르는 바이어스 전류가 감소하여 인버터의 스위칭 속도가 저하되고 이에 따라 인버터의 지연량이 증가한다.
- [0034] 도 4를 참조하면 출력 전압(VOUT)이 감소함에 따라 기준 클럭 신호(CLKREF)를 기준으로 지연 클럭 신호(CLKVC)의 위상이 늦어지고, 반대로 출력 전압(VOUT)이 증가함에 따라 기준 클럭 신호(CLKREF)를 기준으로 지연 클럭 신호(CLKVC)의 위상이 빨라짐을 확인할 수 있다.
- [0035] 제 1 신호(UP)와 제 2 신호(DN)는 기준 클럭 신호(CLKREF)와 지연 클럭 신호(CLKVC)의 위상차에 따라 생성된다.
- [0036] 도 4에 도시된 바와 같이 제 1 신호(UP)는 지연 클럭 신호(CLKVC)의 위상이 기준 클럭 신호(CLKREF)보다 앞서는 경우 생성되는 펄스 신호이고, 제 2 신호(DN)는 기준 클럭 신호(CLKREF)의 위상이 지연 클럭 신호(CLKVC)보다 앞서는 경우 생성되는 펄스 신호이다. 제 1 신호(UP)와 제 2 신호(DN)는 기준 클럭 신호(CLKREF)에 동기되어 생성될 수 있다.
- [0037] 또한 제 3 신호(VNPWM)는 제 1 신호(UP)가 생성되는 구간에서 하이 레벨을 유지하다가 제 2 신호(DN)가 생성되기 시작하면 로우 레벨로 천이하여 로우 레벨을 유지하고 이 상태에서 다시 제 1 펄스 신호(UP)가 생성되기 시작하면 하이 레벨로 천이하여 하이 레벨을 유지하는 형태의 파형을 가진다.
- [0038] 제 3 신호(VNPWM)의 주파수는 출력 전압(VOUT)에 따라 변하는데 이를 전원부(20)에 직접 입력하는 경우 EMI 노이즈가 발생할 수 있다.
- [0039] 도 5는 위상 탐지부(1200)의 구성을 나타낸 회로도이다.
- [0040] 위상 탐지부(1200)는 에지 탐지부(1211, 1212), 증폭부(1220), 신호 생성부(1230) 및 초기화부(1240)를 포함한다.
- [0041] 에지 탐지부(1211, 1212)는 기준 클럭 신호(CLKREF)와 지연 클럭 신호(CLKVC)의 상승 에지 또는 하강 에지를 탐지하여 제 1 위상 신호(UPLIN) 및 제 2 위상 신호(DNLIN)를 출력한다.
- [0042] 증폭부(1220)는 제 1 위상 신호(UPLIN)와 제 2 위상 신호(DNLIN)의 차이를 증폭하여 제 1 증폭 신호(UPSA)와 제 2 증폭 신호(DNSA)를 출력한다.
- [0043] 신호 생성부(1230)는 제 1 증폭 신호(UPSA)를 반전하여 제 1 신호(UP)를 출력하고, 제 2 증폭 신호(DNSA)를 반전하여 제 2 신호(DN)를 출력하며, 제 1 증폭 신호(UPSA)와 제 2 증폭 신호(DNSA)를 래치하여 제 3 신호(VNPWM)를 출력한다.
- [0044] 초기화부(1240)는 증폭부(1220)의 증폭 동작 이후 제 1 증폭 신호(UPSA), 제 2 증폭 신호(DNSA)를 초기화한다.
- [0045] 이하에서는 도 6의 파형도를 참조하여 도 5의 위상 탐지부(1200)의 동작을 설명한다.
- [0046] 동작 초기에 리셋 신호(RST)는 로우 레벨로 초기화되고, 제 1 위상 신호(UPLIN)와 제 2 위상 신호(DNLIN)는 하이 레벨로 초기화되며, 제 1 증폭 신호(UPSA)와 제 2 증폭 신호(DNSA)는 하이 레벨로 초기화된다.
- [0047] 먼저 기준 클럭 신호(CLKREF)가 로우 레벨인 상태에서 지연 클럭 신호(CLKVC)가 하이 레벨로 상승하는 경우 즉 기준 클럭 신호(CLKREF)의 위상이 지연 클럭 신호(CLKVC)의 위상보다 늦는 경우를 살펴본다.
- [0048] 지연 클럭 신호(CLKVC)의 상승 에지에서 위상 비교부(1211)의 동작에 따라 제 1 위상 신호(UPLIN)는 로우 레벨로 하락한다. 증폭부(1220)는 제 1 위상 신호(UPLIN)와 제 2 위상 신호(DNLIN)의 차이를 증폭하고 제 1 증폭 신호(UPSA)는 로우 레벨로 하락한다.
- [0049] 제 1 증폭 신호(UPSA)가 로우 레벨로 충분히 하락하면 인버터(1231)에서 출력되는 제 1 신호(UP)가 하이 레벨로 상승하고 래치(1233)의 동작에 따라 제 3 신호(VNPWM)가 하이 레벨로 상승한다.
- [0050] 이때 기준 클럭 신호(CLKREF)가 하이 레벨로 상승하는 경우 제 2 위상 신호(DNLIN)가 로우 레벨로 하락하고 제 2 위상 신호(DNLIN)가 로우 레벨이 되면 초기화부(1240)의 출력이 하이 레벨로 상승한다.
- [0051] 이에 따라 제 1 증폭 신호(UPSA)와 제 2 증폭 신호(DNSA)가 하이 레벨로 상승하고, 제 1 위상 신호(UPLIN)와 제 2 위상 신호(DNLIN)가 하이 레벨로 상승한다.
- [0052] 이에 따라 제 1 신호(UP)는 로우 레벨로 하락한다. 즉 제 1 신호(UP)는 지연 클럭 신호(CLKVC)에 동기되어 상승

에지가 형성되고 기준 클럭 신호(CLKREF)에 동기되어 하강 에지가 형성된다.

- [0053] 다음으로 지연 클럭 신호(CLKVC)가 로우 레벨인 상태에서 기준 클럭 신호(CLKREF)가 하이 레벨로 상승하는 경우 즉 기준 클럭 신호(CLKREF)의 위상이 지연 클럭 신호(CLKVC)의 위상보다 빠른 경우를 살펴본다.
- [0054] 기준 클럭 신호(CLKREF)의 상승 에지에서 위상 비교부(1212)의 동작에 따라 제 2 위상 신호(DNLIN)는 로우 레벨로 하락한다. 증폭부(1220)는 제 1 위상 신호(UPLIN)와 제 2 위상 신호(DNLIN)의 차이를 증폭하고 제 2 증폭 신호(DNSA)는 로우 레벨로 하락한다.
- [0055] 제 2 증폭 신호(DNSA)가 로우 레벨로 충분히 하락하면 인버터(1232)에서 출력되는 제 2 신호(DN)가 하이 레벨로 상승하고 래치(1233)의 동작에 따라 제 3 신호(VNPWM)가 로우 레벨로 하락한다.
- [0056] 이때 지연 클럭 신호(CLKVC)가 하이 레벨로 상승하는 경우 제 1 위상 신호(UPLIN)가 로우 레벨로 하락하고 제 1 위상 신호(UPLIN)가 로우 레벨이 되면 초기화부(1240)의 출력이 하이 레벨로 상승한다.
- [0057] 이에 따라 제 1 증폭 신호(UPSA)와 제 2 증폭 신호(DNSA)가 하이 레벨로 상승하고, 제 1 위상 신호(UPLIN)와 제 2 위상 신호(DNLIN)가 하이 레벨로 상승한다.
- [0058] 이에 따라 제 2 신호(DN)는 로우 레벨로 하락한다.
- [0059] 즉 제 2 신호(UP)는 기준 클럭 신호(CLKREF)에 동기되어 상승 에지가 형성되고 지연 클럭 신호(CLKVC)에 동기되어 하강 에지가 형성된다.
- [0060] 도 2에서 주파수 조정부(1300)는 위상 탐지부(1200)에서 출력되는 제 3 신호(VNPWM)의 주파수를 일정하게 조정하여 전원부(20)를 제어하는 제어 신호(VPWM)로서 출력한다.
- [0061] 주파수 조정부(1300)의 구성 및 동작을 도 7을 참조하여 보다 구체적으로 설명한다.
- [0062] 도 7은 주파수 조정부(1300)의 구성을 나타낸 블록도이다.
- [0063] 주파수 조정부(1300)는 위상 탐지부(1200)에서 출력되는 클럭 신호의 주파수를 일정하게 조절하여 제어 신호(VPWM)를 출력한다. 보다 구체적으로 주파수 조정부(1300)는 제 1 신호(UP), 제 2 신호(DN), 제 3 신호(VNPWM)를 이용하여 주파수가 일정하게 조정된 제어 신호(VPWM)를 생성한다.
- [0064] 본 실시예에서 주파수 조정부(1300)는 지연 추가부(1310), 주파수 에러 탐지부(1320) 및 신호 합성부(1330)를 포함한다.
- [0065] 지연 추가부(1310)는 제 1 및 제 2 카운터(1311, 1312)와 제 1 및 제 2 비교기(1313, 1314)를 포함한다.
- [0066] 제 1 카운터(1311)는 제 3 신호(VNPWM)가 로우 레벨인 동안 리셋되고 하이 레벨인 동안 제 1 신호(UP)의 펄스 개수를 카운팅하여 제 1 카운트 신호(CNTUP)를 출력한다.
- [0067] 제 2 카운터(1312)는 제 3 신호(VNPWM)가 하이 레벨인 동안 리셋되고 로우 레벨인 동안 제 2 신호(DN)의 펄스 개수를 카운팅하여 제 2 카운트 신호(CNTDN)를 출력한다.
- [0068] 제 1 비교기(1313)는 제 1 카운트 신호(CNTUP)와 제 4 카운트 신호(CNTUD)를 비교하여 두 값이 동일한 경우 제 1 펄스 신호(CU)를 출력한다.
- [0069] 제 2 비교기(1314)는 제 2 카운트 신호(CNTDN)와 제 4 카운트 신호(CNTUD)를 비교하여 두 값이 동일한 경우 제 2 펄스 신호(CD)를 출력한다.
- [0070] 본 실시예에서 신호 합성부(1330)는 SR 래치로 구현되어 제 1 펄스 신호(CU)의 펄스에 의해 상승 에지가 생성되고 제 2 펄스 신호(CD)의 펄스에 의해 하강 에지가 생성되는 제어 신호(VPWM)를 생성한다.
- [0071] 제 4 카운트 신호(CNTUD)의 값은 제 1 펄스 신호(CU)와 제 2 펄스 신호(CD)의 펄스 생성 시점과 연관되어 결과적으로 제어 신호(VPWM)의 주기에 영향을 미친다.
- [0072] 제 4 카운트 신호(CNTUD)의 증감은 주파수 에러 탐지부(1320)에 의해 결정된다.
- [0073] 주파수 에러 탐지부(1320)는 플립플롭(1321), 제 3 카운터(1322) 및 업다운 카운터(1323)를 포함한다.
- [0074] 플립플롭(1321)은 제 3 신호(VNPWM)의 한 주기 동안 하이 레벨을 가지고 다음 주기 동안 로우 레벨을 가지는 주파수 탐지 클럭 신호(CLKFED)를 출력한다.

- [0075] 제 3 카운터(1322)는 제 1 신호(UP)와 제 2 신호(DN)를 OR 연산하는 OR 게이트(1324)의 출력에 트리거되어 동작하고, 주파수 탐지 클럭 신호(CLKFED)가 하이 레벨인 경우 리셋되고 주파수 탐지 클럭 신호(CLKFED)가 로우 레벨인 경우 카운팅 동작을 수행한다.
- [0076] 즉 제 3 카운터(1322)는 주파수 탐지 클럭 신호(CLKFED)가 로우 레벨인 구간에서 제 1 신호(UP) 및 제 2 신호(DN)의 펄스 개수를 카운팅하여 제 3 카운트 신호(CNTOUT)를 출력한다.
- [0077] 앞서 설명한 바와 같이 제 1 신호(UP)와 제 2 신호(DN)의 펄스는 기준 클럭 신호(CLKFEF) 또는 지연 클럭 신호(CLKVC)에 동기되므로 제 1 신호(UP)와 제 2 신호(DN)의 펄스들 사이의 간격은 기준 클럭 신호(CLKREF)의 주기에 따라 고정된 값을 가진다.
- [0078] 따라서 제 3 카운트 신호(CNTOUT)의 값이 더 크다는 것은 제 3 신호(VNPWM)의 주기가 상대적으로 길다는 것을 의미하고, 제 3 카운트 신호(CNTOUT)의 값이 더 작다는 것은 제 3 신호(VNPWM)의 주기가 상대적으로 짧다는 것을 의미한다.
- [0079] 업다운 카운터(1323)는 지연 탐지 클럭 신호(CLKFED)의 한 주기마다 제 3 카운트 신호(CNTOUT)에 따라 제 4 카운트 신호(CNTUD)의 현재 값을 증가 또는 감소시킨 값을 제 4 카운트 신호(CNTUD)로서 출력한다.
- [0080] 제 3 카운트 신호(CNTOUT)가 기준값 이상인 경우 업다운 카운터(1323)는 제 4 카운트 신호(CNTUD)의 값을 감소시킨다. 이에 따라 지연 추가부(1310)의 제 1 및 제 2 비교부(1313, 1314)에서 생성되는 제 1 펄스 신호(CU)와 제 2 펄스 신호(CD)의 펄스 생성 시점이 빨라지고 이에 따라 래치(1330)에서 출력되는 제어 신호(VPWM)의 주기는 감소한다.
- [0081] 제 3 카운트 신호(CNTOUT)가 기준값 미만인 경우 업다운 카운터(1323)는 제 4 카운트 신호(CNTUD)의 값을 증가시킨다. 이에 따라 지연 추가부(1310)의 제 1 및 제 2 비교부(1313, 1314)에서 생성되는 제 1 펄스 신호(CU)와 제 2 펄스 신호(CD)의 생성 시점이 늦어지고 이에 따라 신호 합성부(1330)에서 출력되는 제어 신호(VPWM)의 주기는 증가한다.
- [0082] 이러한 조정 동작을 통해 제어 신호(VPWM)의 주파수는 일정한 값으로 수렴하게 된다.
- [0083] 도 8은 도 7의 주파수 조정부의 동작을 나타내는 파형도이다.
- [0084] 도 8의 파형도에서 업다운 카운터(1323)는 제 3 카운트 신호(CNTOUT)가 "10 0000" 이상인 경우 제 4 카운트 신호(CNTUD)의 값을 1만큼 감소시키고, 제 3 카운트 신호(CNTOUT)가 "10 0000" 미만인 경우 제 4 카운트 신호(CNTUD)의 값을 1만큼 증가시킨다.
- [0085] 도시된 실시예에서 제 4 카운트 신호(CNTUD)의 초기값은 "100"으로 설정된다. 제 4 카운트 신호(CNTUD)의 초기값은 각 구간(예를 들어 T0, T1)에 존재하는 제 1 신호(CU), 제 2 신호(DN)의 펄스 개수보다 작은 값으로 설정되는 것이 바람직하다.
- [0086] 구간(T0)에서 제 1 카운터(1311)의 값이 "100"이 되면 제 1 펄스 신호(CU)에서 펄스가 발생하고, 구간(T1)에서 제 2 카운터(1312)의 값이 "100"이 되면 제 2 펄스 신호(CD)에서 펄스가 발생한다.
- [0087] 도시된 실시예에서 구간(T0) 및 구간(T1) 동안 제 3 카운터(1322)는 제 1 신호(UP) 및 제 2 신호(DN)의 펄스를 카운팅한다.
- [0088] 카운팅 결과 제 3 카운트 신호(CNTOUT)는 "01 1110"으로서 "10 0000" 미만이므로 업다운 카운터(1323)의 값은 지연 탐지 클럭 신호(CLKFED)가 하이 레벨이 되는 구간(T2)에서 "101"로 갱신된다.
- [0089] 구간(T2)에서 제 1 카운터(1311)의 값이 "101"이 되면 제 1 펄스 신호(CU)에서 펄스가 발생하고, 구간(T3)에서 제 2 카운터(1312)의 값이 "101"이 되면 제 2 펄스 신호(CD)에서 펄스가 발생한다.
- [0090] 구간(T2) 및 구간(T3) 동안 지연 탐지 클럭 신호(CLKFED)는 로우 레벨이 되어 제 3 카운터(1322)는 리셋 값을 유지한다.
- [0091] 이후의 구간들에서 동작은 전술한 바와 유사하게 진행된다.
- [0092] 구간(T4) 및 구간(T5)에서 제 3 카운터(1322)의 카운팅 결과 제 3 카운트 신호(CNTOUT)의 값은 "01 1111"로서 "10 0000" 미만이므로 업다운 카운터(1323)는 제 4 카운트 값(CNTUD)의 값을 1 증가시킨다.
- [0093] 이에 구간(T6) 및 구간(T8)에서 제 1 비교부(1323)는 제 1 카운터(1311)의 값을 "110"과 비교하여 제 1 펄스 신

호(CU)를 출력하고, 구간(T7) 및 구간(T9)에서 제 2 비교부(1324)는 제 2 카운터(1312)의 값을 "110"과 비교하여 제 2 펄스 신호(CD)를 출력한다.

[0094] 구간(T8) 및 구간(T9)에서 제 3 카운터(1322)의 카운팅 결과 제 3 카운터 신호(CNTOUT)의 값은 "10 0000"로서 "10 0000" 이상이므로 업다운 카운터(1323)는 제 4 카운터 값(CNTUD)의 값을 1 감소시킨다.

[0095] 이에 구간(T10)에서 제 1 비교부(1323)는 제 1 카운터(1311)의 값을 "101"과 비교하여 제 1 펄스 신호(CU)를 출력한다.

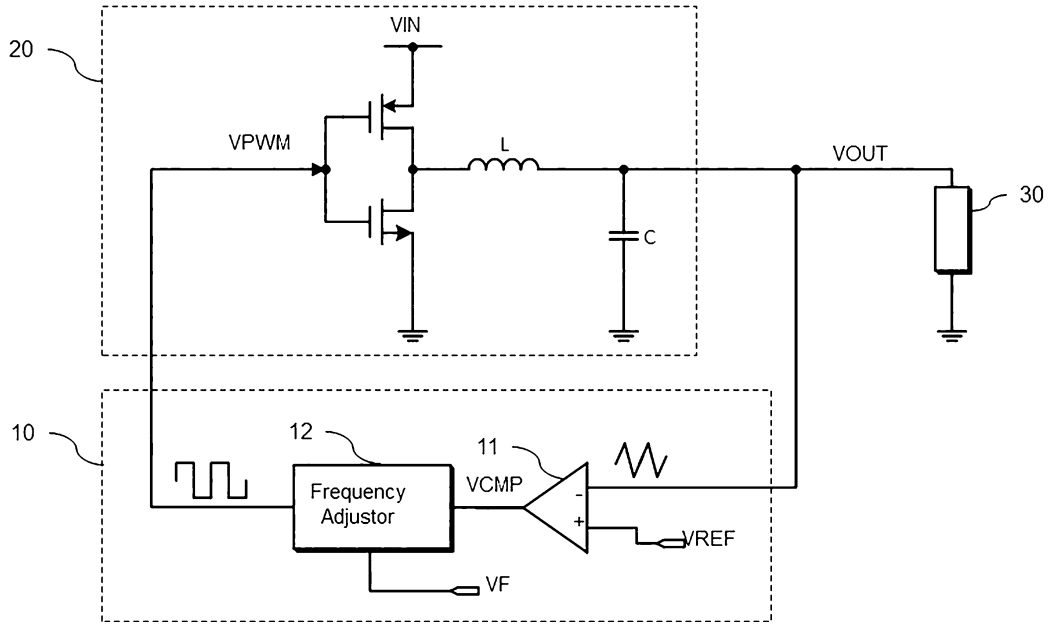
[0096] 이상의 개시를 통해 본 발명의 일 실시예에 의한 전원 전압 발생 장치의 구성 및 동작을 구체적으로 설명하였다. 이상의 개시는 본 발명의 설명을 위한 것으로서 본 발명의 권리범위가 이상의 개시에 의해 한정되는 것은 아니며 본 발명의 권리범위는 이하의 특허청구범위에 문언적으로 기재된 범위와 그 균등범위에 의하여 정해진다.

부호의 설명

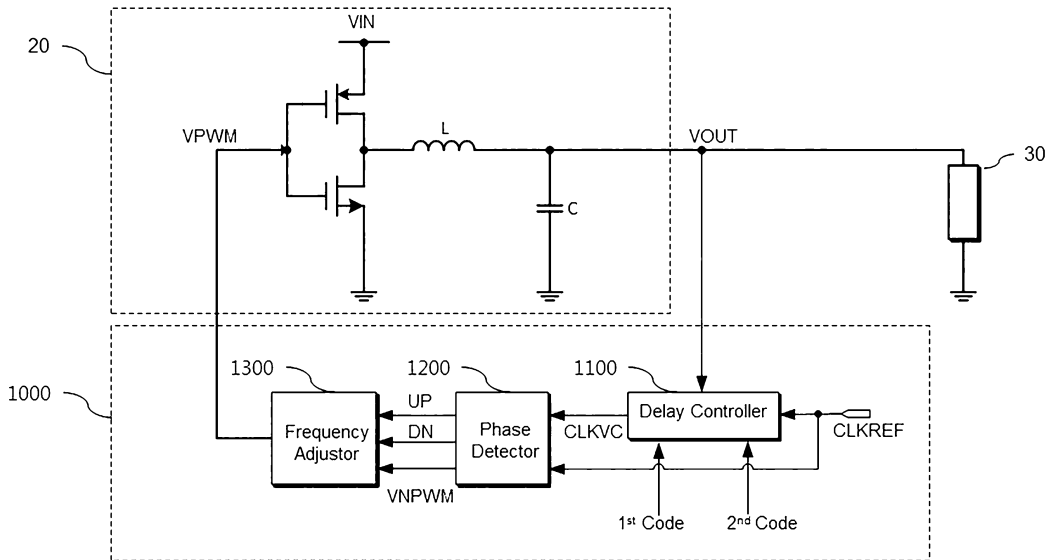
- [0097] 10, 1000: 전원 제어부
- 1100: 지연 제어부
- 1200: 위상 탐지부
- 1211, 1212: 에지 탐지부
- 1220: 증폭부
- 1230: 신호 생성부
- 1240: 초기화부
- 1300: 주파수 조정부
- 1310: 지연 추가부
- 1320: 주파수 에러 탐지부
- 1330: 신호 합성부
- 20: 전원부
- 30: 부하

도면

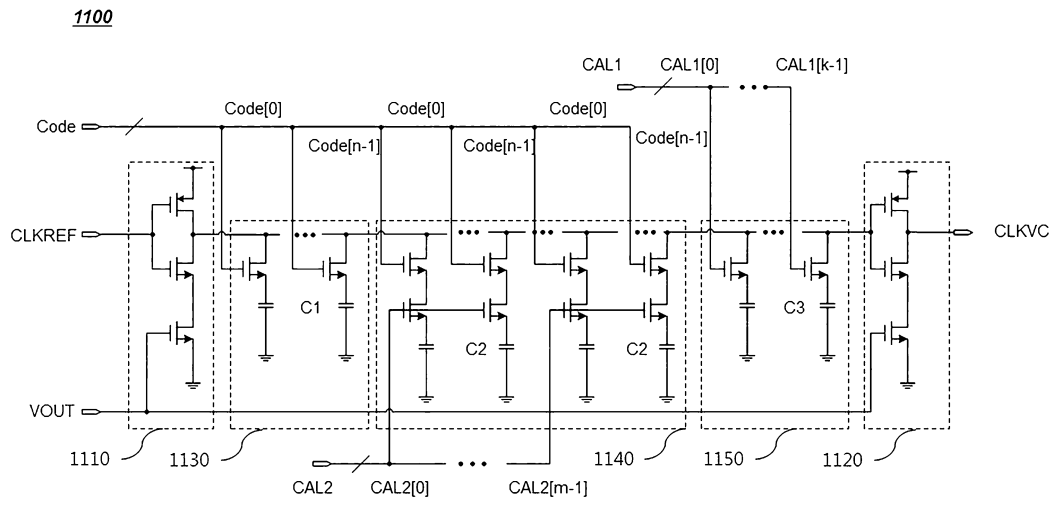
도면1



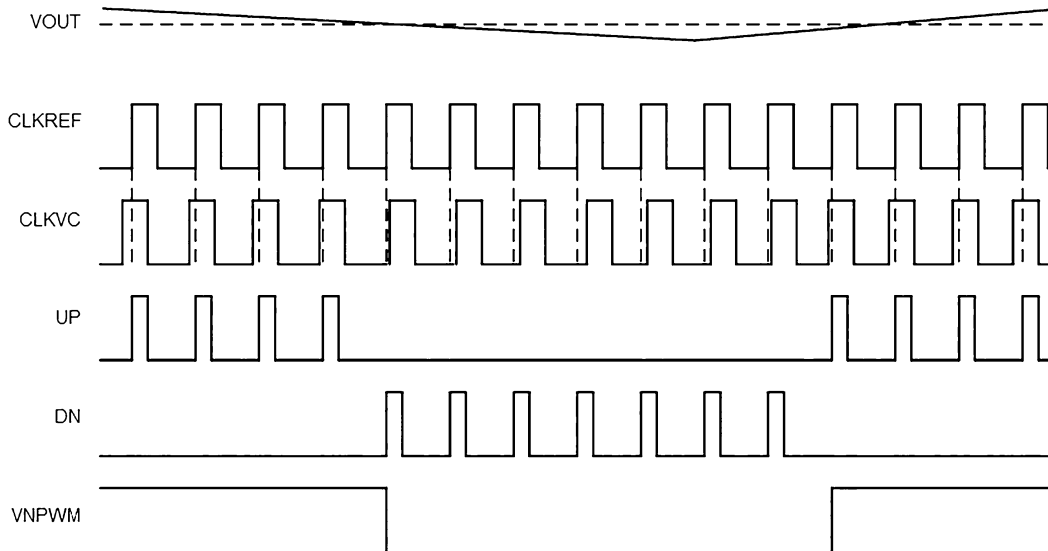
도면2



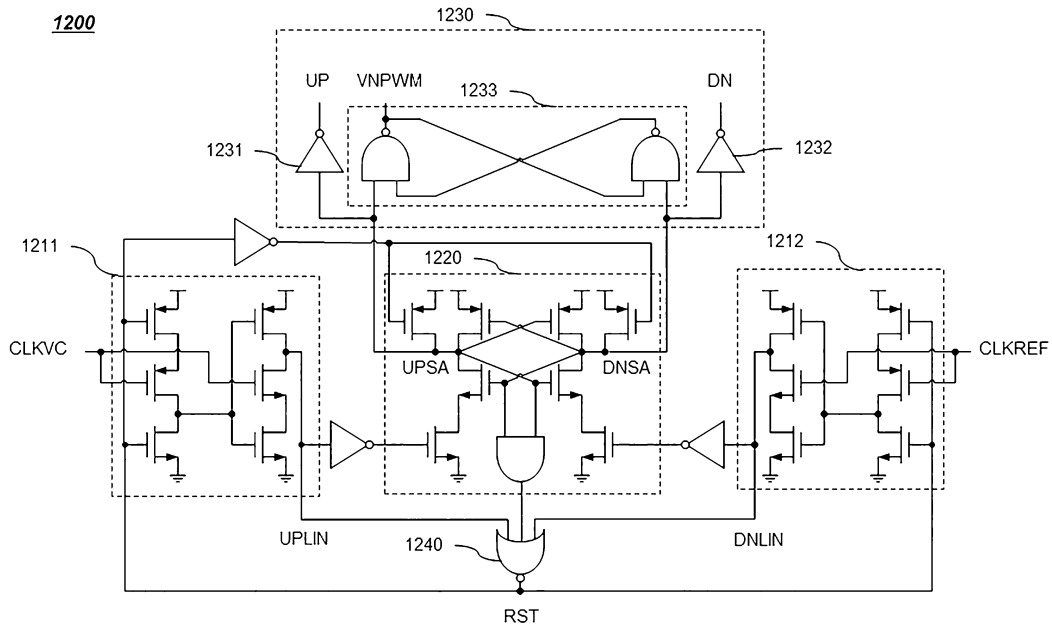
도면3



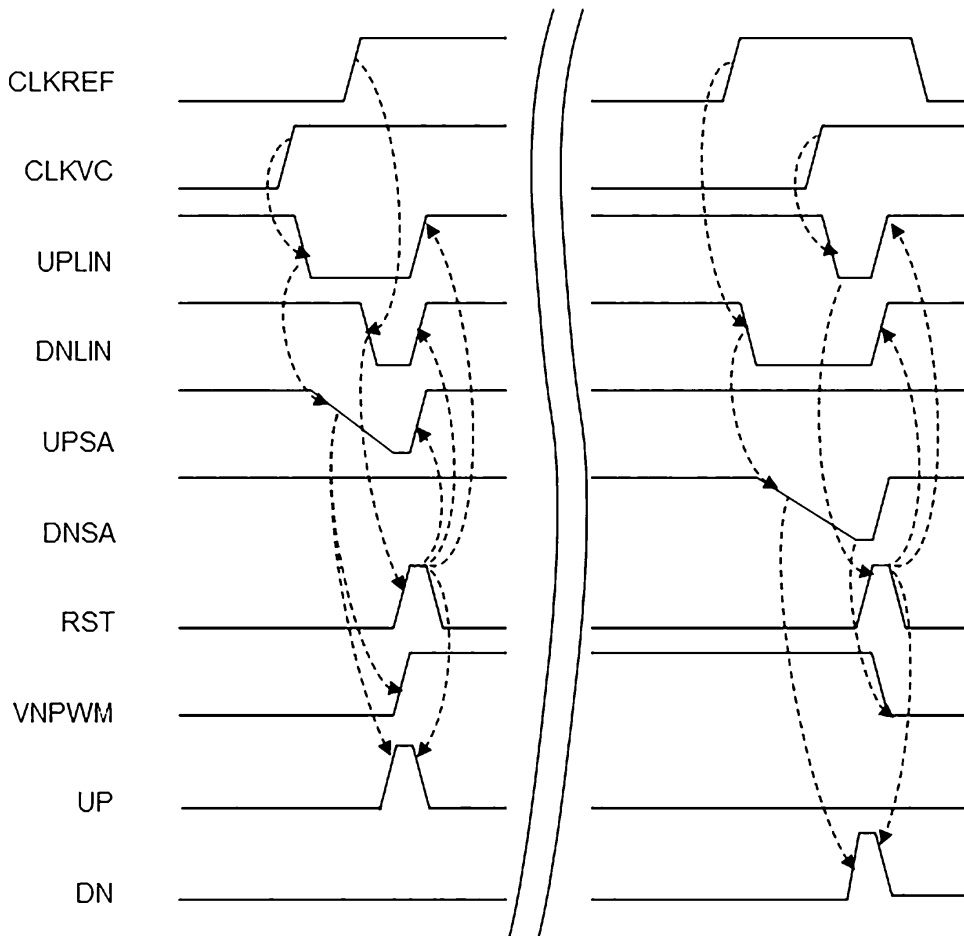
도면4



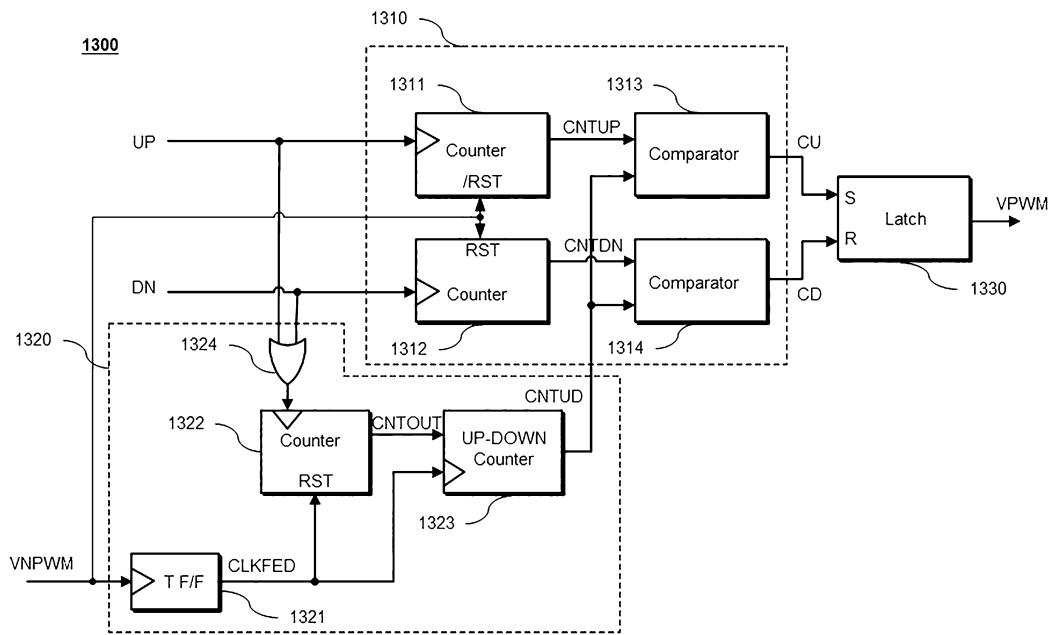
도면5



도면6



도면7



도면8

