



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년11월22일
(11) 등록번호 10-2604743
(24) 등록일자 2023년11월16일

- (51) 국제특허분류(Int. Cl.)
H10B 61/00 (2023.01) G11B 5/39 (2006.01)
H10N 50/10 (2023.01) H10N 50/85 (2023.01)
- (52) CPC특허분류
H10B 61/00 (2023.02)
G11B 5/3909 (2013.01)
- (21) 출원번호 10-2018-0159037
- (22) 출원일자 2018년12월11일
심사청구일자 2021년11월03일
- (65) 공개번호 10-2020-0071370
- (43) 공개일자 2020년06월19일
- (56) 선행기술조사문헌
JP2018049880 A*
JP2018073934 A*
W02017090733 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
노은선
경기도 용인시 기흥구 서천동로 22, 507동 1704호(서천동, 힐스테이트서천)
김주현
경기도 용인시 수지구 용구대로 2742, 103동 1702호(죽전동, 동성1차아파트)
(뒷면에 계속)
- (74) 대리인
리엔특허법인

전체 청구항 수 : 총 20 항

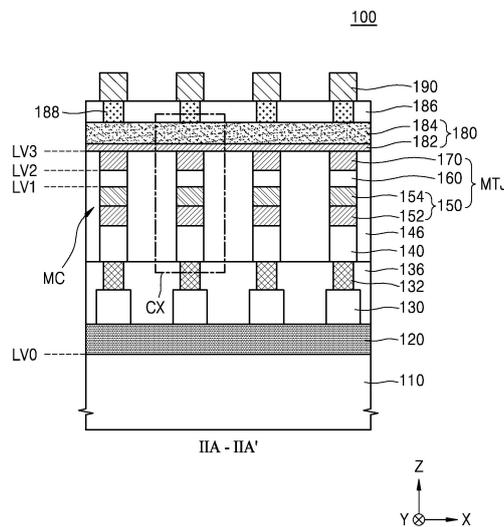
심사관 : 오창석

(54) 발명의 명칭 자기 메모리 장치

(57) 요약

자기 메모리 장치가 개시된다. 자기 메모리 장치는, 기판 상에 배치되는 버퍼층; 상기 버퍼층 상에 배치되며, 상기 버퍼층 상에 순차적으로 배치되는 고정층 구조물, 터널 배리어, 및 자유층을 포함하는 자기 터널 접합 구조물; 및 상기 자기 터널 접합 구조물 상에 배치되며 토폴로지컬 절연체(topological insulator) 물질을 포함하는 SOT 구조물을 포함하고, 상기 자유층은 호이슬러 물질을 포함한다.

대표도 - 도2a



(52) CPC특허분류

H10N 50/10 (2023.02)

H10N 50/85 (2023.02)

(72) 발명자

이준명

경기도 안양시 만안구 경수대로 1193, 113동 1503
호(석수동, 석수e-편한세상아파트)

임우창

경기도 성남시 분당구 서현로 181, 201동 1002호(
이매동, 이매촌한신아파트)

명세서

청구범위

청구항 1

기판 상에 배치되는 버퍼층;

상기 버퍼층 상에 배치되며, 상기 버퍼층 상에 순차적으로 배치되는 고정층 구조물, 터널 배리어, 및 자유층을 포함하는 자기 터널 접합 구조물; 및

상기 자기 터널 접합 구조물 상에 배치되며 토폴로지컬 절연체(topological insulator) 물질을 포함하는 SOT(spin orbit torque) 구조물을 포함하고,

상기 자유층은 호이슬러 물질을 포함하고,

상기 호이슬러 물질은 페리마그네틱 호이슬러 물질을 포함하며,

상기 페리마그네틱 호이슬러 물질은 망간을 포함하는 이원계 또는 삼원계 합금을 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 2

제1항에 있어서,

상기 페리마그네틱 호이슬러 물질은 MnGa 및 MnGe 중 적어도 하나를 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 3

제1항에 있어서,

상기 호이슬러 물질은 테트라고날 결정상을 갖는 망간계 합금을 포함하며,

상기 테트라고날 결정상을 갖는 망간계 합금은 D0₂₂ 결정구조를 갖는 것을 특징으로 하는 자기 메모리 장치.

청구항 4

제1항에 있어서,

상기 토폴로지컬 절연체 물질은 Bi_{1-x}Sb_x (x 는 0.05 내지 0.25) 및 Bi_{1-x}Se_x (x 는 0.05 내지 0.25) 중 적어도 하나를 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 5

제1항에 있어서,

상기 SOT 구조물은,

상기 자기 터널 접합 구조물 상에 배치되며 페리마그네틱 호이슬러 물질을 포함하는 제1 전극층; 및

상기 제1 전극층 상에 배치되며, 상기 토폴로지컬 절연체 물질을 포함하는 제2 전극층을 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 6

제1항에 있어서,

상기 자유층의 상면 전체가 상기 SOT 구조물의 바닥면과 접촉하는 것을 특징으로 하는 자기 메모리 장치.

청구항 7

제1항에 있어서,

상기 고정층 구조물은,

상기 버퍼층 상에 배치되며 이원계 페리마그네틱 호이슬러 물질을 포함하는 하부 고정층; 및

상기 하부 고정층 상에 배치되며, 삼원계 페리마그네틱 호이슬러 물질 및 페로마그네틱 호이슬러 물질 중 적어도 하나를 포함하는 상부 고정층을 포함하고,

상기 이원계 페리마그네틱 호이슬러 물질은 MnGa 및 MnGe 중 적어도 하나를 포함하며,

상기 삼원계 페리마그네틱 호이슬러 물질은 MnGaNi, MnGeNi, MnGaCo, MnGeCo, MnGaFe, 및 MnGeFe 중 적어도 하나를 포함하며,

상기 페로마그네틱 호이슬러 물질은 Co_2MnSi , Co_2MnAl , Co_2MnGa , Co_2MnGe , Co_2NiGa , Co_2FeSi , Co_2FeAl , Fe_2MnSi , Fe_2VSi , Ni_2MnAl , Ni_2MnIn , 및 Ni_2MnGa 중 적어도 하나를 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 8

제1항에 있어서,

상기 고정층 구조물은 복수의 고정층 스택을 포함하고,

상기 복수의 고정층 스택 각각은,

이원계 페리마그네틱 호이슬러 물질을 포함하는 하부 고정층; 및

상기 하부 고정층 상에 배치되며, 삼원계 페리마그네틱 호이슬러 물질 및 페로마그네틱 호이슬러 물질 중 적어도 하나를 포함하는 상부 고정층을 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 9

제1항에 있어서,

상기 자유층은,

상기 터널 배리어 상에 배치되는 하부 자유층; 및

상기 하부 자유층 상에 배치되며 상기 SOT 구조물의 바닥면과 접촉하는 상부 자유층을 포함하고,

상기 하부 자유층은 삼원계 페리마그네틱 호이슬러 물질 및 페로마그네틱 호이슬러 물질 중 적어도 하나를 포함하고,

상기 상부 자유층은 이원계 페리마그네틱 호이슬러 물질을 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 10

제1항에 있어서,

상기 기판과 상기 버퍼층 사이에 배치되며 상기 기판의 상면에 평행한 제1 방향으로 연장되는 복수의 제1 도전 라인;

상기 제1 도전 라인 상에 배치되고 상기 기판의 상면에 평행하며 상기 제1 방향에 수직한 제2 방향으로 연장되는 복수의 제2 도전 라인; 및

상기 복수의 제1 도전 라인과 상기 복수의 제2 도전 라인의 교차점에 각각 배치되는 복수의 메모리 셀을 포함하고,

상기 복수의 메모리 셀 각각은 상기 버퍼층과 상기 자기 터널 접합 구조물을 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 11

제1항에 있어서,

상기 기관 상에 배치되고, 상기 버퍼층의 측면 및 상기 자기 터널 접합 구조물의 측면을 커버하는 절연 패턴을 더 포함하고,

상기 SOT 구조물의 바닥면이 상기 절연 패턴의 상면과 접촉하는 것을 특징으로 하는 자기 메모리 장치.

청구항 12

제1항에 있어서,

상기 기관의 상면에 대하여, 상기 SOT 구조물의 바닥면이 상기 터널 배리어의 상면보다 높은 레벨에 배치되고, 상기 자유층의 상면이 상기 고정층 구조물의 상면보다 높은 레벨에 배치되는 것을 특징으로 하는 자기 메모리 장치.

청구항 13

기관 상에 배치되는 버퍼층;

상기 버퍼층 상에 배치되며, 상기 버퍼층 상에 순차적으로 배치되는 고정층 구조물, 터널 배리어, 및 자유층을 포함하는 자기 터널 접합 구조물; 및

상기 자기 터널 접합 구조물 상에 배치되는 SOT 구조물로서,

상기 자기 터널 접합 구조물 상에 배치되며 페리마그네틱 호이슬러 물질을 포함하는 제1 전극층; 및

상기 제1 전극층 상에 배치되며 토폴로지컬 절연체 물질을 포함하는 제2 전극층을 포함하는, 상기 SOT 구조물을 포함하고,

상기 페리마그네틱 호이슬러 물질은 망간을 포함하는 이원계 또는 삼원계 합금을 포함하는 자기 메모리 장치.

청구항 14

제13항에 있어서,

상기 기관의 상면에 대하여, 상기 SOT 구조물의 바닥면이 상기 터널 배리어의 상면보다 높은 레벨에 배치되고, 상기 자유층의 상면이 상기 고정층 구조물의 상면보다 높은 레벨에 배치되는 것을 특징으로 하는 자기 메모리 장치.

청구항 15

제13항에 있어서,

상기 제1 전극층은 상기 기관의 상면에 수직한 방향을 따라 제1 두께를 가지며,

상기 제2 전극층은 상기 기관의 상면에 수직한 방향을 따라 상기 제1 두께보다 더 큰 제2 두께를 갖는 것을 특징으로 하는 자기 메모리 장치.

청구항 16

제13항에 있어서,

상기 기관 상에 배치되고, 상기 버퍼층의 측면 및 상기 자기 터널 접합 구조물의 측면을 커버하는 절연 패턴을 더 포함하고,

상기 제1 전극층의 바닥면이 상기 절연 패턴의 상면 및 상기 자유층의 상면과 접촉하는 것을 특징으로 하는 자기 메모리 장치.

청구항 17

제16항에 있어서,

상기 제2 전극층의 바닥면 전체가 상기 제1 전극층과 접촉하고,

상기 제2 전극층은 상기 절연 패턴과 접촉하지 않는 것을 특징으로 하는 자기 메모리 장치.

청구항 18

기판 상에 배치되는 버퍼층;
 상기 버퍼층 상에 배치되며 페리마그네틱 호이슬러 물질을 포함하는 고정층 구조물;
 상기 고정층 구조물 상에 배치되는 터널 배리어;
 상기 터널 배리어 상에 배치되며 페리마그네틱 호이슬러 물질을 포함하는 자유층; 및
 상기 자유층 상에 배치되며, 토폴로지컬 절연체 물질을 포함하는 SOT 구조물을 포함하고,
 상기 페리마그네틱 호이슬러 물질은 망간을 포함하는 이원계 또는 삼원계 합금을 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 19

제18항에 있어서,
 상기 기판과 상기 버퍼층 사이에 배치되며 상기 기판의 상면에 평행한 제1 방향으로 연장되는 복수의 제1 도전 라인;
 상기 제1 도전 라인 상에 배치되고 상기 기판의 상면에 평행하며 상기 제1 방향에 수직한 제2 방향으로 연장되는 복수의 제2 도전 라인; 및
 상기 복수의 제1 도전 라인과 상기 복수의 제2 도전 라인의 교차점에 각각 배치되는 복수의 메모리 셀을 포함하고,
 상기 복수의 메모리 셀 각각은 상기 버퍼층, 상기 고정층 구조물, 상기 터널 배리어, 및 상기 자유층을 포함하는 것을 특징으로 하는 자기 메모리 장치.

청구항 20

제18항에 있어서,
 상기 기판과 상기 버퍼층 사이에 배치되는 스위칭 소자를 더 포함하고,
 상기 스위칭 소자는 다이오드, 트랜지스터, 및 오보닉 문턱 스위칭(ovonic threshold switching, OTS) 소자 중 적어도 하나를 포함하는 것을 특징으로 하는 자기 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 자기 메모리 장치에 관한 것으로, 더욱 상세하게는, 자기 터널 접합을 포함하는 자기 메모리 장치에 관한 것이다.

배경 기술

[0002] 자기 터널 접합(magnetic tunnel junction, MTJ)의 자기 저항 특성을 이용하는 전자 장치에 대한 많은 연구가 이루어지고 있다. 특히, 고집적화된 MRAM(magnetic random access memory) 장치의 MTJ 셀이 미세화됨에 따라, 스핀 궤도 토크(spin orbit torque)를 이용하여 MTJ 셀을 프로그래밍하는 방식으로 정보를 저장하는 MRAM 장치가 제안된 바 있다. 이러한 MRAM 장치에 대하여 빠른 스위칭 및 저전류 동작이 요구된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 빠른 스위칭 및 저전류 동작이 가능한 자기 메모리 장치를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 자기 메모리 장치는, 기판 상에 배치되는 버퍼층; 상기 버퍼층 상에 배치되며, 상기 버퍼층 상에 순차적으로 배치되는 고정층 구조물, 터널 배리어, 및 자유층을 포함하는 자기 터널 접합 구조물; 및 상기 자기 터널 접합 구조물 상에 배치되며 토폴로지컬 절연체 (topological insulator) 물질을 포함하는 SOT (spin orbit torque) 구조물을 포함하고, 상기 자유층은 호이슬러 물질을 포함한다.

[0005] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 자기 메모리 장치는, 기판 상에 배치되는 버퍼층; 상기 버퍼층 상에 배치되며, 상기 버퍼층 상에 순차적으로 배치되는 고정층 구조물, 터널 배리어, 및 자유층을 포함하는 자기 터널 접합 구조물; 및 상기 자기 터널 접합 구조물 상에 배치되는 SOT 구조물로서, 상기 자기 터널 접합 구조물 상에 배치되며 페리마그네틱 호이슬러 물질을 포함하는 제1 전극층; 및 상기 제1 전극층 상에 배치되며 토폴로지컬 절연체 물질을 포함하는 제2 전극층을 포함하는, 상기 SOT 구조물을 포함한다.

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 자기 메모리 장치는, 기판 상에 배치되는 버퍼층; 상기 버퍼층 상에 배치되며 페리마그네틱 호이슬러 물질을 포함하는 고정층 구조물; 상기 고정층 구조물 상에 배치되는 터널 배리어; 상기 터널 배리어 상에 배치되며 페리마그네틱 호이슬러 물질을 포함하는 자유층; 및 상기 자유층 상에 배치되며, 토폴로지컬 절연체 물질을 포함하는 SOT 구조물을 포함한다.

발명의 효과

[0007] 본 발명의 기술적 사상에 따르면, 버퍼층 상에 호이슬러 물질을 포함하는 고정층 구조물, 터널 배리어, 및 호이슬러 물질을 포함하는 자유층이 순차적으로 배치되고, 상기 자유층 상에 토폴로지컬 절연체 물질을 포함하는 SOT 구조물이 배치될 수 있다. 상기 자유층은 상기 버퍼층을 성장 템플릿으로 하여 형성되므로 우수한 결정 품질을 가질 수 있고, 상기 SOT 구조물은 상기 자유층을 성장 템플릿으로 하여 형성되므로 우수한 결정 품질을 가질 수 있다. 또한 상기 SOT 구조물이 상기 자유층 상에 배치됨에 따라 자기 터널 접합의 패터닝 공정에서 상기 SOT 구조물의 식각 데미지가 방지될 수 있다. 상기 자기 메모리 장치는 빠른 스위칭 및 저전류 동작이 가능할 수 있다.

도면의 간단한 설명

[0008] 도 1은 예시적인 실시예들에 따른 자기 메모리 장치를 나타내는 레이아웃도이다.
 도 2a는 도 1의 IIA-IIA' 부분의 단면도이고, 도 2b는 도 1의 IIB-IIB' 부분의 단면도이다.
 도 3은 도 2a의 CX1 부분의 확대도이다.
 도 4a 내지 도 4c는 예시적인 실시예들에 따른 자기 메모리 장치의 구동 방법을 나타내는 개략도들이다.
 도 5는 예시적인 실시예들에 따른 자기 메모리 장치를 나타내는 단면도이다.
 도 6은 예시적인 실시예들에 따른 자기 메모리 장치를 나타내는 단면도이다.
 도 7은 예시적인 실시예들에 따른 자기 메모리 장치를 나타내는 단면도이다.
 도 8 내지 도 13은 예시적인 실시예들에 따른 자기 메모리 장치의 제조 방법을 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면을 참조하여 본 발명의 기술적 사상의 바람직한 실시예를 상세히 설명하기로 한다.
 [0010] 도 1은 예시적인 실시예들에 따른 자기 메모리 장치(100)를 나타내는 레이아웃도이다. 도 2a는 도 1의 IIA-IIA' 부분의 단면도이고, 도 2b는 도 1의 IIB-IIB' 부분의 단면도이다. 도 3은 도 2a의 CX 부분의 확대도이다.
 [0011] 도 1 내지 도 3을 참조하면, 자기 메모리 장치(100)는 기판(110) 상에 배치되는 워드 라인(WL), 메모리 셀(MC), 및 SOT 라인(SL), 및 비트 라인(BL)을 포함할 수 있다. 워드 라인(WL)과 비트 라인(BL)은 서로 교차하도록 배치되고, 워드 라인(WL)과 비트 라인(BL)의 교차 지점에 복수의 메모리 셀(MC)이 배치될 수 있다. 도 1에 도시된 바와 같이, 자기 메모리 장치(100)는 크로스포인트 어레이 구조를 가질 수 있다.
 [0012] 예를 들어, 워드 라인(WL)은 기판(110) 상에서 제1 방향(X 방향)을 따라 연장될 수 있고, 비트 라인(BL)은 워드 라인(WL)보다 높은 레벨에서 제2 방향(Y 방향)을 따라 연장될 수 있다. SOT 라인(SL)은 비트 라인(BL)과 메모리 셀(MC) 사이에 배치될 수 있고, 예를 들어 제1 방향(X 방향)을 따라 연장될 수 있다.

- [0013] SOT 라인(SL)은 스핀 궤도 커플링(spín orbit coupling) 특성이 큰 비자성 물질을 포함할 수 있고, 스핀 궤도 토크(SOT) 타입의 MRAM 장치에서 스핀 궤도 토크의 소스 라인으로 기능할 수 있다. SOT 타입의 MRAM 장치에서, SOT 라인(SL)에 전류가 흐를 때 스핀 홀 효과(spín Hall effect)을 통해, 즉 SOT 라인(SL)과 접촉하는 SOT 라인(SL) 격자 내의 스핀과 상호작용하여 전류 방향과 수직하게 스핀 분극이 나타나는 현상을 통해, 자유층(170)이 스위칭될 수 있다.
- [0014] 도 2a에 도시된 바와 같이, 기판(110) 상에는 제1 도전 라인(120)이 배치될 수 있고, 제1 도전 라인(120) 상에 복수의 스위칭 소자(130)가 배치될 수 있다. 도시되지는 않았지만, 기판(110) 상에는 층간 절연막(도시 생략)과 같은 중간 층이 더 배치되어, 기판(110)과 제1 도전 라인(120) 사이에 상기 층간 절연막이 개재될 수 있다.
- [0015] 제1 도전 라인(120)은 도 1의 워드 라인(WL)에 대응될 수 있다. 제1 도전 라인(120)은 도핑된 폴리실리콘, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 티타늄 텅스텐, 텅스텐, 알루미늄, 코발트, 니켈, 구리와 같은 도전 물질을 포함할 수 있다.
- [0016] 복수의 스위칭 소자(130)는 메모리 셀(MC)을 지나는 전류를 선택적으로 제어하도록 구성될 수 있다. 예시적인 실시예들에서, 복수의 스위칭 소자(130)는 PMOS 트랜지스터 또는 NMOS 트랜지스터를 포함할 수 있다. 이러한 경우에 복수의 스위칭 소자(130)의 일부는 기판(110) 내부에 배치될 수 있고, 제1 도전 라인(120)과 복수의 스위칭 소자(130)를 전기적으로 연결하는 배선 구조(도시 생략)가 더 형성될 수 있다. 다른 실시예들에서, 복수의 스위칭 소자(130)는 다이오드를 포함할 수 있다.
- [0017] 복수의 스위칭 소자(130) 각각 상에는 복수의 하부 전극(132)이 배치될 수 있다. 복수의 하부 전극(132)은 복수의 스위칭 소자(130)와 복수의 메모리 셀(MC) 사이를 전기적으로 연결할 수 있다. 예를 들어, 복수의 하부 전극(132)은 TiN, Ti, TaN, Ta, Ru, 또는 W 중 적어도 하나의 물질을 포함할 수 있다. 기판(110) 상에는 제1 도전 라인(120), 복수의 스위칭 소자(130), 및 복수의 하부 전극(132)을 커버하는 제1 층간 절연막(136)이 배치될 수 있다. 제1 층간 절연막(136)의 상면은 복수의 하부 전극(132)의 상면과 동일한 레벨에 배치될 수 있고, 제1 층간 절연막(136)이 복수의 하부 전극(132)의 측벽을 커버할 수 있다. 도시되지는 않았지만, 제1 층간 절연막(136)은 복수의 절연층들의 적층 구조로 형성될 수도 있다.
- [0018] 복수의 메모리 셀(MC) 각각은 복수의 하부 전극(132) 각각 상에 순차적으로 배치되는 버퍼층(140) 및 자기 터널 접합 구조물(MTJ)을 포함할 수 있다. 복수의 메모리 셀(MC)은 워드 라인(WL) 및 비트 라인(BL)의 교차 지점에 배치될 수 있다. 도 1에 도시된 바와 같이 복수의 메모리 셀(MC)의 수평 단면은 원형일 수 있으나, 이에 한정되는 것은 아니며 복수의 메모리 셀(MC)의 수평 단면은 사각형, 삼각형, 사다리꼴, 다각형, 타원형 등 다양한 형상을 가질 수 있다. 복수의 메모리 셀(MC) 각각의 제1 방향(X 방향) 폭은 복수의 하부 전극(132) 각각의 제1 방향(X 방향) 폭보다 더 클 수 있으나, 이에 한정되는 것은 아니다. 도 2a 및 도 2b에 도시된 것과는 달리, 복수의 메모리 셀(MC) 각각의 제1 방향(X 방향) 폭은 복수의 하부 전극(132) 각각의 제1 방향(X 방향) 폭과 동일할 수도 있다.
- [0019] 버퍼층(140)은 복수의 하부 전극(132) 각각 상에 배치될 수 있다. 버퍼층(140)은 자기 터널 접합 구조물(MTJ)이 우수한 결정 품질을 가질 수 있도록 자기 터널 접합 구조물(MTJ)의 형성 공정에서 성장 템플릿으로 작용할 수 있다. 버퍼층(140)은 크롬(Cr), 루테튬(Ru), 탄탈륨(Ta) 등의 비자성 금속 물질, 코발트 갈륨(CoGa), 망간 갈륨 질화물(MnGaN) 등의 비자성 화합물, 및 니켈 알루미늄(NiAl) 등의 비자성 합금 중 적어도 하나를 포함할 수 있다.
- [0020] 자기 터널 접합 구조물(MTJ)은 버퍼층(140) 상에 순차적으로 배치되는 고정층 구조물(150), 터널 배리어(160) 및 자유층(170)을 포함할 수 있다.
- [0021] 고정층 구조물(150)은 고정된 자화 용이축(magnetization easy axis)을 가지며, 고정된 자화 방향을 가질 수 있다. 예를 들어, 고정층 구조물(150)은 제3 방향(Z 방향)을 따라 자화 용이축을 가질 수 있고, 고정층 구조물(150)은 수직 자기 이방성(perpendicular magnetic anisotropy, PMA) 물질을 포함할 수 있다. 자유층(170)은 조건에 따라 가변적인 자화 방향을 가질 수 있다. 예를 들어, 자유층(170)은 제3 방향(Z 방향)을 따라 가변적인 자화 용이축을 가질 수 있다. 이러한 경우에 수직형 자기 메모리 장치가 구현될 수 있다. 다른 실시예들에서, 고정층 구조물(150)은 제1 방향(X 방향)을 따라 자화 용이축을 가질 수 있고, 자유층(170)은 제1 방향(X 방향)을 따라 가변적인 자화 용이축을 가질 수 있다. 이러한 경우에 수평형 자기 메모리 장치가 구현될 수 있다.
- [0022] 자기 터널 접합 구조물(MTJ)의 저항 값은 자유층(170)의 자화 방향에 따라 달라진다. 자유층(170)의 자화 방향과 고정층 구조물(150)의 자화 방향이 평행(parallel)일 때, 자기 터널 접합 구조물(MTJ)은 낮은 저항값을 가지

며 데이터 '0'을 저장할 수 있다. 자유층(170)의 자화 방향과 고정층 구조물(150)에서의 자화 방향이 반평행(antiparallel)일 때, 자기 터널 접합 구조물(MTJ)은 높은 저항값을 가지며, 데이터 '1'을 저장할 수 있다.

[0023] 예시적인 실시예들에서, 고정층 구조물(150)은 하부 고정층(152)과 상부 고정층(154)의 적층 구조를 가질 수 있다. 하부 고정층(152)과 상부 고정층(154) 모두 페리마그네틱 호이슬러(ferrimagnetic heusler) 물질을 포함할 수 있다. 페리마그네틱 호이슬러 물질은 테트라고날 결정상을 갖는 망간계 합금을 가리킬 수 있고, 예를 들어 페리마그네틱 호이슬러 물질은 $D0_{22}$ 의 결정 구조를 갖는 망간계 합금을 포함할 수 있다. 여기서 합금은 서로 다른 종류의 금속 원소들이 규칙적인 결정 구조를 가지며 혼합되어 있는 물질을 가리킬 뿐만 아니라, 적어도 하나의 금속 원소와 적어도 하나의 비금속 원소가 규칙적인 결정 구조를 가지며 혼합되어 있는 물질을 가리킨다.

[0024] 하부 고정층(152)은 버퍼층(140)과 접촉하며, 이원계(binary) 페리마그네틱 호이슬러 물질을 포함할 수 있다. 하부 고정층(152)은 Mn_aX_b 의 화학식을 가지며 높은 수직 자기 이방성을 갖거나, 및/또는 낮은 댐핑 특성(예를 들어, 낮은 Gilbert 댐핑 특성)을 갖는 이원계 호이슬러 물질을 포함할 수 있다. 상기 화학식에서 Mn과 X 각각의 원자 함량 a 및 b는 다양한 값을 가질 수 있다. 예를 들어, 하부 고정층(152)은 망간갈륨(MnGa) 및 망간게르마늄(MnGe) 중 적어도 하나를 포함할 수 있다.

[0025] 상부 고정층(154)은 하부 고정층(152) 상에 배치되고, 삼원계(ternary) 페리마그네틱 호이슬러 물질을 포함할 수 있다. 예를 들어, 상부 고정층(154)은 $Mn_aX_bY_c$ 의 화학식을 가지며 높은 수직 자기 이방성을 갖거나, 및/또는 낮은 댐핑 특성을 갖는 삼원계 호이슬러 물질을 포함할 수 있다. Y는 코발트, 니켈, 철 등의 자성 금속 원소를 가리킬 수 있다. 상기 화학식에서 Mn, X, 및 Y 각각의 원자 함량 a, b, 및 c는 다양한 값을 가질 수 있다. 예를 들어, 상부 고정층(154)은 MnGaNi, MnGeNi, MnGaCo, MnGeCo, MnGaFe, 및 MnGeFe 중 적어도 하나를 포함할 수 있다.

[0026] 하부 고정층(152)과 상부 고정층(154)이 모두 호이슬러 물질을 포함함에 따라, 버퍼층(140) 상에 형성된 하부 고정층(152) 및 상부 고정층(154) 모두가 우수한 결정 품질을 가질 수 있다. 또한 하부 고정층(152) 및 상부 고정층(154)의 적층 구조는 상대적으로 높은 교환 결합력(exchange coupling)에 의해 높은 수직 자기 이방성을 가질 수 있고, 이에 따라 고정층 구조물(150)은 높은 터널 자기 저항(TMR)을 가질 수 있다.

[0027] 고정층 구조물(150) 상에는 터널 배리어(160)가 배치될 수 있다. 터널 배리어(160)는 스핀 확산 길이(spin diffusion length)보다 얇은 두께를 가질 수 있다. 예를 들어, 터널 배리어(160)는 기판(110)의 상면에 수직한 제3 방향(Z 방향)을 따라 약 1 내지 20 nm의 두께를 가질 수 있다.

[0028] 터널 배리어(160)는 비자성 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 터널 배리어(160)는 마그네슘(Mg), 티타늄(Ti), 알루미늄(Al), 마그네슘-아연(MgZn) 및 마그네슘-붕소(MgB)의 산화물 및 티타늄(Ti) 및 바나듐(V)의 질화물 중 선택된 적어도 하나를 포함할 수 있다. 예를 들어, 터널 배리어(160)는 산화마그네슘(MgO) 및 산화마그네슘알루미늄(MgAlO)을 포함할 수 있다. 이와 달리, 터널 배리어(160)는 복수의 층들을 포함할 수 있다. 예를 들어, 터널 배리어(160)는 Mg/MgO, MgO/Mg, MgO/MgAlO, MgAlO/MgO, Mg/MaAlO/Mg, MgO/MgAlO/MgO, MgAlO/MgO/MaAlO 등의 적층 구조를 가질 수 있다. 터널 배리어(160)는 NaCl 결정 구조(면심입방 격자 구조)를 가질 수 있다.

[0029] 일부 예시에서, 터널 배리어(160)는 산화마그네슘알루미늄(MgAlO)을 포함할 수 있고, 이러한 경우에 페리마그네틱 호이슬러 물질을 포함하는 상부 고정층(154)과 터널 배리어(160) 사이의 격자 미스매치(lattice mismatch)가 상대적으로 작을 수 있다.

[0030] 자유층(170)은 터널 배리어(160) 상에 형성될 수 있다. 자유층(170)은 페리마그네틱 호이슬러 물질을 포함할 수 있다. 자유층(170)은 테트라고날 결정상을 갖는 망간계 합금을 포함할 수 있고, 예를 들어 $D0_{22}$ 의 결정 구조를 갖는 망간계 합금을 포함할 수 있다. 자유층(170)은 Mn_aX_b 의 화학식을 가지며 높은 수직 자기 이방성을 갖거나, 및/또는 낮은 댐핑 특성을 갖는 이원계 호이슬러 물질을 포함할 수 있다. 상기 화학식에서 Mn과 X 각각의 원자 함량 a 및 b는 다양한 값을 가질 수 있다. 예를 들어, 자유층(170)은 MnGa 및 MnGe 중 적어도 하나를 포함할 수 있다.

[0031] 예시적인 실시예들에서, 자유층(170)과 터널 배리어(160)와의 격자 미스매치는 상대적으로 작고 터널 배리어(160)가 상대적으로 얇은 두께를 가지므로, 자유층(170)은 터널 배리어(160) 하부에 위치하는 고정층 구조물(150)을 성장 템플릿으로 하여 형성될 수 있다. 고정층 구조물(150)이 $D0_{22}$ 결정 구조를 갖는 호이슬러 물질을

포함하므로 자유층(170) 또한 우수한 결정 품질의 DO_{22} 결정 구조를 가질 수 있다. 또한 자유층(170)과 터널 배리어(160) 사이의 계면 품질 역시 우수할 수 있다. 또한 자유층(170)은 높은 수직 자기 이방성과 낮은 댐핑 특성을 나타내는 이원계 페리마그네틱 호이슬러 물질을 포함하며, 따라서 자유층(170)을 포함하는 자기 터널 접합 구조물(MTJ)에 의해 낮은 전류에서의 스위칭 동작이 구현될 수 있다.

[0032] 도 3에 예시적으로 도시된 것과 같이, 버퍼층(140)의 측벽, 고정층 구조물(150)의 측벽, 터널 배리어(160)의 측벽, 및 자유층(170)의 측벽은 서로에 대하여 정렬되며 일직선 상에 배열될 수 있다. 이는 기관(110) 상에 예비 버퍼층(140P)(도 9 참조), 예비 하부 고정층(152P)(도 9 참조), 예비 상부 고정층(154P)(도 9 참조), 예비 터널 배리어(160P)(도 9 참조), 및 예비 자유층(170)(도 9 참조)을 순차적으로 형성한 이후, 이들을 패터닝하여 각각 버퍼층(140), 고정층 구조물(150), 터널 배리어(160) 및 자유층(170)을 포함하는 복수의 메모리 셀(MC)을 형성하기 때문일 수 있다.

[0033] 제1 층간 절연막(136) 상에는 절연 패턴(146)이 복수의 메모리 셀(MC)의 측벽을 둘러싸도록 배치될 수 있다. 절연 패턴(146)은 버퍼층(140)의 측벽과 자기 터널 접합 구조물(MTJ)의 측벽을 둘러싸며, 절연 패턴(146)의 상면은 자유층(170)의 상면과 동일한 레벨에 배치될 수 있다.

[0034] 자기 터널 접합 구조물(MTJ) 및 절연 패턴(146) 상에는 제2 방향(Y 방향)을 따라 연장되는 SOT(spin orbit torque) 구조물(180)이 배치될 수 있다. SOT 구조물(180)은 순차적으로 적층된 제1 전극층(182) 및 제2 전극층(184)을 포함할 수 있고, 제1 전극층(182) 및 제2 전극층(184) 모두가 제2 방향(Y 방향)을 따라 연장될 수 있다. SOT 구조물(180)은 도 1의 SOT 라인(SL)에 대응될 수 있다.

[0035] 제2 전극층(184)은 스핀 궤도 커플링 특성을 갖는 비자성 물질을 포함할 수 있고, 예를 들어 토폴로지컬 절연체(topological insulator) 물질을 포함할 수 있다. 상기 토폴로지컬 절연체 물질은 특정한 결정학적 규칙성에 의해 물질 내부는 절연성을 가지는 반면, 그 표면에 인접한 부분은 도전성을 갖는 물질을 일반적으로 가리킬 수 있다. 예를 들어, 제2 전극층(184)의 상부 표면에 인접한 부분 및 하부 표면에 인접한 부분은 도전성을 나타내는 반면, 이들을 제외한 제2 전극층(184)의 나머지 부분은 절연성을 나타낼 수 있다. 예시적인 실시예들에서, 제2 전극층(184)은 비스무트안티몬($Bi_{1-x}Sb_x$, x 는 0.05 내지 0.25) 및 비스무트셀레늄($Bi_{1-x}Se_x$, x 는 0.05 내지 0.25) 중 적어도 하나를 포함할 수 있다. 제2 전극층(184)은 상대적으로 높은 스핀 홀 앵글(spin Hall angle) 값을 가질 수 있다. 제2 전극(184)은 약 2 이상, 또는 약 5 이상과 같이 약 0.5 이상의 높은 스핀 홀 앵글 값을 가질 수 있으나, 이에 한정되는 것은 아니다.

[0036] 제1 전극층(182)은 제2 전극층(184)과 자기 터널 접합 구조물(MTJ)(또는 자유층(170)) 사이의 계면 특성을 향상시키기 위한 버퍼층으로 작용할 수 있다. 예시적인 실시예들에서, 제1 전극층(182)은 MnGe, MnGa과 같은 이원계 페리마그네틱 호이슬러 물질을 포함할 수 있다. 다른 실시예들에서, 제1 전극층(182)은 MnGaNi, MnGeNi, MnGaCo, MnGeCo, MnGaFe, 및 MnGeFe과 같은 삼원계 페리마그네틱 호이슬러 물질을 포함할 수 있다.

[0037] 제2 전극층(184)은 스핀 홀 효과를 이용하여 자유층(170)에 스핀 전류를 전달시킬 수 있다. 제2 전극층(184)은 토폴로지컬 절연체 물질을 포함하며, 토폴로지컬 절연체 물질은 스핀 궤도 토크의 소스로서 종래 사용되는 탄탈륨, 텅스텐, 백금 등의 스핀 홀 효과를 갖는 금속 물질에 비하여 더욱 큰 스핀 궤도 커플링 특성을 나타낼 수 있다. 예를 들어, 제2 전극층(184)은 종래 사용되는 탄탈륨, 텅스텐, 백금 등의 스핀 홀 효과를 갖는 금속 물질에 비하여 상대적으로 높은 스핀 홀 앵글 값을 가질 수 있다. 제2 전극층(184)이 우수한 스핀 궤도 커플링 특성을 갖는 토폴로지컬 절연체 물질을 사용함에 따라 자기 메모리 장치(100)는 낮은 전류 또는 저전력에서 구동할 수 있다.

[0038] 도 3에 도시된 것과 같이, 제1 전극층(182)은 기관(110) 상면에 수직인 제3 방향(Z 방향)을 따라 제1 두께(t_1)를 가지며, 제2 전극층(184)은 제3 방향(Z 방향)을 따라 제1 두께(t_{11})보다 큰 제2 두께(t_{12})를 가질 수 있다. 제1 두께(t_{11})는 약 1 내지 10 nm일 수 있으나, 이에 한정되는 것은 아니다.

[0039] SOT 구조물(180)은 자유층(170) 상에 배치되는 제1 바닥면(180L1)과, 절연 패턴(146) 상에 배치되는 제2 바닥면(180L2)을 포함할 수 있다. 자유층(170)의 상면 전체가 SOT 구조물(180)의 바닥면, 즉 제1 바닥면(180L1)과 접촉할 수 있다. 제2 전극층(184)의 바닥면 전체가 제1 전극층(182) 상에 배치되고, 제2 전극층(184)은 절연 패턴(146)과 접촉하지 않으며 제1 전극층(182)이 절연 패턴(146) 및 자유층(170)의 상면 상에 배치될 수 있다. 제1 전극층(182)이 테트라고날 결정상을 갖는 망간계 합금을 포함하고, 또한 자유층(170)에 포함된 물질과 동일한 결정 구조를 가질 수 있으므로, 제2 전극층(184)의 평탄도(flatness) 및 결정 품질이 우수할 수 있고 제1 전극층(182)과 제2 전극층(184) 사이의 계면 특성이 우수할 수 있다.

- [0040] SOT 구조물(180) 및 절연 패턴(146) 상에는 제2 층간 절연막(186)이 배치될 수 있다.
- [0041] 제2 층간 절연막(186) 상에는 제2 방향(Y 방향)을 따라 연장되는 제2 도전 라인(190)이 배치될 수 있고, 제2 층간 절연막(186)을 관통하는 복수의 콘택(188)이 SOT 구조물(180)과 제2 도전 라인(190) 사이를 연결할 수 있다. 제2 도전 라인(190)은 도 1의 비트 라인(BL)에 대응될 수 있다. 복수의 콘택(188)은 복수의 자기 터널 접합 구조물(MTJ)과 수직 오버랩되는 위치에 배치될 수 있다.
- [0042] 복수의 콘택(188) 및 제2 도전 라인(190)은 도핑된 폴리실리콘, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 티타늄 텅스텐, 텅스텐, 알루미늄, 코발트, 니켈, 구리와 같은 도전 물질을 포함할 수 있다. 예시적인 실시예들에서, 토폴로지컬 절연체 물질을 포함하는 SOT 구조물(180)이 상대적으로 낮은 비저항을 가지며 제2 도전 라인(190)으로부터 이격되어 배치될 수 있고, 예를 들어 제2 도전 라인(190)과 SOT 구조물(180)이 적층형으로 형성되거나 서로 접촉하여 형성되는 경우에 비하여, SOT 구조물(180)에 흐르는 전류의 양이 증가될 수 있다. 그러나 본 발명의 기술적 사상이 이에 한정되는 것은 아니다.
- [0043] 도 3에 도시된 바와 같이, 기판(110)의 상면 레벨(LV0)을 기준으로 하여 자유층(170)의 상면 레벨(LV3)은 고정층 구조물(150)의 상면 레벨(LV1)보다 더 높을 수 있고, SOT 구조물(180)의 바닥면 레벨(즉, LV3)은 터널 배리어(160)의 상면 레벨(LV2)보다 더 높을 수 있다. 예시적인 실시예들에 따르면, SOT 구조물(180)이 자기 터널 접합 구조물(MTJ)보다 높은 레벨에 배치될 수 있고, 이에 따라 자기 터널 접합 구조물(MTJ)의 패터닝 공정에서 SOT 구조물(180)이 손상되지 않을 수 있다.
- [0044] 일반적으로 SOT 타입의 MRAM 장치에서는, 스위칭 소자 상에 SOT 라인을 배치하고, SOT 라인 상에 순차적으로 배치되는 자유층, 터널 배리어, 및 고정층을 포함하는 자기 터널 접합 구조물이 배치된다. 그러나 자기 터널 접합 구조물을 패터닝하기 위한 식각 공정에서 일반적으로 무거운 금속 물질을 포함하는 식각 잔류물들이 패터닝된 측벽에 재증착되어 자유층과 고정층 사이의 단락을 유발할 수 있고, 식각 분위기에 노출되는 SOT 라인의 상면이 식각 가스 또는 식각 에천트에 의해 식각 데미지를 받을 수 있다. 그러나 예시적인 실시예들에 따르면, SOT 구조물(180)이 자기 터널 접합 구조물(MTJ)의 상부에 배치됨에 따라, 자기 터널 접합 구조물(MTJ)의 패터닝 공정에서 SOT 구조물(180)이 식각 데미지를 받는 것이 방지될 수 있다.
- [0045] 또한 일반적으로 SOT 타입의 MRAM 장치에서는, 스위칭 소자 상에 SOT 라인을 배치하고, SOT 라인 상에 순차적으로 배치되는 자유층, 터널 배리어, 및 고정층을 포함하는 자기 터널 접합 구조물이 배치된다. 특히 SOT 라인과 자유층 사이에 추가적인 물질층의 개재 없이 SOT 라인과 자유층이 접촉할 필요가 있으므로, 자유층의 결정성 향상을 위한 버퍼층을 위치시키기가 어렵고, 이에 따라 자유층의 결정 품질이 상대적으로 낮거나 자유층에 채용되는 물질 선택에 제약이 있었다. 특히 페리마그네틱 호이슬러 물질은 낮은 댐핑 특성 및 높은 수직 자기 이방성을 가지나, 버퍼층 없이는 우수한 결정 품질을 갖도록 형성하기 어려운 문제가 있었다. 그러나 예시적인 실시예들에 따르면, 버퍼층(140) 상에 고정층 구조물(150)과 자유층(170)을 형성하고, 고정층 구조물(150)과 자유층(170)이 모두 페리마그네틱 호이슬러 물질을 포함함에 따라 자유층(170)의 에피택시 성장 공정에서 버퍼층(140) 및 고정층 구조물(150)이 성장 템플릿으로 작용할 수 있고, 자유층(170)은 우수한 결정 품질을 가질 수 있다.
- [0046] 또한 SOT 구조물(180)이 토폴로지컬 절연체를 포함하는 제2 전극층(184)과, 제2 전극층(184)과 자유층(170) 사이의 계면 특성을 향상시키기 위한 제1 전극층(182)의 적층 구조로 형성됨에 따라, SOT 구조물(180)에 의해 상대적으로 높은 스핀 케도 커플링 특성이 얻어질 수 있다. 따라서 예시적인 실시예들에 따른 자기 메모리 장치(100)는 빠른 스위칭 및 저전류 동작이 가능할 수 있다.
- [0047] 이하에서는, 도 4a 내지 도 4c를 참조로 예시적인 실시예들에 따른 자기 메모리 장치(100)의 구동 방법에 대하여 개략적으로 설명하도록 한다.
- [0048] 도 4a에는 비자성 물질과 자성 물질의 접합 구조에서 전류에 의해 발생하는 스핀 전류가 개략적으로 도시된다.
- [0049] 도 4a를 참조하면, 비자성 물질층(NM)과 자성 금속층(FM)의 적층 구조를 형성한 후, 상기 적층 구조의 비자성 물질층(NM)의 종방향(예를 들어, 상기 적층 구조의 길이 방향 또는 도 4a의 X 방향)을 따라 전류를 흘릴 수 있다. 예를 들어, 비자성 물질층(NM)은 토폴로지컬 절연체 물질을 포함하고, 자성 금속층(FM)은 페리마그네틱 호이슬러 물질을 포함할 수 있다. 이때, 전하 이동에 의한 전류는 JC로 표시될 수 있다. 비자성 물질층(NM)의 스핀-케도 커플링 특성이 큰 것에 기인하여, 비자성 물질층(NM)의 횡방향(예를 들어, 상기 적층 구조의 길이 방향에 대한 수직 방향 또는 도 4a의 +Z 방향)으로 하나의 스핀을 갖는 전자들이 편향(deflected)될 수 있고, 또 다른 방향(예를 들어, 도 4a의 -Z 방향)으로 반대 스핀을 갖는 전자들이 편향될 수 있다. 예를 들어, X 방향으로 전류가 흐를 때, 업 스핀(up spin)이 +Z 방향으로 축적되고 다운 스핀(down spin)이 -Z 방향으로 축적되며, 이

들을 총합하면 $-Z$ 방향으로(또는 $+Z$ 방향으로) 스핀 전류가 발생할 수 있다. 이러한 스핀 전류는 도 4a에서 JS로 표현될 수 있다. 즉, 비자성 물질층(NM)에 전류가 흐를 때, 전류(JC)의 방향에 수직한 방향으로 스핀 전류(JS)가 유도될 수 있고, 비자성 물질층(NM)과 접해 있는 자성 금속층(FM)에 스핀 토크가 전달될 수 있다.

[0050] 도 4b 및 도 4c에는 예시적인 실시예들에 따른 자기 메모리 장치(100)의 쓰기 동작과 읽기 동작이 개략적으로 도시된다.

[0051] 도 4b를 참조하면, 제1 도전 라인(120)에 전압을 인가하여 스위칭 소자(130)를 턴 온 시키고, SOT 구조물(180)에 쓰기 전류(I_{write})를 인가한다. 이 때 SOT 구조물(180)(특히 제2 전극층(184))의 스핀 홀 효과에 의해 스핀 전류(I_{spin})가 발생하여 자유층(170)에 인가될 수 있다. 스핀 전류(I_{spin})는 쓰기 전류(I_{write})에 수직한 방향으로 발생할 수 있다. 따라서 스핀 전류(I_{spin})에 의해 메모리 셀(MC)에 데이터가 기록될 수 있다.

[0052] 도 4c를 참조하면, 제1 도전 라인(120)과 제2 도전 라인(190) 사이에(즉 워드 라인(WL)과 비트 라인(BL) 사이에) 전위차를 형성한다. 이러한 전위차에 의해 제2 도전 라인(190), 자기 터널 접합 구조물(MTJ), 및 제1 도전 라인(120)을 통해 읽기 전류(I_{read})가 흐를 수 있다. 읽기 전류(I_{read})의 값은 자기 터널 접합 구조물(MTJ)의 저항 상태, 즉 자유층(170)의 자화 방향과 고정층 구조물(150)의 자화 방향에 따라 차이가 날 수 있다. 측정된 읽기 전류(I_{read})를 비교값과 비교함에 따라, 자기 터널 접합 구조물(MTJ)이 저저항 상태인지(데이터 0 또는 1) 또는 고저항 상태인지(데이터 1 또는 0) 검출할 수 있다. 이에 따라 자기 터널 접합 구조물(MTJ)에 저장된 데이터를 판별할 수 있다.

[0053] 도 5는 예시적인 실시예들에 따른 자기 메모리 장치(100A)를 나타내는 단면도이다. 도 5는 도 2a의 CX에 대응하는 부분의 확대 단면도이다. 도 5에서, 도 1 내지 도 4c에서와 동일한 참조부호는 동일한 구성요소를 의미한다.

[0054] 도 5를 참조하면, 메모리 셀(MCA)은 버퍼층(140), 고정층 구조물(150A), 터널 배리어(160), 및 자유층(170A)을 포함할 수 있다.

[0055] 자유층(170A)은 터널 배리어(160) 상에 배치되는 하부 자유층(172)과, 하부 자유층(172) 상에 배치되며 SOT 구조물(180)의 바닥면과 접촉하는 상부 자유층(174)을 포함할 수 있다. 상부 자유층(174)은 도 1 내지 도 3을 참조로 설명한 자유층(170)과 유사한 기술적 특징을 가질 수 있다. 상부 자유층(174)은 이원계 페리마그네틱 호이슬러 물질을 포함할 수 있다. 상부 자유층(174)은 Mn_xX_b 의 화학식을 가지며, 예를 들어 MnGa 및 MnGe 중 적어도 하나를 포함할 수 있다.

[0056] 하부 자유층(172)은 삼원계 페리마그네틱 호이슬러 물질을 포함할 수 있다. 하부 자유층(172)은 $Mn_xX_bY_c$ 의 화학식을 가지며, 예를 들어 하부 자유층(172)은 MnGaNi, MnGeNi, MnGaCo, MnGeCo, MnGaFe, 및 MnGeFe 중 적어도 하나를 포함할 수 있다. 하부 자유층(172)은 터널 배리어(160)의 격자상수와 상부 자유층(174)의 격자상수 사이의 값을 갖는 격자상수를 가질 수 있다. 하부 자유층(172)은 터널 배리어(160)와 상부 자유층(174) 사이의 격자 미스매치를 상쇄하는 중간층으로 작용할 수 있고, 이에 따라 자유층(170A)은 상대적으로 우수한 결정 품질을 가질 수 있다.

[0057] 고정층 구조물(150A)은 복수의 고정층 스택(150UA)을 포함할 수 있다. 복수의 고정층 스택(150UA) 각각은 하부 고정층(152A) 및 상부 고정층(154A)을 포함할 수 있다. 하부 고정층(152A) 및 상부 고정층(154A)은 도 1 내지 도 3을 참조로 설명한 하부 고정층(152) 및 상부 고정층(154)과 유사한 기술적 특징을 가질 수 있다. 예를 들어, 하부 고정층(152A)은 이원계 페리마그네틱 호이슬러 물질을 포함할 수 있고, Mn_xX_b 의 화학식을 가지며, 예를 들어 MnGa 및 MnGe 중 적어도 하나를 포함할 수 있다. 상부 고정층(154A)은 삼원계 페리마그네틱 호이슬러 물질을 포함할 수 있고, $Mn_xX_bY_c$ 의 화학식을 가지며, 예를 들어 MnGaNi, MnGeNi, MnGaCo, MnGeCo, MnGaFe, 및 MnGeFe 중 적어도 하나를 포함할 수 있다. 도 5에는 2개의 고정층 스택(150UA)이 제3 방향(Z 방향)을 따라 적층된 것이 예시적으로 도시되었으나, 고정층 스택(150UA)의 개수가 이에 한정되는 것은 아니다. 고정층 구조물(150A)이 복수의 고정층 스택(150UA)의 적층 구조로 형성됨에 따라 고정층 구조물(150A)은 상대적으로 높은 교환 결합력을 가질 수 있고, 이에 따라 고정층 구조물(150A)은 높은 수직 자기 이방성을 나타낼 수 있다.

[0058] 또한 상부 고정층(154A)은 터널 배리어(160)의 격자상수와 하부 고정층(152A)의 격자상수 사이의 값을 갖는 격자상수를 가질 수 있다. 상부 고정층(154A)은 터널 배리어(160)와 하부 고정층(152A) 사이의 격자 미스매치를 상쇄하는 중간층으로 작용할 수 있고, 이에 따라 상부 고정층(154A)은 상대적으로 우수한 결정 품질을 가질 수

있다.

- [0059] 한편, 위에서는 하나의 고정층 스택(150UA) 내에서 하부 고정층(152A)이 이원계 페리마그네틱 호이슬러 물질을 포함하고 상부 고정층(154A)은 삼원계 페리마그네틱 호이슬러 물질을 포함하는 경우에 대하여 설명하였으나, 하나의 고정층 스택(150UA) 내에서 하부 고정층(152A)과 상부 고정층(154A)의 물질이 서로 변경될 수도 있다. 예를 들어, 하부 고정층(152A)이 삼원계 페리마그네틱 호이슬러 물질을 포함하여 최하부의 하부 고정층(152A)이 버퍼층(140) 직접 상에 배치될 수 있고, 상부 고정층(154A)이 이원계 페리마그네틱 호이슬러 물질을 포함하여 최상부의 상부 고정층(154A)이 터널 배리어(160) 직접 하부에 배치될 수도 있다.
- [0060] 예시적인 실시예들에 따르면, 자유층(170A)이 우수한 결정 품질을 가질 수 있고, 또한 고정층 구조물(150A)은 높은 수직 자기 이방성을 가질 수 있다. 따라서, 자기 메모리 장치(100A)는 빠른 스위칭 및 저전류 동작이 가능할 수 있다.
- [0061] 도 6은 예시적인 실시예들에 따른 자기 메모리 장치(100B)를 나타내는 단면도이다. 도 6는 도 2a의 CX에 대응하는 부분의 확대 단면도이다. 도 6에서, 도 1 내지 도 5에서와 동일한 참조부호는 동일한 구성요소를 의미한다.
- [0062] 도 6을 참조하면, 메모리 셀(MCB)은 버퍼층(140), 고정층 구조물(150B), 터널 배리어(160), 및 자유층(170B)을 포함할 수 있다.
- [0063] 자유층(170A)은 터널 배리어(160) 상에 배치되는 하부 자유층(172B)과, 하부 자유층(172B) 상에 배치되며 SOT 구조물(180)의 바닥면과 접촉하는 상부 자유층(174)을 포함할 수 있다. 상부 자유층(174)은 도 1 내지 도 3을 참조로 설명한 자유층(170)과 유사한 기술적 특징을 가질 수 있다. 상부 자유층(174)은 이원계 페리마그네틱 호이슬러 물질을 포함할 수 있고, Mn_aX_b 의 화학식을 가지며, 예를 들어 MnGa 및 MnGe 중 적어도 하나를 포함할 수 있다.
- [0064] 하부 자유층(172B)은 페로마그네틱 호이슬러 물질을 포함할 수 있다. 하부 자유층(172B)은 X_2YZ 의 화학식을 가지며, 예를 들어, Co_2MnSi , Co_2MnAl , Co_2MnGa , Co_2MnGe , Co_2NiGa , Co_2FeSi , Co_2FeAl , Fe_2MnSi , Fe_2VSi , Ni_2MnAl , Ni_2MnIn , 및 Ni_2MnGa 중 적어도 하나를 포함할 수 있다. 하부 자유층(172B)은 터널 배리어(160)의 격자상수와 상부 자유층(174)의 격자상수 사이의 값을 갖는 격자상수를 가질 수 있다. 하부 자유층(172B)은 터널 배리어(160)와 상부 자유층(174) 사이의 격자 미스매치를 상쇄하는 중간층으로 작용할 수 있고, 이에 따라 자유층(170B)은 상대적으로 우수한 결정 품질을 가질 수 있다.
- [0065] 고정층 구조물(150B)은 복수의 고정층 스택(150UB)을 포함할 수 있다. 복수의 고정층 스택(150UB) 각각은 하부 고정층(152A) 및 상부 고정층(154B)을 포함할 수 있다. 하부 고정층(152A)은 도 1 내지 도 3을 참조로 설명한 하부 고정층(152)과 유사한 기술적 특징을 가질 수 있다. 예를 들어, 하부 고정층(152A)은 이원계 페리마그네틱 호이슬러 물질을 포함할 수 있고, Mn_aX_b 의 화학식을 가지며, 예를 들어 MnGa 및 MnGe 중 적어도 하나를 포함할 수 있다.
- [0066] 상부 고정층(154B)은 페로마그네틱 호이슬러 물질을 포함할 수 있다. 상부 고정층(154B)은 X_2YZ 의 화학식을 가지며, 예를 들어, Co_2MnSi , Co_2MnAl , Co_2MnGa , Co_2MnGe , Co_2NiGa , Co_2FeSi , Co_2FeAl , Fe_2MnSi , Fe_2VSi , Ni_2MnAl , Ni_2MnIn , 및 Ni_2MnGa 중 적어도 하나를 포함할 수 있다.
- [0067] 상부 고정층(154B)은 터널 배리어(160)의 격자상수와 하부 고정층(152A)의 격자상수 사이의 값을 갖는 격자상수를 가질 수 있다. 상부 고정층(154B)은 터널 배리어(160)와 하부 고정층(152A) 사이의 격자 미스매치를 상쇄하는 중간층으로 작용할 수 있고, 이에 따라 상부 고정층(154B)은 상대적으로 우수한 결정 품질을 가질 수 있다. 고정층 구조물(150B)이 복수의 고정층 스택(150UB)의 적층 구조로 형성됨에 따라 고정층 구조물(150B)은 상대적으로 높은 교환 결합력을 가질 수 있고, 이에 따라 고정층 구조물(150B)은 높은 수직 자기 이방성을 나타낼 수 있다.
- [0068] 예시적인 실시예들에 따르면, 자유층(170B)이 우수한 결정 품질을 가질 수 있고, 또한 고정층 구조물(150B)은 높은 수직 자기 이방성을 가질 수 있다. 따라서, 자기 메모리 장치(100B)는 빠른 스위칭 및 저전류 동작이 가능할 수 있다.
- [0069] 도 7은 예시적인 실시예들에 따른 자기 메모리 장치(100C)를 나타내는 단면도이다. 도 7은 도 1의 IIA-IIA' 부분에 대응되는 부분의 단면도이다. 도 7에서, 도 1 내지 도 6에서와 동일한 참조부호는 동일한 구성요소를 의미

한다.

- [0070] 도 7을 참조하면, SOT 구조물(180C)은 기판(110)의 상면에 평행한 제2 방향(Y 방향)을 따라 연장될 수 있고, 제2 도전 라인(190)은 SOT 구조물(180C)보다 높은 레벨에서 제2 방향(Y 방향)을 따라 연장될 수 있다. 제2 도전 라인(190)을 SOT 구조물(180C)에 전기적으로 연결하기 위한 복수의 콘택(188)이 제2 층간 절연막(186)을 관통하여 배치될 수 있다.
- [0071] 예시적인 실시예들에 따르면, 토폴로지컬 절연체 물질을 포함하는 SOT 구조물(180C)이 상대적으로 낮은 비저항을 가지며 제2 도전 라인(190)으로부터 이격되어 배치될 수 있고, 예를 들어 제2 도전 라인(190)과 SOT 구조물(180C)이 적층형으로 형성되거나 서로 접촉하여 형성되는 경우에 비하여, SOT 구조물(180C)에 흐르는 전류의 양이 증가될 수 있다. 따라서, 자기 메모리 장치(100C)는 빠른 스위칭 및 저전류 동작이 가능할 수 있다.
- [0072] 도 8 내지 도 13은 예시적인 실시예들에 따른 자기 메모리 장치(100)의 제조 방법을 나타내는 단면도들이다. 도 8 내지 도 13에서, 도 1의 IIA-IIA' 부분에 대응되는 부분의 단면이 공정 순서에 따라 도시된다. 도 8 내지 도 13에서, 도 1 내지 도 7에서와 동일한 참조부호는 동일한 구성요소를 의미한다.
- [0073] 도 8을 참조하면, 기판(110) 상에 제1 도전 라인(120) 및 스위칭 소자(130)를 형성할 수 있다.
- [0074] 기판(110)은 실리콘(Si) 기판, 게르마늄(Ge) 기판, 실리콘 카바이드(SiC) 기판, 갈륨 비소(GaAs) 기판, 인듐 비소(InAs) 기판 또는 인듐 인(InP) 기판과 같은 반도체 기판일 수 있다. 도시되지는 않았지만, 기판(110) 상에는 층간 절연막(도시 생략)과 같은 중간 층이 더 배치될 수 있다.
- [0075] 기판(110) 상에 도핑된 폴리실리콘, 금속 또는 금속 질화물을 사용하여 도전층(도시 생략)을 형성하고, 상기 도전층을 패터닝하여 제1 도전 라인(120)이 형성될 수 있다. 이후, 제1 도전 라인(120) 상에는 스위칭 소자(130)가 형성될 수 있다.
- [0076] 예시적인 실시예들에 있어서, 스위칭 소자(130)는 PMOS 트랜지스터 또는 NMOS 트랜지스터를 포함할 수 있다. 도시되지는 않았지만, 기판(110)은 도전 영역, 예를 들면 불순물이 도핑된 웰(well) 또는 불순물이 도핑된 구조물을 포함할 수 있으며, 기판(110) 내에는 STI(shallow trench isolation) 구조의 소자 분리막(도시 생략)이 더 형성될 수 있고, 기판(110) 상에는 하부 절연층(도시 생략)이 더 형성될 수 있다. 상기 도전 영역은 스위칭 소자(130)의 일부분을 구성할 수 있다.
- [0077] 예시적인 실시예들에 있어서, 스위칭 소자(130)는 다이오드를 포함할 수 있다. 이러한 경우에, 제1 도전 라인(120) 상에 p형 반도체층 및 n형 반도체층을 순차적으로 에피택시 성장시켜, 또는 n형 반도체층 및 p형 반도체층을 순차적으로 에피택시 성장시켜 스위칭 소자(130)를 형성할 수 있다.
- [0078] 이후, 제1 도전 라인(120)과 스위칭 소자(130)를 커버하는 제1 층간 절연막(136)을 형성할 수 있다. 제1 층간 절연막(136)의 일부를 제거하여 스위칭 소자(130)의 상면을 노출하는 하부 전극 개구부(도시 생략)를 형성한 후에, 상기 하부 전극 개구부 내에 금속 물질 또는 금속 질화물을 채움으로써 하부 전극(132)이 형성될 수 있다.
- [0079] 선택적으로 제1 층간 절연막(136)과 하부 전극(132) 상에 평탄화 공정을 수행하여 제1 층간 절연막(136)과 하부 전극(132)의 상면이 동일 평면에 위치할 수 있다.
- [0080] 이후, 제1 층간 절연막(136) 및 하부 전극(132) 상에 예비 버퍼층(140P), 예비 하부 고정층(152P), 예비 상부 고정층(154P), 예비 터널 배리어(160P), 및 예비 자유층(170)을 순차적으로 형성할 수 있다.
- [0081] 예비 버퍼층(140P), 예비 하부 고정층(152P), 예비 상부 고정층(154P), 예비 터널 배리어(160P), 및 예비 자유층(170P)은 스퍼터링(sputtering) 공정, CVD(chemical vapor deposition) 공정, 금속유기 CVD 공정, ALD(atomic layer deposition) 공정 또는 분자빔 에피택시(molecular beam epitaxy) 공정 등에 의해 수행될 수 있다.
- [0082] 예비 버퍼층(140P)은 크롬(Cr), 루테튬(Ru), 탄탈륨(Ta) 등의 비자성 금속 물질, 코발트 갈륨(CoGa), 망간 갈륨 질화물(MnGaN) 등의 비자성 화합물, 및 니켈 알루미늄(NiAl) 등의 비자성 합금 중 적어도 하나를 사용하여 형성될 수 있다. 예비 버퍼층(140P)은 그 상부에 형성되는 예비 하부 고정층(152P)의 에피택시 성장을 위한 템플릿으로 작용할 수 있다. 예비 버퍼층(140P)의 제3 방향(Z 방향)을 따른 두께 및 격자상수는 예비 하부 고정층(152P) 및/또는 예비 상부 고정층(154P)과의 사이의 격자상수와 미스매치를 최소화하기 위하여 적절히 선택될 수 있다.
- [0083] 예비 하부 고정층(152P)은 MnGa 및 MnGe 중 적어도 하나를 사용하여 형성될 수 있다. 예비 상부 고정층(154P)은

MnGaNi, MnGeNi, MnGaCo, MnGeCo, MnGaFe, 및 MnGeFe 중 적어도 하나를 사용하여 형성될 수 있다.

- [0084] 예비 상부 고정층(154P) 상에는 예비 터널 배리어(160P)와 예비 자유층(170P)이 순차적으로 형성될 수 있다. 예비 터널 배리어(160P)를 형성하기 위한 공정에서, 하부에 노출되는 예비 상부 고정층(154P)은 예비 터널 배리어(160P)와의 격자 미스매치가 상대적으로 작은 물질을 포함할 수 있고, 이에 따라 예비 터널 배리어(160P)의 결정 품질, 및/또는 예비 상부 고정층(154P) 및 예비 터널 배리어(160P) 사이의 계면 품질이 우수할 수 있다.
- [0085] 예비 자유층(170P)은 MnGa 및 MnGe 중 적어도 하나를 사용하여 형성될 수 있고, 테트라고날 결정상을 가질 수 있으며 예를 들어 DO_{22} 의 결정 구조를 갖도록 형성될 수 있다. 예비 터널 배리어(160P) 상에 예비 자유층(170P)을 형성하는 공정에서, 터널 배리어(160)가 상대적으로 얇은 두께를 가지므로, 터널 배리어(160) 하부에 위치하는 예비 상부 고정층(154P)이 예비 자유층(170P)의 에피택시 성장을 위한 템플릿으로 작용할 수 있다. 이에 따라 예비 자유층(170P)의 결정 품질, 및/또는 예비 터널 배리어(160P) 및 예비 자유층(170P) 사이의 계면 품질이 우수할 수 있다.
- [0086] 도 10을 도 9와 함께 참조하면, 예비 버퍼층(140P), 예비 하부 고정층(152P), 예비 상부 고정층(154P), 예비 터널 배리어(160P), 및 예비 자유층(170) 상에 마스크 패턴(도시 생략)을 형성할 수 있다. 이후, 마스크 패턴을 식각 마스크로 사용하여 예비 자유층(170), 예비 터널 배리어(160P), 예비 상부 고정층(154P), 예비 하부 고정층(152P), 및 예비 버퍼층(140P)을 순차적으로 패터닝함으로써 버퍼층(140)과 자기 터널 접합 구조물(MTJ)을 포함하는 메모리 셀(MC)을 형성할 수 있다. 자기 터널 접합 구조물(MTJ)은 버퍼층(140) 상에 형성되는 고정층 구조물(150), 터널 배리어(160), 및 자유층(170)을 포함할 수 있고, 고정층 구조물(150)은 하부 고정층(152) 및 상부 고정층(154)을 포함할 수 있다.
- [0087] 상기 패터닝에 의해 하나의 메모리 셀(MC)과 이에 인접한 다른 메모리 셀(MC) 사이의 공간에 개구부(146H)가 형성될 수 있다. 버퍼층(140)의 측벽, 고정층 구조물(150)의 측벽, 터널 배리어(160)의 측벽, 및 자유층(170)의 측벽은 서로에 대하여 정렬되며 일직선 상에 배열될 수 있다. 개구부(146H)의 바닥부에는 제1 층간 절연막(136)의 상면이 노출될 수 있다.
- [0088] 도시되지는 않았지만, 하나의 메모리 셀(MC)을 이에 인접한 다른 메모리 셀(MC)로부터 물리적으로 및 전기적으로 완전히 분리하기 위하여 상기 패터닝 공정에서 과식각이 수행될 수 있다. 이러한 과식각의 결과로 제1 층간 절연막(136)의 상부에 리세스(도시 생략)가 더 형성되고, 제1 층간 절연막(136)의 상면이 하부 전극(132)의 상면보다 국부적으로 낮은 레벨에 배치될 수도 있다.
- [0089] 일반적인 SOT 타입의 MRAM 장치에 따르면 자기 터널 접합 구조물(MTJ) 하부에 SOT 라인이 형성될 수 있고, 이러한 경우 자기 터널 접합 구조물(MTJ)을 형성하기 위한 패터닝 공정에서 과식각의 결과 상기 SOT 라인의 상부에 식각 테미지가 발생할 수 있다. 그러나 본 발명에 따르면, 자기 터널 접합 구조물(MTJ)을 형성하기 위한 패터닝 공정에서 SOT 구조물(180)이 식각 테미지를 입지 않을 수 있다.
- [0090] 도 11을 참조하면, 제1 층간 절연막(136) 및 메모리 셀(MC) 상에 절연층(도시 생략)을 형성하여 개구부(146H)를 채우고, 이후 자유층(170)의 상면이 노출될 때까지 상기 절연층 상부를 평탄화하여 절연 패턴(146)을 형성할 수 있다. 절연 패턴(146)은 버퍼층(140) 및 자기 터널 접합 구조물(MTJ)의 측벽을 둘러쌀 수 있다.
- [0091] 도 9 내지 도 11에서는 1회의 패터닝 공정과 1회의 절연층 형성 공정에 의해 메모리 셀(MC)과 절연 패턴(146)을 형성하는 예시적인 실시예에 대하여 설명하였다. 그러나, 다른 실시예들에 따르면, 2회 이상의 패터닝 공정과 2회 이상의 절연층 형성 공정을 수행하여 메모리 셀(MC)과 절연 패턴(146)을 형성할 수도 있다. 예를 들어, 예비 버퍼층(140P), 예비 하부 고정층(152P), 및 예비 상부 고정층(154P)을 먼저 형성한 후, 이러한 층들을 패터닝하여 하부 스택(도시 생략)을 형성하고, 상기 하부 스택을 둘러싸는 하부 절연 패턴(도시 생략)을 형성할 수 있다. 이후, 상기 하부 스택 및 상기 하부 절연 패턴 상에 예비 터널 배리어(160P) 및 예비 자유층(170)을 형성하고, 이러한 층들을 패터닝하여 상부 스택(도시 생략)을 형성하고, 상기 상부 스택을 둘러싸는 상부 절연 패턴(도시 생략)을 형성할 수도 있다.
- [0092] 도 12를 참조하면, 자기 터널 접합 구조물(MTJ) 상면 및 절연 패턴(146) 상면 상에 예비 제1 전극층(182P)을 형성할 수 있다. 예비 제1 전극층(182P)은 MnGe, 및 MnGa 중 적어도 하나를 사용하여 약 1 내지 10 nm의 두께(t11)(도 3 참조)로 형성될 수 있다. 예비 제1 전극층(182P)은 하부에 배치되는 자유층(170)의 상면을 템플릿으로 하여 에피택시 성장 공정에 의해 형성될 수 있다.
- [0093] 도 13을 참조하면, 예비 제1 전극층(182P)(도 12 참조) 상에 예비 제2 전극층(도시 생략)을 형성할 수 있다. 이

후, 상기 예비 제2 전극층 상에 마스크 패턴(도시 생략)을 형성하고, 상기 마스크 패턴을 식각 마스크로 사용하여 상기 예비 제2 전극층 및 예비 제1 전극층(182P)을 순차적으로 패터닝하여 제2 전극층(184) 및 제1 전극층(182)을 포함하는 SOT 구조물(180)을 형성할 수 있다. 상기 마스크 패턴은 제2 방향(Y 방향)을 따라 연장되는 라인 형상을 가질 수 있다.

[0094] 상기 예비 제2 전극층은 토폴로지컬 절연체 물질, 예를 들어 비스무트안티몬($\text{Bi}_{1-x}\text{Sb}_x$, x 는 0.05 내지 0.25) 및 비스무트셀레늄($\text{Bi}_{1-x}\text{Se}_x$, x 는 0.05 내지 0.25) 중 적어도 하나를 사용하여 형성될 수 있다. 상기 예비 제2 전극층은 육방정계(hexagonal) 결정상을 가질 수 있다. 상기 예비 제2 전극층은 테트라고날 결정상을 갖는 예비 제1 전극층(182P) 상에서 상대적으로 높은 결정 품질과 상대적으로 높은 평탄도를 갖도록 형성될 수 있다. 또한 상기 예비 제2 전극층이 절연 패턴(146) 직접 상부에 배치되지 않고, 예비 제1 전극층(182P) 상에 형성됨에 따라 자유층(170)과 SOT 구조물(180) 사이의 계면 품질(예를 들어, 자유층(170)과 예비 제1 전극층(182P) 사이의 계면 품질, 및/또는 예비 제1 전극층(182P)과 상기 예비 제2 전극층 사이의 계면 품질)이 우수할 수 있다.

[0095] 도 2a를 다시 참조하면, 절연 패턴(146) 상에 SOT 구조물(180)을 덮는 절연층을 형성하고, SOT 구조물(180)의 상면이 노출될 때까지 상기 절연층 상부를 평탄화하여 제2 층간 절연막(186)을 형성할 수 있다. 제2 층간 절연막(186)의 일부분을 제거하여 복수의 개구부(도시 생략)를 형성하고, 상기 복수의 개구부 내에 금속 또는 금속 질화물을 사용하여 복수의 콘택(188)을 형성할 수 있다. 이후, 복수의 콘택(188) 및 제2 층간 절연막(186) 상에 금속 또는 금속 질화물을 사용하여 도전층(도시 생략)을 형성하고, 상기 도전층을 패터닝하여 제2 도전 라인(190)이 형성될 수 있다.

[0096] 전술한 공정을 수행하여 자기 메모리 장치(100)가 완성될 수 있다.

[0097] 일반적으로 SOT 타입의 MRAM 장치에서는, 스위칭 소자 상에 SOT 라인을 배치하고, SOT 라인 상에 자기 터널 접합 구조물이 배치된다. 그러나 상기 자기 터널 접합 구조물을 패터닝하기 위한 식각 공정에서 일반적으로 무거운 금속 물질을 포함하는 식각 잔류물들이 패터닝된 측벽에 재증착되어 자유층과 고정층 사이의 단락을 유발할 수 있고, 식각 분위기에 노출되는 SOT 라인의 상부면이 식각 가스 또는 식각 에천트에 의해 식각 테미지를 받을 수 있다. 그러나 예시적인 실시예들에 따르면, SOT 구조물(180)이 자기 터널 접합 구조물(MTJ) 상에 배치됨에 따라, 자기 터널 접합 구조물(MTJ)의 패터닝 공정에서 SOT 구조물(180)이 식각 테미지를 받는 것이 방지될 수 있다.

[0098] 또한 일반적으로 SOT 타입의 MRAM 장치에서는, SOT 라인과 자유층 사이에 추가적인 물질층의 개재 없이 SOT 라인과 자유층이 접촉할 필요가 있으므로, SOT 라인 상에 자유층, 터널 배리어, 및 고정층이 순차적으로 배치된다. 이러한 경우에, 자유층의 결정성 향상을 위한 버퍼층을 위치시키기가 어렵고, 이에 따라 자유층의 결정 품질이 상대적으로 낮거나 자유층에 채용되는 물질 선택에 한계가 있었다. 그러나 예시적인 실시예들에 따르면, 예비 버퍼층(140P) 상에 페리마그네틱 호이슬러 물질을 포함하는 예비 하부 고정층(152P), 예비 상부 고정층(154P)이 형성되고, 예비 터널 배리어(160P) 상에 예비 자유층(170P)이 형성될 수 있다. 따라서 예비 자유층(170P)의 에피택시 성장 공정에서, 예비 버퍼층(140P), 예비 하부 고정층(152P), 및 예비 상부 고정층(154P) 모두가 성장 템플릿으로 작용할 수 있으므로, 자유층(170)은 우수한 결정 품질을 가질 수 있다.

[0099] 또한 SOT 구조물(180)은 토폴로지컬 절연체를 포함하는 제2 전극층(184)과 제1 전극층(182)의 적층 구조로 형성됨에 따라 제2 전극층(184)은 우수한 결정 품질 및 계면 품질을 가질 수 있다. 따라서, 전술한 방법에 의해 형성된 자기 메모리 장치(100)는 빠른 스위칭 및 저전류 동작이 가능할 수 있다.

[0100] 한편, 도 9를 참조로 설명한 공정에서, 예비 버퍼층(140P) 상에 예비 하부 고정층(152A) 및 예비 상부 고정층(154A)을 교대로 복수 회 형성할 수 있다. 또한 예비 터널 배리어(160P) 상에 삼원계 페리마그네틱 호이슬러 물질을 사용하여 하부 자유층(172)을 형성하고, 이후 상부 자유층(174)을 형성할 수도 있다. 이러한 경우에, 도 5를 참조로 설명한 자기 메모리 장치(100A)가 얻어질 수 있다.

[0101] 또한 도 9를 참조로 설명한 공정에서, 페리마그네틱 호이슬러 물질을 사용하여 예비 하부 고정층(152B) 및 하부 자유층(172B)을 형성할 수도 있다. 이러한 경우에, 도 6를 참조로 설명한 자기 메모리 장치(100B)가 얻어질 수 있다.

[0102] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의

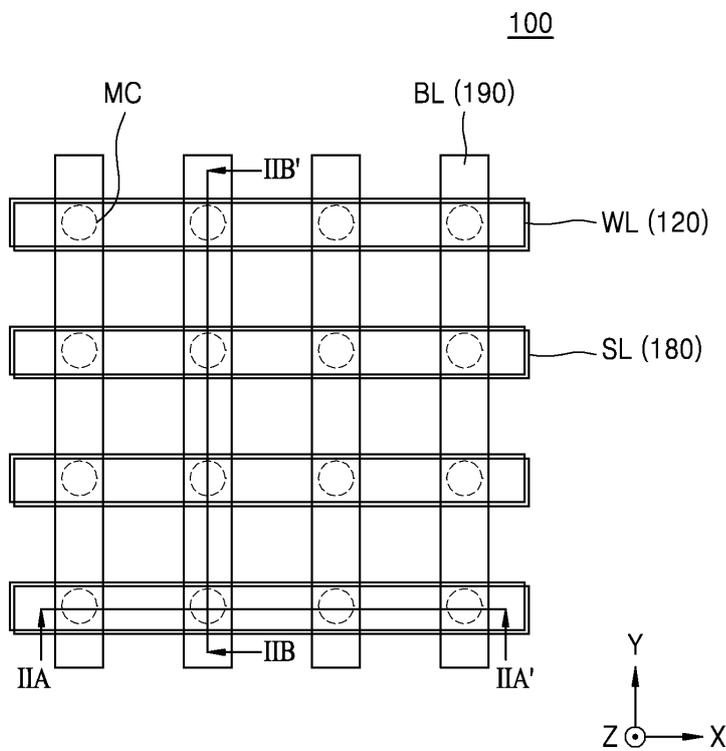
통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

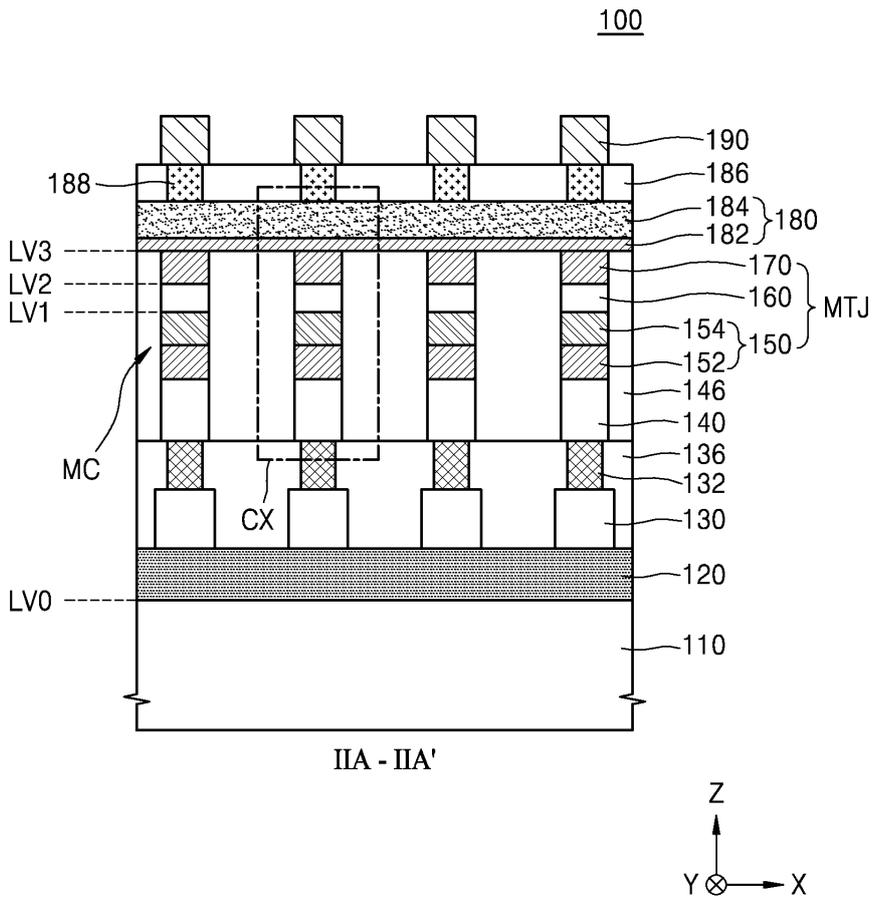
- [0103]
- | | |
|----------------|--------------|
| 100: 자기 메모리 장치 | 140: 버퍼층 |
| 150: 고정층 구조물 | 152: 하부 고정층 |
| 154: 상부 고정층 | 160: 터널 배리어 |
| 170: 자유층 | 180: SOT 구조물 |
| 182: 제1 전극층 | 184: 제2 전극층 |

도면

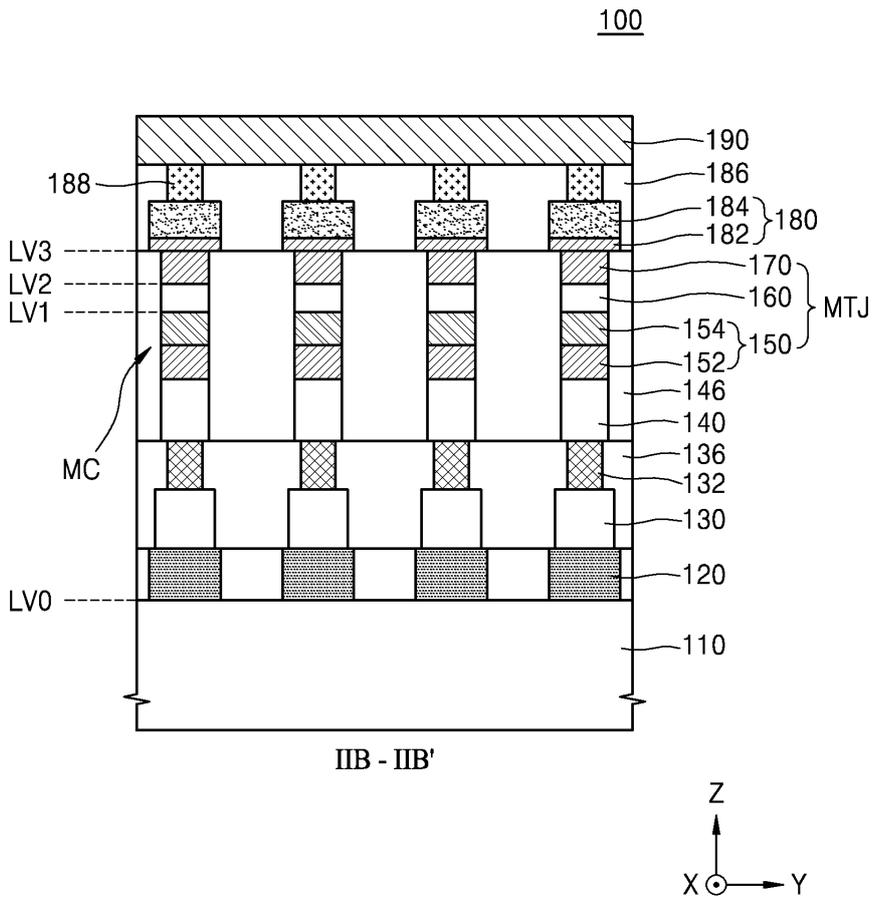
도면1



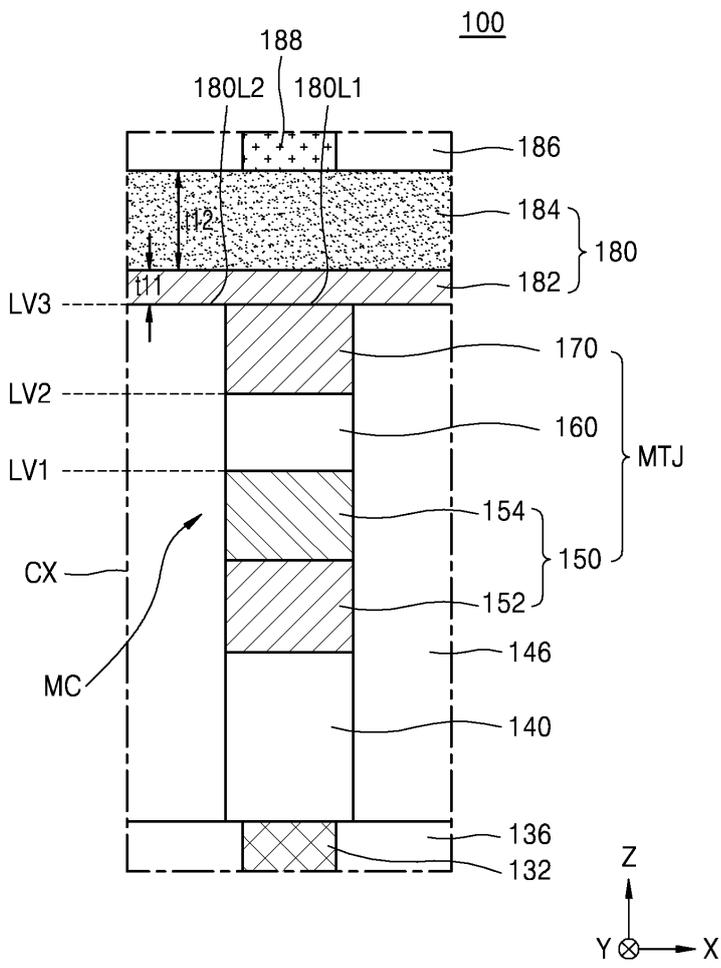
도면2a



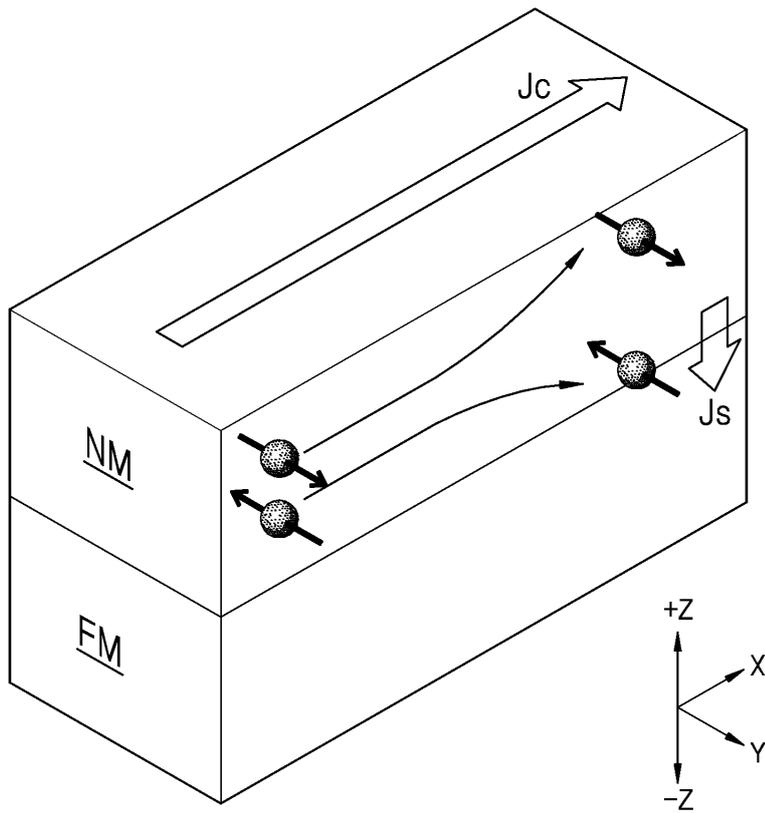
도면2b



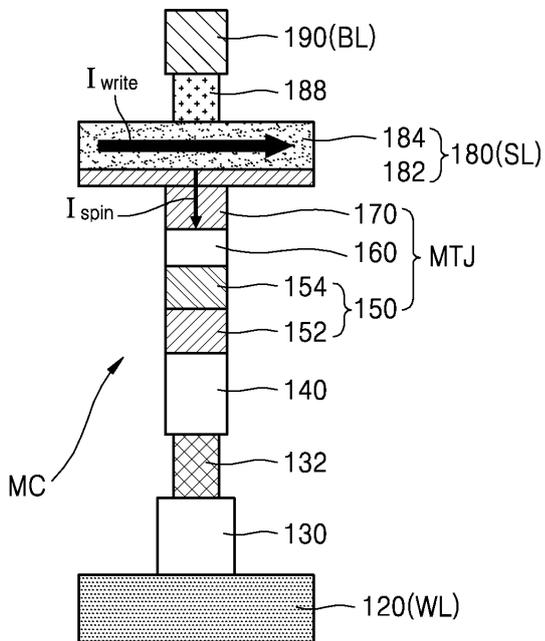
도면3



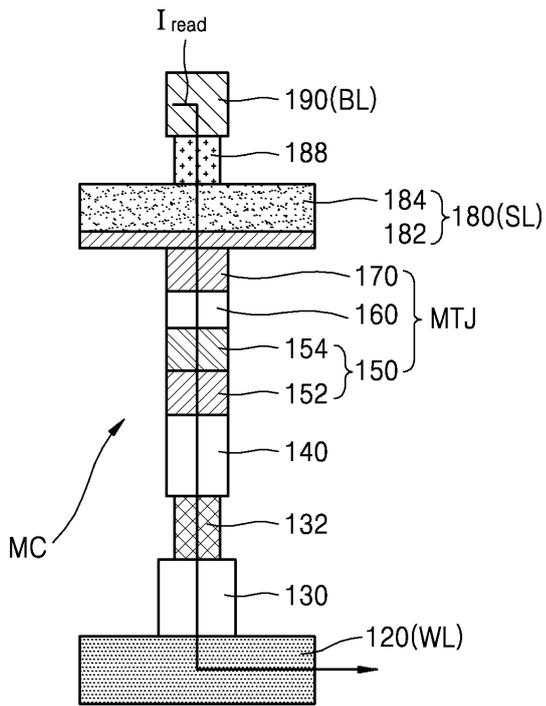
도면4a



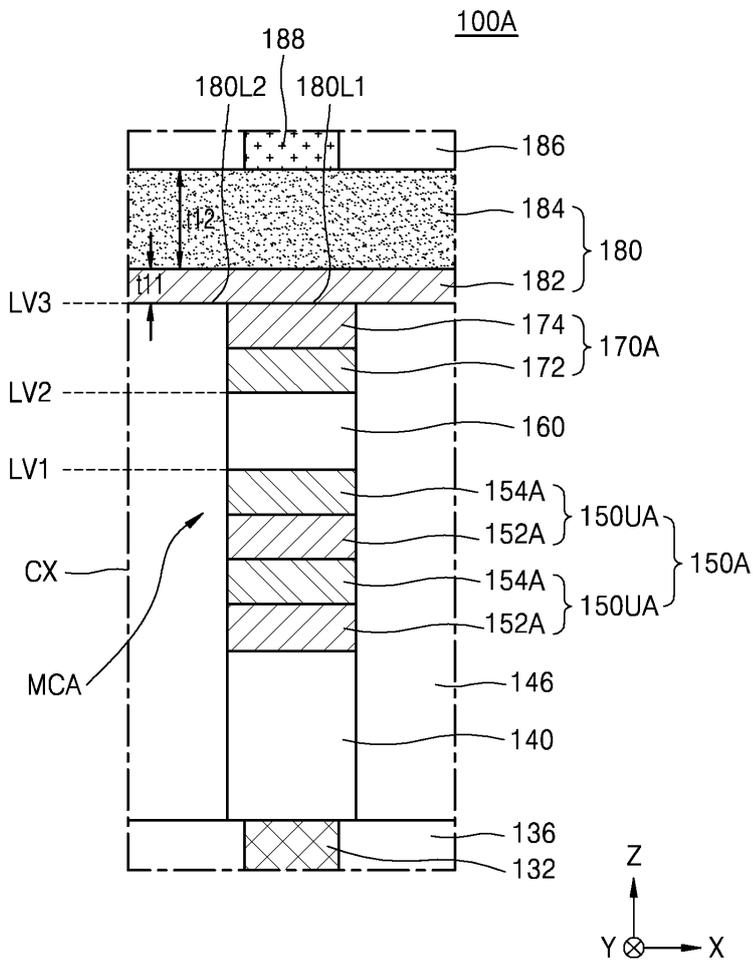
도면4b



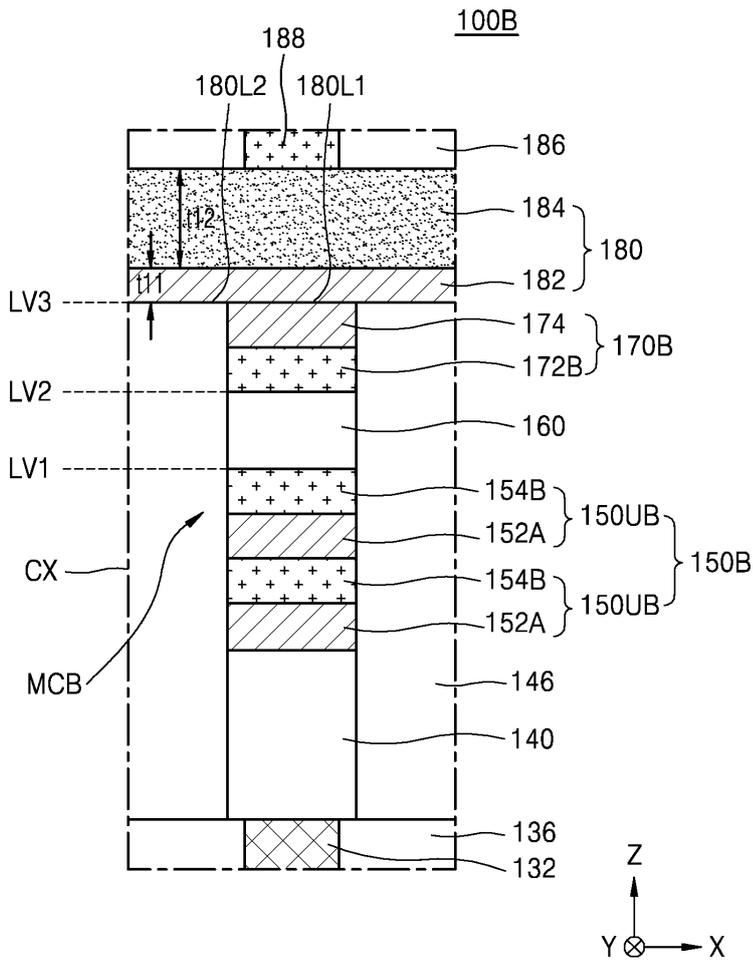
도면4c



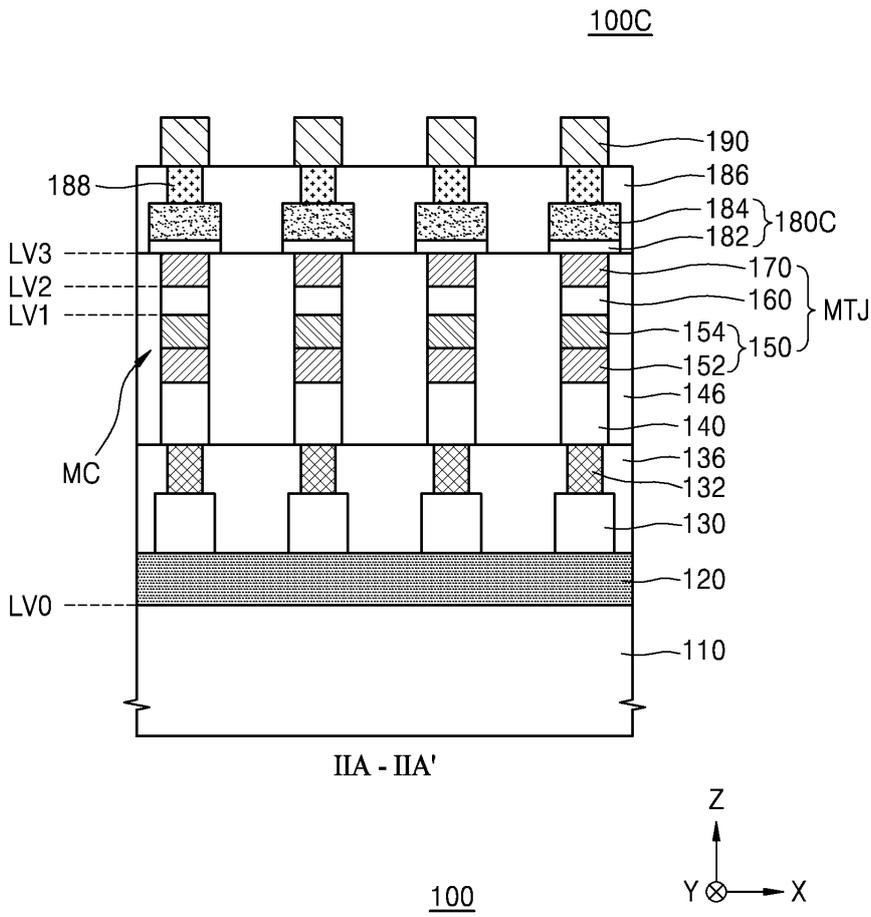
도면5



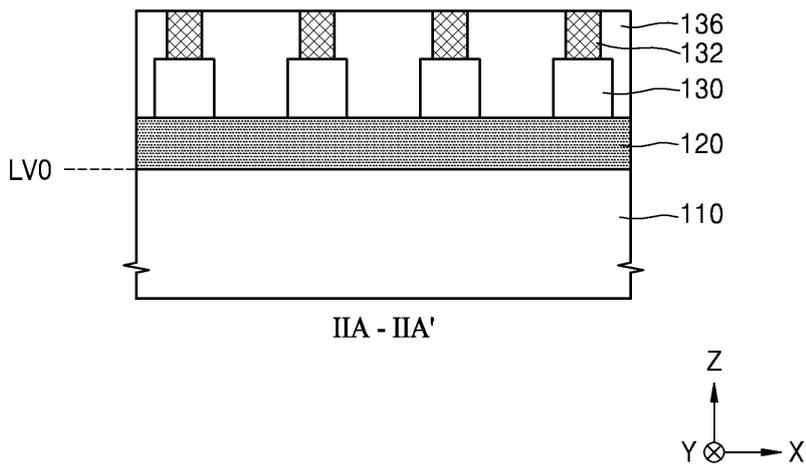
도면6



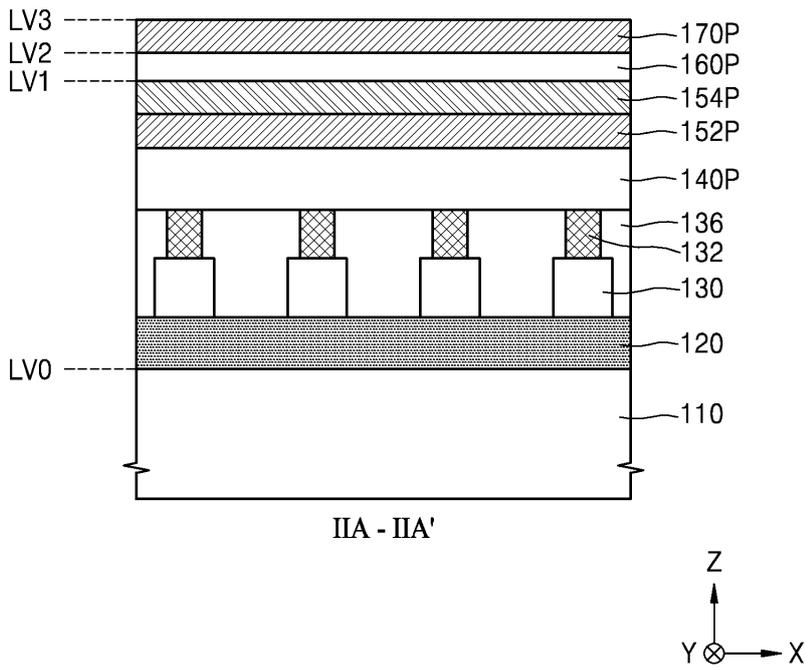
도면7



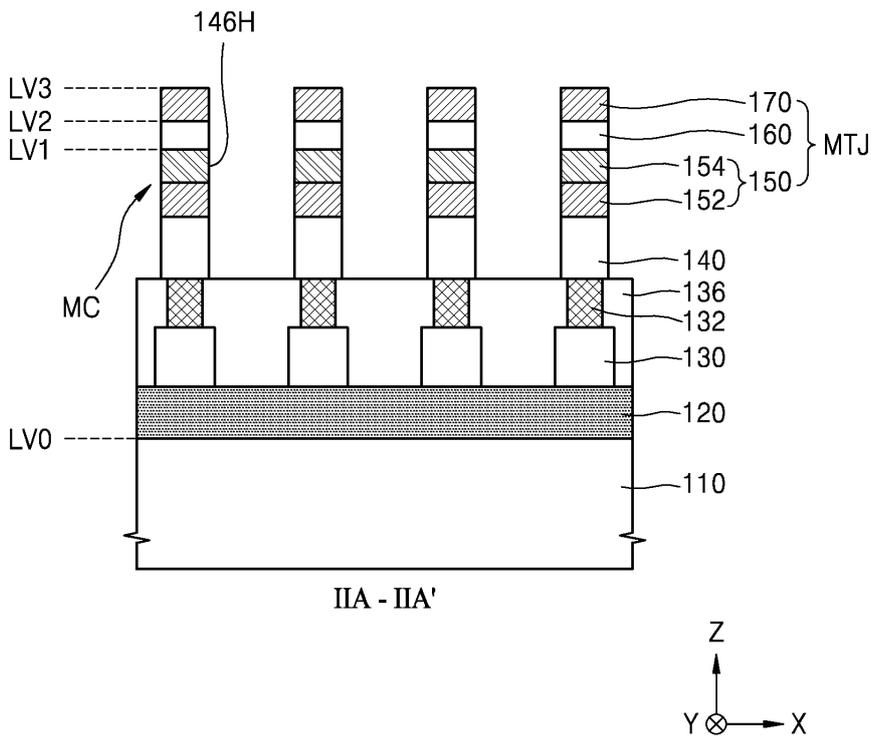
도면8



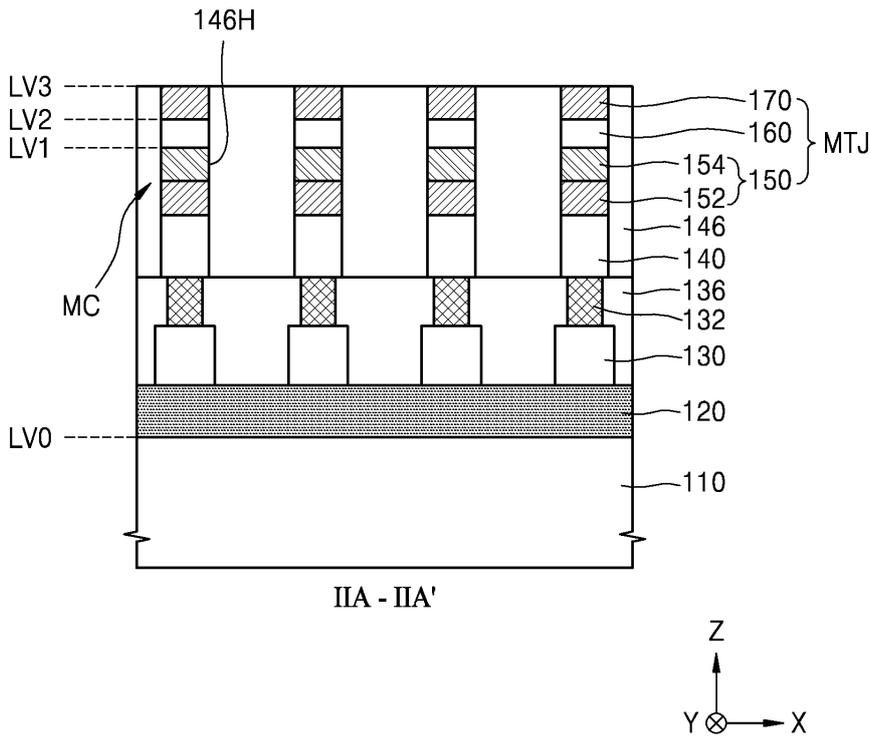
도면9



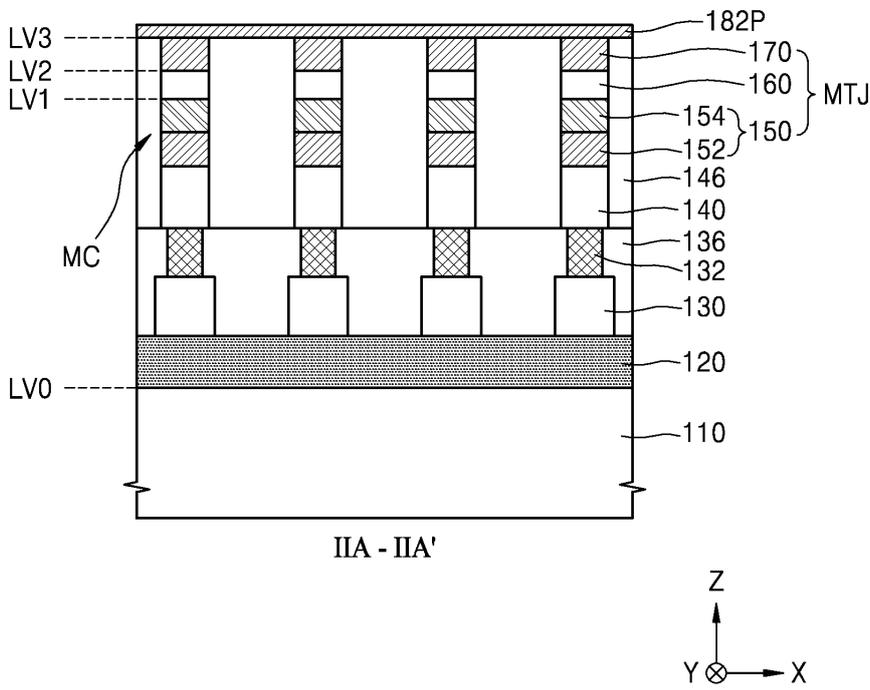
도면10



도면11



도면12



도면13

