



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098062
 (43) 공개일자 2008년11월06일

- | | |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| (51) Int. Cl.
H01L 23/544 (2006.01)
(21) 출원번호 10-2008-7022418
(22) 출원일자 2008년09월12일
심사청구일자 2008년09월12일
번역문제출일자 2008년09월12일
(86) 국제출원번호 PCT/EP2007/051925
국제출원일자 2007년02월28일
(87) 국제공개번호 WO 2007/099138
국제공개일자 2007년09월07일
(30) 우선권주장
102006009584.7 2006년02월28일 독일(DE) | (71) 출원인
큐-셀즈 아게
독일 06766 비트켄트-볼펜 오티 탈하임 가디안스
트라쎌 16
(72) 발명자
물러, 조르그
독일 06792 산데르스도르프 페스탈로찌스트라쎌
15에이
파트즐라프, 토랄프
독일 06114 할레 아이헨도르프스트라쎌 4
(74) 대리인
김경희 |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

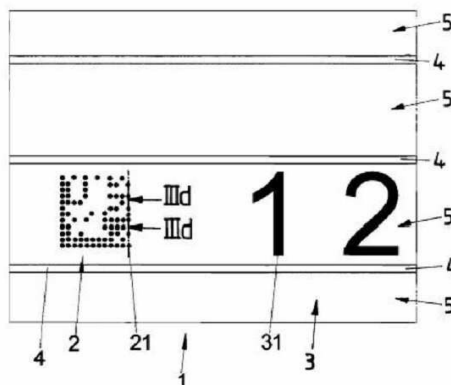
전체 청구항 수 : 총 28 항

(54) 태양전지 마킹방법 및 태양전지

(57) 요약

본 발명은 다음과 같은 단계를 포함하는 태양전지 마킹방법에 관한 것이다: 활성 영역(5)을 포함하는 태양전지(1)의 제조를 위하여 기판 표면을 구비한 기판의 준비 단계, 및 적어도 하나의 리세스(21, 31)가 태양전지(1)의 마킹을 위한 마킹부(2, 3)를 형성하며, 레이저 빔의 사용 하에서 기판 표면에 적어도 하나의 리세스(21, 31)를 형성하는 단계, 및 태양전지 제조 공정의 수행 전에 또는 태양전지 제조 공정을 수행하는 동안에 리세스(21, 31)를 형성하는 단계. 본 발명에서는 기판이 웨이퍼 표면을 구비한 반도체 웨이퍼로서 형성되며, 마킹부(2, 3)가 반도체 웨이퍼로 형성된 태양전지(1)의 활성 영역(5) 내에 위치하도록 마킹부(2, 3)가 웨이퍼 표면에 배치된다. 또한 본 발명은 태양전지(1)의 기능성을 침해하지 않으면서 그 마킹부를 양호하게 인식할 수 있고 따라서 신뢰성 있게 관독될 수 있도록 위치된 반도체 웨이퍼 태양전지(1)에 관한 것이다.

대표도 - 도2



특허청구의 범위

청구항 1

활성 영역(5)을 포함하는 태양전지(1)의 제조를 위하여 기판 표면을 갖는 기판을 제공하는 단계;

레이저 빔의 사용 하에서 기판 표면에 적어도 하나의 리세스(21, 31)를 형성하는 단계로, 상기 적어도 하나의 리세스(21, 31)는 태양전지(1)의 마킹을 위한 마킹부(2, 3)를 생성하는, 단계 ; 및

태양전지 제조 공정의 수행 전에 또는 태양전지 제조 공정을 수행하는 동안에 리세스(21, 31)를 생성하는 단계를 포함하는 태양전지 마킹방법에 있어서,

상기 기판은 웨이퍼 표면을 구비한 반도체 웨이퍼로서 형성되며, 상기 마킹부(2, 3)가 반도체 웨이퍼로 형성된 태양전지(1)의 활성 영역(5) 내에 위치하도록 상기 마킹부(2, 3)는 웨이퍼 표면에 배치되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 2

제 1항에 있어서, 리세스를 통해 형성된 마킹부(2, 3)가 모든 제조 공정의 수행 후에도 전자광학 관독기를 통해 관독될 수 있을 정도의 깊이를 갖는 적어도 하나의 리세스(21, 31)가 형성되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 3

제 1항 또는 제 2항에 있어서, 적어도 하나의 리세스(21, 31)의 형성 후에 에너지 조사에 영향을 받는 영역(11)이 리세스(21, 31) 구역의 웨이퍼 표면에서 완전히 제거되는 식각 단계가 제공되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 4

제 3항에 있어서, 리세스 구역 내에 있는 웨이퍼 표면이 그 밖에 있는 웨이퍼 표면보다 더 높은 식각률로 식각 되도록 해당 식각 단계가 형성되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 5

제 3항 또는 제 4항에 있어서, 식각 단계가 습식화학 연마 단계 또는 건식 식각 단계(또는 플라즈마 식각)로서 실시되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 6

제 5항에 있어서, 마킹부(2, 3)가 형성된 웨이퍼 표면이 식각 단계를 통하여 추가적으로 텍스처링되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 7

제 1항 내지 제 6항 중 어느 한 항에 있어서, 레이저 제거를 통하여 8 μm 를 초과하는, 바람직하게는 12 μm 를 초과하는, 더욱 바람직하게는 15 내지 30 μm 사이의 깊이를 갖는 적어도 하나의 리세스(21, 31)가 형성되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 8

제 1항 내지 제 7항 중 어느 한 항에 있어서, 리세스(21,31)의 형성 시 적어도 하나의 리세스(21, 31)의 직경에 대한 깊이의 치수비가 1:12보다 크며, 바람직하게는 1:10보다 크고, 더욱 바람직하게는 1:7 내지 1:3의 범위에 있는 것을 특징으로 하는 태양전지 마킹방법.

청구항 9

제 1항 내지 제 8항 중 어느 한 항에 있어서, 태양전지 제조 공정은:

도핑제, 특히 인을 이용한 열확산을 통한, 마킹부(2, 3)가 존재하는 웨이퍼 표면에서 넓은 면적의 p-n 접합면의

형성하는 단계;

마킹부(2, 3)가 포함된 웨이퍼 표면에서, 질화규소 또는 이산화티타늄으로 이루어진 박막 형태의 반사방지층을 테포지션하는 단계; 및

활성 영역을 구비한 마킹부(2, 3)가 포함된 웨이퍼 표면에서 스트립 도체(4) 형태의 금속 전극 그리드의 금속 함유성 페이스트의 도포, 건조 및 굽기 단계를 포함하는 것을 특징으로 하는 태양전지 마킹방법.

청구항 10

제 9항에 있어서, 스트립 도체(4)가 마킹부(2, 3)에 대해 이격되게 배치되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 11

제 10항에 있어서, 스트립 도체(4)가 서로 등거리로 배치되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 12

제 10항 또는 제 11항에 있어서, 마킹부(2, 3)가 반도체 웨이퍼의 중앙에 배치되며, 제1 중앙 스트립 도체(41a)가 웨이퍼 표면의 일측면에서 마킹부(2) 방향으로 진행하고 제2 중앙 스트립 도체(41b)가 웨이퍼 표면의 대향하는 측면에서부터 마킹부(2, 3) 방향으로 진행하도록 스트립 도체(4)가 배치되며, 제1 중앙 스트립 도체(41a) 및 제2 중앙 스트립 도체(41b)가 마킹부(2, 3)와 접촉하기 전에 반대 방향으로 꺾이고 각각 인접한 스트립 도체(4a, 4b)에 연결되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 13

제 1항 내지 제 12항 중 어느 한 항에 있어서, 마킹부(2, 3)가 복수의 리세스(21, 31)로 구성되며 시리얼 코드 기호, 데이터 매트릭스 코드 또는 바코드의 형태로 형성되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 14

제 13항에 있어서, 마킹부(2)가 약 2 mm x 2 mm의 모서리 길이를 갖는 14 x 14 데이터 매트릭스 코드로서 형성되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 15

제 14항에 있어서, 마킹부(3)가 OCR 방법으로 판독될 수 있으며 숫자 및/또는 문자로 이루어진 복수의 기호를 포함하는 시리얼 코드 기호로서 형성되고, 이 기호가 약 1밀리미터의 높이를 갖는 것을 특징으로 하는 태양전지 마킹방법.

청구항 16

제 13항 내지 제 15항 중 어느 한 항 또는 복수항에 있어서, 웨이퍼 표면에 복수의 마킹부(2, 3)가 형성되는 것을 특징으로 하는 태양전지 마킹방법.

청구항 17

레이저 제거를 통해 형성된 리세스(21, 31)로 이루어진 마킹부(2, 3)를 포함하는, 광기전 활성 영역(5)을 구비한 태양전지(1)에 있어서,

상기 태양전지(1)는 웨이퍼 표면을 구비한 반도체 웨이퍼로 제조되며, 상기 마킹부(2, 3)는 웨이퍼 표면에서 태양전지의 활성 영역(5)의 구역에 형성되는 것을 특징으로 하는 태양전지(1).

청구항 18

제 17항에 있어서, 리세스를 통해 형성된 마킹부(2, 3)가 모든 태양전지 제조 공정의 수행 후에도 전자광학 판독기를 통해 판독될 수 있을 정도의 깊이를 갖는 적어도 하나의 리세스(21, 31)가 형성되는 것을 특징으로 하는 태양전지(1).

청구항 19

제 17항 또는 제 18항에 있어서, 적어도 하나의 리세스(21, 31)의 내부에서 접하는 구역(12)이, 레이저 에너지의 조사에 거의 영향을 받지 않는 다결정 또는 단결정 미세 구조를 갖는 것을 특징으로 하는 태양전지(1).

청구항 20

제 17항 내지 제 19항 중 어느 한 항에 있어서, 웨이퍼 표면이 적어도 하나의 리세스(21, 31)의 내부에서 텍스처링되게 형성되는 것을 특징으로 하는 태양전지(1).

청구항 21

제 17항 내지 제 20항 중 어느 한 항에 있어서, 8 μm 를 초과하는, 바람직하게는 12 μm 를 초과하는, 더욱 바람직하게는 15 내지 30 μm 사이의 깊이를 갖는 적어도 하나의 리세스(21, 31)가 형성되는 것을 특징으로 하는 태양전지(1).

청구항 22

제 17항 내지 제 21항 중 어느 한 항에 있어서, 적어도 하나의 리세스(21, 31)의 직경에 대한 깊이의 치수비가 1:12보다 크며, 바람직하게는 1:10보다 크고, 더욱 바람직하게는 1:7 내지 1:3의 범위에 있도록 적어도 하나의 리세스(21, 31)가 형성되는 것을 특징으로 하는 태양전지(1).

청구항 23

제 17항 내지 제 22항 중 어느 한 항에 따른 태양전지(1)로서,

마킹부(2, 3)를 향하는 반도체 웨이퍼 측면에 있는 넓은 면적의 p-n 접합면;

마킹부(2, 3)가 포함된 웨이퍼 표면에 있는 반사방지층; 및

마킹부(2, 3)가 포함된 웨이퍼 표면에 있는 복수의 스트립 도체(4)를 구비한 금속 전극 그리드를 포함하며, 스트립 도체(4)가 마킹부(2, 3)에 대해 이격되게 진행되는 것을 특징으로 하는 태양전지(1).

청구항 24

제 23항에 있어서, 마킹부(2, 3)가 반도체 웨이퍼의 중앙에 배치되며, 제1 중앙 스트립 도체(41a)가 웨이퍼 표면의 일측면에서 마킹부(2) 방향으로 진행하고 제2 중앙 스트립 도체(41b)가 웨이퍼 표면의 대향하는 측면에서부터 마킹부(2, 3) 방향으로 진행하도록 스트립 도체(4)가 배치되며, 제1 중앙 스트립 도체(41a) 및 제2 중앙 스트립 도체(41b)가 마킹부(2, 3)와 접촉하기 전에 반대 방향으로 꺾이고 각각 인접한 스트립 도체(4a, 4b)에 연결되는 것을 특징으로 하는 태양전지(1).

청구항 25

제 17항 내지 제 24항 중 어느 한 항에 있어서, 마킹부(2, 3)가 복수의 리세스(21, 31)로 구성되며 시리얼 코드 기호, 데이터 매트릭스 코드 또는 바코드의 형태로 형성되는 것을 특징으로 하는 태양전지(1).

청구항 26

제 25항에 있어서, 마킹부(2)가 약 2mm x 2mm의 모서리 길이를 갖는 14 x 14 데이터 매트릭스 코드로서 형성되는 것을 특징으로 하는 태양전지(1).

청구항 27

제 25항에 있어서, 마킹부(3)가 전자광학 관독기를 통해 관독될 수 있으며 숫자 및/또는 문자로 이루어진 복수의 기호를 포함하는 시리얼 코드 기호로서 형성되고, 이 기호가 약 1밀리미터의 높이를 갖는 것을 특징으로 하는 태양전지(1).

청구항 28

제 25항 내지 제 27항 중 어느 한 항 또는 복수항에 있어서, 웨이퍼 표면에 복수의 마킹부(2, 3)가 형성되는 것

을 특징으로 하는 태양전지(1).

명세서

기술분야

<1> 본 발명은 청구항 1항의 전제부에 따른 태양전지 마킹방법 및 청구항 17항의 전제부에 따른 태양전지에 관한 것이다.

배경기술

<2> 유럽 특허 EP 1 089 346 A2에는 우선 활성 영역을 구비한 태양전지의 제조를 위하여 기판 표면을 구비한 기판이 준비되고 이어서 레이저 빔의 사용 하에서 기판 표면에 적어도 하나의 리세스가 제조되는 태양전지 마킹방법이 공개되어 있다. 적어도 하나의 리세스는 태양전지의 마킹을 위한 마킹부를 형성하며 리세스의 형성은 태양전지 제조 공정의 수행 전에 또는 태양전지 제조 공정의 수행 중에 이루어진다. 하지만 이 태양전지 마킹방법은 소위 박막 솔라 모듈(thin layer solar module)에 대해 최적화되어 있다. 박막 솔라 모듈은 단일 구조가 직렬로 연결된 복수의 박막 태양전지를 포함한다. 이 박막 태양전지는 유리판으로서 형성된 기판에 데포지션된다. 레이저 빔을 통해 각인된 마킹부가 박막 태양전지의 기능을 저해하지 않도록 하기 위하여, 마킹부는 솔라 모듈의 전기 생산에 기여하지 않는 유리판의 가장자리에 배치된다.

<3> 하지만 가장자리 구역이 태양전지의 전기 생산에 기여하지 않으므로, 이 가장자리 구역을 가능한 한 작게 형성하는 것이 바람직하다.

발명의 상세한 설명

<4> 본 발명의 목적은 전기 생산에 기여하지 않는 태양전지 가장자리 구역을 최소화하는 것을 가능하게 하는 단순한 태양전지 마킹방법을 제공하는 것이다.

<5> 이 목적은 청구항 1의 특징을 포함하는 태양전지 마킹방법을 통해 달성된다.

<6> 본 발명에서는, 기판이 웨이퍼 표면을 구비한 반도체 웨이퍼로서 형성되며, 마킹부가 반도체 웨이퍼로 형성된 태양전지의 활성 영역 내에 위치하도록 마킹부가 웨이퍼 표면에 배치된다.

<7> 기판으로서 반도체 웨이퍼가 사용됨으로 인하여, 기판 표면 상에 형성된 태양전지의 활성 영역이 기판의 가장자리 바로 전까지 극대화된다. 반도체 웨이퍼 태양전지의 제조 시 박막 솔라 모듈에 비해 상이한 공정 단계는 태양전지의 활성 영역 내에서 마킹부의 포지셔닝을 가능하게 하며, 마킹부는, 웨이퍼 표면에 형성되고 레이저 빔을 통해 생성된 적어도 하나의 리세스의 형태로 형성된다.

<8> 반도체 웨이퍼 태양전지의 제조 중에 마킹부가 어떤 공정 단계에서 웨이퍼 표면에 형성되는지에 따라서, 마킹부의 판독을 통한 제조 공정의 역추적 범위가 결정된다.

<9> 반도체 웨이퍼로서 다결정 또는 단결정 재료, 특히 천연 실리콘, 게르마늄 및 웨이퍼로서 알려진 기타 반도체 재료가 사용될 수 있다. 또한 스트링 리본(String Ribbon) 법으로 제조된 반도체 웨이퍼를 사용하는 것도 가능하다.

<10> 마킹부의 판독은 태양전지 제조 공정의 종료 시점에 이루어지는 것이 바람직하지만, 공정 중에 개별 부분 공정 사이에 수행하는 것도 가능하다. 예를 들어 솔라 모듈의 제조를 위한 태양전지의 후속 공정에서 동일한 가능성이 제공된다. 솔라 모듈 내에 배치된 태양전지에서 그 활성 영역에 가능한 한 많은 광이 조사될 수 있도록 활성 영역이 배치된다. 이를 통하여, 광학 이미지 생성기와 함께 작동하는 판독 장치를 통하여 각 솔라 모듈 내의 태양전지의 마킹부가 간단하게 판독될 수 있는 것이 부수 효과로서 확인되었다. 이로써 전체 제품 수명 기간에 걸쳐 솔라 모듈에서 태양전지의 장기 추적이 가능하다.

<11> 이 방법은 반도체 웨이퍼에 단 하나의 태양전지만 제조하는 경우뿐 아니라 반도체 웨이퍼에 복수의 태양전지를 제조하는 경우에도 적용된다. 복수의 태양전지에서는 하나 또는 복수의 마킹부가 형성될 수 있다.

<12> 바람직하게는 리세스를 통해 형성된 마킹부가 모든 제조 공정의 수행 후에도 전자광학 판독기를 통해 판독될 수 있을 정도의 깊이를 갖는 적어도 하나의 리세스가 형성된다. 이로써 하나의 동일한 리세스로 반도체 웨이퍼 태양전지의 전체 제조 공정을 추적할 수 있다. 제조 시 이 공정 단계는 예를 들어 층의 데포지션 공정으로서 재료를 웨이퍼 표면에 데포지션시킬뿐 아니라 예를 들어 식각 공정의 형태로 웨이퍼 표면의 재료를 제거할 수도 있

다. 사용되는 관독기에서의 요구 사항에 대한 참작 하에서 재료 변화의 등방성 및 두께(데포지션 및 식각 시 층 두께)에 따라서 리세스의 깊이가 선택된다.

- <13> 이 방법의 특히 바람직한 변형은 적어도 하나의 리세스의 형성 후에 에너지 조사에 영향을 받는 영역이 리세스 구역의 웨이퍼 표면에서 완전히 제거되는 식각 단계가 제공되는 것을 특징으로 한다. 리세스의 형성 시 웨이퍼 표면의 구역에서 반도체 재료의 미세 구조는 에너지 조사에 의해 영향을 받는다. 이로써 특히 전하 운반체 수명이 태양전지의 기능에 대한 주요 변수로서 영향을 미친다. 웨이퍼 표면에서 에너지 조사에 의해 영향을 받는 영역이 제거됨으로 인하여, 레이저 빔의 에너지 조사에 기인하는 태양전지에 대한 부정적 영향이 방지된다.
- <14> 바람직하게도 리세스 구역 내에 있는 웨이퍼 표면이 그 밖에 있는 웨이퍼 표면보다 더 높은 식각률로 식각되도록, 에너지 조사에 영향을 받는 영역의 제거를 위한 식각 단계가 형성된다. 이로써 웨이퍼 표면에 있는 리세스의 형태가 더욱 뚜렷하게 형성된다.
- <15> 식각 단계가 습식화학 연마 단계 또는 건식 식각 단계, 특히 플라즈마 식각 공정으로서 실시되는 것이 바람직하다. 여기에는 예를 들어 마이크로 시스템 기술 분야에서 알려진 가공 방법이 웨이퍼 표면의 제어 가공에 사용될 수 있다.
- <16> 제조 방법의 특히 바람직한 변형에서는, 마킹부가 형성된 웨이퍼 표면이 식각 단계를 통하여 추가적으로 텍스처링된다. 에너지 조사에 영향을 받는 영역의 제거와 텍스처링의 조합을 통하여 제조 방법이 더욱 경제적으로 적용된다.
- <17> 이 방법의 바람직한 실시 형태의 특징은, 레이저 제거를 통하여 8 μm 를 초과하는, 바람직하게는 12 μm 를 초과하는, 더욱 바람직하게는 15 내지 30 μm 사이의 깊이를 갖는 적어도 하나의 리세스가 형성되는 것이다.
- <18> 리세스의 깊이에 대한 기술한 파라미터의 연관관계에서, 리세스의 형성 시 적어도 하나의 리세스의 직경에 대한 깊이의 치수비가 1:12보다 크며, 바람직하게는 1:10보다 크고, 더욱 바람직하게는 1:7 내지 1:3의 범위에 있는 것이 바람직하다. 원형 윤곽(contour)을 갖지 않는 리세스의 경우에는 본 발명의 의미에서 직경의 특징은 대향하는 리세스 가장자리 구역의 최소 간격 치수로 이해되어야 한다. 마킹부가 현재 일반적인 마킹부 관독기, 예를 들어 광학문자인식(optical character recognition, OCR)용 전자광학 스캐너를 통하여 반도체 웨이퍼 태양전지의 제조 시 모든 공정 단계의 수행 중에 또는 그 후에 안정적으로 관독되는 것이 기술한 치수비를 통해 달성된다.
- <19> 마킹부의 형성을 위하여 복수의 리세스가 사용되는 경우에, 다른 중요한 측면은 개별 리세스의 상호 간격이다. 일반적으로 양측 리세스를 서로 분리하는 웨브가 두 개의 인접한 리세스의 최소 간격을 따라 진행된다. 마킹부의 관독 시 필요한 대조(contrast)를 위하여 충분한 웨브 폭이 요구된다. 인접한 리세스는 약 20 내지 30 μm 의 최소 간격으로 형성되어야 한다. 이와 관련하여 레이저 빔에 영향을 받는 영역의 제거를 위한 등방성 식각 단계를 통해 리세스의 간격이 더욱 감소된다는 점을 고려해야 한다. 이와 달리 식각 단계가 이방성으로 형성되는 경우에는, 두 개의 리세스의 상호 간격이 거의 동일하게 유지된다.
- <20> 바람직한 태양전지 마킹방법에서는, 태양전지 제조 공정은 다음과 같은 단계를 포함한다: 도핑제, 특히 인을 이용한 열확산을 통한, 마킹부가 존재하는 웨이퍼 표면에서 넓은 면적의 p-n 접합면의 형성; 마킹부가 포함된 웨이퍼 표면에서, 예를 들어 질화규소 또는 이산화티타늄으로 이루어진 박막 형태의 반사방지층의 데포지션, 활성 영역을 구비한 마킹부가 포함된 웨이퍼 표면에서 스트립 도체 형태의 금속 전극 그리드(프런트 그리드)의 금속 함유성 페이스트의 도포, 건조 및 굽기. 물론 기술한 실시와 차이점을 갖는 다른 p-n 접합면의 형성 및 전극 그리드의 제조 방법도 구현할 수 있다. 이로써 반도체 웨이퍼에 복수의 p-n 접합면을 형성하거나 또는 스크린 인쇄법 대신 후속 층 구성 공정이 포함된 층 데포지션을 통하여 이 전극 그리드를 구현할 수 있다.
- <21> 기술한 방법에서는 스트립 도체가 마킹부에 대해 이격되게 배치되는 것이 바람직하다. 이렇게 함으로써 스트립 도체는 그 제조 시 웨이퍼 표면에 존재하는 리세스로 인해 그 전도성이 저하되지 않는다.
- <22> 스트립 도체와 관련하여 이 방법의 바람직한 다른 변형에서는 스트립 도체가 서로 등거리로 배치된다.
- <23> 마킹방법의 다른 변형에서는 스트립 도체의 배치와 관련하여 마킹부가 반도체 웨이퍼의 중앙에 배치되며, 제1 중앙 스트립 도체가 웨이퍼 표면의 일측면에서 마킹부 방향으로 진행하고 제2 중앙 스트립 도체가 웨이퍼 표면의 대향하는 측면에서부터 마킹부 방향으로 진행하도록 스트립 도체가 배치되고, 제1 중앙 스트립 도체 및 제2 중앙 스트립 도체가 마킹부와 접촉하기 전에 반대 방향으로 꺾이고 각각 인접한 스트립 도체에 연결된다. 이러한 방식으로 마킹부가 태양전지의 활성 영역에 배치되며, 그 크기는 두 개의 인접한 스트립 도체의 최대 간격보

다 넓다.

- <24> 바람직하게는 마킹부가 데이터 매트릭스 코드 또는 바코드의 형태로 형성되도록 마킹부가 복수의 리세스로 구성된다. 원칙적으로 리세스는 예를 들어 점 또는 바 형태의 임의의 형태를 가질 수 있다. 이러한 방식으로 실제 현장에서 반도체 웨이퍼 태양전지에 대해 인증된 마킹 시스템이 사용된다. 바람직하게는 마킹부가 약 2 mm x 2 mm의 모서리 길이를 갖는 14 x 14 데이터 매트릭스 코드로서 형성된다.
- <25> 그에 대안적으로 또는 보완적으로 마킹부가 OCR 방법으로 판독될 수 있으며 숫자 및/또는 문자로 이루어진 복수의 기호를 포함하는 시리얼 코드 기호로서 형성되고, 이 기호는 약 1밀리미터의 높이를 갖는다.
- <26> 마킹방법의 바람직한 변형은 웨이퍼 표면에 복수의 마킹부가 형성되는 것을 특징으로 한다. 이렇게 함으로써 반도체 웨이퍼가 예를 들어 복수의 공정 단계에서 복수의 정보를 포함할 수 있다.
- <27> 또한 본 발명의 목적은 청구항 17항의 특징을 포함하는 태양전지를 통해 달성된다.
- <28> 본 발명에서는, 태양전지가 웨이퍼 표면을 구비한 반도체 웨이퍼로 제조되며 마킹부가 웨이퍼 표면에서 태양전지의 활성 영역의 구역에 형성된다.
- <29> 태양전지가 반도체 웨이퍼 기판으로 구성되므로, 기판 표면 상에 형성된 태양전지의 활성 영역이 기판의 가장자리 바로 전까지 극대화된다. 반도체 웨이퍼 태양전지의 제조 시 박막 솔라 모듈에 비해 상이한 공정 단계는 태양전지의 활성 영역 내에서 마킹부의 포지셔닝을 가능하게 하며, 마킹부는, 웨이퍼 표면에 형성되고 레이저 빔을 통해 생성된 적어도 하나의 리세스의 형태로 형성된다.
- <30> 바람직하게도, 리세스를 통해 형성된 마킹부가 모든 제조 공정의 수행 후에도 태양전지는 전자광학 판독기를 통해 판독될 수 있을 정도의 깊이를 갖는 적어도 하나의 리세스를 포함한다. 이로써 하나의 동일한 리세스로 반도체 웨이퍼 태양전지의 전체 제조 공정을 추적할 수 있다. 제조 시 이 공정 단계는 예를 들어 층의 데포지션 공정으로서 재료를 웨이퍼 표면에 데포지션시킬뿐 아니라 예를 들어 식각 공정의 형태로 웨이퍼 표면의 재료를 제거할 수도 있다. 사용되는 판독기 측에서의 요구의 참작 하에서 재료 변화의 등방성 및 두께(데포지션 및 식각 시 층 두께)에 따라서 리세스의 깊이가 형성된다.
- <31> 적어도 하나의 리세스의 내부에서 접하는 구역이, 레이저 에너지의 조사에 거의 영향을 받지 않는 다결정 또는 단결정 미세 구조를 가지도록 태양전지가 형성되는 것이 바람직하다. 리세스의 형성 시 웨이퍼 표면의 구역에서 반도체 재료의 미세 구조는 에너지 조사에 의해 영향을 받는다. 이로써 특히 전하 운반체 수명이 태양전지의 기능에 대한 주요 변수로서 영향을 미친다. 웨이퍼 표면에서 에너지 조사에 의해 영향을 받는 영역이 제거됨으로 인하여, 적어도 하나의 리세스의 내부에서 접하는 구역이 레이저 빔의 에너지 조사에 영향을 받지 않는 다결정 또는 단결정 반도체로서 존재한다. 이러한 방식으로 태양전지의 기능이 레이저 빔의 에너지 조사로 인해 침해되지 않는다.
- <32> 태양전지의 바람직한 변형에서는, 웨이퍼 표면이 적어도 하나의 리세스의 내부에서 텍스처링된다. 알려진 방식에 따라 태양전지의 효율이 이 텍스처링을 통하여 증대된다.
- <33> 태양전지가 8 μm를 초과하는, 바람직하게는 12 μm를 초과하는, 더욱 바람직하게는 15 내지 30 μm 사이의 깊이를 갖는 적어도 하나의 리세스를 포함하는 것이 바람직하다. 또한 태양전지에서 리세스의 깊이와 관련하여, 적어도 하나의 리세스의 직경에 대한 깊이의 치수비가 1:12보다 크며, 바람직하게는 1:10보다 크고, 더욱 바람직하게는 1:7 내지 1:3의 범위에 있도록 적어도 하나의 리세스가 형성되는 것이 바람직하다. 이렇게 함으로써 마킹부가 현재 일반적인 마킹부 판독기, 예를 들어 광학문자인식(OCR)용 전자광학 스캐너를 통하여 반도체 웨이퍼 태양전지의 제조 시 모든 공정 단계의 수행 중에 또는 그 후에 안정적으로 판독되는 것이 달성된다.
- <34> 마킹부의 형성을 위하여 복수의 리세스가 제공되는 경우에, 다른 중요한 측면은 개별 리세스의 상호 간격이다. 일반적으로 양측 리세스를 서로 분리하는 웨브가 두 개의 인접한 리세스의 최소 간격을 따라 진행된다. 마킹부의 판독 시 필요한 대조(contrast)를 위하여 충분한 웨브 폭이 요구된다. 인접한 리세스는 약 20 내지 30 μm의 최소 간격으로 형성되어야 한다.
- <35> 태양전지의 바람직한 실시 형태는 반도체 웨이퍼의 마킹부를 향하는 측면에서 넓은 면적의 p-n 접합면, 마킹부가 존재하는 웨이퍼 표면에서 반사방지층 및 활성 영역과 마킹부가 존재하는 웨이퍼 표면에서 복수의 스트립 도체를 구비한 금속성 전극 그리드(프린트 그리드)를 포함하며, 스트립 도체는 마킹부에 이격되게 진행된다. 물론 특히 반도체 웨이퍼에서 p-n 접합면의 포지셔닝 및 형태와 관련하여 다수의 다른 변형들이 존재하지만 본 출원

에서는 상세히 설명되지 않는다.

- <36> 이러한 예로서 태양전지의 앞면의 중앙에 배치된 데이터 매트릭스 코드의 형태의 마킹부가 포함된 개별 태양전지가 존재한다. 이런 경우에는 태양전지의 중앙 구역으로 진행되는 프론트 그리드의 스트립 도체가 데이터 매트릭스 코드 둘레로 진행하도록, 태양전지의 프론트 그리드가 형성될 수 있다.
- <37> 태양전지의 전술한 바람직한 실시 형태의 어느 한 변형에서는, 마킹부가 반도체 웨이퍼의 중앙에 배치되며, 제1 중앙 스트립 도체가 웨이퍼 표면의 일측면에서 마킹부 방향으로 진행하고 제2 중앙 스트립 도체가 웨이퍼 표면의 대향하는 측면에서부터 마킹부 방향으로 진행하도록 스트립 도체가 배치되며, 제1 중앙 스트립 도체 및 제2 중앙 스트립 도체가 마킹부와 접촉하기 전에 반대 방향으로 꺾이고 각각 인접한 스트립 도체에 연결된다. 이러한 방식으로 마킹부도 태양전지의 활성 영역에 배치되며, 그 크기는 두 개의 인접한 스트립 도체의 최대 간격보다 넓다.
- <38> 바람직하게는 태양전지의 마킹부가 복수의 리세스로 구성되며 시리얼 코드 기호, 데이터 매트릭스 코드 또는 바코드의 형태로 형성된다. 이를 통하여 이점 및 단점을 갖는 종래 기술에서 알려진 복수의 마킹 시스템이 반도체 웨이퍼 태양전지의 마킹에 구현될 수 있다.
- <39> 태양전지의 바람직한 변형에서는, 마킹부가 약 2mm x 2mm의 모서리 길이를 갖는 14 x 14 데이터 매트릭스 코드로서 형성된다. 그에 대안적으로 또는 보완적으로 마킹부가 전자광학 관독기로 관독될 수 있으며 숫자 및/또는 문자로 이루어진 복수의 기호를 포함하는 시리얼 코드 기호로서 형성되고, 이 기호는 약 1밀리미터의 높이를 갖는다.
- <40> 태양전지의 다른 변형은 웨이퍼 표면에 복수의 마킹부가 형성되는 것을 특징으로 한다. 이를 통하여 각각의 이점 및 단점을 갖는 복수의 마킹 시스템이 반도체 웨이퍼 태양전지에 대해 조합될 수 있다.
- <41> 또한 마킹부의 치수 결정과 관련하여 마킹부의 관독과 마킹을 위한 소요 시간이 태양전지의 제조 시 작업 처리량을 저하시키지 않아야 한다는 사실을 고려할 수 있다. 마킹부는 그 제조 및 관독과 관련하여 태양전지 분야에서 인-라인(in-line) 제조 설비에 전형적인 1.5초의 사이클 시간에 맞게 설계되어야 한다. 이 사항은 태양전지 마킹방법뿐 아니라 마킹부가 포함된 태양전지에 대해서도 적용된다.

실시 예

- <71> 도 1은 태양전지(1) 활성 영역(5)의 단면도를 나타낸다. 태양전지(1)는 웨이퍼 표면 상에서 활성 영역(5)에 배치된 데이터 매트릭스 코드 마킹부(2)를 포함하는데, 이 마킹부는 개별 리세스(21)를 포함한다. 태양전지(1)는 태양전지(1)의 제조를 위한 본래의 공정을 수행하기 전에 레이저 제거를 통하여 이미 리세스가 형성되어 있는 다결정 또는 단결정 실리콘 웨이퍼로 제조되었다. 데이터 매트릭스 코드 마킹부(2)는 각각 점의 형태를 가지며 2차원의 주기적으로 구성된 매트릭스 구조로 배치된 복수의 인접한 리세스(21)를 포함한다. 개별 리세스(21)는 데이터 매트릭스 코드의 개별 정보 단위 또는 세그먼트를 나타낸다.
- <72> 추가적으로 데이터 매트릭스 코드 마킹부(2) 아래에는 태양전지(1)의 웨이퍼 표면에 형성된 시리얼 코드(3)의 형태의 마킹부가 제공된다. 마찬가지로 시리얼 코드(3)는 태양전지(1) 활성 영역(5)의 구역 내에 배치되어 있다. 이 경우에는 시리얼 코드(3)가 숫자 형태의 리세스(31)의 조합을 통해 형성된다. 하지만 임의의 언어의 문자 및 숫자의 임의의 조합을 사용하는 것도 가능하다. 시리얼 코드(3)를 형성하는 리세스(31)는 데이터 매트릭스 코드 마킹부(2)의 리세스(21)에서와 같이 미가공 실리콘 웨이퍼에서 레이저 제거를 통하여 태양전지(1)의 제조를 위한 본래의 공정 전에 특정한 위치에서 형성되는데, 이 위치는 아직 형성해야 할 태양전지(1)의 활성 영역(5)에 존재한다. 시리얼 코드(3)는 인접하게 배치되며 각각 숫자의 형태를 갖는 리세스(31)의 시퀀스를 포함한다. 바람직하게는 예를 들어 전자광학식으로 작동하는 OCR 관독기를 통하여 자동으로 관독될 수 있도록 이 리세스(31)가 형성된다. 일반적으로 이러한 유형의 OCR 마킹부는 사람 또는 기계에 의해 관독될 수 있는, 예를 들어 문자 또는 숫자와 같은 임의의 기호의 시퀀스를 포함할 수 있다.
- <73> 이외에도 태양전지(1)는 그 활성 구역(5)에서 스트립 도체(4, 4a, 4b, 41a, 41b)를 포함한다. 거의 서로 등거리로 배치되며 평행하게 진행되는 스트립 도체(4, 4a, 4b, 41a, 41b)는 태양전지(1)의 접촉을 위한 것이며 소위 프론트 그리드(front grid) 전극을 형성한다. 도 1의 실시 형태에서 스트립 도체(4a, 4b, 41a, 41b)는 마킹부(2)에 대해 충분한 간격을 갖도록 데이터 매트릭스 코드 마킹부(2)의 구역에 배치된다. 이 경우에는 데이터 매트릭스 코드 마킹부(2)가 태양전지(1)의 중앙에서 그 활성 영역(5) 내에 배치되며 약 2 x 2 mm²의 면적을 차지한다. 두 개의 스트립 도체(41a, 41b)가 태양전지(1) 활성 영역(5)의 중앙을 통과하여 데이터 매트릭스 코드 마

킹부(2) 방향으로 진행하며, 각각의 인접한 스트립 도체(4a, 4b)에 연결되기 위하여 데이터 매트릭스 코드 마킹부(2) 전에서 아래 또는 그 반대 방향에 해당하는 위로 꺾어진다. 마킹부(2, 3)가 두 개의 인접한 스트립 도체(4)에 대해 가까운 간격으로 배치되는 경우에도, 이러한 방식을 통하여 데이터 매트릭스 코드 마킹부(2)에 대한 충분한 간격이 유지될 수 있다.

- <74> 도 2는 마찬가지로 OCR 마킹부로서 형성된 데이터 매트릭스 코드 마킹부(2) 및 시리얼 코드(3)가 포함된 태양전지(1)의 제2 실시 형태의 활성 구역(5)에 대하여 도 1에 비해 확대된 단면도를 나타낸다. 마킹부(2, 3)는 두 개의 인접한 스트립 도체(4) 사이의 중앙에 배치되어 있다. 데이터 매트릭스 코드 마킹부(2)는 복수의 점형태의 리세스(21)를 포함한다. 이 리세스는 활성 영역(5)에서 태양전지(1)의 웨이퍼 표면에 형성되고 함께 데이터 매트릭스 코드 형태의 마킹부(2)를 형성한다. 시리얼 코드(3)는 숫자로서 형성된 개별 리세스(31)를 포함하는데, 이 리세스는 데이터 매트릭스 코드 마킹부(2)의 리세스(21)에 비하여 더 큰 면적을 갖는, 서로 연계된 각각의 노치를 통해 태양전지(1)의 웨이퍼 표면의 활성 영역(5)에 형성되어 있다.
- <75> 데이터 매트릭스 코드 마킹부(2)뿐 아니라 시리얼 코드(3)도 태양전지(1)의 제조를 위한 반도체 웨이퍼의 본래의 공정 전에 레이저 빔에 의해 웨이퍼 표면에 형성되었다. 원칙적으로, 태양전지(1)의 제조 공정에서 더 이후 시점에 마킹부(2, 3)를 형성하는 것도 가능하다. 제조 공정에서 언제 마킹부를 형성하는지와는 무관하게, 태양전지(1)의 활성 영역(5)에서의 마킹부(2, 3)의 위치로 인하여, 솔라 모듈에 태양전지(1)를 부착한 후에도 마킹부가 양호하게 인식되고 이로써 쉽게 판독되는 것이 보장된다.
- <76> 태양전지(1)의 제조 공정에서 더 조기에 웨이퍼 표면에 마킹부를 형성할수록, 리세스(21, 31)에 대한 충분한 깊이 및 충분한 직경이 더 중요한 의미를 갖는다. 그 이유는, 예를 들어 식각 및 테포지션 단계와 같은 후속 공정 단계가 리세스(21, 31)의 광학적 표면 특성, 깊이 및 직경을 변화시키고 이로써 마킹부의 판독에 중요한 마킹부(2, 3)의 광학적 대조에 영향을 미치기 때문이다.
- <77> 공정 단계의 확정적 구조에 따라서 점형태의 개별 리세스(21) 또는 시리얼 코드(3)를 형성하는 리세스(31)는, 태양전지의 제조를 위한 후속 공정 단계에 의해서도 손상되거나 또는 너무 심하게 침해되지 않도록, 즉 예를 들어 OCR 마킹부를 위한 전자광학 판독기를 통해 특히 기계적으로 계속 판독 가능할 정도의 깊이로 형성된다.
- <78> 태양전지 제조 공정의 초기에 마킹부에 대한 바람직한 치수는 태양전지(1)의 제조와 관련하여 도 3a, 도 3b, 도 3c 및 도 3d에 예시적으로 도시된 공정 단계에 대해 아래에서 설명된다.
- <79> 도 3a는 아직 처리되지 않은 반도체 웨이퍼 표면에서 인접하게 배치된 세 개의 리세스(21)에 대한 비실척 개략 단면도를 나타낸다. 각각의 인접한 리세스(21)는 웨브를 통하여 서로 웨브 폭(S)으로 이격되어 있다. 웨브에서는 반도체 웨이퍼의 절단에 기인하는 웨이퍼 표면의 조도를 인식할 수 있다. 세 개의 리세스(21) 구역에는 웨이퍼 표면이 매끈하게 형성되어 있다. 그 이유는, 이 구역에서 에너지 조사를 통한 레이저 제거 시 반도체 재료의 미세 구조가 변하지만 아직 반도체 재료가 증발되거나 또는 직접 승화되지 않기 때문이다. 레이저 빔을 끈 후에 웨이퍼 표면에는 에너지 조사로 인해 그 미세 구조가 변한 반도체 재료가 남게 된다. 이때 반도체 웨이퍼의 변하지 않은 결정질 미세 구조와는 달리 에너지 조사에 의해 영향을 받는 영역("heat affected zone")(11)은 리세스에 남게 된다. 레이저 빔의 펄스 에너지, 펄스 길이 및 강도 분포(intensity profile) 및 적용된 조사 기간을 통하여 리세스(21)의 폭(W) 및 깊이(C)를 조작할 수 있다. 또한 에너지 조사에 영향을 받는 영역(11)의 깊이(Z)도 파라미터를 통해 영향을 받는다. 리세스 측면의 구역에서 이 깊이(Z)는 측방향으로 진행함에 따라 약해지는 펄스 강도에 상응하게 감소한다.
- <80> 예를 들어 레이저 빔의 에너지 조사를 통해 변한 그리고 변하지 않은 결정질 미세 구조를 갖는 반도체가 서로 다른 전하 운반체 수명을 가지므로, 다결정 또는 단결정 반도체 웨이퍼가 사용된 태양전지의 물리적 파라미터가 에너지 조사에 영향을 받는 영역(11)을 통하여 부정적인 영향을 받을 수 있다. 이러한 이유에서 에너지 조사에 영향을 받는 영역(11)이 후속 식각 단계에서 우선적으로 제거된다.
- <81> 도 3b는 예를 들어 습식화학 식각과 같은 등방성 식각 단계 후의 도 3a에 따른 도시를 나타낸다. 식각제의 농도, 온도 및 작용 시간을 통해 원하는 식각 깊이(E)를 조절할 수 있으며 이로써 원하는 양만큼 반도체 재료를 제거할 수 있다. 식각된 웨브 폭(S')이 웨브 폭(S)에 비해 거의 두 배의 식각 깊이(E)만큼 감소되고 이에 상응하게 식각된 리세스 폭(W')이 두 배의 식각 깊이(E)만큼 증가되었다는 것을 알 수 있다. 등방성 식각 거동으로 인해 리세스의 깊이(C)가 거의 동일하게 유지되었다. 또한 전술한 이유에서, 도 3a에 도시된 에너지 조사에 영향을 받는 영역(11)이 리세스(21)의 구역에서 완전히 제거되도록 식각 깊이가 조절된다.
- <82> 습식화학 연마에 추가적으로 또는 동시에 소위 텍스처가 웨이퍼 표면에 형성되도록 식각 단계를 형성하는 것이

바람직하다. 이 텍스처는 몇 마이크로미터에 달할 수 있는 깊이 및 마이크로미터 이하(submicrometer) 또는 마이크로미터 범위의 간격 또는 직경을 갖는 분화구 또는 니들 형태의 구조이다.

- <83> 경계면 및 표면의 이러한 텍스처는 태양전지에서 일반적으로 알려져 있고 보편적이다. 미세한 텍스처 구조는 그에 입사되는 광의 다중 반사를 발생시키며, 이를 통해 더 많은 광이 태양전지에 조사되거나 또는 조사된 광이 더 오랫동안 흡수 구조에 "머무르게" 된다. 이러한 방식을 통해 최종적으로 태양전지의 효율이 증대된다.
- <84> 도 3c는 도 3b의 단면도를 나타낸다. 도시된 반도체 웨이퍼의 표면에는 p-n 접합면을 형성하기 위하여 도핑제가 주입된다. 도핑 깊이(D)는 예를 들어 표면 전체에 걸쳐 균일하게 0.5 μm 이며 도핑제로서 인을 열확적으로 p 도전성 반도체 웨이퍼의 표면에 확산시켰다. 이러한 방식을 통해 n 도전성 도핑 영역(12)이 박막의 형태로 형성된다.
- <85> 도 3d는 세 개의 인접하게 배치된 리세스(21)를 도 2의 절개선 IIIb-IIIb를 따라 절개한 비실척 개략 횡단면도를 나타낸다. 도 3c의 도시와는 달리 반도체 웨이퍼의 표면 전체에 데포지션된 질화규소를 포함하는 반사방지층(13)이 추가되었다.
- <86> 리세스(21)를 형성하기 위해서는 시중에서 판매되는 Nd:YAG 레이저 마킹 시스템이 적합하다. 반도체 웨이퍼의 마킹 시 이러한 시스템은 1064 nm의 파장, 20 내지 50 ns의 펄스 기간 및 5 내지 30 W의 평균 레이저 출력에서 양호한 결과를 나타낸다.
- <87> 태양전지의 차후 활성 영역의 구역에서 초기에 형성된 마킹부가 후속 공정 단계에서 가공되면, 그로 인해 발생된 치수 및 광학 표면 특성의 변화가 마킹부의 관독을 위한 가공 리세스의 적합성과 관련하여 고려되어야 한다.
- <88> 활성 영역에 조명이 비칠 경우, 원칙적으로 활성 영역 내에 배치된 마킹부의 고대조(high contrast) 가시광에 대한 태양전지의 활성 영역의 시스템에 의한 높은 흡수율은 역효과를 나타낸다. 리세스를 깊이보다 현저하게 넓게 형성하는 것이 필요한 것으로 밝혀졌다. 깊이가 10 내지 30 μm , 바람직하게는 20 μm 인 경우에 후속 식각 단계 이전에 100 μm 의 직경이 바람직한 것으로 입증되었다. 이어지는 식각 단계에서 식각 깊이(E)가 5 μm 였으며, 이로써 전술한 파라미터를 갖는 레이저 펄스의 에너지 조사를 통해 발생되며 형태에 영향을 받는 영역(11)이 완전히 제거되었다.
- <89> 다른 중요한 측면은 개별 리세스(21, 31)의 상호 간격이다. 예를 들어 리세스(21) 사이에서 도 3a에 도시된 웨브 폭(S) 또는 도 3b에 도시된 식각된 웨브 폭(S')을 갖는 웨브는 관독 시 마킹부(2, 3)의 대조에 있어 중요하다. 둥근 원형을 갖는 인접한 리세스(21)의 전술한 변형에 대하여 웨브 폭(S)은 약 30 μm 여야 한다. 식각 단계를 통해 웨브가 거의 식각 깊이(E)의 두 배만큼 감소되므로 약 20 μm 의 식각된 웨브 폭이 남게 된다.
- <90> 도 4는 도 3a, 도 3b, 도 3c 및 도 3d에서 부분적으로 설명된 태양전지의 제조에 관한 표준 공정 전체에 대한 흐름도 형태의 개요를 나타낸다.
- <91> 태양전지의 제조 시 수행되는 제1 단계는 각 웨이퍼를 후속 공정 단계를 위해 준비하기 위한 하적장치(A)에서의 반도체 웨이퍼의 제1 분리를 포함한다. 웨이퍼에서 제조해야 하는 태양전지의 레이저 마킹은 분리(변형 A1) 전 또는 이 제1 분리 후에 하적장치(A)(변형 A2)에서 이루어진다. 이에 관한 확대도는 도 3a에 도시되어 있다. 어떠한 경우에도 마킹부가 이러한 방식으로 제조된 태양전지의 활성 영역에 배치되도록 웨이퍼가 제1 본 공정 단계, 즉 절단 손상 식각(saw damage etching)(B) 전에 마킹된다.
- <92> 도 3b의 도시에 상응하는 절단 손상 식각(B) 단계는 예를 들어 웨이퍼 앞면 또는 웨이퍼 뒷면의 재료가 제거되는 습식화학 연마를 포함할 수 있다. 하지만 전술한 바와 같이 태양전지의 레이저 마킹은, 마킹부가 습식화학 공정 단계에 의해 손상되거나 또는 심하게 침해되지 않도록 수행된다. 이 공정 및 그로 제조된 태양전지의 바람직한 변형에서는, 도 3a의 리세스(21)에 도시된, 에너지 조사에 의해 영향을 받는 영역(11)이 절단 손상 식각(B) 공정에서 식각 단계를 통해 제거된다.
- <93> 제1 본 공정 단계(B) 전에 태양전지를 식별하기 위하여 하적장치에서 태양전지의 마킹부가 관독된다. 제1 관독이 마킹 과정 직후에 이루어지는 경우에는, 이를 통해 레이저 마킹 유닛의 기능 점검도 가능하다.
- <94> 그 후에 공정 단계(C, D, E, F)에서 웨이퍼의 본 공정이 진행된다. 고열확산을 이용한 인 확산(Phosphorus diffusion)(B)을 통해 n 도핑이 형성되며 p 도전성 반도체 웨이퍼의 표면에 넓은 면적의 n-p 접합면이 발생한다(도 3c 비교). 확산 단계(B) 후에는 웨이퍼 표면에 SiN 코팅(D) 형태의 반사방지층이 데포지션된다. SiN 층에는 특히 프론트 그리드 전극의 형성을 위하여 금속 함유성 실버 페이스트(silver paste)를 통한 스크린 인쇄(E)가 이루어지는데, 이 전극은 오븐(F)에서의 열처리에 의해 반사방지층(D)을 통한 n 도핑된 반도체 층의 접촉이 이

루어질 때까지 "구워진다". 이 공정 단계 후에 태양전지의 본래의 제조 공정은 완료된다.

- <95> 품질 점검을 위하여 마킹부가 제조된 태양전지의 기능 시험을 위하여 테스터(G)에서 다시 판독되며, 이를 통하여 제조된 태양전지와 테스터에 의해 측정된 데이터와의 안정적인 할당이 가능하다. 동시에 마킹부의 판독이 불가능한 태양전지는 자동으로 방출될 수 있다. 마지막으로 명확하게 정의된 출력 특징에 따라 다양한 품질 등급으로 태양전지가 분류된다.
- <96> 물론 공정 중에, 즉 두 개의 공정 단계 사이에 각 태양전지의 마킹부를 판독하는 것도 가능하다. 이로써 전체 제조 공정에 대한 완벽하고 간단한 역추적성 및 문서화 가능성이 제공된다.
- <97> 또한 본 발명은 본 출원에 명시된 예시적 공정으로 한정되지 않으며, 종속항에 명시된 대상이 적용되는 다른 제조 공정에도 사용될 수 있다는 점을 강조하는 바이다.

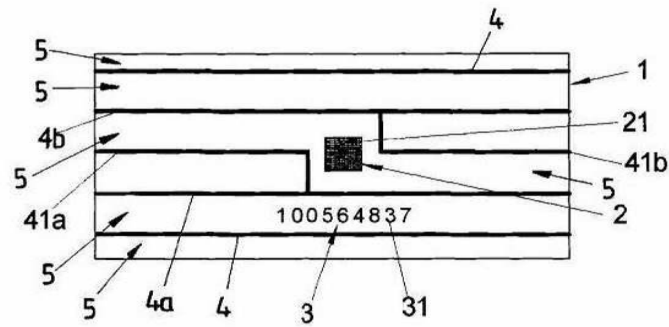
도면의 간단한 설명

- <42> 아래에서 본 발명은 실시예에 대한 첨부한 도면을 근거로 상세히 설명된다. 도면은 다음과 같다:
- <43> 도 1은 태양전지의 제1 실시 형태의 활성 영역(5)에 대한 단면도를 나타낸다.
- <44> 도 2는 태양전지의 제2 실시 형태의 활성 영역(5)으로서 도 1에 비해 확대된 단면도를 나타낸다.
- <45> 도 3a는 아직 처리되지 않은 반도체 웨이퍼 표면에서 인접하게 배치된 세 개의 리세스(21)에 대한 비실척 개략 단면도를 나타낸다.
- <46> 도 3b는 식각 단계 후의 도 3a의 인접한 세 개의 리세스(21)를 나타내는 도면이다.
- <47> 도 3c는 p-n 접합면의 형성을 위한 도핑제의 확산 단계 후의 도 3b에 따른 인접한 리세스(21)를 나타내는 도면이다.
- <48> 도 3d는 도 2의 절개선 IIIId-IIIId를 따라 절개한 인접하게 배치된 세 개의 리세스(21)에 대한 비실척 개략 단면도를 나타낸다.
- <49> 도 4는 도 1, 도 2, 도 3a, 도 3b, 도 3c 및 도 3d에 따른 태양전지의 제조를 위한 공정 단계를 개략적으로 설명한 도면이다.
- <50> * 도면 부호에 대한 설명
- <51> 1: 태양전지
- <52> 11: 에너지 조사에 의해 영향을 받는 영역("heat affected zone")
- <53> 12: 도핑 영역
- <54> 13: 반사방지층
- <55> 2: 이차원 데이터 매트릭스 코드로서의 마킹부
- <56> 21: 리세스
- <57> 3: OCR 판독이 가능한 시리얼 코드로서의 마킹부
- <58> 31: 리세스
- <59> 4: 스트립 도체
- <60> 4a, 4b: 중앙 스트립 도체(41a, 41b)에 인접한 스트립 도체
- <61> 41a, 41b: 중앙 스트립 도체
- <62> 5: 태양전지(1)의 활성 영역
- <63> C: 리세스(21)의 깊이
- <64> D: 도핑 영역(12)의 확산 깊이
- <65> S: 식각 단계 이전의 리세스(21)의 간격

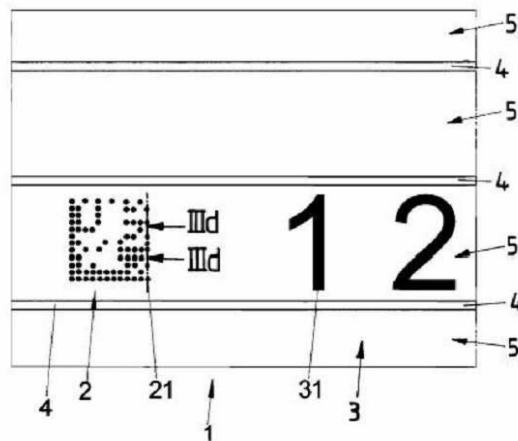
- <66> S': 식각 단계 이후의 리세스(21)의 간격
- <67> W: 식각 단계 이전의 리세스(21)의 직경
- <68> W': 식각 단계 이후의 리세스(21)의 직경
- <69> E: 등방성 식각 단계에 대한 식각 깊이
- <70> Z: 에너지 조사에 영향을 받는 영역(11)의 깊이

도면

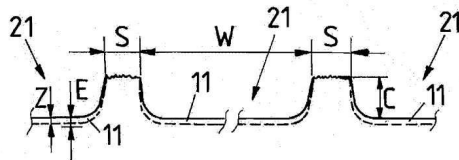
도면1



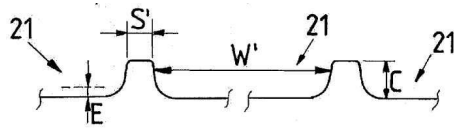
도면2



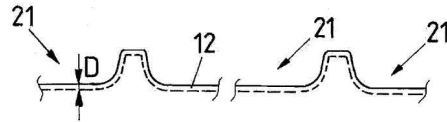
도면3a



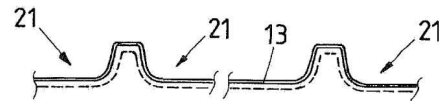
도면3b



도면3c



도면3d



도면4

