



(12)发明专利

(10)授权公告号 CN 107018420 B

(45)授权公告日 2019.07.12

(21)申请号 201710316127.8

H04N 19/625(2014.01)

(22)申请日 2017.05.08

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 107018420 A

CN 106028049 A, 2016.10.12,
CN 1714576 A, 2005.12.28,
CN 1874510 A, 2006.12.06,
US 2010046613 A1, 2010.02.25,
JP 2006127536 A, 2006.05.18,

(43)申请公布日 2017.08.04

(73)专利权人 电子科技大学
地址 611731 四川省成都市高新区(西区)
西源大道2006号

审查员 石婷婷

(72)发明人 贺雅娟 马斌 邢彦 何进
钱亦端 张波

(74)专利代理机构 成都点睛专利代理事务所
(普通合伙) 51232
代理人 葛启函

(51)Int.Cl.

H04N 19/42(2014.01)

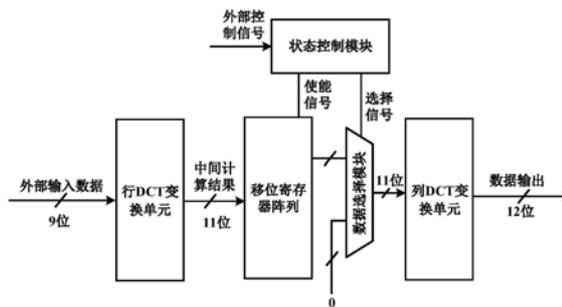
权利要求书2页 说明书7页 附图4页

(54)发明名称

一种低功耗二维离散余弦变换方法及其电路

(57)摘要

一种低功耗二维离散余弦变换方法及其电路,属于集成电路技术领域。本发明根据CSD编码后的余弦系数,通过移位加的方式精确计算最重要的行DCT系数 $F_x(0)$ 、 $F_x(1)$ 和列DCT系数 $F_y(0)$ 和 $F_y(1)$,截断输入数据低三位后降精度计算比较重要的行DCT系数 $F_x(2)$ 、 $F_x(3)$ 、 $F_x(4)$ 和列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$,直接放弃计算最不重要的DCT系数 $F_x(5)$ 、 $F_x(6)$ 、 $F_x(7)$ 和列DCT系数 $F_y(5)$ 、 $F_y(6)$ 和 $F_y(7)$;本发明通过降精度计算和放弃计算部分重要程度较低的DCT系数,减少运算单元的使用,降低电路硬件复杂度,较小影响计算精度的前提下有效降低电路功耗,适用于计算精度要求适中,但功耗要求非常低的运算场景。



1. 一种低功耗二维离散余弦变换方法,其特征在于,包括以下步骤:

步骤一:将 8×8 像素矩阵数据逐行输入到行DCT变换单元进行行DCT变换,所述行DCT变换的具体做法为:根据CSD编码后的余弦系数,通过移位加的方式计算像素矩阵每一行数据一维DCT变换的系数,其中精确计算行DCT系数 $F_x(0)$ 和 $F_x(1)$,截断输入数据的低三位后计算行DCT系数 $F_x(2)$ 、 $F_x(3)$ 和 $F_x(4)$,放弃计算行DCT系数 $F_x(5)$ 、 $F_x(6)$ 和 $F_x(7)$;

步骤二:将行DCT变换后的中间计算结果输入到移位寄存器阵列保存;

步骤三:移位寄存器阵列将步骤二所述中间计算结果逐列输入到列DCT变换单元进行列DCT变换,所述列DCT变换的具体做法为:根据CSD编码后的余弦系数,通过移位加的方式计算中间计算结果每一列数据一维DCT变换的系数,其中精确计算列DCT系数 $F_y(0)$ 和 $F_y(1)$,截断输入数据的低三位后计算列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$,放弃计算列DCT系数 $F_y(5)$ 、 $F_y(6)$ 和 $F_y(7)$ 。

2. 根据权利要求1所述的低功耗二维离散余弦变换方法,其特征在于,所述精确计算行DCT系数 $F_x(0)$ 和 $F_x(1)$ 的具体算法为: $F_x(0) = d(X_0+X_7) + d(X_1+X_6) + d(X_2+X_5) + d(X_3+X_4)$, $F_x(1) = a(X_0-X_7) + c(X_1-X_6) + e(X_2-X_5) + g(X_3-X_4)$,所述精确计算列DCT系数 $F_y(0)$ 和 $F_y(1)$ 的具体算法为: $F_y(0) = d(Y_0+Y_7) + d(Y_1+Y_6) + d(Y_2+Y_5) + d(Y_3+Y_4)$, $F_y(1) = a(Y_0-Y_7) + c(Y_1-Y_6) + e(Y_2-Y_5) + g(Y_3-Y_4)$,其中 $a-g$ 是余弦系数,且 $a = \cos(\pi/16)$, $b = \cos(2\pi/16)$, $c = \cos(3\pi/16)$, $d = \cos(4\pi/16)$, $e = \cos(5\pi/16)$, $f = \cos(6\pi/16)$, $g = \cos(7\pi/16)$, X_0-X_7 表示所述 8×8 像素矩阵的每一行8个数据, Y_0-Y_7 表示所述中间计算结果的每一列8个数据。

3. 根据权利要求2所述的低功耗二维离散余弦变换方法,其特征在于,所述截断输入数据的低三位后计算行DCT系数 $F_x(2)$ 、 $F_x(3)$ 和 $F_x(4)$ 的具体算法为: $F_x(2) = b(Z_0+Z_7) + f(Z_1+Z_6) - f(Z_2+Z_5) - b(Z_3+Z_4)$, $F_x(3) = c(Z_0-Z_7) - g(Z_1-Z_6) - a(Z_2-Z_5) - e(Z_3-Z_4)$, $F_x(4) = d(Z_0+Z_7) - d(Z_1+Z_6) - d(Z_2+Z_5) + d(Z_3+Z_4)$,所述截断输入数据的低三位后计算列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$ 的具体算法为: $F_y(2) = b(W_0+W_7) + f(W_1+W_6) - f(W_2+W_5) - b(W_3+W_4)$, $F_y(3) = c(W_0-W_7) - g(W_1-W_6) - a(W_2-W_5) - e(W_3-W_4)$, $F_y(4) = d(W_0+W_7) - d(W_1+W_6) - d(W_2+W_5) + d(W_3+W_4)$,其中 Z_0-Z_7 表示所述 8×8 像素矩阵每一行截断低三位后的数据, W_0-W_7 表示所述中间计算结果每一列截断低三位后的数据。

4. 根据权利要求3所述的低功耗二维离散余弦变换方法,其特征在于,所述余弦系数 $a-g$ 的CSD编码表为:

余弦系数	真实值	二进制表示	CSD 编码表示
a	0.4904	00111111	0100000 $\bar{1}$
b	0.4619	00111011	0100 $\bar{1}$ 011
c	0.4157	00110101	00110101
d	0.3536	00101101	00101101
e	0.2778	00100100	00100100
f	0.1913	00011000	00011000
g	0.0975	00001100	00010 $\bar{1}$ 00

5. 根据权利要求1所述的低功耗二维离散余弦变换方法,其特征在于,所述移位寄存器阵列储存所述行DCT变换后的中间计算结果时,自上而下逐行移入中间计算结果,直到所有的中间计算结果都存储进移位寄存器阵列;将中间计算结果输出到列DCT变换单元时,所述移位寄存器阵列将转置后的中间计算结果自左向右逐列移出,直到所有的中间计算结果都移出了移位寄存器阵列。

6. 一种低功耗二维离散余弦变换电路,其特征在于,包括状态控制模块、行DCT变换单元、移位寄存器阵列、数据选择模块和列DCT变换单元,

所述行DCT变换单元的输入端输入外部输入的 8×8 像素矩阵数据,其输出端连接移位寄存器阵列的数据输入端,所述行DCT变换单元根据CSD编码后的余弦系数,通过移位加的方式计算像素矩阵每一行数据一维DCT变换的系数,其中精确计算行DCT系数 $F_x(0)$ 和 $F_x(1)$,截断输入数据的低三位后计算行DCT系数 $F_x(2)$ 、 $F_x(3)$ 和 $F_x(4)$,放弃计算行DCT系数 $F_x(5)$ 、 $F_x(6)$ 和 $F_x(7)$;

所述状态控制模块的输入端连接外部控制信号,其第一输出端连接所述移位寄存器阵列的控制信号输入端控制所述移位寄存器阵列的使能信号,其第二输出端连接所述数据选择模块的控制信号输入端控制所述数据选择模块的选择信号;

所述数据选择模块包括第一输入端和与所述移位寄存器阵列的输出端连接的第二输入端,所述数据选择模块第一输入端的输入数据为0,所述数据选择模块的输出端连接所述列DCT变换模块的输入端,所述数据选择模块根据其控制信号输入端输入的选择信号选择输出到所述列DCT变换单元的数据,选择信号为0时输入第一输入端的数据,选择信号为1时输入第二输入端的数据;

所述列DCT变换单元的输出端为所述低功耗二维离散余弦变换电路的输出端,所述列DCT变换单元根据CSD编码后的余弦系数,通过移位加的方式计算中间计算结果每一列数据一维DCT变换的系数,其中精确计算列DCT系数 $F_y(0)$ 和 $F_y(1)$,截断输入数据的低三位后计算列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$,放弃计算列DCT系数 $F_y(5)$ 、 $F_y(6)$ 和 $F_y(7)$ 。

7. 根据权利要求6所述的低功耗二维离散余弦变换电路,其特征在于,所述移位寄存器阵列由40组11位寄存器组成,每5组为一行,一共有8行,构成 8×5 的矩阵阵列;行变换状态时,移位寄存器阵列自上而下逐行移入行DCT变换单元的计算结果,直到所有的中间计算结果都存储进移位寄存器阵列;列变换状态时,移位寄存器阵列将转置后的中间计算结果自左向右逐列移出,并输出到数据选择模块,直到所有的中间计算结果都移出了移位寄存器阵列。

8. 根据权利要求6所述的低功耗二维离散余弦变换电路,其特征在于,所述状态控制模块通过一个有限状态机完成计算状态的控制,该状态机一共有三种状态,分别为初始状态、行变换状态和列变换状态,根据外部控制信号和内部数据变化进行状态转换。

一种低功耗二维离散余弦变换方法及其电路

技术领域

[0001] 本发明属于集成电路技术领域,特别涉及一种低功耗二维离散余弦变换方法及其电路。

背景技术

[0002] 二维离散余弦变换(DCT)电路作为信号处理领域常用的数字集成电路模块,具有很好的解相关特性和能量压缩特性,可以将复杂的数据压缩为非常简单的数据,因此常常运用在数字图像处理、语音处理以及视频压缩等领域。二维DCT电路还是JPEG(Joint Photographic Experts Group,联合图像专家组)标准中的核心运算单元,是MPEG(Moving Picture Expert Group,运动图像专家组)标准中的重要运算单元,在图像和视频的编解码中起着重要的作用。

[0003] $\{f(x,y)\}$ 表示 8×8 个二维实数信号序列的集合, $x,y=0,1,\dots,7$, 8×8 矩阵的二维DCT变换定义如下:

$$[0004] \quad F(u,v) = \alpha(u)\alpha(v) \sum_{x=0}^7 \sum_{y=0}^7 f(x,y) \cdot \cos\left[\frac{\pi(2x+1)u}{16}\right] \cdot \cos\left[\frac{\pi(2y+1)v}{16}\right]$$

[0005] 其中 $\alpha(0) = \frac{1}{2\sqrt{2}}$, $\alpha(u) = \frac{1}{2}$ ($u=1,2,\dots,7$), $\alpha(v) = \frac{1}{2}$ ($v=1,2,\dots,7$)。根据二维DCT变换的可分离性, 8×8 矩阵的二维DCT变换可以转化为8行一维DCT变换和8列一维DCT变换,其中一维DCT变换定义如下:

$$[0006] \quad F(u) = \alpha(u) \sum_{k=0}^7 f(x) \cdot \cos\left[\frac{\pi(2x+1)u}{16}\right]$$

[0007] 图1是采用了行列分离法的二维DCT电路的结构示意图,首先将外部数据 $f(x,y)$ 输入至行DCT变换单元进行一维DCT运算,将计算结果存储进中间的转置存储器,然后将转置后的中间计算结果输入至列DCT变换单元再次进行一维DCT运算,得到的便是最终的二维DCT变换结果。

[0008] 由图1可以看出二维DCT电路的核心是其内部两个一维DCT变换单元,所以一维DCT电路架构对整体电路的面积和功耗有着非常大的影响。传统二维DCT电路中的一维DCT变换单元由于精确计算全部DCT系数,需使用较多运算单元,使得传统二维DCT电路的功耗比较大,难以适用于功耗要求非常低的应用场景。

[0009] 由于一维DCT模块计算所得DCT系数的重要程度各有不同, $F(0)$ 至 $F(7)$ 的重要程度依次减弱,所以可以降精度计算甚至放弃计算重要程度较低的DCT系数,最小程度的影响计算精度前提下,达到降低二维DCT电路功耗的目的。

发明内容

[0010] 本发明所要解决的,就是针对上述传统二维DCT电路存在的功耗比较大的问题,提出一种低功耗二维离散余弦变换方法及其电路,采用行列分离法,用于完成 8×8 像素矩阵

的二维DCT变换,通过截断输入数据低位的方法降精度计算部分重要程度较低的DCT系数,放弃计算部分重要程度最低的DCT系数,从而减少运算单元的数量,在保证一定计算精度的情况下,实现低功耗二维离散余弦变换方法及其电路。

[0011] 为实现上述目的,本发明采用如下技术方案:

[0012] 一种低功耗二维离散余弦变换方法,包括以下步骤:

[0013] 步骤一:将 8×8 像素矩阵数据逐行输入到行DCT变换单元进行行DCT变换,所述行DCT变换的具体做法为:根据CSD编码后的余弦系数,通过移位加的方式计算像素矩阵每一行数据一维DCT变换的系数,其中精确计算行DCT系数 $F_x(0)$ 和 $F_x(1)$,截断输入数据的低三位后计算行DCT系数 $F_x(2)$ 、 $F_x(3)$ 和 $F_x(4)$,放弃计算行DCT系数 $F_x(5)$ 、 $F_x(6)$ 和 $F_x(7)$;

[0014] 步骤二:将行DCT变换后的中间计算结果输入到移位寄存器阵列保存;

[0015] 步骤三:移位寄存器阵列将步骤二所述中间计算结果逐列输入到列DCT变换单元进行列DCT变换,所述列DCT变换的具体做法为:根据CSD编码后的余弦系数,通过移位加的方式计算中间计算结果每一列数据一维DCT变换的系数,其中精确计算列DCT系数 $F_y(0)$ 和 $F_y(1)$,截断输入数据的低三位后计算列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$,放弃计算列DCT系数 $F_y(5)$ 、 $F_y(6)$ 和 $F_y(7)$ 。

[0016] 具体的,所述精确计算行DCT系数 $F_x(0)$ 和 $F_x(1)$ 的具体算法为: $F_x(0) = d(X_0+X_7) + d(X_1+X_6) + d(X_2+X_5) + d(X_3+X_4)$, $F_x(1) = a(X_0-X_7) + c(X_1-X_6) + e(X_2-X_5) + g(X_3-X_4)$,所述精确计算列DCT系数 $F_y(0)$ 和 $F_y(1)$ 的具体算法为: $F_y(0) = d(Y_0+Y_7) + d(Y_1+Y_6) + d(Y_2+Y_5) + d(Y_3+Y_4)$, $F_y(1) = a(Y_0-Y_7) + c(Y_1-Y_6) + e(Y_2-Y_5) + g(Y_3-Y_4)$,其中 $a-g$ 是余弦系数,且 $a = \cos(\pi/16)$, $b = \cos(2\pi/16)$, $c = \cos(3\pi/16)$, $d = \cos(4\pi/16)$, $e = \cos(5\pi/16)$, $f = \cos(6\pi/16)$, $g = \cos(7\pi/16)$, X_0-X_7 表示所述 8×8 像素矩阵的每一行8个数据, Y_0-Y_7 表示所述中间计算结果的每一列8个数据。

[0017] 具体的,所述截断输入数据的低三位后计算行DCT系数 $F_x(2)$ 、 $F_x(3)$ 和 $F_x(4)$ 的具体算法为: $F_x(2) = b(Z_0+Z_7) + f(Z_1+Z_6) - f(Z_2+Z_5) - b(Z_3+Z_4)$, $F_x(3) = c(Z_0-Z_7) - g(Z_1-Z_6) - a(Z_2-Z_5) - e(Z_3-Z_4)$, $F_x(4) = d(Z_0+Z_7) - d(Z_1+Z_6) - d(Z_2+Z_5) + d(Z_3+Z_4)$,所述截断输入数据的低三位后计算列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$ 的具体算法为: $F_y(2) = b(W_0+W_7) + f(W_1+W_6) - f(W_2+W_5) - b(W_3+W_4)$, $F_y(3) = c(W_0-W_7) - g(W_1-W_6) - a(W_2-W_5) - e(W_3-W_4)$, $F_y(4) = d(W_0+W_7) - d(W_1+W_6) - d(W_2+W_5) + d(W_3+W_4)$,其中 Z_0-Z_7 表示所述 8×8 像素矩阵每一行截断低三位后的数据, W_0-W_7 表示所述中间计算结果每一列截断低三位后的数据。

[0018] 具体的,所述余弦系数 $a-g$ 的CSD编码表为:

余弦系数	真实值	二进制表示	CSD 编码表示
<i>a</i>	0.4904	00111111	0100000 $\bar{1}$
<i>b</i>	0.4619	00111011	0100 $\bar{1}$ 011
<i>c</i>	0.4157	00110101	00110101
<i>d</i>	0.3536	00101101	00101101
<i>e</i>	0.2778	00100100	00100100
<i>f</i>	0.1913	00011000	00011000
<i>g</i>	0.0975	00001100	00010 $\bar{1}$ 00

[0019] 具体的,所述移位寄存器阵列储存所述行DCT变换后的中间计算结果时,自上而下逐行移入中间计算结果,直到所有的中间计算结果都存储进移位寄存器阵列;将中间计算结果输出到列DCT变换单元时,所述移位寄存器阵列将转置后的中间计算结果自左向右逐列移出,直到所有的中间计算结果都移出了移位寄存器阵列。

[0021] 一种低功耗二维离散余弦变换电路,包括状态控制模块、行DCT变换单元、移位寄存器阵列、数据选择模块和列DCT变换单元,

[0022] 所述行DCT变换单元的输入端输入外部输入的 8×8 像素矩阵数据,其输出端连接移位寄存器阵列的数据输入端,所述行DCT变换单元根据CSD编码后的余弦系数,通过移位加的方式计算像素矩阵每一行数据一维DCT变换的系数,其中精确计算行DCT系数 $F_x(0)$ 和 $F_x(1)$,截断输入数据的低三位后计算行DCT系数 $F_x(2)$ 、 $F_x(3)$ 和 $F_x(4)$,放弃计算行DCT系数 $F_x(5)$ 、 $F_x(6)$ 和 $F_x(7)$;

[0023] 所述状态控制模块的输入端连接外部控制信号,其第一输出端连接所述移位寄存器阵列的控制信号输入端控制所述移位寄存器阵列的使能信号,其第二输出端连接所述数据选择模块的控制信号输入端控制所述数据选择模块的选择信号;

[0024] 所述数据选择模块包括第一输入端和与所述移位寄存器阵列的输出端连接的第二输入端,所述数据选择模块第一输入端的输入数据为0,所述数据选择模块的输出端连接所述列DCT变换模块的输入端,所述数据选择模块根据其控制信号输入端输入的选择信号选择输出到所述列DCT变换单元的数据,选择信号为0时输入第一输入端的数据,选择信号为1时输入第二输入端的数据;

[0025] 所述列DCT变换单元的输出端为所述低功耗二维离散余弦变换电路的输出端,所述列DCT变换单元根据CSD编码后的余弦系数,通过移位加的方式计算中间计算结果每一列数据一维DCT变换的系数,其中精确计算列DCT系数 $F_y(0)$ 和 $F_y(1)$,截断输入数据的低三位后计算列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$,放弃计算列DCT系数 $F_y(5)$ 、 $F_y(6)$ 和 $F_y(7)$ 。

[0026] 具体的,所述移位寄存器阵列由40组11位寄存器组成,每5组为一行,一共有8行,构成 8×5 的矩阵阵列;行变换状态时,移位寄存器阵列自上而下逐行移入行DCT变换单元的计算结果,直到所有的中间计算结果都存储进移位寄存器阵列;列变换状态时,移位寄存器阵列将转置后的中间计算结果自左向右逐列移出,并输出到数据选择模块,直到所有的中间计算结果都移出了移位寄存器阵列。

[0027] 具体的,所述状态控制模块通过一个有限状态机完成计算状态的控制,该状态机一共有三种状态,分别为初始状态、行变换状态和列变换状态,根据外部控制信号和内部数据变化进行状态转换。

[0028] 本发明的有益效果为,通过降精度计算和放弃计算部分重要程度较低的DCT系数,减少运算单元的使用,降低电路硬件复杂度,较小影响计算精度的前提下有效降低电路功耗,适用于计算精度要求适中,但是功耗要求非常低的运算场景。

附图说明

[0029] 图1为采用行列分离法实现的二维离散余弦变换DCT电路的结构示意图;

[0030] 图2为本发明提出的低功耗二维离散余弦变换DCT电路整体架构图;

[0031] 图3为状态控制模块的状态转移示意图;

[0032] 图4为行DCT变换单元计算DCT系数F(1)的逻辑电路图;

[0033] 图5为行DCT变换单元计算DCT系数F(2)的逻辑电路图;

[0034] 图6为移位寄存器阵列结构示意图;

[0035] 图7为移位寄存器逻辑电路图;

[0036] 图8为数据选择模块逻辑电路图。

具体实施方式

[0037] 下面结合附图对本发明进行详细的描述

[0038] 本发明提供一种低功耗二维离散余弦变换DCT方法及其电路,精确计算最重要的行DCT系数 $F_x(0)$ 、 $F_x(1)$ 和列DCT系数 $F_y(0)$ 和 $F_y(1)$,截断输入数据低三位后降精度计算比较重要的行DCT系数 $F_x(2)$ 、 $F_x(3)$ 、 $F_x(4)$ 和列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$,减少了部分运算单元,直接放弃计算最不重要的DCT系数 $F_x(5)$ 、 $F_x(6)$ 、 $F_x(7)$ 和列DCT系数 $F_y(5)$ 、 $F_y(6)$ 和 $F_y(7)$,进一步降低了电路硬件复杂度。由于降精度计算的DCT系数和舍弃的DCT系数重要程度相对较低,二维DCT电路的计算精度只会受到比较小的影响,但是随着运算单元明显减少,电路硬件复杂度下降,功耗也明显降低。

[0039] 如图2所示,该二维DCT电路由状态控制模块、行DCT变换单元、移位寄存器阵列、数据选择模块、列DCT变换单元这五个模块组成,每次完成一个 8×8 像素矩阵的二维DCT变换。首先外部控制信号将状态控制模块中的有限状态机由初始状态转换为行变换状态,并输出相应的控制信号,行DCT变换单元开始进入计算状态。行DCT变换单元开始每个时钟接收8个9位的外部输入数据进行一维DCT运算,由于行DCT变换单元放弃计算DCT系数 $F_x(5)$ 、 $F_x(6)$ 、 $F_x(7)$,所以输入矩阵中每行数据进行一维DCT变换后会得到5个11位的计算结果,一共有8行这样的计算结果;因此,移位寄存器阵列由40组11位寄存器组成,每5组为一行,一共有8行,构成 8×5 的矩阵阵列;所以每次计算得到5个11位的计算结果并将其自上而下逐行移入移位寄存器阵列,持续8个时钟周期直到 8×8 像素矩阵中每一行数据都计算完毕,并且所有计算结果都存储进移位寄存器阵列。所有行DCT变换结束后,状态控制模块根据内部控制信号的变化将状态由行变换状态转换为列变换状态,并输出相应控制信号,列DCT变换单元开始进入计算状态。移位寄存器阵列开始自左向右逐列移出中间计算结果,每个时钟周期输出一列数据至数据选择模块,数据选择模块再根据控制信号选择这列数据并输入至列DCT

变换单元,进行一维DCT运算。此时得到的计算结果就是最终的输出数据,由于移位寄存器共有5列,所以持续5个时钟周期直到移位寄存器阵列中每一列中间结果都计算完毕,得到所有二维DCT变换后的数据。

[0040] 数据选择模块根据控制信号决定输入至列DCT变换单元的数据,行变换状态时,控制信号选择0输入至列DCT变换单元,停止该单元的计算;列变换状态时,控制信号选择移位寄存器阵列输出端的数据进入列DCT变换单元,对转置后的中间计算结果逐列进行一维DCT运算。

[0041] 状态控制模块输出的信号负责控制移位寄存器阵列和数据选择模块,能够决定移位寄存器阵列中的数据移动方向和列DCT变换单元的输入数据来源;状态控制模块主要由一个有限状态机构成,该状态机一共有三种状态,分别为初始状态、行变换状态和列变换状态,根据外部控制信号和内部数据变化进行状态转换。状态转移示意图如图3所示,其中enable_row[7:0]表示移位寄存器阵列的行使能信号,enable_row[0]-enable_row[7]分别自上而下控制第1行至第8行,enable_column[4:0]代表移位寄存器阵列的列使能信号,enable_column[0]-enable_column[4]分别自左向右控制第1列至第5列,使能信号为1打开寄存器,为0时关闭寄存器;judge_in表示数据选择模块的选择信号,为0时表示输入0,为1时表示输入中间计算结果.start是系统开始信号,start为1时代表系统已经可以开始计算了,此时状态机由初始状态跳转到行变换状态,并将judge_in置0,enable_row清零。存储第一组计算结果时,enable_row[0]置为1,数据移入第一行寄存器,存储第二组计算结果时,再将enable_row[1]置为1,第一行数据移入第二行寄存器,计算结果移入第一行寄存器,依次类推。直到enable_row[7]为1时,行DCT变换的全部结果已经移进寄存器阵列,不需要再做任何移位存储操作,状态会由行变换状态跳转到列变换状态,并将judge_in置1,enable_column全部置1。同理,中间计算结果右移过程中列使能信号自左向右依次变为0,enable_column[4]为0时代表全部中间计算结果已经移出寄存器阵列,此时所有计算结束,状态由列变换状态跳转到初始状态,开始下一组图像数据的处理。

[0042] 如果直接按照一维DCT定义式计算8点一维DCT变换,计算每个DCT系数将会需要8次乘法和7次加法,完成一个8点一维DCT变换至少需要64次乘法和56次加法,计算量非常的大,不利于图像的实时处理。为了减少运算量,利用定义式中余弦系数矩阵的对称性进行奇偶项分离,得到下面两个矩阵乘法:

$$[0043] \quad \begin{bmatrix} F(0) \\ F(2) \\ F(4) \\ F(6) \end{bmatrix} = \begin{bmatrix} d & d & d & d \\ b & f & -f & -b \\ d & -d & -d & d \\ f & -b & b & -f \end{bmatrix} \begin{bmatrix} f(0)+f(7) \\ f(1)+f(6) \\ f(2)+f(5) \\ f(3)+f(4) \end{bmatrix}$$

$$[0044] \quad \begin{bmatrix} F(1) \\ F(3) \\ F(5) \\ F(7) \end{bmatrix} = \begin{bmatrix} a & c & e & g \\ c & -g & -a & -e \\ e & -a & g & c \\ g & -e & c & -a \end{bmatrix} \begin{bmatrix} f(0)-f(7) \\ f(1)-f(6) \\ f(2)-f(5) \\ f(3)-f(4) \end{bmatrix}$$

[0045] 其中f(0)-f(7)是输入的图像数据,F(0)-F(7)是计算得到一维的DCT系数,a-g是余弦系数,且 $a = \cos(\pi/16)$, $b = \cos(2\pi/16)$, $c = \cos(3\pi/16)$, $d = \cos(4\pi/16)$, $e = \cos(5\pi/$

16), $f = \cos(6\pi/16)$, $g = \cos(7\pi/16)$ 。经过奇偶项分离的一维DCT变换,计算每个系数时减少了4次乘法和4次加法,并且 $F(0)$ 与 $F(4)$ 的乘法运算完全一样,所以最终只需要28次乘法运算与32次加法运算。本发明的行DCT变换单元与列DCT变换单元不直接采用功耗较大的乘法器,而是先将余弦系数进行CSD编码,通过移位加的方式计算DCT系数,CSD编码如表1所示:

[0046] 表1、8位余弦系数的CSD编码表

余弦系数	真实值	二进制表示	CSD 编码表示
a	0.4904	00111111	0100000 $\bar{1}$
b	0.4619	00111011	0100 $\bar{1}$ 011
c	0.4157	00110101	00110101
d	0.3536	00101101	00101101
e	0.2778	00100100	00100100
f	0.1913	00011000	00011000
g	0.0975	00001100	00010 $\bar{1}$ 00

[0048] 本发明中的一维DCT变换单元需要精确计算行DCT系数 $F_x(0)$ 、 $F_x(1)$ 和列DCT系数 $F_y(0)$ 、 $F_y(1)$,以计算 $F_x(1)$ 为例,图4显示的是行DCT变换单元计算 $F_x(1)$ 时的逻辑电路图,其中 X_0 - X_7 对应输入数据 $f(0)$ - $f(7)$,行DCT变换单元的输入数据位宽为9位,即 $X_0[9:0]$ - $X_7[9:0]$ 。从该逻辑电路图可以看出,输入数据根据余弦系数 a 、 c 、 e 、 g 中1与 $\bar{1}$ 的权重进行移位相加,实现乘加操作。

[0049] 列DCT变换单元计算 $F_x(1)$ 时的逻辑电路图与行DCT变换单元类似,但是输入数据的位宽有所区别,列DCT变换单元的输入数据为 Y_0 - Y_7 , Y_0 - Y_7 表示所述中间计算结果的每一列8个数据,位宽为11位,即 $Y_0[10:0]$ - $Y_7[10:0]$ 。

[0050] 在计算重要程度较低的行DCT系数 $F_x(2)$ 、 $F_x(3)$ 、 $F_x(4)$ 和列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$ 时,输入数据需要截断低三位再进行运算。以计算 $F_x(2)$ 为例,图5显示的是行DCT变换单元计算 $F_x(2)$ 时的逻辑电路图,其中 X_0 - X_7 对应输入数据 $f(0)$ - $f(7)$, Z_0 - Z_7 对应输入截断低三位后的数据,行DCT变换单元的输入数据位宽为9位,截断低三位后为 $X_0[9:3]$ - $X_7[9:3]$ 。在这个逻辑电路图中,输入数据是根据余弦系数 b 、 f 中1与 $\bar{1}$ 的权重进行移位相加,实现乘加操作。

[0051] 列DCT变换单元计算 $F_y(2)$ 时的逻辑电路图仍然与行DCT变换单元类似,但是输入数据位宽为11位, W_0 - W_7 对应中间计算结果每一列截断低三位后的数据,截断低三位后为 $X_0[10:3]$ - $X_7[10:3]$ 。从图4、图5可以看出,行DCT变换单元与列DCT变换单元计算DCT系数的电路结构相同,只是输入数据的位宽有所不同,行DCT变换单元的输入数据位宽为9位,列DCT变换单元的输入数据位宽为11位。

[0052] 本发明采用的移位寄存器阵列由40组11位寄存器组成,每5组为一行,一共8行,构成 8×5 的矩阵阵列,如图6所示,其中阵列自左向右分别存储行DCT系数 $F_x(4)$ - $F_x(0)$ 。行变换状态时,移位寄存器阵列受行使能信号 $enable_row[0]$ - $enable_row[7]$ 的控制,自上而下

逐行移入行DCT变换单元的计算结果,直至所有中间计算结果存储完毕;在列变换状态时,移位寄存器阵列受列使能信号enable_column[0]-enable_column[4]控制,自左向右逐列移出中间计算结果,并输出到数据选择模块。图7显示的是移位寄存器逻辑电路图,数据端有来自上面寄存器或者左边寄存器的数据,通过一个2选1数据选择器进行选择,当enable_row信号为1时表明正在进行行变换,选取上面寄存器的数据,当enable_row信号为0时表明正在进行列DCT变换,选取左边寄存器的数据。使能端由行使能信号和列使能信号同时控制,两个使能信号通过一个或门输入到寄存器的使能端。

[0053] 如图8所示,本发明的数据选择模块主要由多路复用器组成,输入分别为0和中间计算结果,输出端连接列DCT变换单元,其中中间计算结果由移位寄存器阵列输出至数据选择模块,每次输出8个11位数据。选择信号judge_in来自状态控制模块,行变换状态时judge_in为0,多路复用器选择0进入列DCT变换单元,列变换状态时judge_in为1,多路复用器选择中间计算结果进入列DCT变换单元。

[0054] 本发明提出的低功耗二维DCT电路精确计算最重要的行DCT系数 $F_x(0)$ 、 $F_x(1)$ 和列DCT系数 $F_y(0)$ 和 $F_y(1)$,截断输入数据低三位后降精度计算比较重要的行DCT系数 $F_x(2)$ 、 $F_x(3)$ 、 $F_x(4)$ 和列DCT系数 $F_y(2)$ 、 $F_y(3)$ 和 $F_y(4)$,减少了部分运算单元,直接放弃计算最不重要的DCT系数 $F_x(5)$ 、 $F_x(6)$ 、 $F_x(7)$ 和列DCT系数 $F_y(5)$ 、 $F_y(6)$ 和 $F_y(7)$,节约了硬件资源,降低了电路功耗。经过实验仿真得到,与精确计算全部DCT系数的传统二维DCT电路相比,本发明的计算精度PSNR仅仅下降了6.94dB,但是电路面积下降了35.2%,功耗下降了42.3%,在保证一定计算精度的情况下,实现了低功耗二维DCT电路。

[0055] 本领域的普通技术人员可以根据本发明公开的这些技术启示做出各种不脱离本发明实质的其它各种具体变形和组合,这些变形和组合仍然在本发明的保护范围内。

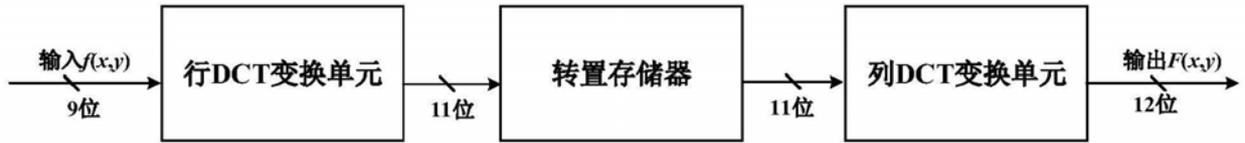


图1

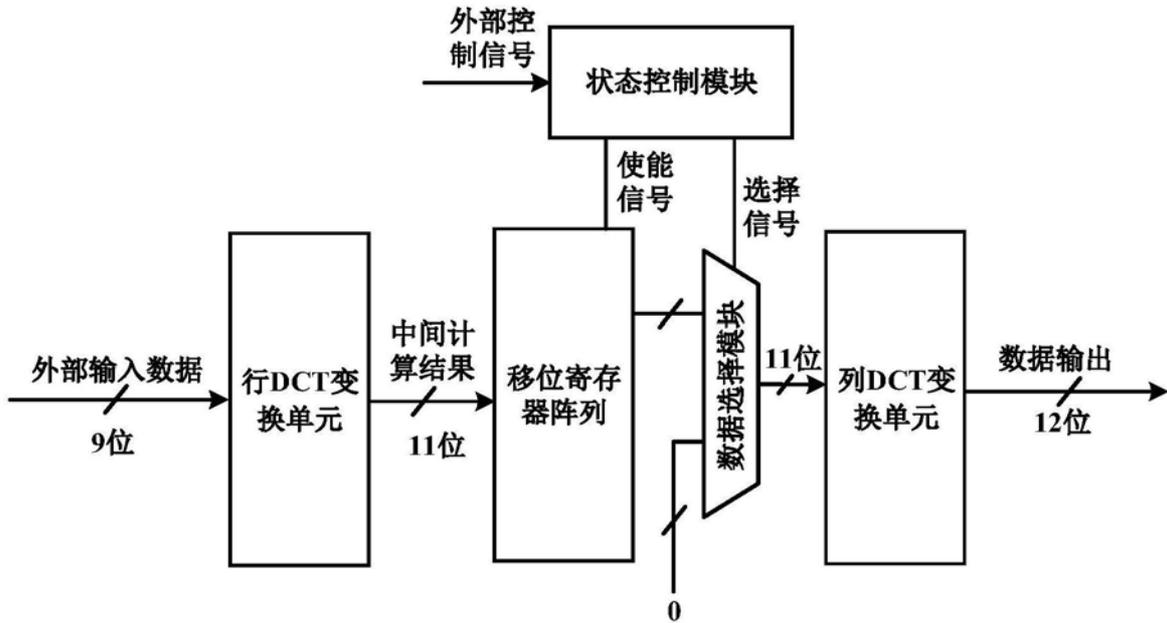


图2

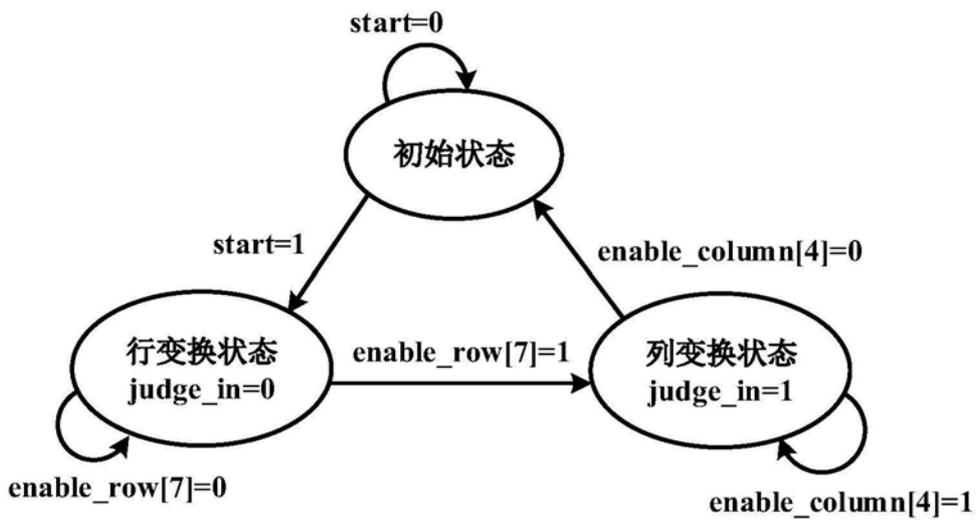


图3

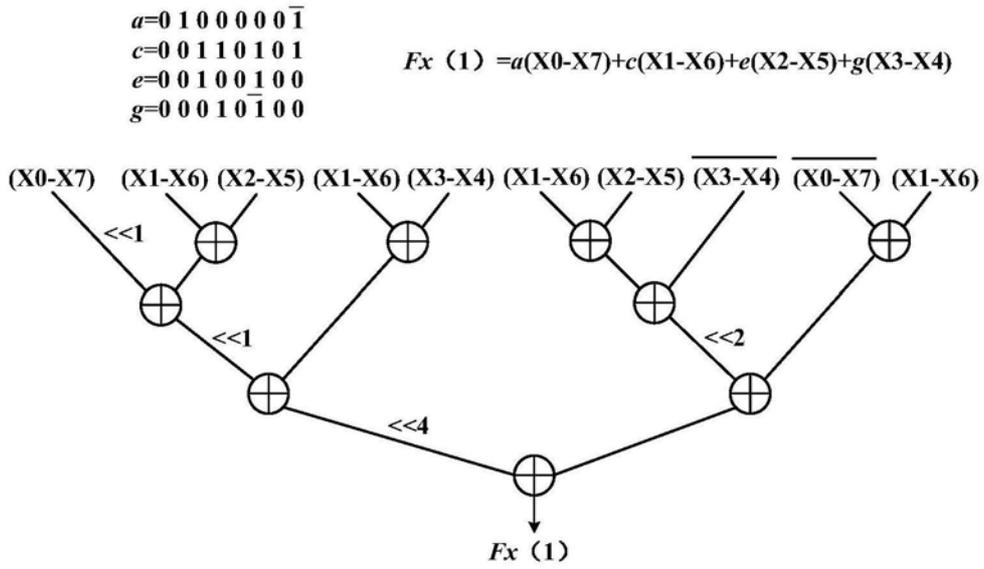


图4

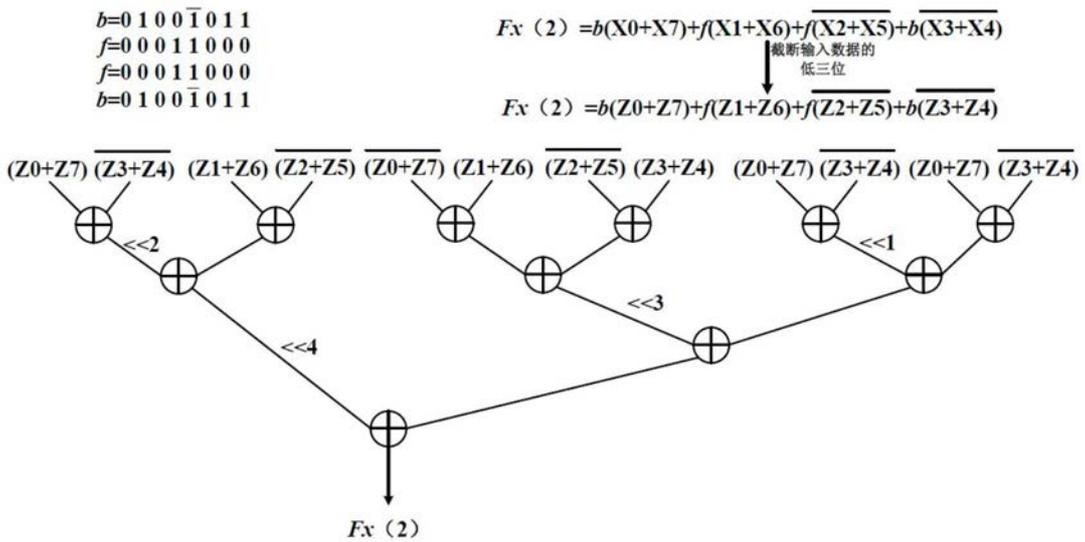


图5

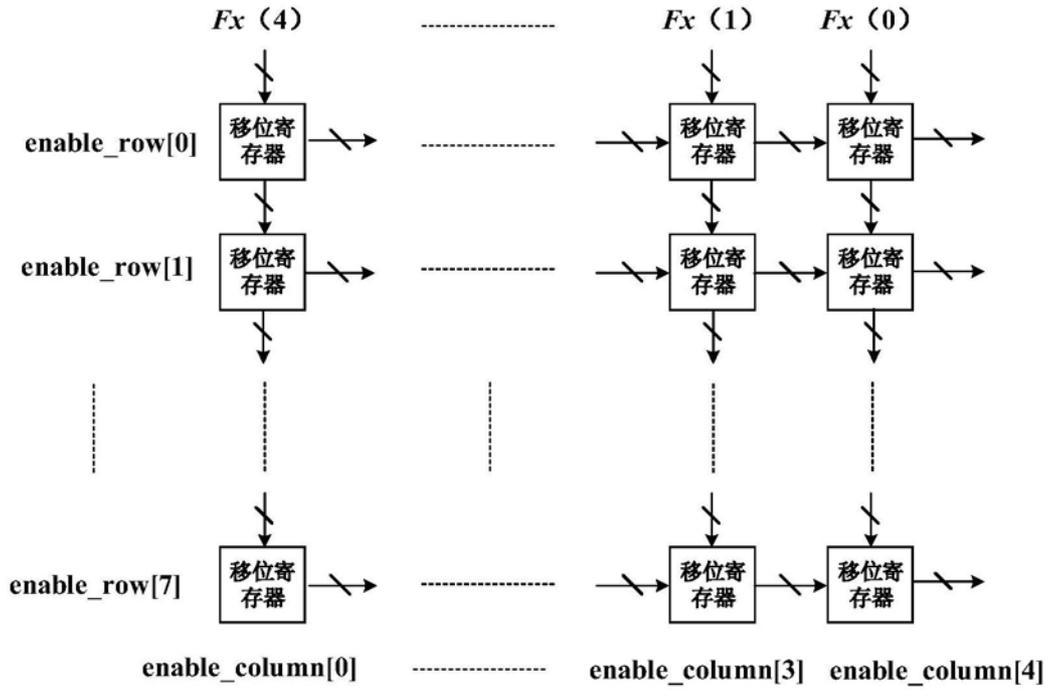


图6

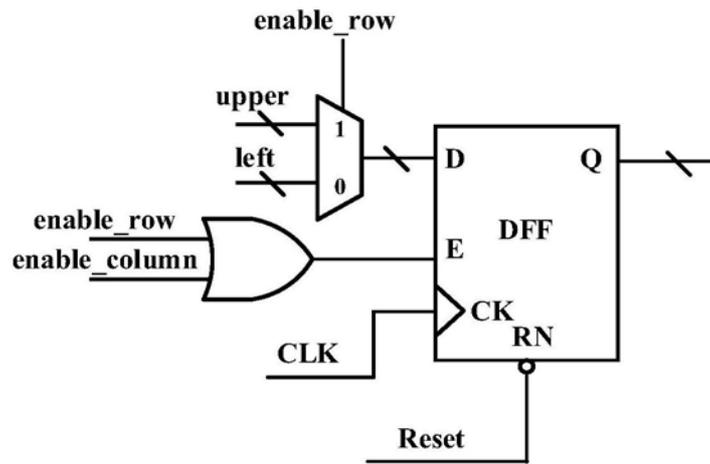


图7

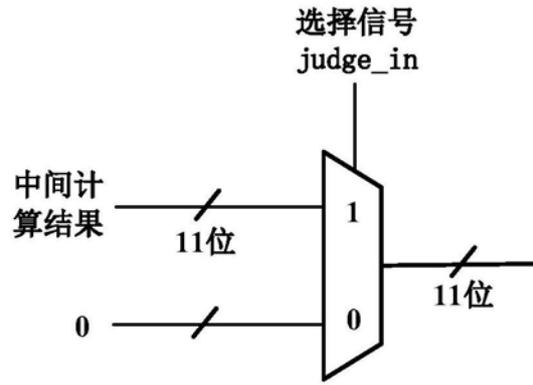


图8