



(12) 发明专利

(10) 授权公告号 CN 112102875 B

(45) 授权公告日 2023. 04. 11

(21) 申请号 202011005999.0

(22) 申请日 2020.09.23

(65) 同一申请的已公布的文献号  
申请公布号 CN 112102875 A

(43) 申请公布日 2020.12.18

(73) 专利权人 深圳佰维存储科技股份有限公司  
地址 518000 广东省深圳市南山区桃源街  
道平山社区留仙大道1213号众冠红花  
岭工业南区2区4、8栋1层-3层及4栋4  
层

(72) 发明人 孙成思 孙日欣 李振华 雷泰

(74) 专利代理机构 深圳市博锐专利事务所  
44275  
专利代理师 郑昱

(51) Int. Cl.

G11C 29/56 (2006.01)

(56) 对比文件

- CN 110097913 A, 2019.08.06
- CN 111554344 A, 2020.08.18
- US 4061908 A, 1977.12.06
- US 2014157053 A1, 2014.06.05
- CN 111210864 A, 2020.05.29
- JP H05266694 A, 1993.10.15
- JP H05342113 A, 1993.12.24
- US 2008040652 A1, 2008.02.14
- JP 2013175118 A, 2013.09.05
- CN 106021014 A, 2016.10.12

审查员 王晓春

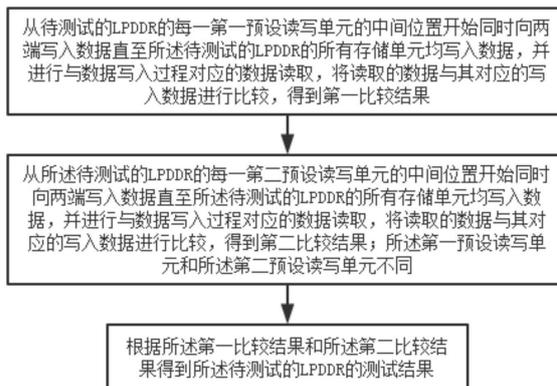
权利要求书2页 说明书10页 附图6页

(54) 发明名称

LPDDR测试方法、装置、可读存储介质及电子设备

(57) 摘要

本发明公开一种LPDDR测试方法、装置、可读存储介质及电子设备,对待测试的LPDDR先进行基于第一预设读写单元的对半读写访问操作,再进行基于第二预设读写单元的对半读写访问操作,第一预设读写单元与第二预设读写单元不同,由于预设读写单元的对半读写访问是从预设读写单元的中间位置开始同时向两端进行读写,并且进行的是两次不同预设读写单元的对半读写访问,因此,能够构造出适合于发生临近模式敏感故障的读写环境,相较于现有的顺序读写测试方式,更容易命中临近模式敏感故障,不仅能够检测出单cell和多cell故障,而且也易于检测出临近模式敏感故障,提高了测试LPDDR时的故障覆盖率。



1. 一种LPDDR测试方法,其特征在于,包括步骤:

从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第一比较结果;

从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第二比较结果;

所述第一预设读写单元和所述第二预设读写单元不同;

根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果;

所述第一预设读写单元为行,所述第二预设读写单元为列;

所述从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括:

从待测试的LPDDR的每一行的中间位置开始以预设长度为单位同时向两端写入数据直至所述行的每一列均写入数据;

所述从待测试的LPDDR的每一第一预设读写单元/第二预设读写单元的中间位置开始同时向两端写入数据包括:

判断所述第一预设读写单元/第二预设读写单元对应的数据长度,若所述数据长度为奇数,则确定所述第一预设读写单元/第二预设读写单元的中间位置对应的存储单元,在所述中间位置对应的存储单元写入预设数据,并同时向所述中间位置对应的存储单元的两端写入数据;

若所述数据长度为偶数,则确定所述第一预设读写单元/第二预设读写单元的中间位置,并同时向所述中间位置的两端写入数据。

2. 根据权利要求1所述的一种LPDDR测试方法,其特征在于,所述第一预设读写单元为列,所述第二预设读写单元为行;

所述从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括:

从待测试的LPDDR的每一列的中间位置开始以预设长度为单位同时向两端写入数据直至所述列的每一行均写入数据。

3. 根据权利要求2所述的一种LPDDR测试方法,其特征在于,所述预设长度为一个突发长度或一位。

4. 根据权利要求1所述的一种LPDDR测试方法,其特征在于,根据所述第一预设读写单元/第二预设读写单元的编号从小到大的顺序依次写入数据或者根据所述第一预设读写单元/第二预设读写单元的编号从中间位置向两端依次写入数据。

5. 根据权利要求1至2、4中任一项所述的一种LPDDR测试方法,其特征在于,在数据写入过程中,同时向两端写入的数据相反。

6. 一种LPDDR测试装置,其特征在于,包括:

第一数据读写模块,用于从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第一比较结

果；

第二数据读写模块,用于从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第二比较结果;

所述第一预设读写单元和所述第二预设读写单元不同;

测试模块,用于根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果;

所述第一预设读写单元为行,所述第二预设读写单元为列;

所述从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括:

从待测试的LPDDR的每一行的中间位置开始以预设长度为单位同时向两端写入数据直至所述行的每一列均写入数据;

所述从待测试的LPDDR的每一第一预设读写单元/第二预设读写单元的中间位置开始同时向两端写入数据包括:

判断所述第一预设读写单元/第二预设读写单元对应的数据长度,若所述数据长度为奇数,则确定所述第一预设读写单元/第二预设读写单元的中间位置对应的存储单元,在所述中间位置对应的存储单元写入预设数据,并同时向所述中间位置对应的存储单元的两端写入数据;

若所述数据长度为偶数,则确定所述第一预设读写单元/第二预设读写单元的中间位置,并同时向所述中间位置的两端写入数据。

7.一种计算机可读存储介质,其上存储有计算机程序,其特征在于,所述计算机程序被处理器执行时实现如权利要求1-5任意一项所述的一种LPDDR测试方法中的各个步骤。

8.一种电子设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,其特征在于,所述处理器执行所述计算机程序时实现如权利要求1-5任意一项所述的一种LPDDR测试方法中的各个步骤。

## LPDDR测试方法、装置、可读存储介质及电子设备

### 技术领域

[0001] 本领域涉及存储器测试领域,特别是涉及一种LPDDR测试方法、装置、可读存储介质及电子设备。

### 背景技术

[0002] LPDDR (Low Power Double Data Rate SDRAM,低功耗内存)的基本存储单元为cell,计算机及嵌入式系统通过在cell中写入高电平或低电平的方式进行数据存储和读写。但是由于制程工艺的影响使得存储单元cell在读写时有可能造成数据存储故障。

[0003] 存储故障分为单cell和多cell故障。单cell故障主要包括固定故障 (Stuck at Fault, SF) 和跳变故障 (Transition Fault, TF)。对于这两种故障的检测一般通过对待测单元写入1后再写入0然后再读出0,相应的还需要写入0后再写入1然后再读出1来进行检测。多cell的典型故障有:桥连故障 (Bridging Fault, BF) 和耦合故障 (Coupling Fault, CF)。针对这两个故障,传统的检测方式是对地址空间里的存储单元进行升序的写读,再进行降序的写读,检测是否有数据错误。

[0004] 除了常规的单cell和多cell故障外,临近模式敏感故障 (Neighborhood Pattern Sensitive Faults, NPSF) 是一种较为隐蔽且难以直接激发的故障类型。其根本原因在于某个存在制程缺陷的cell受周围cell的高低电平状态影响,在周围cell处于某个特定高低电平组合的情况下,该故障cell内部记录的数据会被改变。现有的常规测试用例由于属于顺序测试,即地址由高到低或由低到高依次进行读写,所以难以命中该类故障。

### 发明内容

[0005] 本发明所要解决的技术问题是:提供一种LPDDR测试方法、装置、可读存储介质及电子设备,在对LPDDR进行测试时能够提高故障覆盖率。

[0006] 为了解决上述技术问题,本发明采用的技术方案为:

[0007] 一种LPDDR测试方法,包括步骤:

[0008] 从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第一比较结果;

[0009] 从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第二比较结果;

[0010] 所述第一预设读写单元和所述第二预设读写单元不同;

[0011] 根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果。

[0012] 为了解决上述技术问题,本发明采用的另一种技术方案为:

[0013] 一种LPDDR测试装置,包括:

[0014] 第一数据读写模块,用于从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第一比较结果;

[0015] 第二数据读写模块,用于从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第二比较结果;

[0016] 所述第一预设读写单元和所述第二预设读写单元不同;

[0017] 测试模块,用于根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果。

[0018] 为了解决上述技术问题,本发明采用的另一种技术方案为:

[0019] 一种计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时实现上述LPDDR测试方法中的各个步骤。

[0020] 为了解决上述技术问题,本发明采用的另一种技术方案为:

[0021] 一种电子设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现上述LPDDR测试方法中的各个步骤。

[0022] 本发明的有益效果在于:对待测试的LPDDR先进行基于第一预设读写单元的对半读写访问操作,再进行基于第二预设读写单元的对半读写访问操作,第一预设读写单元与第二预设读写单元不同,由于预设读写单元的对半读写访问是从预设读写单元的中间位置开始同时向两端进行读写,并且进行的是两次不同预设读写单元的对半读写访问,因此,能够构造出适合于发生临近模式敏感故障的读写环境,相较于现有的顺序读写测试方式,更容易命中临近模式敏感故障,不仅能够检测出单cell和多cell故障,而且也易于检测出临近模式敏感故障,提高了测试LPDDR时的故障覆盖率。

## 附图说明

[0023] 图1为本发明实施例的一种LDPPR测试方法的步骤流程图;

[0024] 图2为本发明实施例的一种LDPPR测试装置的一种结构示意图;

[0025] 图3为本发明实施例的一种电子设备的结构示意图;

[0026] 图4为本发明实施例的LPDDR测试方法中第一种模型的一种数据写入示意图;

[0027] 图5为本发明实施例的LPDDR测试方法中第一种模型的一种数据读取示意图;

[0028] 图6为本发明实施例的LPDDR测试方法中第二种模型的一种数据写入示意图;

[0029] 图7为本发明实施例的LPDDR测试方法中第二种模型的一种数据读取示意图;

[0030] 图8为本发明实施例的LPDDR测试方法中第一种模型的另一种数据写入示意图;

[0031] 图9为本发明实施例的LPDDR测试方法中第一种模型的另一种数据读取示意图;

[0032] 图10为本发明实施例的LPDDR测试方法中第二种模型的另一种数据写入示意图;

[0033] 图11为本发明实施例的LPDDR测试方法中第二种模型的另一种数据读取示意图;

[0034] 图12为本发明实施例的一种LDPPR测试装置的另一种结构示意图。

## 具体实施方式

[0035] 为详细说明本发明的技术内容、所实现目的及效果,以下结合实施方式并配合附图予以说明。

[0036] 请参照图1,本发明实施例提供了一种LPDDR的测试方法,包括步骤:

[0037] 从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第一比较结果;

[0038] 从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第二比较结果;

[0039] 所述第一预设读写单元和所述第二预设读写单元不同;

[0040] 根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果。

[0041] 由上述描述可知,本发明的有益效果在于:对待测试的LPDDR先进行基于第一预设读写单元的对半读写访问操作,再进行基于第二预设读写单元的对半读写访问操作,第一预设读写单元与第二预设读写单元不同,由于预设读写单元的对半读写访问是从预设读写单元的中间位置开始同时向两端进行读写,并且进行的是两次不同预设读写单元的对半读写访问,因此,能够构造出适合于发生临近模式敏感故障的读写环境,相较于现有的顺序读写测试方式,更容易命中临近模式敏感故障,不仅能够检测出单cell和多cell故障,而且也易于检测出临近模式敏感故障,提高了测试LPDDR时的故障覆盖率。

[0042] 进一步的,所述第一预设读写单元为行,所述第二预设读写单元为列;

[0043] 所述从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括:

[0044] 从待测试的LPDDR的每一行的中间位置开始以预设长度为单位同时向两端写入数据直至所述行的每一列均写入数据。

[0045] 由上述描述可知,对于待测试的LPDDR的每一行,以列为单位进行对半读写,从每行的中间同时向两端写入数据直至所有存储单元均写入数据,通过这样能够很好的模拟用户对LPDDR芯片的实际使用环境,保证LPDDR芯片检测的全面性,能够提高LPDDR芯片的故障覆盖率,并且通过上述数据写入方式,节约测试时间,降低生产成本。

[0046] 进一步的,所述第一预设读写单元为列,所述第二预设读写单元为行;

[0047] 所述从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括:

[0048] 从待测试的LPDDR的每一列的中间位置开始以预设长度为单位同时向两端写入数据直至所述列的每一行均写入数据。

[0049] 由上述描述可知,对于待测试的LPDDR的每一列,以行为单位进行对半读写,从每列的中间同时向两端写入数据直至所有存储单元均写入数据,通过这样能够很好的模拟用户对LPDDR芯片的实际使用环境,保证LPDDR芯片检测的全面性,能够提高LPDDR芯片的故障覆盖率,并且通过上述数据写入方式,时间复杂度低,降低生产成本。

[0050] 进一步的,所述预设长度为一个突发长度或一位。

[0051] 由上述描述可知,设置预设长度为一个突发长度或一位,灵活度高,并且能够模拟真实的数据读写情况,使得测试结果更为准确。

[0052] 进一步的,所述从待测试的LPDDR的每一第一预设读写单元/第二预设读写单元的中间位置开始同时向两端写入数据包括:

[0053] 判断所述第一预设读写单元/第二预设读写单元对应的数据长度,若所述数据长度为奇数,则确定所述第一预设读写单元/第二预设读写单元的中间位置对应的存储单元,在所述中间位置对应的存储单元写入预设数据,并同时向所述中间位置对应的存储单元的两端写入数据;

[0054] 若所述数据长度为偶数,则确定所述第一预设读写单元/第二预设读写单元的中间位置,并同时向所述中间位置的两端写入数据。

[0055] 由上述描述可知,根据预设读写单元的数据长度的奇偶确定对应的读写方式,能够适应不同类型的数据长度的预设读写单元的数据写入和读取,提高了测试的通用性。

[0056] 进一步的,根据所述第一预设读写单元/第二预设读写单元的编号从小到大的顺序依次写入数据或者根据所述第一预设读写单元/第二预设读写单元的编号从中间位置向两端依次写入数据。

[0057] 由上述描述可知,在进行数据读写时,除了在预设读写单元内是进行对半读写访问操作外,在预设读写单元之间,也是从所有预设读写单元的中间位置开始从两端依次进行读写操作,能够进一步保证模拟出更贴近于临近模式敏感故障的读写方式,进一步提高故障覆盖率。

[0058] 进一步的,在数据写入过程中,同时向两端写入的数据相反。

[0059] 由上述描述可知,在数据写入过程中,同时向两端写入的数据相反,能够进一步保证模拟出更贴近于临近模式敏感故障的读写方式,进一步提高故障覆盖率。

[0060] 本发明另一实施例提供了一种LPDDR的测试装置,包括:

[0061] 第一数据读写模块,用于从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第一比较结果;

[0062] 第二数据读写模块,用于从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第二比较结果;

[0063] 所述第一预设读写单元和所述第二预设读写单元不同;

[0064] 测试模块,用于根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果。

[0065] 本发明另一实施例提供了一种计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时实现上述LPDDR测试方法中的各个步骤。

[0066] 本发明另一实施例提供了一种电子设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现上述LPDDR测试方法中的各个步骤。

[0067] 本发明上述LPDDR测试方法、装置、计算机可读存储介质及电子设备能够适用于各种类型的LPDDR的测试,包括LPDDR3、LPDDR4和LPDDR4X等不同代产品,以下通过具体实施方式进行说明:

[0068] 实施例一

[0069] 请参照图1,一种DRAM测试方法,包括步骤:

[0070] S1、从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第一比较结果;

[0071] S2、从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第二比较结果;其中,所述第一预设读写单元和所述第二预设读写单元不同;

[0072] S3、根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果;

[0073] 具体的,通过读操作中的比较环节对读出数据与对应的写入的期望数据依次进行比较,若出现数据不一致则可判定为FAIL,若通过比较全部地址空间数据无误,则判定为PASS;

[0074] 其中,第一预设读写单元和第二预设读写单元可以进行不同的组合,通过不同的模型来实现:

[0075] 在一个可选的实施方式中,所述第一预设读写单元为行,所述第二预设读写单元为列;

[0076] 所述从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括:

[0077] 从待测试的LPDDR的每一行的中间位置开始以预设长度为单位同时向两端写入数据直至所述行的每一列均写入数据;

[0078] 其中,所述预设长度为一个突发长度或一位;

[0079] 其中,突发长度(Burst Length,BL)是由JEDEC标准确定的,也可以自由设置,即一次操作多位(比如8位或16位)进行对应的读写,比如,在进行基于行的写数据时,如果定位的地址是0行,突发长度为8bit,则在0行0列这个位置开始同时写入要写入的数据的前8位数值,接着第二个突发长度写入要写入的数据的9-16位,一直连续写入直至将0行的存储位置全部写完,接着重新定位下一行的地址,继续上一行的操作,直到全盘写入数据,读数据也是类似的操作;

[0080] 本实施例中,预设长度为一位,具体的,如图4所示,首先,先对行进行对半读写:

[0081] 先确定第一行的中间位置,在第 $N/2$ 列和第 $(N/2) - 1$ 列同时写入数据;

[0082] 然后在这一行的第 $(N/2) + 1$ 列和第 $(N/2) - 2$ 列同时写入数据;

[0083] 接着在这一行的第 $(N/2) + 2$ 列和第 $(N/2) - 3$ 列同时写入数据;

[0084] 以此类推,两端同时写入直至第一行的所有存储单元均写入数据,然后切换到下一行,重复相同的操作直至待测试的LPDDR的所有存储单元均写入数据;

[0085] 在数据写入完成后,如图5所示,接着进行行的对半读出,根据写入的顺序依次进

行对应读取：

[0086] 先确定第一行的中间位置，在第 $N/2$ 列和第 $(N/2) - 1$ 列同时读取数据，并分别将其与写入的对应的预设数据进行比较；

[0087] 然后在这一行的第 $(N/2) + 1$ 列和第 $(N/2) - 2$ 列同时读取数据，并分别将其与写入的对应的预设数据进行比较；

[0088] 接着在这一行的第 $(N/2) + 2$ 列和第 $(N/2) - 3$ 列同时读取数据，并分布将其与写入的对应的预设数据进行比较；

[0089] 以此类推，两端同时读取数据直至第一行的所有存储单元的数据均被读取并进行比较后，然后切换到下一行，重复相同的操作直至待测试的LPDDR的所有存储单元均被读取并进行比较后，最终得到第一比较结果。

[0090] 所述从待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括：

[0091] 从待测试的LPDDR的每一列的中间位置开始以预设长度为单位同时向两端写入数据直至所述列的每一行均写入数据；

[0092] 本实施例中，预设长度为一位，具体的，如图6所示，首先，先对列进行对半读写：

[0093] 先确定第一列的中间位置，在第 $N/2$ 行和第 $(N/2) - 1$ 行同时写入数据；

[0094] 然后在这一列的第 $(N/2) + 1$ 行和第 $(N/2) - 2$ 行同时写入数据；

[0095] 接着在这一列的第 $(N/2) + 2$ 行和第 $(N/2) - 3$ 行同时写入数据；

[0096] 以此类推，两端同时写入直至第一列的所有存储单元均写入数据，然后切换到下一列，重复相同的操作直至待测试的LDPPR的所有存储单元均写入数据；

[0097] 在数据写入完成后，如图7所示，接着进行列的对半读出，根据写入的顺序依次进行对应读取：

[0098] 先确定第一列的中间位置，在第 $N/2$ 行和第 $(N/2) - 1$ 行同时读取数据，并分别将其与写入的对应的预设数据进行比较；

[0099] 然后在这一列的第 $(N/2) + 1$ 行和第 $(N/2) - 2$ 行同时读取数据，并分别将其与写入的对应的预设数据进行比较；

[0100] 接着在这一列的第 $(N/2) + 2$ 行和第 $(N/2) - 2$ 行同时读取数据，并分别将其与写入的对应的预设数据进行比较；

[0101] 以此类推，两端同时写入直至第一列的所有存储单元均读取数据，并将其与写入的对应的数据进行比较，然后切换到下一列，重复相同的操作直至待测试的LDPPR的所有存储单元均读取数据，并将其与写入的对应的数据进行比较，最终得到第二比较结果。

[0102] 根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果；

[0103] 具体的，比较结果若出现数据不一致则可判定为FAIL，若通过比较全部地址空间数据无误，则判定为PASS。

[0104] 在另一个可选的实施方式中，所述第一预设读写单元为列，所述第二预设读写单元为行；

[0105] 所述从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括：

[0106] 从待测试的LPDDR的每一列的中间位置开始以预设长度为单位同时向两端写入数据直至所述行的每一行均写入数据；

[0107] 具体的,如图6所示,首先,先对列进行对半读写；

[0108] 在数据写入完成后,如图7所示,接着进行列的对半读出,根据写入的顺序依次进行对应读取并比较,得到第一比较结果；

[0109] 所述从待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据包括：

[0110] 从待测试的LPDDR的每一行的中间位置开始以预设长度为单位同时向两端写入数据直至所述行的每一列均写入数据；

[0111] 具体的,如图4所示,首先,先对行进行对半读写；

[0112] 在数据写入完成后,如图5所示,接着进行行的对半读出,根据写入的顺序依次进行对应读取并比较,得到第二比较结果。

[0113] 实施例二

[0114] 本实施例与实施例一的不同在于,限定了根据预设读写单元内存储单元个数的奇偶来进行对应的读写：

[0115] 在进行数据写入时,先判断所述第一预设读写单元/第二预设读写单元对应的数据长度,若所述数据长度为奇数,则确定所述第一预设读写单元/第二预设读写单元的中间位置对应的存储单元,在所述中间位置对应的存储单元写入预设数据,并同时向所述中间位置对应的存储单元的两端写入数据；

[0116] 若所述数据长度为偶数,则确定所述第一预设读写单元/第二预设读写单元的中间位置,并同时向所述中间位置的两端写入数据；

[0117] 在进行数据读取时,也基于同样的判断方式进行对应的数据读取；

[0118] 如图4-7所示,就是数据长度为偶数情况下的读写方式；

[0119] 如果数据长度为奇数,具体的,如图8所示,先对行进行对半读写：

[0120] 先确定第一行的中间位置对应的读写单元,为第 $(N-1)/2$ 列,在第 $(N-1)/2$ 列写入预设数据,可以为0或1；

[0121] 然后在这一行的第 $(N-1)/2+1$ 列和第 $(N-1)/2-1$ 列同时写入数据；

[0122] 然后在这一行的第 $(N-1)/2+2$ 列和第 $(N-1)/2-2$ 列同时写入数据；

[0123] 接着在这一行的第 $(N-1)/2+3$ 列和第 $(N-1)/2-3$ 列同时写入数据；

[0124] 以此类推,两端同时写入直至第一行的所有存储单元均写入数据,然后切换到下一行,重复相同的操作直至待测试的LPDDR的所有存储单元均写入数据；

[0125] 在数据写入完成后,如图9所示,接着进行行的对半读出,根据写入的顺序依次进行对应读取：

[0126] 先确定第一行的中间位置对应的读写单元,为第 $(N-1)/2$ 列,在第 $(N-1)/2$ 列读取数据,并将其与写入的对应的预设数据进行比较；

[0127] 然后在这一行的第 $(N-1)/2+1$ 列和第 $(N-1)/2-1$ 列同时读取数据,并分别将其与写入的对应的预设数据进行比较；

[0128] 然后在这一行的第 $(N-1)/2+2$ 列和第 $(N-1)/2-2$ 列同时读取数据,并分别将其与写入的对应的数据进行比较；

[0129] 接着在这一行的第  $((n-1)/2)+3$  列和第  $((n-1)/2)-3$  列同时读取数据,并分别将其与写入的对应的预设数据进行比较;

[0130] 以此类推,两端同时写入直至第一行的所有存储单元均被读取,并与写入的对应的数据比较后,切换到下一行,重复相同的操作直至待测试的LPDDR的所有存储单元均被读取并比较后,最终得到第一比较结果;

[0131] 在第一预设读写单元读写完后,接着进行第二预设读写单元的读写,与上述类似,基于第二预设读写单元的数据长度的奇偶进行对应的操作,当为奇数时,则图10所示为对应的基于列的对半写入过程,图11所示为对应的基于列的对半读取过程。

[0132] 实施例三

[0133] 本实施例与实施例一或实施例二的不同在于,具体限定了如何进行第一预设读写单元/第二预设读写单元的选取:

[0134] 除了如实施例一根据所述第一预设读写单元/第二预设读写单元的编号按照从小到大的顺序依次选取所述待测试的LPDDR中的每一第一预设读写单元外,比如对于第一预设读写单元是行的情况,可以按照行的编号从第1行、第2行、第3行……依次选取直至最后1行;对于第一预设读写单元是列的情况,可以按照列的编号第1列、第2列、第3列……依次选取直至最后1列;

[0135] 还可以有如下方式:

[0136] 随机选取所述待测试LPDDR中的第一预设读写单元/第二预设读写单元直至遍历完所述待测试LPDDR中的所有第一预设读写单元/第二预设读写单元;

[0137] 或者从中间向两端选取所述待测试LPDDR中的第一预设读写单元/第二预设读写单元直至遍历完所述待测试DRAM中的所有第一预设读写单元/第二预设读写单元,比如对于第一预设读写单元是行的情况,假设一共有N行,N为偶数的情况,则可以如下的行顺序进行数据的写入: $N/2$ 、 $N/2-1$ 、 $N/2+1$ 、 $N/2-2$ 、 $N/2+2$ ……直至遍历完所有行,也可以类似于预设读写单元内的对半读写操作,即从中间两行开始同时向两端两行两行的写入,即先同时写  $N/2$ 、 $N/2-1$ ,接着同时写入  $N/2+1$ 、 $N/2-2$ ,然后同时写入  $N/2+2$ 、 $N/2-3$ ,……直至遍历完所有行。

[0138] 实施例四

[0139] 本实施例与实施例一或实施例二或实施例三不同在于,在数据写入过程中,同时向两端写入的数据相反,比如第一预设单元从中间位置向后写入的数据是0,则从所述中间位置向前写入的数据是1或者第一预设单元从中间位置向后写入的数据是1,则从所述中间位置向前写入的数据是0;

[0140] 具体的,对于第一种模型,设待写入的数据内容为010101……010,当进行数据写入时,当n为偶数时,第  $n/2$  列写入0,第  $(n/2)-1$  列写入1;第  $(n/2)+1$  列写入1,第  $(n/2)-2$  列写入0;第  $(n/2)+2$  列写入0,第  $(n/2)-3$  列写入1,以此类推;

[0141] 对应的,当进行数据读取时,第  $n/2$  列读取数据并与0比较,第  $(n/2)-1$  列读取数据并与1比较;第  $(n/2)+1$  列读取数据并与1比较,第  $(n/2)-2$  列读取数据并与0比较;第  $(n/2)+2$  列读取数据并与0比较,第  $(n/2)-3$  列读取数据并与1比较,以此类推。

[0142] 图4-11中,D与/D互为取反数据。

[0143] 对于预设长度为一位的实施方式中,比如D为0,则/D为1,对于预设长度为一个突

发长度的实施方式中,比如D为01010101,则/D为10101010。

[0144] 实施例五

[0145] 请参照图2,一种LPDDR测试装置,包括:

[0146] 第一数据读写模块,用于从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第一比较结果;

[0147] 第二数据读写模块,用于从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据,并进行与数据写入过程对应的数据读取,将读取的数据与其对应的写入数据进行比较,得到第二比较结果;

[0148] 所述第一预设读写单元和所述第二预设读写单元不同;

[0149] 测试模块,用于根据所述第一比较结果和所述第二比较结果得到所述待测试的LPDDR的测试结果;

[0150] 进一步的,如图12所示,可以将第一数据读写模块细分为:

[0151] 第一数据写入模块,用于从待测试的LPDDR的每一第一预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据;

[0152] 第一数据读取模块,用于根据第一数据写入模块的数据写入过程进行对应的数据读取;

[0153] 第一比较模块,用于根据第一数据写入模块写入的数据和第一数据读取模块读取的数据进行比较,得到第一比较结果;

[0154] 将第二数据读写模块细分为:

[0155] 第二数据写入模块,用于从所述待测试的LPDDR的每一第二预设读写单元的中间位置开始同时向两端写入数据直至所述待测试的LPDDR的所有存储单元均写入数据;

[0156] 第二数据读取模块,用于根据第二数据写入模块的数据写入过程进行对应的数据读取;

[0157] 第二比较模块,用于根据根据第二数据写入模块写入的数据和第二数据读取模块读取的数据进行比较,得到第二比较结果。

[0158] 实施例六

[0159] 一种计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时实现上述实施例一至四中任一个中的一种LPDDR测试方法中的各个步骤。

[0160] 实施例七

[0161] 请参照图3,一种电子设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现上述实施例一至四中任一个中的一种LPDDR测试方法中的各个步骤。

[0162] 综上所述,本发明提供了一种LPDDR测试方法、装置、可读存储介质及电子设备,对待测试的LPDDR先进行基于第一预设读写单元的对半读写访问操作,再进行基于第二预设读写单元的对半读写访问操作,第一预设读写单元与第二预设读写单元不同,可以先行后列,也可以先列后行,灵活性高,由于预设读写单元的对半读写访问是从预设读写单元的中

间位置开始同时向两端进行读写,并且进行的是两次不同预设读写单元的对半读写访问,同时预设读写单元也可以从其中间位置开始向两端进行读写,因此,能够构造出适合于发生临近模式敏感故障的读写环境,相较于现有的顺序读写测试方式,更容易命中临近模式敏感故障,不仅能够检测出单cell和多cell故障,而且也易于检测出临近模式敏感故障,提高了测试LPDDR时的故障覆盖率;能够检测出此前较难发现的芯片缺陷,能够提升良率;并且具有低时间复杂度,适用于量产测试。

[0163] 在本申请所提供的上述实施例中,应该理解到,所揭露的方法、装置、计算机可读存储介质以及电子设备,可以通过其它的方式实现。例如,以上所描述的装置实施例仅仅是示意性的,例如,所述模块的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个组件或模块可以结合或者可以集成到另一个装置,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,装置或组件或模块的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0164] 所述作为分离部件说明的组件可以是或者也可以不是物理上分开的,作为组件显示的部件可以是或者也可以不是物理模块,即可以位于一个地方,或者也可以分布到多个网络模块上。可以根据实际的需要选择其中的部分或者全部组件来实现本实施例方案的目的。

[0165] 另外,在本发明各个实施例中的各功能模块可以集成在一个处理模块中,也可以是各个组件单独物理存在,也可以两个或两个以上模块集成在一个模块中。上述集成的模块既可以采用硬件的形式实现,也可以采用软件功能模块的形式实现。

[0166] 所述集成的模块如果以软件功能模块的形式实现并作为独立的产品销售或使用,可以存储在一个计算机可读取存储介质中。基于这样的理解,本发明的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来,该计算机软件产品存储在一个存储介质中,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本发明各个实施例所述方法的全部或部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(ROM, Read-Only Memory)、随机存取存储器(RAM, Random Access Memory)、磁碟或者光盘等各种可以存储程序代码的介质。

[0167] 需要说明的是,对于前述的各方法实施例,为了简便描述,故将其都表述为一系列的动作组合,但是本领域技术人员应该知悉,本发明并不受所描述的动作顺序的限制,因为依据本发明,某些步骤可以采用其它顺序或者同时进行。其次,本领域技术人员也应该知悉,说明书中所描述的实施例均属于优选实施例,所涉及的动作和模块并不一定是本发明所必须的。

[0168] 在上述实施例中,对各个实施例的描述都各有侧重,某个实施例中未详述的部分,可以参见其它实施例的相关描述。

[0169] 以上所述仅为本发明的实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等同变换,或直接或间接运用在相关的技术领域,均同理包括在本发明的专利保护范围内。

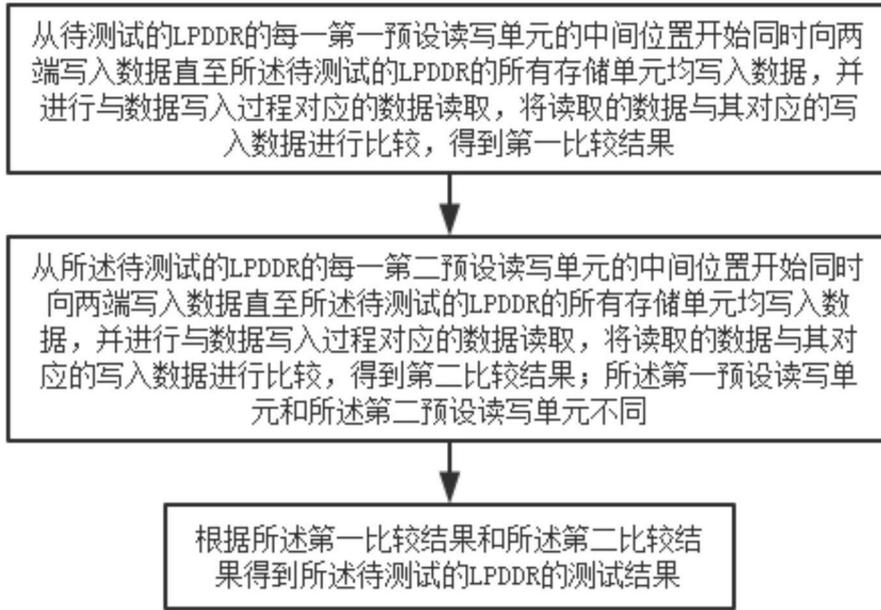


图1

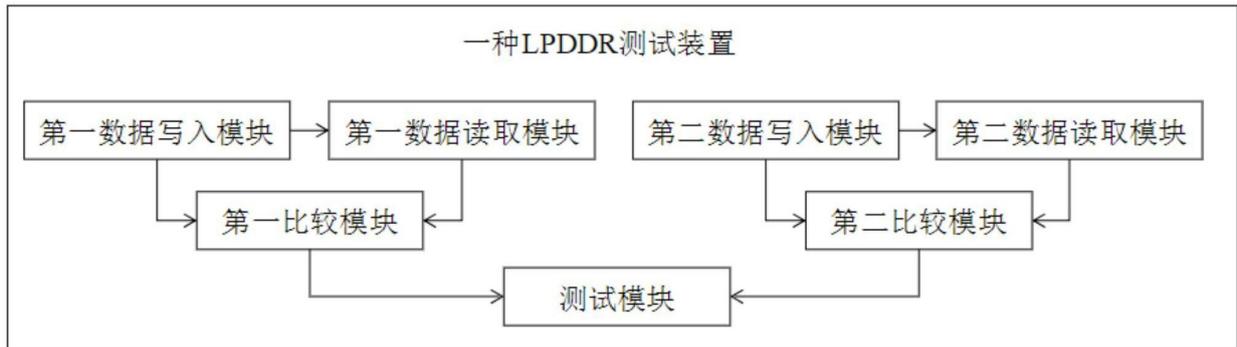


图2

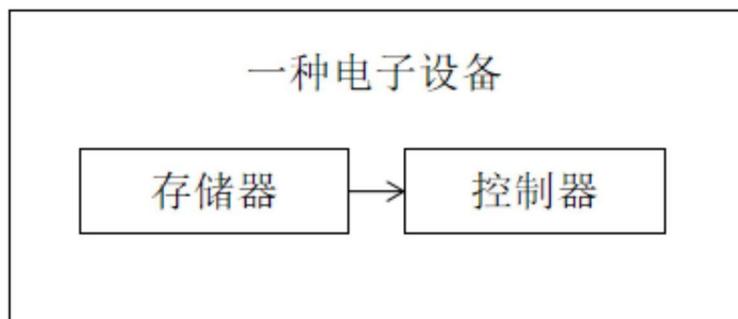


图3

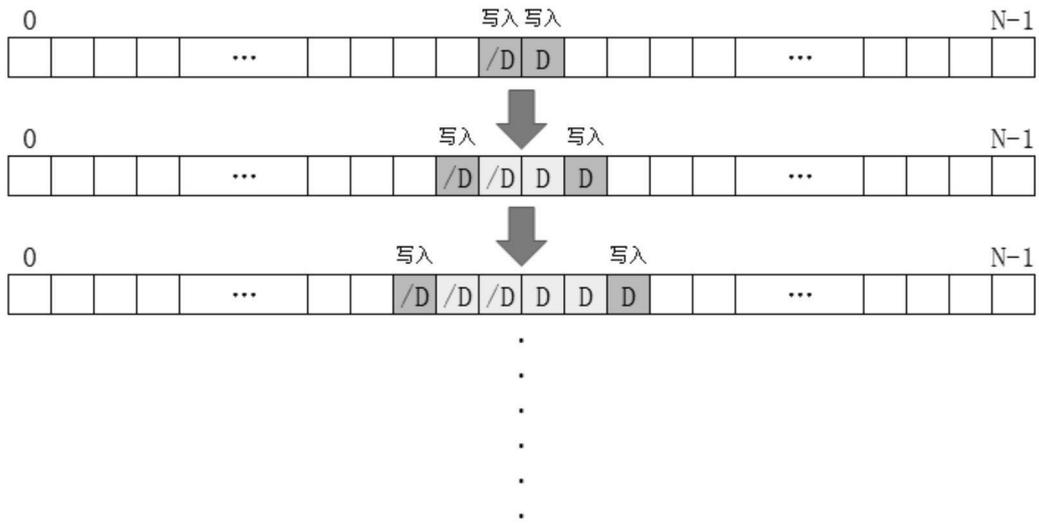


图4

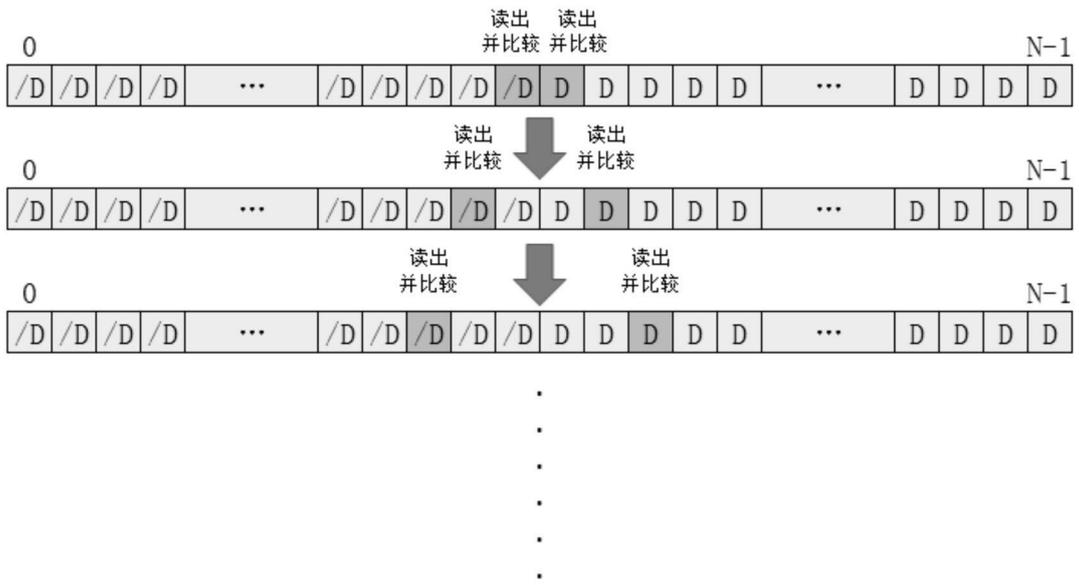


图5

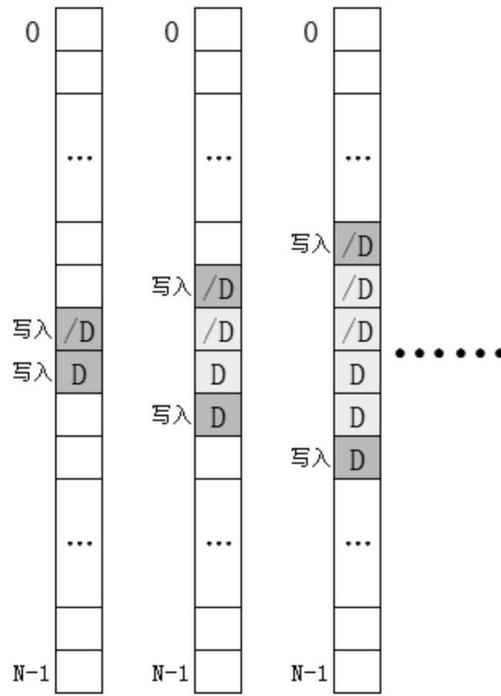


图6

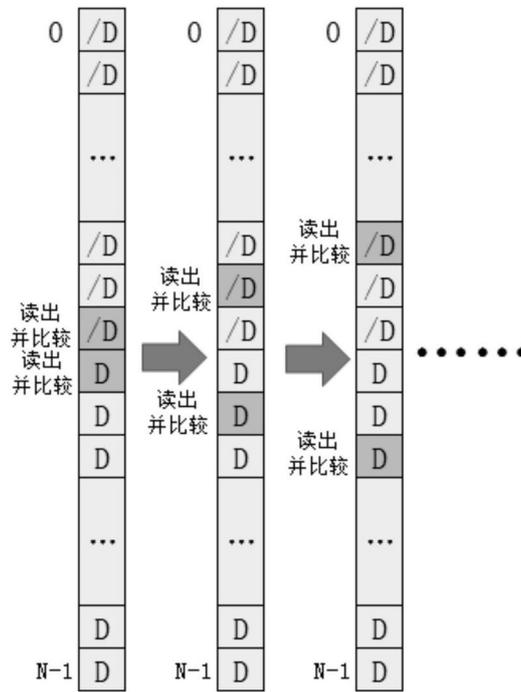


图7

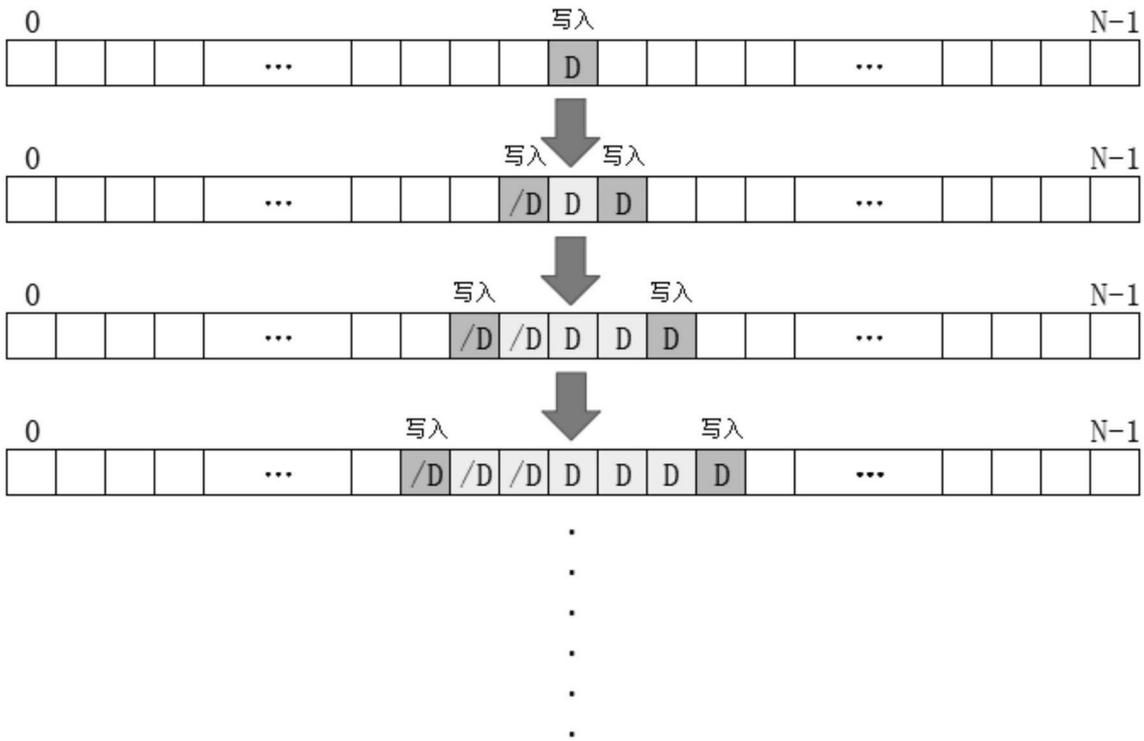


图8

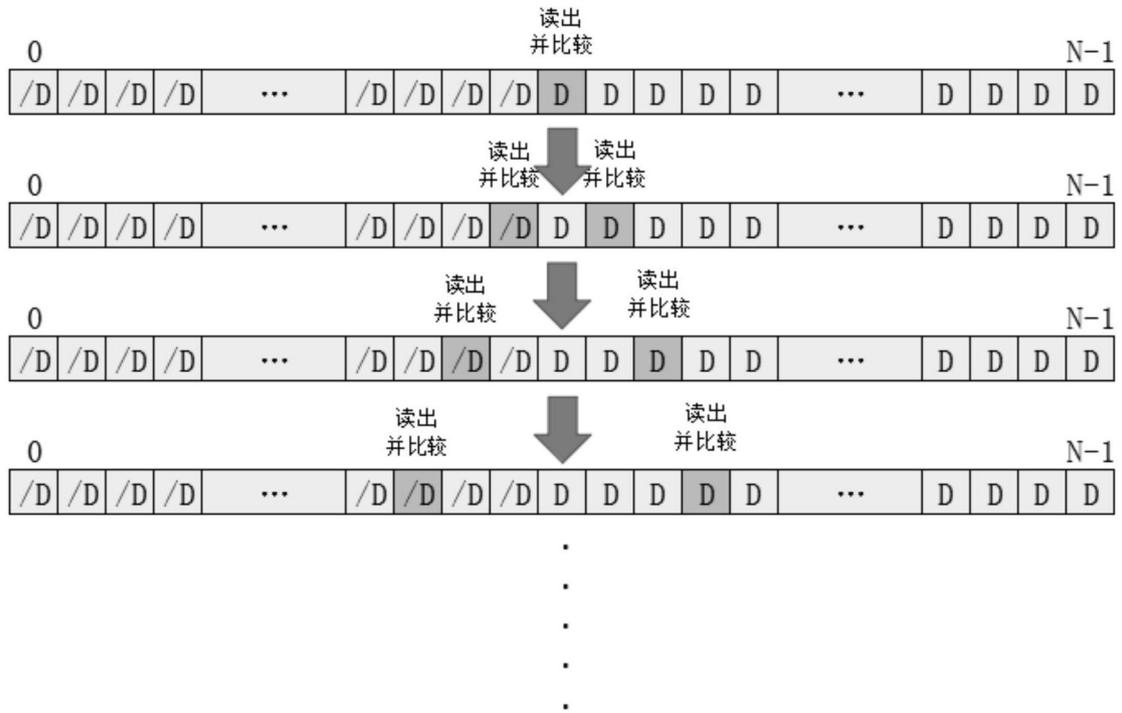


图9

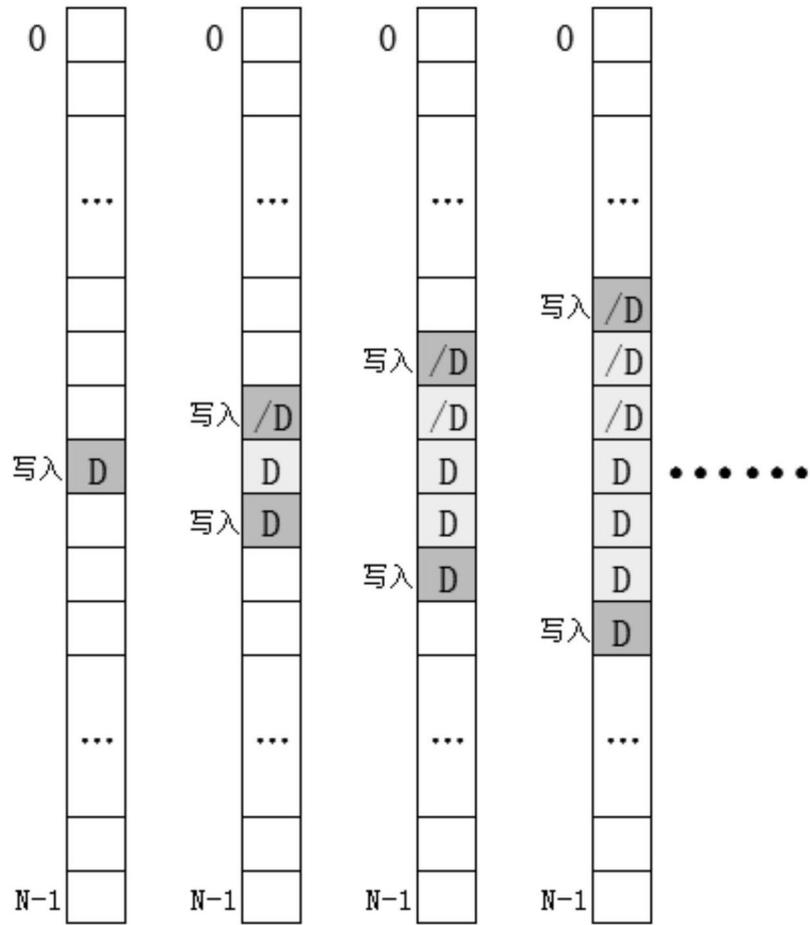


图10

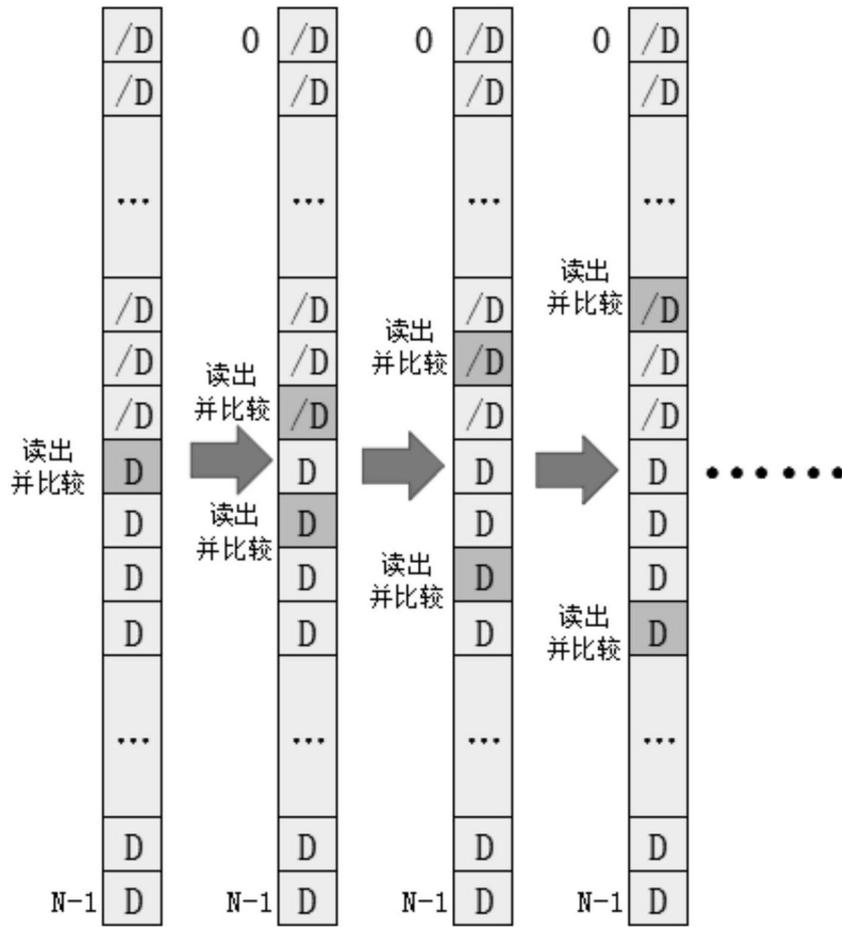


图11

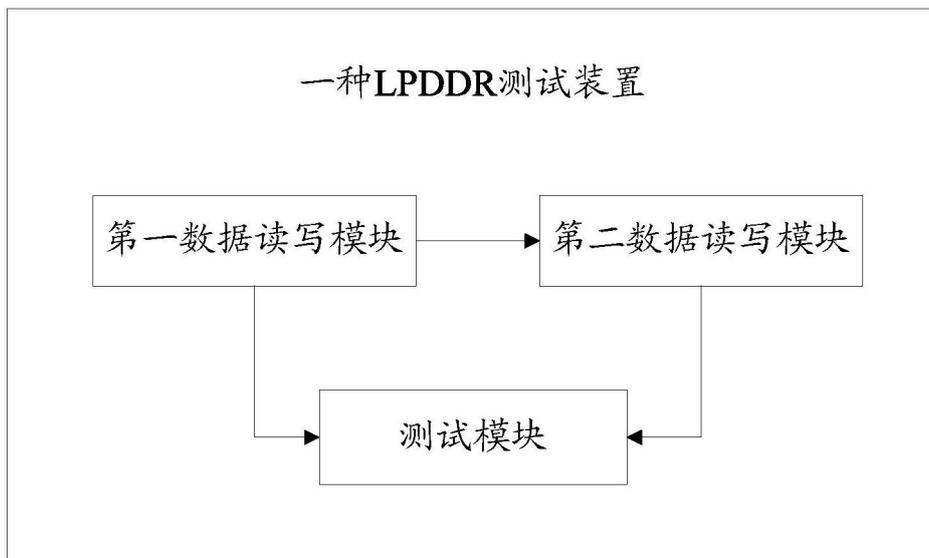


图12