

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4302839号
(P4302839)

(45) 発行日 平成21年7月29日(2009.7.29)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int. Cl. F I
 HO 1 L 21/768 (2006.01) HO 1 L 21/90 C
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 6 7 1 Z
 HO 1 L 27/108 (2006.01)

請求項の数 12 (全 11 頁)

<p>(21) 出願番号 特願平11-324586 (22) 出願日 平成11年11月15日(1999.11.15) (65) 公開番号 特開2000-208629(P2000-208629A) (43) 公開日 平成12年7月28日(2000.7.28) 審査請求日 平成15年11月28日(2003.11.28) (31) 優先権主張番号 199849959 (32) 優先日 平成10年11月20日(1998.11.20) (33) 優先権主張国 韓国(KR)</p>	<p>(73) 特許権者 390019839 三星電子株式会社 SAMSUNG ELECTRONICS CO., LTD. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR) (74) 代理人 100064908 弁理士 志賀 正武 (74) 代理人 100089037 弁理士 渡邊 隆</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置の自己整列コンタクトパッド形成方法

(57) 【特許請求の範囲】

【請求項1】

半導体装置の自己整列コンタクトパッド形成方法において、
 半導体基板の上に複数のゲート構造を形成し、各々のゲート電極構造は、ゲート電極層、ゲートキャッピング層、ゲート両側壁スペーサで構成され、前記ゲート電極構造の間の空間は半導体基板に向かってその断面積が小さくなるように構成される段階と、
 前記ゲート電極構造の間の空間を完全に充填するため、前記基板と前記ゲート電極構造上に絶縁層を形成する段階と、
 コンタクトパッド形成マスクを使用して前記絶縁層をエッチングして、前記ゲート電極構造間に位置する前記基板のコンタクト領域を同時に露出させるオープニングを形成する段階と、
 導電物質を前記オープニングに充填する段階と、
前記導電物質と前記絶縁層のエッチング選択比が前記キャッピング層よりも大きくなる条件で、前記キャッピング層の上面が露出されるときまで、前記導電物質と前記絶縁層をエッチバックした後、前記キャッピング層のエッチング選択比が前記導電物質と前記絶縁層よりも大きくなる条件で、前記ゲートキャッピング層の上部の一部をエッチングすることによって、前記コンタクト領域に電氣的に連結され、互いに電氣的に絶縁された、複数のコンタクトパッドを形成する段階を備えていることを特徴とする半導体装置の自己整列コンタクトパッド形成方法。

【請求項2】

前記ゲート電極構造を形成する段階は、
前記ゲート電極層と前記ゲートキャッピング層を蒸着する段階と、
ゲート形成マスクを使用して、前記キャッピング層と前記ゲート電極層をパターニングする段階と、

前記両側壁スペーサを形成するため、スペーサ形成層を蒸着し、それをエッチバックする段階とを含むことを特徴とする請求項 1 に記載の半導体装置の自己整列コンタクトパッド形成方法。

【請求項 3】

前記ゲート電極層は、ポリシリコンと金属シリサイドで構成されているし、前記キャッピング層は、シリコン窒化物と酸化物の二重層、又はこれらの膜の組み合わせによる多層構造のいずれかによって形成されることを特徴とする請求項 1 に記載の半導体装置の自己整列コンタクト形成方法。

10

【請求項 4】

前記ポリシリコンと金属シリサイドは、各々 1000 以内の厚さに形成され、前記シリコン窒化物は、1000 から 2000 の範囲の厚さに形成され、前記酸化物は、300 から 1000 の範囲の厚さに形成されることを特徴とする請求項 3 に記載の半導体装置の自己整列コンタクトパッド形成方法。

【請求項 5】

前記ゲート電極構造及び前記基板上にエッチング阻止膜を形成する段階をさらに含み、前記絶縁層をエッチングする段階は、前記エッチング阻止膜をエッチングする段階とを含むことを特徴とする請求項 1 に記載の半導体装置の自己整列コンタクトパッド形成方法。

20

【請求項 6】

前記エッチング阻止膜は、シリコン窒化物で構成されているし、50 から 200 の範囲の厚さを有することを特徴とする請求項 5 に記載の方法。

【請求項 7】

前記絶縁層は、BPSG 酸化物、USG 酸化物、そしてHDP 酸化物のうち、いずれか 1 つで構成されているし、3500 から 5500 の範囲の厚さを有することを特徴とする請求項 1 に記載の方法。

【請求項 8】

前記導電物質と前記絶縁膜をエッチバックする段階は、前記絶縁膜まで選択的に前記導電物質をエッチングする段階と、前記導電物質と前記絶縁膜を前記キャッピング膜まで 1 : 1 のエッチング比で同時にエッチバックする段階とを含むことを特徴とする請求項 1 に記載の方法。

30

【請求項 9】

前記ゲートキャッピング層のエッチバックは、前記導電物質に対して 2 : 1 から 4 : 1 のエッチング比を有することを特徴とする請求項 1 に記載の方法。

【請求項 10】

絶縁膜まで前記導電物質をエッチングする段階は、 SF_6 と CF_4 を含む混合されたガスを使用する請求項 8 に記載の方法。

【請求項 11】

40

前記導電物質と前記絶縁膜をエッチバックする段階は、 SF_6 、 CF_4 、そして CHF_3 を含む混合されたガスを使用することを特徴とする請求項 8 に記載の方法。

【請求項 12】

前記エッチバックは、 CF_4 と CHF_3 を含む混合されたガスを使用することを特徴とする請求項 9 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関するものであり、より詳しくは、半導体装置のパッド及びその製造方法に関するものである。

50

【 0 0 0 2 】

【 従来 の 技 術 】

半導体素子の製造技術が発達するにつれ、集積度を向上させるため、パターン大きさ (pattern size) が減少されている。特に、メモリ素子である DRAM の集積度がギガビット (Giga bit) 以上に形成されるためには、 $0.18\ \mu\text{m}$ 以下のパターン形成とこれに適合な工程開発が形成されなければならない。これにより、フォトリソグラフィ (photolithography) 工程で制作されるコンタクトホール (contact hole) の大きさを小さく形成し、フォト設備でアライメント (alignment) 正確度を増加させるため自己整列コンタクト (self-aligned contact ; 以下、SAC) 工程が適用されている。SAC に関する内容は、U . S . P . No . 4 , 9 9 2 , 8 4 8 に開示されている。SAC の長所は、フォト工程での小さいコンタクトホール形成に対するマージン及びアライメントマージンを確保することができ、全ての面積をコンタクトとして使用することができるため、コンタクト抵抗を低めることができる。上述のような長所のために、SAC 工程は、以後高集積デバイスで使用される重要なコンタクト形成方法のうち、1つである。

10

【 0 0 0 3 】

SAC 工程は、既に広く常用化され、IEDM ' 9 5 . P . 9 0 7、IEDM ' 9 6 . P . 5 9 7 に開示されている。これらが提示した SAC 工程でのパターン模様は、円型または楕円型にビットラインコンタクトパッドとストレージノードコンタクトパッドがフォトリソグラフィ工程から分離形成される。ここで、工程の進行のとき、パターン大きさが小さくなれば小さくなるほど、即ちコンタクトホールの大きさが小さくなれば小さくなるほどエッチング工程でエッチングされる面積は小さくなり、エッチングすべき相対的な深さは深くなる。即ち、コンタクトの横縦比 (contact depth / contact diameter) が増加することによってエッチング反応ガスとエッチング時の化学反応副産物の拡散が難しくなるために、エッチング速度が減少したり、エッチング停止現象 (エッチングされるコンタクトホール内での反応副産物が拡散されて出ないことにより、エッチング反応速度が著しく下がったり、エッチング反応が止まる現象) が発生するようになる。これを防止するため、ポリマー (polymer) 発生を抑える条件にエッチングを進行したりエッチング時間を増加させる方法を適用すると、ゲートマスク及びゲートスペーサ用絶縁膜がエッチングされることによって SAC パッドとゲートが電氣的に短絡されて SAC 固有の目的を喪失するようになる。

20

30

【 0 0 0 4 】

このような問題を解決するため、kohyama 等は、フォトリソグラフィ工程でビットラインコンタクトホールとストレージノードコンタクトホールを1つに縛る新しい構造を提示した (" A Fully Printable, Self-Aligned and Planarized Stacked Capacitor DRAM CELL Technology for 1G bit DRAM and Beyond "、Y . Kohyama、1997 Sym . VLSI Tech . Digest of Technical Papers、pp . 17 - 18)。構造を用いたコンタクトパッド形成工程は、次のとおりである。

40

【 0 0 0 5 】

図1乃至図6は、従来半導体装置のパッド製造方法の工程を順次的に示すフローチャートである。

図1を参照すると、活性領域11と非活性領域12が定義された半導体基板10上にゲート酸化膜 (図面に未図示) を介してゲート電極形成用導電膜13、14及びゲートマスク15、16が順次形成される。導電膜13、14は、一般にポリシリコン膜13とタンゲステンシリサイド膜14が積層された構造を有し、ゲートマスク15、16は、窒化膜15と酸化膜16が積層された構造を有する。窒化膜15は、後続層間絶縁膜として使用される酸化膜に対してエッチング選択比を有する膜質である。フォトレジストパターン (図面に未図示) をマスクとして使用してゲートマスク16、15と導電膜14、13、そし

50

てゲート酸化膜を順次エッチングすることによって上部が絶縁膜、例えば窒化膜 15 と酸化膜 16 で覆われたゲート電極が形成され、ゲート電極両側の半導体基板 10 にソース/ドレイン領域を形成するための低濃度不純物イオンが注入される。

【0006】

続いて、半導体基板 10 に形成された構造物の表面に沿って、後続層間絶縁膜と選択比を有するゲートスペーサ形成用第 1 窒化膜を形成した後、第 1 窒化膜をエッチバック工程にエッチングすることによって、ゲート電極の両側壁及びゲートマスク 15、16 の両側壁にゲートスペーサ 18 が形成されて両側壁及び上部が絶縁膜に覆われたゲート電極 17 が形成される。それから、ゲートスペーサ 18 両側の半導体基板 10 上に形成された構造物の表面に沿って酸化膜と選択比を有する第 2 窒化膜 20 が形成される。第 2 窒化膜 20 は、後続自己整列コンタクト形成のための層間絶縁膜のエッチング工程時、エッチング停止層として使用される。

10

【0007】

図 2 において、半導体基板 10 の全面に酸化膜で層間絶縁膜 22 が形成された後、酸化膜 22 が CMP (Chemical Mechanical Polishing) 工程で平坦化される。フォトリソグラフィで形成されたフォトレジストパターン(図面に未図示)がマスクとして使用して第 2 窒化膜 20 をエッチング停止層として層間絶縁膜 22 をエッチングした後、露出された第 2 窒化膜 20 を除去することによって半導体基板 10 のビットラインコンタクトパッド及びストレージノードコンタクトパッドが形成される活性領域 11 の半導体基板 10 が全部露出されて図 3 のように、パッド形成用オープニング 24 が形成される。このとき、フォトレジストパターンによって完全に露出されたゲートマスクである酸化膜 16 は、除去されて下部のゲートマスクである窒化膜 15 が露出されるようになる。

20

【0008】

図 4 を参照すると、オープニング 24 を充填するように層間絶縁膜 22 上にポリシリコン膜が形成され、コンタクトパッド形成のためのポリシリコン膜エッチング工程が実施される。エッチング工程は、CMP 工程とエッチバック工程のうち、いずれか 1 つで実施され、エッチング工程に自己整列コンタクトパッドが分離されて図 5 に図示されているように、ストレージノードコンタクトパッド 26a 及びビットラインコンタクトパッド 26b が形成される。このとき、ストレージノードコンタクトパッド 26a 及びこれに隣接なビットラインコンタクトパッド 26b の確実に分離するために殆どオーバーエッチ(over-etch)をするようにする。

30

【0009】

図 6 において、半導体基板 10 の全面に第 2 層間絶縁膜 28 が形成され、後続ビットライン及びストレージノード形成工程が進行される。

しかし、この構造では、パッド形成用オープニング 24 形成工程のとき、フォトレジストが覆っている表面積が小さいため、エッチングのとき、ポリマー生成が小さいために、絶縁膜の間、例えば酸化膜と窒化膜の選択比が減少されてパッド分離のためのエッチング工程時、ゲート電極保護用絶縁膜の一部を除去することができる。又ゲートラインの間にポリシリコンを充填し、CMP 工程とエッチバック工程のうち、いずれか 1 つの工程によるパッドの間の分離時、前述のように確実なパッド分離のためのオーバーエッチ工程によってパッド大きさがゲートラインの間の空間に制限される。結果的に、パッド上部の大きさが相対的に減少されてパッドと後続ビットライン形成のためのビットラインコンタクト及びストレージノード形成のためのストレージノードコンタクトの間のミスアラインマージン(misalign margin)を十分に確保できないようになる。そしてパッド分離のために平坦化エッチング工程のとき表面にポリシリコン、シリコン窒化膜、そして酸化膜の 3 つ膜が露出されて CMP 工程のとき、副産物が発生される。これは後続工程で付加的な洗浄工程が要求される等工程の円滑な進行を阻害できるだけでなく製造費用を増加させる原因になる。

40

【0010】

50

【発明が解決しようとする課題】

本発明は、上述の諸般問題点を解決するため、提案されたこととして、第一に、ゲートマスク及びゲートスペーサ等のゲート保護用絶縁膜が損失されることを防止することができ、コンタクトパッドの上部大きさを増大させてミスアラインマージンを確保することができる半導体装置のパッド及びその製造方法を提供することである。

第二に、工程を単純化することができ、平坦化工程進行のとき発生される副産物を最小化することができる半導体装置のパッド及びその製造方法を提供することである。

【0011】

【課題を解決するための手段】

上述の目的を達成するための本発明によると、半導体装置のパッド製造方法は、半導体基板上にゲート導電膜パターンとマスクパターンが順次積層され、両側壁にスペーサを有するゲート電極を形成する段階と、半導体基板上に形成された構造物の表面に沿って第1絶縁膜を形成する段階と、半導体基板の全面に第1絶縁膜とエッチング選択比を有する第2絶縁膜を形成する段階と、コンタクトパッド形成用マスクを使用して第1絶縁膜の表面が露出されるときまで、第2絶縁膜をエッチングする段階と、半導体基板の第1絶縁膜を除去してパッド形成用オープニングを形成する段階と、オープニングを充填するように第2絶縁膜上にゲートマスクパターンとエッチング選択比を有する導電膜を形成する段階と、導電膜をエッチバック工程でエッチングして電氣的に分離されたコンタクトパッドを形成し、第2絶縁膜が検出されるときまで、導電膜の一部厚さをエッチングし、所定時間の間、導電膜をエッチングしてから、導電膜とゲートマスクパターンとの選択比を利用したエッチバック工程にコンタクトパッドを形成する段階とを含む。

【0012】

上述の目的を達成するための本発明によると、半導体装置のパッドは、所定間隙を置いてバー形態に配列されている複数のワードラインと、所定の間隙を置いてワードラインと直交するようにバー形態に配列されている複数のビットラインと、ワードラインの間に形成されているコンタクトパッドとを含み、コンタクトパッドは、ワードラインと一部がオーバーラップされるように形成される。

【0013】

図12を参照すると、本発明の実施形態による新たな半導体装置のパッド及びその製造方法は、ゲート電極及びゲートマスクパターンが形成された半導体基板上に層間絶縁膜を形成した後、半導体基板の所定の領域が露出されるように層間絶縁膜を除去してパッド形成用オープニングを形成した後、オープニングを充填するように層間絶縁膜上にゲートマスクパターンとエッチング選択比を有する導電膜が形成される。導電膜をエッチバック工程でエッチングして電氣的に分離されたコンタクトパッドを形成し、層間絶縁膜が検出されるときまで、導電膜の一部厚さをエッチングし、所定の時間の間に導電膜をエッチングしてから、導電膜とゲートマスクパターンとの選択比を利用したエッチバック工程でエッチングすることによって、コンタクトパッドが形成される。このような半導体装置のパッド及びその製造方法によって、パッド形成のとき、エッチバック工程にパッド形成用導電膜とマスク用絶縁膜との選択比を利用して工程を実施することによって、パッド分離のためエッチングされた領域を除外した余りの部分を全部パッドとして使用することができるため、後続工程のときミスアライメントマージンを確保することができ、エッチング工程のとき発生される副産物を最少化することができ、下部絶縁膜の損失が防止されて導電膜の間の短絡を防止することができる。

【0014】

【発明の実施の形態】

以下、図7及び図8乃至図13を参照して本発明の実施例を詳細に説明する。

図7は、本発明の実施形態による半導体装置のパッドを示す平面図である。

図7を参照すると、半導体装置は、所定間隙を置いてバー形態に配列されている複数のワードラインと所定の間隙を置いてワードラインと直交するようにバー形態に配列されている複数のビットライン、そしてワードラインの間に形成されているコンタクトパッドを含

み、コンタクトパッドは、ワードラインと一部がオーバーラップされるように形成されている。即ち、ゲート電極上にもコンタクトパッドが形成されているためパッド面積が増加される。コンタクトパッドの製造方法は、次のとおりである。

【0015】

図8乃至図13は、本発明の実施形態による半導体メモリ装置のコンタクトパッド形成方法の工程を順序に示すフローチャートである。図8を参照すると、本発明の半導体メモリ装置のパッド形成方法は、まず半導体基板100に活性領域101と非活性領域を定義するための素子隔離領域102が形成される。素子隔離領域102は、LOCOS(LOCAL Oxidation of Silicon)工程とSTI(Shallow Trench Isolation)工程のうち、いずれか1つで形成される。続いて、半導体基板100上にゲート酸化膜(図面に未図示)、ゲート電極用導電膜、そしてゲートマスクが順次形成される。導電膜は、ポリシリコン膜103及びタングステンシリサイド膜104が積層された構造を有し、ゲートマスクは、シリコン窒化膜105、酸化膜106の二重構造とこれらの膜の組み合わせによる混用多層構造のうち、いずれか1つの構造を有する。ポリシリコン膜103とタングステンシリサイド膜104は、各々1000以内の厚さに形成され、シリコン窒化膜105は、1000乃至2000、酸化膜106は、300乃至1000の厚さ範囲内に形成される。次に、ソース/ドレーン形成のためのイオン注入工程が実施される。

【0016】

次に、公知のフォトリソグラフィによってゲート電極形成のためのフォトレジストパターン(図面に未図示)が形成され、これをマスクとして使用して酸化膜106、シリコン窒化膜105、タングステンシリサイド膜104、ポリシリコン膜103、そしてゲート酸化膜を順次エッチングすることによって上部表面が絶縁膜、例えばシリコン窒化膜105及び酸化膜106に覆われたゲート電極が形成される。続いてゲート電極両側の半導体基板100にソース/ドレーン領域形成のための低濃度不純物イオンが注入される。それから、半導体基板100の全面にスペーサ形成用シリコン窒化膜が約300乃至1000の厚さ範囲内に形成され、望ましくは、500の厚さが形成される。この膜質を異方性エッチングすることによってゲート電極及びその上に形成されている絶縁膜の両側壁にゲートスペーサ108が形成され、従って絶縁膜で囲まれたゲート電極107が形成される。

【0017】

続いて、半導体基板100上に形成された構造物の表面に沿って後続SAC形成のためのエッチング工程時、エッチング停止層として使用するための絶縁膜にシリコン窒化膜110が形成される。シリコン窒化膜110は、後続層間絶縁膜である酸化膜と選択比を有する膜質であり、50乃至200の厚さ範囲内に形成される。

【0018】

図9において、半導体基板100の全面にシリコン窒化膜110と選択比を有する層間絶縁膜112が形成される。層間絶縁膜112は、CVD(Chemical Vapor Deposition)工程に形成されるBPSG(borophosphosilicate glass)、USG(undoped silicate glass)、HDP(high density plasma)のうち、いずれか1つの酸化膜であり、3500乃至5500の厚さ範囲内に形成される。層間絶縁膜112は、後続フォトマージンの確保のためCMP工程に平坦化されるが、ゲート電極107上に500乃至1000厚さ範囲の層間絶縁膜112が残るように平坦化工程が実施される。

【0019】

次に、層間絶縁膜112上に自己整列コンタクトパッド形成のためのフォトレジストパターン(図面に未図示)が形成される。フォトレジストパターンは、ストレージノードコンタクト及びビットラインコンタクト形成領域を全部オープンさせるためにT字型パターンが使用され、フォトレジストパターンをマスクとして使用してシリコン窒化膜110の表面が露出されるときまで層間絶縁膜112がエッチングされる。続いて半導体基板100

10

20

30

40

50

上に残っているエッチング停止層であるシリコン窒化膜 110 を除去することによって図 10 のように自己整列コンタクトパッド形成用オープニング 114 が形成される。

【0020】

層間絶縁膜 112 エッチング工程のとき、電極用導電膜 103、104 上のゲートマスクである窒化膜 105 とゲートスペーサ 108、そしてエッチング停止層であるシリコン窒化膜 110 は、層間絶縁膜 112 に対してエッチング選択比を有する。言い換えれば、層間絶縁膜 112 がエッチングされる間、ゲートマスクのシリコン窒化膜 105、ゲートスペーサ 108、そしてエッチング停止層であるシリコン窒化膜 110 は、エッチングされなかったり、エッチングされる量が相対的に小さい。又、層間絶縁膜 112 のエッチング工程時、ゲート電極 107 の上部にある層間絶縁膜 112 は、フォトレジスト境界面に沿って垂直にエッチングされる。エッチングが続いてゲート電極上部のゲートマスクである窒化膜 105 が露出されると、エッチング選択比の差のためにゲートマスク及びゲートスペーサ 108 の窒化膜は、エッジ部分だけ少しの損失が発生され、層間絶縁膜 112 は、さらに深くエッチングされる。

10

【0021】

図 11 を参照すると、オープニング 114 を充填するように層間絶縁膜 112 上にシリコン窒化膜 105 と選択比を有するポリシリコン膜 116 が 3500 乃至 5000 の厚さ範囲に形成される。

【0022】

以下、本発明の方法的な特徴について説明する。前述のように半導体基板 100 の全面に形成されたポリシリコン膜 116 の一部厚さがエッチングされるが、層間絶縁膜 112 を EPD (End Point Detect) 膜として実施される。続いてタイムエッチをして所定の時間の間、他のポリシリコン膜 116 と層間絶縁膜 112 をエッチングしてから、選択比を利用したエッチング工程を実施することによって、図 12 に図示されているようにコンタクトパッドが分離される。より詳しくは、半導体基板 100 の全面に形成されたポリシリコン膜 116 の一部厚さは層間絶縁膜 112 が検出されるときまでエッチバック工程にエッチングする。次に、ゲート電極 107 上に残っているポリシリコン膜 116 をタイムエッチにゲート電極 107 上のゲートマスクが露出されるときまでエッチングを実施してゲートマスクである窒化膜 105 の上部一部をエッチングすることによって電氣的に絶縁されたストレージノードコンタクトパッド 116a 及びビットラインコンタクトパッド 116b が形成される。このとき、タイムエッチは、ゲート電極 107 上に残っているポリシリコン膜 116 の厚さが例えば 1000 乃至 1500 範囲であるとき、約 40 秒の間実施され、選択比を利用したエッチング工程は、ポリシリコン膜 116 と窒化膜 105 のエッチング選択比は、1:2 乃至 1:4 であり、窒化膜 116 は、約 1/3 ほどの厚さが選択される条件に実施される。ゲートキャッピング層である窒化膜のエッチバックは、 CF_4 と CHF_3 を含む混合されたガスを使用してもよい。

20

30

【0023】

エッチバック工程は、プラズマエッチング工程で実施されるが、一般にシリコン - シリコンの結合は、シリコン - オキサイド結合より選択比が小さく、エッチング率は、シリコン、シリコン窒化膜、そしてシリコンオキサイド順に大きい。この場合、フッ素 (fluorine) より多くの量の炭素 (carbon) が組み合わせると、ポリマーがたくさん発生し、シリコンとシリコン窒化膜の選択比は大きいですが、エッチング率が小さくなる。そしてフッ素より少ない量の炭素が組み合わせるとポリマーが少し発生されるが、選択比が小さくなり、エッチング率が大きくなる。従って、本発明は、最大限エッチング特性を活用するために炭素とフッ素の適切な組み合わせにエッチング工程が実施される。即ち EPD 方法を利用したポリシリコン膜 116 のエッチングときは、 CF_4 ガスを使用してエッチング工程を行ってポリシリコン膜 116 だけをエッチングさせ、選択比を利用したエッチング工程のときは、 CHF_3 ガスを使用してポリシリコン膜 116 と窒化膜が選択比を有するようにエッチバック工程を行ってもよい。また、 SF_6 と CF_4 を含む混合されたガスを使用しエッチング工程を行ってポリシリコン膜 116 だけをエッチングし、選択比

40

50

を利用したエッチング工程のときは、 SF_6 、 CF_4 、そして CHF_3 を含む混合されたガスを使用してポリシリコン膜116と窒化膜が選択比を有するようにするエッチバック工程を行ってもよい。続いてコンタクトパッド116a及び116bが形成された半導体基板100上に図13のように、第2層間絶縁膜118が形成された後、後続ビットライン形成工程及びストレージノード形成工程が行われる。

【0024】

結果的に、本発明では、エッチバック工程にパッド分離のためにエッチングされる領域を除外した部分を全部パッド領域として使用することができるため、後続工程のとき誤整列マージンを十分に確保することができ、ゲート電極上部のシリコン窒化膜が部分的に損失されるため導電膜の露出が防止されて後続コンタクト形成工程のとき発生される導電膜の間のブリッジを防止することができる。そしてパッド分離のとき、CMP工程ではないエッチバック工程を利用することによって、従来のCMP工程のときより費用と時間を節減することができる。

10

【0025】

また、従来の場合、CMP工程にパッド分離をする場合、表面にパッド形成用ポリシリコン膜26、ゲートマスクであるシリコン窒化膜16、そして層間絶縁膜22である酸化膜の3つの膜が露出されるが、3つの膜質によってCMP工程のうち、副産物がたくさん発生されるため、後続工程で付加的な洗浄工程が要求される。しかし本発明によるパッド形成方法ではパッド分離のためのエッチバック工程時、副産物が殆ど発生されなく、パッド分離後、層間絶縁膜1000乃至3000の厚さ範囲を有するUSGとPE-TEOS (Plasma Enhanced - Tetraethylorthosilicate)のうち、いずれか1つの酸化膜を蒸着することによって表面の平坦化が良好になり、CMP工程が必要ではない。

20

【0026】

しかしながら、素子が高集積化するにつれ、後続工程にフォトマージンを与えるために、CMP工程を実施することもできる。CMP工程のとき、単一膜質だけが表面上に存在することによって副産物が発生されなく表面が平坦化される。

【0027】

【発明の効果】

本発明は、パッド形成のとき、エッチバック工程としてパッド形成用導電膜とマスク用絶縁膜との選択比を用いて工程を実施することによって、パッド分離のために、エッチングされた領域を除外した部分を全部パッドとして使用することができるため、後続工程のとき、ミスアライメントマージンを確保することができ、エッチング工程のとき発生される副産物を最小化することができ、そして下部絶縁膜の損失が防止されて導電膜の間の短絡を防止することができる。そしてエッチバック工程を適用することによって費用及び時間を低減することができる。

30

【図面の簡単な説明】

【図1】 従来半導体装置のパッド製造方法における初期の段階を示す半導体基板の断面図である。

40

【図2】 図1の段階の後の段階を示す半導体基板の断面図である。

【図3】 図2の段階の後の段階を示す半導体基板の断面図である。

【図4】 図3の段階の後の段階を示す半導体基板の断面図である。

【図5】 図4の段階の後の段階を示す半導体基板の断面図である。

【図6】 図5の段階の後の段階を示す半導体基板の断面図である。

【図7】 本発明の実施形態による半導体装置のパッドを示す平面図である。

【図8】 本発明の実施形態による図7のA-A'ラインに沿って切り取った半導体装置のパッド製造方法における初期の段階を示す半導体基板の断面図である。

【図9】 図8の段階の後の段階を示す半導体基板の断面図である。

【図10】 図9の段階の後の段階を示す半導体基板の断面図である。

50

【図11】 図10の段階の後の段階を示す半導体基板の断面図である。

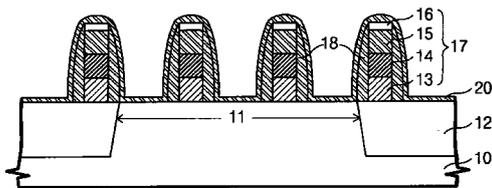
【図12】 図11の段階の後の段階を示す半導体基板の断面図である。

【図13】 図12の段階の後の段階を示す半導体基板の断面図である。

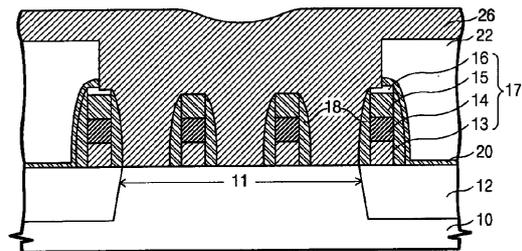
【符号の説明】

- 10、100 半導体基板
- 11、101 活性領域
- 12、102 素子隔離領域
- 17、107 ゲート電極
- 24、114 オープニング
- 26a、116a ストレージノードコンタクトパッド
- 26b、116b ビットラインコンタクトパッド

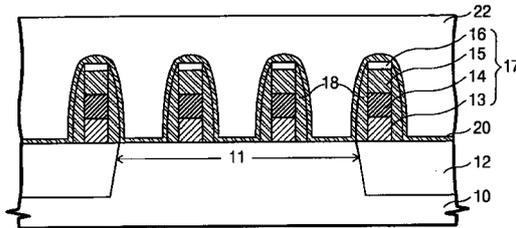
【図1】



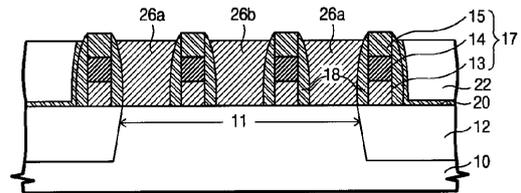
【図4】



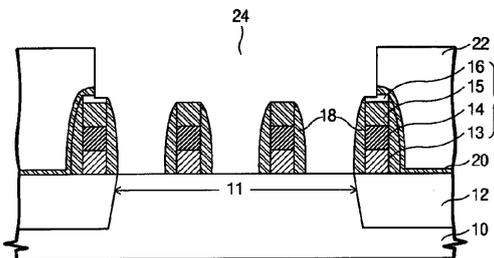
【図2】



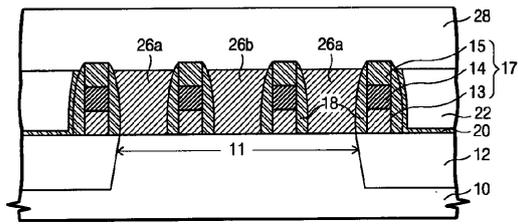
【図5】



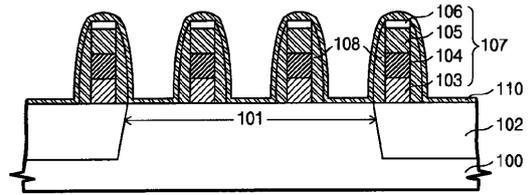
【図3】



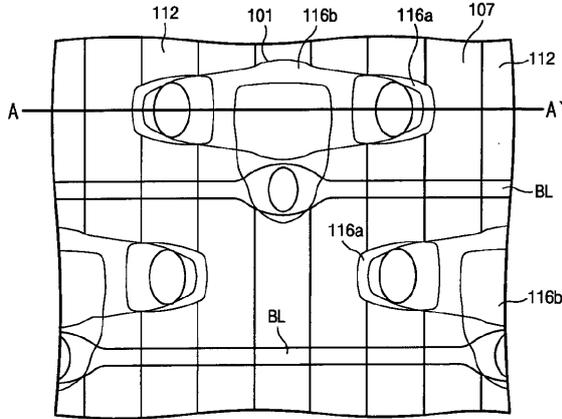
【図6】



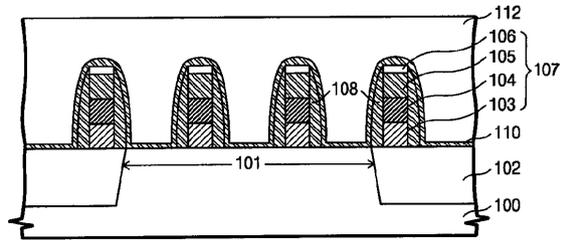
【図8】



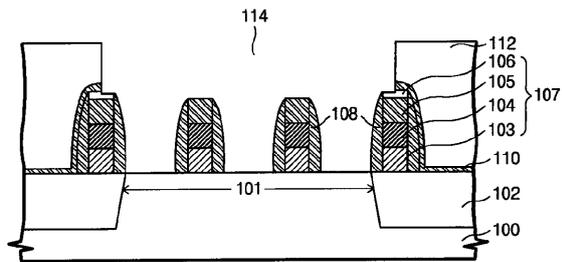
【図7】



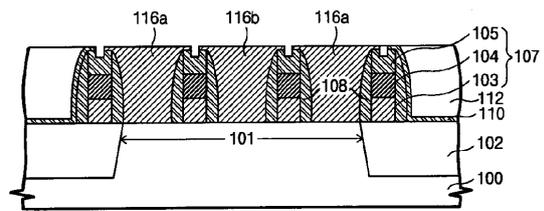
【図9】



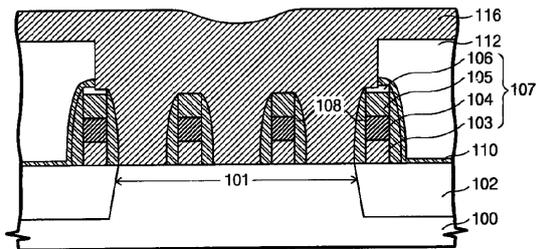
【図10】



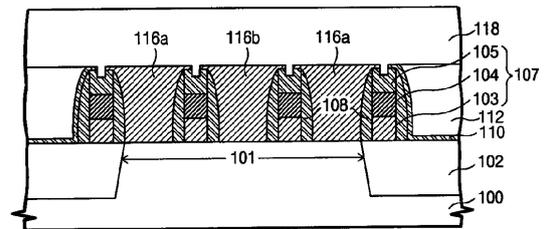
【図12】



【図11】



【図13】



フロントページの続き

(72)発明者 李 宰求

大韓民国ソウル市冠岳区新林1洞1574-1

(72)発明者 趙 昶賢

大韓民国ソウル市松波区新天洞17-6美星アパート9-408

審査官 河口 雅英

(56)参考文献 特開平09-252093(JP,A)

特開平02-042728(JP,A)

特開平11-251557(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/108

H01L 21/768

H01L 21/8242