

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5094666号
(P5094666)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl. F I
G 0 6 F 1/32 (2006.01) G 0 6 F 1/00 3 3 2 Z

請求項の数 16 (全 16 頁)

(21) 出願番号	特願2008-249133 (P2008-249133)	(73) 特許権者	000001007
(22) 出願日	平成20年9月26日 (2008.9.26)		キヤノン株式会社
(65) 公開番号	特開2010-79729 (P2010-79729A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成22年4月8日 (2010.4.8)	(74) 代理人	100076428
審査請求日	平成23年9月14日 (2011.9.14)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 マルチプロセッサシステム及びその制御方法、並びに、コンピュータプログラム

(57) 【特許請求の範囲】

【請求項1】

第1のプロセッサを有するメインシステムと第2のプロセッサを有するサブシステムとにより処理を分担するマルチプロセッサシステムであって、

前記メインシステムと前記サブシステムとがアクセスする第1の共有メモリと、

前記サブシステムが省電力状態時にアクセスする第2のメモリと、

前記サブシステムが省電力状態に移行する場合、前記メインシステムとサブシステムから前記第1の共有メモリへのアクセスを停止する停止手段と、

前記サブシステムが省電力状態に移行する場合、前記サブシステムのアクセス先を前記第1の共有メモリから前記第2のメモリへ切り替える切替手段と、

を有することを特徴とするマルチプロセッサシステム。

【請求項2】

前記サブシステムは、前記メインシステムからの要求に応じて、省電力状態へ移行することを特徴とする請求項1に記載のマルチプロセッサシステム。

【請求項3】

前記切替手段は、前記メインシステムからの省電力状態への移行の要求に応じて、前記アクセス先を前記第1の共有メモリから前記第2のメモリへ切り替えることを特徴とする請求項1または2に記載のマルチプロセッサシステム。

【請求項4】

前記サブシステムは、前記アクセス先の切替が完了すると、前記メインシステムに省電

力状態への移行の完了を通知することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のマルチプロセッサシステム。

【請求項 5】

前記省電力状態を解除するか否かを判定する判定手段を更に有し、

前記サブシステムは、前記判定手段が前記省電力状態を解除すると判定した場合に、前記メインシステムに復帰要求を送信する

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のマルチプロセッサシステム。

【請求項 6】

前記サブシステムは、外部装置から受信したデータに基づいて、前記省電力状態を解除するか否かを判定することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のマルチプロセッサシステム。

10

【請求項 7】

前記切替手段は、前記サブシステムが省電力状態を解除する場合は、前記サブシステムのアクセス先を前記第 2 の共有メモリから前記第 1 のメモリへ切り替えることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のマルチプロセッサシステム。

【請求項 8】

前記メインシステムと前記サブシステムとの間の通信を中継する中継手段を更に有することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載のマルチプロセッサシステム。

【請求項 9】

前記サブシステムが省電力状態に移行する場合、前記サブシステムは、前記第 1 の共有メモリのプログラムへのディスパッチを禁止することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載のマルチプロセッサシステム。

20

【請求項 10】

前記サブシステムが省電力状態に移行する場合、前記サブシステムは、前記第 1 の共有メモリのプログラムへのディスパッチを禁止した後に、前記第 2 のメモリのプログラムの実行を開始することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載のマルチプロセッサシステム。

【請求項 11】

前記サブシステムが省電力状態に移行する場合、前記サブシステムは、前記第 2 のメモリのプログラムの実行を開始した後に、前記第 1 の共有メモリのプログラムへのディスパッチを禁止することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載のマルチプロセッサシステム。

30

【請求項 12】

前記サブシステムが省電力状態に移行する場合、前記サブシステムは、前記第 2 のメモリのプログラムの優先度を、前記第 1 の共有メモリのプログラムの優先度より高くすることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載のマルチプロセッサシステム。

【請求項 13】

前記サブシステムが省電力状態に移行する場合、前記サブシステムは、前記サブシステムが実行するプログラムの実行順序を決定するスケジューリングを停止することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載のマルチプロセッサシステム。

40

【請求項 14】

サブシステムが省電力状態に移行する場合、前記サブシステムは、前記サブシステムが有するキャッシュのフラッシュを行うことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載のマルチプロセッサシステム。

【請求項 15】

第 1 のプロセッサを有するメインシステムと第 2 のプロセッサを有するサブシステムとにより処理を分担し、前記メインシステムと前記サブシステムとがアクセスする第 1 の共有メモリと、前記サブシステムが省電力状態時にアクセスする第 2 のメモリとを備えるマルチプロセッサシステムの制御方法であって、

前記サブシステムが省電力状態に移行する場合、前記メインシステムとサブシステムと

50

が前記第 1 の共有メモリへのアクセスを停止する停止工程と、
前記サブシステムが省電力状態に移行する場合、前記サブシステムがアクセス先を前記
第 1 の共有メモリから前記第 2 のメモリへ切り替える切替工程と
を備えることを特徴とする方法。

【請求項 16】

コンピュータを、請求項 1 乃至 14 のいずれか 1 項に記載のマルチプロセッサシステム
として機能させることを特徴とするコンピュータプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理システム及びその制御方法、並びに、コンピュータプログラムに関する。

【背景技術】

【0002】

近年、様々な情報処理機器において低消費電力化が求められている。そこで機器の消費電力を低減させるために、通常のアプリケーション処理を行う通常モードとは別に、通常モードよりも消費電力を低減させた省電力モードを有する機器が増加している。

【0003】

省電力モード時の動作には様々なものがあるが、一般に、機器を構成する一部の回路、装置の動作電圧を低下、あるいは電源の供給を停止することにより消費電力の低減を図る。これにより、機器の一部機能を利用していない場合や、待機時などにおいて、機器を省電力モードにすることによって効果的に消費電力を低減することができる。

【0004】

省電力モード時における消費電力を低減する技術として、省電力モード時において動作電圧の低い S R A M に配置したプログラムを実行し、その他のメモリを省電力の状態にするものが提案されている（特許文献 1、特許文献 2 を参照）。

【0005】

これらの提案技術では、通常モード時においては S D R A M に配置されたプログラムおよびデータを用いて実行する。そして省電力モード時においては、S D R A M にはアクセスせずに、S D R A M よりも動作電圧の低い S R A M に配置されたプログラムおよびデータのみを使用して省電力モード用のプログラムを実行する。これにより、S D R A M をセルフ・リフレッシュのような省電力状態にできるため、省電力モード時における消費電力を低減することができる。

【0006】

一方で、様々な組込機器や P C において、複数のプロセッサ、あるいは複数のコアを搭載したマルチプロセッサ/マルチコアシステムが近年増加してきており、今後この傾向は加速していくものとみられる。このようなマルチプロセッサ/マルチコアシステムにおいても、低消費電力化が求められている。

【特許文献 1】特開 2000 - 105639 号公報

【特許文献 2】特開 2005 - 111715 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

共有メモリを持つマルチプロセッサ/マルチコアシステムでは、複数のプロセッサ/コアから共有メモリに対してアクセスが行われる。そのため、省電力モード時に共有メモリを省電力状態にする場合、省電力モード移行時に全てのプロセッサ/コアからの共有メモリへのアクセスを停止した後で省電力状態にする必要がある。共有メモリへのアクセスを停止していないプロセッサ/コアがあった場合、共有メモリに対しての不正なアクセスやデータの不整合が発生し、システムが正常に動作しなくなる虞がある。

【0008】

10

20

30

40

50

さらに、省電力モードから通常モードに復帰する際においても、共有メモリを通常状態にした後に、各プロセッサ/コアは共有メモリへのアクセスを開始しなくてはならない。

【0009】

そこで、マルチプロセッサ/マルチコアシステムにおいて、省電力モードに移行する際、あるいは通常モードに復帰する際に、共有メモリへのアクセスを安全に停止/開始する省電力モード制御が求められる。

【課題を解決するための手段】

【0010】

そこで上記問題を解決するための本発明は、

第1のプロセッサを有するメインシステムと第2のプロセッサを有するサブシステムとにより処理を分担するマルチプロセッサシステムであって、

前記メインシステムと前記サブシステムとがアクセスする第1の共有メモリと、

前記サブシステムが省電力状態時にアクセスする第2のメモリと、

前記サブシステムが省電力状態に移行する場合、前記メインシステムとサブシステムから前記第1の共有メモリへのアクセスを停止する停止手段と、

前記サブシステムが省電力状態に移行する場合、前記サブシステムのアクセス先を前記第1の共有メモリから前記第2のメモリへ切り替える切替手段と、
を有することを特徴とする。

【発明の効果】

【0011】

本発明によれば、マルチプロセッサ/マルチコアシステムにおいて、省電力モードに移行する際、あるいは通常モードに復帰する際に、共有メモリへのアクセスを安全に停止/開始する省電力モード制御を提供することができる。

【発明を実施するための最良の形態】

【0012】

<実施形態1>

本発明の実施形態1における情報処理システムの構成図を図1に示す。図1において、情報処理システム101はメインシステム102、サブシステム103、SDRAM104、CPU間通信レジスタ105、ROM106、SRAM107、SRAM108から構成される。

【0013】

メインシステム102は、メインCPU109とアプリケーション機能部113を有する。アプリケーション機能部113は、アプリケーション機能を実現するために、メインCPU109によって制御されるハードウェア装置である。

【0014】

例えば、情報処理システム101が印刷装置であれば、アプリケーション機能として印刷が実現され、印刷エンジンなどがアプリケーション機能部113に相当する。メインCPU109がSDRAM104上に配置された通常モード用プログラムを実行し、アプリケーション機能部113を制御することで、メインシステム102は通常モード時ににおいてアプリケーション機能を実現する。

【0015】

サブシステム103は、サブCPU110と通信部111とを含む。サブCPU110がSDRAM104に配置された通常モード用プログラムを実行し、通信部111を制御することで、ネットワーク112上の他の装置との通信を行うことができる。

【0016】

SDRAM104は、メインシステム102とサブシステム103からアクセスすることができる第1の共有メモリである。SDRAM104は、メインシステム102とサブシステム103からアクセス可能な通常状態と、アクセスすることができない代わりに消費電力を低下させた省電力状態とを有する。情報処理システム101が第1のモードである通常モード時には、SDRAM104には通常の電力供給が行われ通常状態をとる。情

10

20

30

40

50

報処理システム101が第2のモードである省電力モード時には、SDRAM104は省電力状態をとる。メインシステム102は、SDRAM104を通常動作状態から省電力動作状態への状態遷移と、省電力動作状態から通常動作状態への状態遷移との制御を行う。

【0017】

SDRAM104の省電力状態はセルフリフレッシュモードであっても、電源が供給されない状態であってもよい。以降では、セルフリフレッシュモードとして説明する。またSDRAM104には、メインシステム102とサブシステム103の通常モード用のプログラムおよびデータが配置される。

【0018】

CPU間通信レジスタ105は、メインCPU109とサブCPU110との間のCPU間通信を中継する。一方のCPUがCPU間通信レジスタ105に所定の命令を書き込むと、もう一方のCPUに割り込みが発生し、もう一方のCPUは所定の命令を読み込むことができる。CPU間通信レジスタ105を介して、メインシステム102とサブシステム103は通信を行う。

【0019】

ROM106はメインシステム102からアクセス可能なメモリである。ROM106には、起動時にSDRAM104、SRAM107、SRAM108に展開され実行されるメインシステム102とサブシステム103のプログラムおよびデータが格納されている。

【0020】

SRAM107はメインシステム102からアクセス可能なメモリである。SRAM107には、メインシステム102の省電力モード用のプログラムおよびデータが配置される。SRAM108はメインシステム102とサブシステム103からアクセス可能な第2の共有メモリである。SRAM108には、サブシステム103の割り込みベクタと割り込みハンドラ、さらに省電力モード用プログラムおよびデータが配置される。

【0021】

まず、情報処理システム101の起動時の処理を説明する。メインシステム102は最初にROM106上に配置されたプログラムを実行する。メインCPU109は実行を開始すると、まず、ROM106に配置されたメインシステム102とサブシステム103の通常モード用プログラムおよびデータをSDRAM104上に展開する。続いてメインシステム102の省電力モード用のプログラムをSRAM107上に展開し、サブシステム103の省電力モード用のプログラムをSRAM108上に展開する。

【0022】

メインシステム102はその後、SDRAM104上に配置したプログラムの実行を開始して、サブシステムを起動する。サブシステム103が起動されると、サブシステム103はSRAM108に配置されたベクタテーブルのリセットベクタを参照し、SDRAM104に配置された通常モード用プログラムにジャンプする。

【0023】

サブシステム103は通常モード用プログラムの実行を開始すると、CPU間通信レジスタ105を介して、メインシステム102に実行を開始したことを通知する。これらの処理を終えるとメイン情報処理システム101とサブシステム102は通常モード用のプログラムを開始し、情報処理システム101は通常モードの処理を行う。

【0024】

情報処理システム101が通常モードであるとき、メインシステム102とサブシステム103はSDRAM104に配置された通常モード用プログラムを実行する。メインシステム102はアプリケーション機能を実現する。サブシステム103の通常モード用のプログラムは、組み込みOSと複数の通常モード用タスクと通常モード用割り込みプログラムとから構成される。組み込みOSは複数の通常モード用タスクの中から実行するタスクを決定し、組み込みOSが実行するタスクを切り替えることによって、サブシステム1

10

20

30

40

50

03は処理を行う。

【0025】

サブシステム103で割り込みが発生した際には、SRAM108上の割り込みハンドラからSDRAM104上の通常モード用割り込みプログラムにジャンプすることによって割り込みに対する処理を行う。サブシステム103への割り込みは、CPU間通信レジスタ105や通信部111から発生する。

【0026】

通信部111のDMA転送先は通常モード時においてSDRAM104上の領域を使用する。また、通常モードにおいてサブCPU110がプログラムを実行する上で使用するスタックポインタはSDRAM104の領域を用いる。

10

【0027】

発明の実施形態1では、メインシステム102からの指示により情報処理システム101が省電力モードに移行する。省電力モードに移行する条件としては、アプリケーション機能の動作が停止してから一定時間経過後や、ユーザが指示した場合などが想定される。情報処理システム101が省電力モードの際は、サブシステム103が通信部111を動作させる。そして、通信部111がネットワーク112からの特定パケットを受信すると、情報処理システム101は省電力モードから通常モードへと復帰する。

【0028】

以降で、本発明の実施形態1における情報処理システム101の通常モードから省電力モードへの移行方法と、情報処理システム101の省電力モードから通常モードへの復帰方法について説明する。

20

【0029】

まず、通常モードから省電力モード移行方法について説明する。図2のシーケンス図は、情報処理システム101が通常モードから省電力モードに移行する際のメインシステム102とサブシステム103の処理のやりとりを示す。メインシステム102とサブシステム103間の通信はCPU間通信レジスタ105を用いて行われる。情報処理システム101が通常モードから省電力モードに移行する際、まずメインシステム102がサブシステム103に対して、ステップS201で省電力モード移行要求を送信する。

【0030】

サブシステム103は省電力モード移行要求を受信すると、ステップS202でSDRAM104へのアクセスを停止し、SRAM108に配置された省電力モード用プログラムの実行を開始する。サブシステム103は省電力モード用プログラムの実行を開始した後に、ステップS203において、省電力モード移行要求に対する応答として、メインシステム102へ省電力モード移行完了を通知する。

30

【0031】

このときのメインシステム102とサブシステム103の処理の詳細を次に述べる。図3はメインシステム102が省電力モードに移行する際のフローチャートである。図3で示される省電力モードに移行するためのプログラムは、ステップS301からステップS303はSDRAM104に配置され、ステップS304からステップS306はSRAM107に配置される。

40

【0032】

まず、ステップS301でメインシステム102はCPU間通信レジスタ105を介してサブシステム103に省電力モード移行要求を送信する。その後、ステップS302でサブシステム103からの省電力モード移行完了の通知を待つ。メインシステム102はCPU間通信レジスタ105を介してサブシステム103から省電力モード移行完了の通知を受信する(第1の受信)。

【0033】

受信後、メインシステム102はSDRAM104をセルリフレッシュモードで動作できるように、ステップS303でSDRAM104に配置されたプログラムからSRAM107に配置されたプログラムにジャンプする。メインシステム102とサブシステム1

50

03はそれ以降、SDRAM104にアクセスしないため、ステップS304でメモリ制御を行ってSDRAM104をセルフリフレッシュモードにする。メインシステム102はさらに消費電力を低下させるために、ステップS305でアプリケーション機能部を省電力状態にし、さらにステップS306でメインCPU109のクロックをダウンする。以上の省電力モード移行処理を終えると、省電力モード用プログラムの実行を開始し省電力モードとなる。

【0034】

図4のフローチャートに、サブシステム103が省電力モード移行要求を受信してから省電力モードに移行完了するまでの動作を示す。図4に示されるステップS401からステップS408の処理は、SDRAM104上に配置され、ステップS409からステップS410の処理は、SRAM108に配置されている。これらの処理はSDRAM104に配置されたプログラムとSRAM108に配置されたプログラムからなる切替タスクによって実行される。

10

【0035】

サブシステム103はCPU間通信レジスタ105を介してステップS401で省電力モード移行要求を受信する(第2の受信)。続いて、省電力モード時においてSDRAM104にアクセスしないようにするために、ステップS402からステップS407において、SDRAM104へのアクセスを停止する処理を行った後、SRAM108に配置されたプログラムを実行する。

【0036】

ステップS402で省電力モードにおいてSDRAM104に配置されたタスクにディスパッチしないようにする。サブシステムは組み込みOSのタスクスケジューリング機能を停止、あるいは切替タスクの優先度を十分に上げることによりSDRAM104に配置されたタスクが実行されないようにする。さらにステップS403で割り込みも禁止する。

20

【0037】

続いてステップS404において、通信部111のDMA転送先をSDRAM104上からSRAM108上に変更する。このとき必要に応じて、通信部111のDMA転送を一時的に停止する。また、通信部111で送信前パケットが残っている場合、通常モードでの処理を再開したときにパケットを送信しても情報が古いため、送信前パケットをキャンセルする。

30

【0038】

ステップS405でスタックポインタを変更する。まず、通常モードに復帰した際に元のスタックポインタの位置に戻せるようにするために、現在のスタックポインタをSDRAM104上に保存する。それから、スタックポインタをSRAM108上の所定のアドレスに移動する。これにより、サブシステム103のアクセス先のSDRAM104からSRAM108への切替制御を実現できる。

【0039】

ステップS406でCPU間通信レジスタ105と通信部111に関する割り込みハンドラから省電力モード用プログラムにジャンプするようにし、SDRAM104へのアクセスしないようにする。SDRAM104へのアクセスができなくなる前に、サブCPU110のキャッシュ上のデータをSDRAM104に書き込んでいないと、通常モードへ復帰した場合、データの不整合が発生する可能性がある。そこで、ステップS407でキャッシュのフラッシュを行い、キャッシュがフラッシュされるまで十分に待つ。

40

【0040】

ステップS408でSRAM108上に配置された省電力モード用プログラムへジャンプ、またはSRAM108上に配置された関数をコールすることで省電力モード用プログラムの実行を開始する。これにより、SDRAM104へのアクセスは発生しなくなる。

【0041】

ステップS408までの処理を行うと、サブシステム103はステップS409におい

50

て、CPU間通信レジスタ105を介してメインシステム102に省電力モード移行完了を通知する。最後に、サブシステム103はステップS410でCPU間通信レジスタ105と通信部111の割り込みを許可する。これにより、通信部111で再びパケットを受信できるようになる。また、ステップS404でDMA転送を一時的に停止した場合、ここで通信部111のDMA転送の再開を行う。

【0042】

これらの処理を行うことでサブシステム103は省電力モードに移行することができる。以降の省電力モード時の処理においてもサブシステム103は切替タスクにて処理を続ける。

【0043】

次に本発明の実施形態1における、メインシステム102とサブシステム103の省電力モード時における動作について説明する。メインシステム102は、サブシステム103からの通常モードへ復帰する条件を満たしたことの通知を受信するまで待つ。

【0044】

一方で、サブシステム103はネットワーク112を介して外部の他の装置からのパケットを通信部111で受信する。そして特定のパケットが受信されるまで受信し続ける。サブシステム103は、特定パケットを受信すると、通常モード復帰処理を開始する。

【0045】

以降では、情報処理システム101が省電力モードから通常モードへ復帰する処理について説明する。

【0046】

図5に、情報処理システム101が省電力モードから通常モードへ復帰する際のメインシステム102とサブシステム103のシーケンスを示す。メインシステム102とサブシステム103の通信はCPU間通信レジスタ105を介して行われる。

【0047】

省電力モード時において、サブシステム103は通常モードへの復帰するか否かを判定している。サブシステム103は通常モードへの復帰条件として特定パケットを受信すると、ステップS501でメインシステム102に通常モード復帰要求を送信する。メインシステム102は通常モード移行要求を受信すると、ステップS502においてSDRAM104を通常状態にする。SDRAM104を通常状態にすることにより、SDRAM104へ記憶されたデータへのアクセスが可能となる。

【0048】

メインシステム102は、SDRAM104をアクセス可能な状態にすると、ステップS503でサブシステム103にSDRAM104が通常状態になったことの通知を行う。サブシステム103は、SDRAM104が通常状態になったことの通知を受信すると、ステップS504でSRAM108上でのプログラム実行から、SDRAM104に配置された通常モード用のプログラムへと切り替える。

【0049】

サブシステム103は通常モードへの移行を完了すると、ステップS505でメインシステム102へ通常モード移行完了の通知を行い、情報処理システム101は通常モードへの復帰を完了する。

【0050】

このときのメインシステム102とサブシステム103の処理の詳細を次に述べる。図6にメインシステム102が省電力モードから通常モードに復帰する際のフローチャートを示す。図6に示される処理のステップS601からステップS604のプログラムは、SRAM107に配置されており、ステップS605からステップS607のプログラムはSDRAM104に配置される。いずれのプログラムもメインCPU109によって実行される。

【0051】

メインシステム102はステップS601でサブシステム103から通常モード復帰要

10

20

30

40

50

求を受信すると、ステップS 6 0 2でメインCPU 1 0 9のクロックを上げ、さらにステップS 6 0 3でアプリケーション機能部を通常状態にする。そしてメインシステム1 0 2はステップS 6 0 4においてセルフリフレッシュモードであるSDRAM 1 0 4を通常状態に戻し、SDRAM 1 0 4へのアクセスを可能にする。

【0052】

メインシステム1 0 2はSDRAM 1 0 4にアクセス可能になると、ステップS 6 0 5においてSDRAM上に配置されたプログラムの実行を開始する。メインシステム1 0 2はステップS 6 0 6で、サブシステム1 0 3にSDRAM 1 0 4を通常状態にしたことを通知する。

【0053】

その後、ステップS 6 0 7でメインシステム1 0 2はサブシステム1 0 3からの通常モード移行完了の通知を待つ。メインシステム1 0 2が、ステップS 6 0 7でサブシステム1 0 3から通常モード移行完了を受信すると、通常モード用のプログラムを実行し、情報処理システム1 0 1は通常モードへの復帰を完了する。

【0054】

図7にサブシステム1 0 3が省電力モードから通常モードに復帰する際のフローチャートを示す。ステップS 7 0 1からステップS 7 0 4の処理はSRAM 1 0 8に配置されており、ステップS 7 0 4からステップS 7 1 0の処理はSDRAM 1 0 4に配置されている。これらの処理も引き続き、切替タスク内で行う。

【0055】

サブシステム1 0 3は省電力モード時において、特定パケットを受信し、通常モードへの復帰条件を満たすと、まず、ステップS 7 0 1でメインシステム1 0 2に通常モード復帰要求を送信する。その後、ステップS 7 0 2でサブシステム1 0 3はメインシステム1 0 2からSDRAM 1 0 4を通常状態にした通知を待つ。

【0056】

サブシステム1 0 3は、ステップS 7 0 2でメインシステム1 0 2からSDRAM 1 0 4を通常状態にしたことの通知を受信すると、ステップS 7 0 3からS 7 0 7でSDRAM 1 0 4上に配置されたプログラムおよびデータを使った実行への切替を行う。

【0057】

ステップS 7 0 3でCPU間通信レジスタ1 0 5と通信部1 1 1に関する割り込みを禁止する。その後、サブシステム1 0 3は、ステップS 7 0 4でSRAM 1 0 8に配置されたプログラムからSDRAM 1 0 4上に配置されたプログラムへジャンプ、または関数のコールを行う。

【0058】

続いてステップS 7 0 5でスタックポインタを、省電力モードに移行する際に保存しておいたSDRAM 1 0 4上のアドレスに戻す。さらにサブシステム1 0 4は、ステップS 7 0 6でCPU間通信レジスタ1 0 5と通信部1 1 1からの割り込みのハンドラを通常モード用のプログラムにジャンプするように切り替え、ステップS 7 0 7で通信部1 1 1のDMA転送先をSDRAM 1 0 4上に戻す。DMA転送先を変更する際に、必要に応じてDMA転送の一時停止を行う。これにより通信部1 1 1の通信準備が整い、サブシステム1 0 3のアクセス先のSRAM 1 0 8からSDRAM 1 0 4への切替制御を実現できる。

【0059】

サブシステム1 0 3はこれらの切り替え処理を終えると、ステップS 7 0 8においてメインシステム1 0 2に通常モードへの復帰を完了した通知を行う。

【0060】

続いて、サブシステム1 0 3は通信部1 1 1における通信を再開するために、ステップS 7 0 9でCPU間通信レジスタ1 0 5と通信部1 1 1の割り込みの許可する。さらにステップS 7 1 0で組み込みOSのタスクのスケジューリングを有効にする。これにより切替タスクはその処理を終えて、他のタスクが実行される。これにより通常モードに復帰し、通常モード時の処理を再開する。

10

20

30

40

50

【 0 0 6 1 】

< 実施形態 2 >

本発明の実施形態 2 のシステム構成図は、実施形態 1 と同様に図 1 で示される。実施形態 2 と実施形態 1 の異なる点は、通常モードから省電力モードに移行する際のサブシステム 1 0 3 の処理、および省電力モードから通常モードに移行する際のサブシステム 1 0 3 の処理である。メインシステム 1 0 2 とサブシステム 1 0 3 とのやりとりのシーケンス、およびメインシステム 1 0 2 の処理については実施形態 1 と同じである。

【 0 0 6 2 】

サブシステム 1 0 3 が通常モードから省電力モードに移行し、省電力モードで所定の packets を受信後、省電力モードから通常モードに復帰する処理の説明をする。尚、実施形態 1 と同じである点については説明を省略する。

10

【 0 0 6 3 】

サブシステム 1 0 3 における省電力モードへの移行、省電力モード時の処理、通常モードへの復帰は、移行タスク、省電力モードタスク、復帰タスクによって実行される。それぞれのフローチャートを図 8、図 9、図 1 0 に示す。移行タスクと復帰タスクは S D R A M 1 0 4 に配置され、省電力モードタスクは S R A M 1 0 8 に配置される。

【 0 0 6 4 】

まず、通常モードから省電力モードに移行する際は、サブシステム 1 0 3 において移行タスクが実行される。図 8 を用いて、移行タスクのフローチャートについて説明する。

【 0 0 6 5 】

サブシステム 1 0 3 は C P U 間通信レジスタ 1 0 5 を介してステップステップ S 8 0 1 で省電力モード移行要求を受信する。ステップステップ S 8 0 2 からステップステップ S 8 0 5 の処理は、実施形態 1 のステップ S 4 0 3 からステップ S 4 0 6 と同様である。

20

【 0 0 6 6 】

ステップステップ S 8 0 5 までの処理を行った後、S R A M 1 0 8 に配置されたプログラムの実行を開始するために、ステップステップ S 8 0 6 で移行タスクから省電力モードタスクにタスク実行を切り替える。省電力モードタスクは S R A M 1 0 8 に配置されている。

【 0 0 6 7 】

省電力モードタスクに切り替わった後の処理を、図 9 のフローチャートを用いて説明する。省電力モードタスクは、まずステップステップ S 9 0 1 において組み込み O S のタスクスケジューリング機能の停止、あるいは省電力モードタスクの優先度を十分に上げるなどして、S D R A M 1 0 4 に配置されたタスクにディスパッチしないようにする。ステップステップ S 9 0 2 でキャッシュのフラッシュを行い、フラッシュ完了まで十分に待つ。これにより、S D R A M 1 0 4 へのアクセスを停止することができる。S D R A M 1 0 4 へのアクセスを停止できると、ステップステップ S 9 0 3 においてメインシステムに省電力モード移行完了を通知する。

30

【 0 0 6 8 】

省電力モード移行の最後の処理としてステップステップ S 9 0 4 で C P U 間通信レジスタ 1 0 5 と通信部 1 1 1 の割り込みを許可する。これにより、実施形態 1 と同様に、通信部 1 1 1 でパケット受信を再開でき、省電力モードの移行が完了する。情報処理システム 1 0 1 は省電力モードとして処理を行う。

40

【 0 0 6 9 】

省電力モード時において、サブシステム 1 0 3 で実行される省電力モードタスクは所定の packets の受信をステップステップ S 9 0 5 で待つ。省電力モードタスクは通信部 1 1 1 からネットワーク 1 1 2 を介して、所定の packets を受信すると、省電力モードから通常モードへの復帰処理を行う。

【 0 0 7 0 】

復帰処理について図 9 のステップステップ S 9 0 6 から説明する。これらの処理は引き続き、省電力モードタスクで行われる。省電力モードタスクは、所定パケット受信後、ス

50

テップステップ S 9 0 6 において通常モード復帰要求を、メインシステム 1 0 2 に送信する。その後、ステップステップ S 9 0 7 でサブシステム 1 0 3 はメインシステム 1 0 2 から S D R A M 1 0 4 を通常状態にした通知を待つ。

【 0 0 7 1 】

サブシステム 1 0 3 は通知を受信後、ステップステップ S 9 0 8 で C P U 間通信レジスタ 1 0 5 と通信部 1 1 1 に関する割り込みを禁止する。その後、サブシステム 1 0 3 は、ステップステップ S 9 0 9 でタスクのスケジューリングを再開させるとともに、ステップステップ S 9 1 0 で復帰タスクにタスクを切り替える。

【 0 0 7 2 】

通常モードへの復帰処理の続きを、図 1 0 を用いて説明する。図 1 0 は復帰タスクの処理のフローチャートである。復帰タスクは S D R A M 1 0 4 に配置されている。

復帰タスクの処理、ステップ S 1 0 0 1 からステップ S 1 0 0 5 の処理は、実施形態 1 におけるステップ S 7 0 5 からステップ S 7 0 9 と同じである。ステップ S 1 0 0 5 までの処理を行い、復帰タスクはその処理を終え、他のタスクが実行されることによって、通常モード用のプログラムを再開する。これにより情報処理システム 1 0 1 は通常モードへの復帰を完了する。

【 0 0 7 3 】

以上の各実施形態によれば、マルチプロセッサ/マルチコアシステムが省電力モードに移行する際に、共有メモリへの不正なアクセスや、共有メモリのデータの不整合を生じさせることなく、共有メモリを省電力状態にすることができる。また、通常モードに移行する際においても、共有メモリへの不正なアクセスや、共有メモリのデータの不整合を生じることなく、共有メモリへのアクセスを再開することができる。

【 0 0 7 4 】

[その他の実施形態]

本発明の目的は、前述した機能を実現するコンピュータプログラムのコードを記録した記憶媒体を、システムに供給し、そのシステムがコンピュータプログラムのコードを読み出し実行することによっても達成される。この場合、記憶媒体から読み出されたコンピュータプログラムのコード自体が前述した実施形態の機能を実現し、そのコンピュータプログラムのコードを記憶した記憶媒体は本発明を構成する。また、そのプログラムのコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム (O S) などが実際の処理の一部または全部を行い、その処理によって前述した機能を実現される場合も含まれる。

【 0 0 7 5 】

さらに、以下の形態で実現しても構わない。すなわち、記憶媒体から読み出されたコンピュータプログラムコードを、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込む。そして、そのコンピュータプログラムのコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わる C P U などが実際の処理の一部または全部を行って、前述した機能を実現される場合も含まれる。

【 0 0 7 6 】

本発明を上記記憶媒体に適用する場合、その記憶媒体には、先に説明したフローチャートに対応するコンピュータプログラムのコードが格納されることになる。

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 】 本発明の実施形態 1 におけるシステムの構成の一例を示す図である。

【 図 2 】 本発明の実施形態 1 における省電力モード移行時のメインシステム 1 0 2 とサブシステム 1 0 3 の動作の一例を示すシーケンス図である。

【 図 3 】 本発明の実施形態 1 におけるメインシステム 1 0 2 の省電力モード移行時の動作の一例を示すフローチャートである。

【 図 4 】 本発明の実施形態 1 におけるサブシステム 1 0 3 の省電力モード移行時の動作の

10

20

30

40

50

一例を示すフローチャートである。

【図5】本発明の実施形態1における通常モード復帰時のメインシステム102とサブシステム103の動作の一例を示すシーケンス図である。

【図6】本発明の実施形態1におけるメインシステム102の通常モード復帰時の動作の一例を示すフローチャートである。

【図7】本発明の実施形態1におけるサブシステム103の通常モード復帰時の動作の一例を示すフローチャートである。

【図8】本発明の実施形態2におけるサブシステム103の移行タスクの動作の一例を示すフローチャートである。

【図9】本発明の実施形態2におけるサブシステム103の省電力モードタスクの動作の一例を示すフローチャートである。

10

【図10】本発明の実施形態2におけるサブシステム103の復帰タスクの動作の一例を示すフローチャートである。

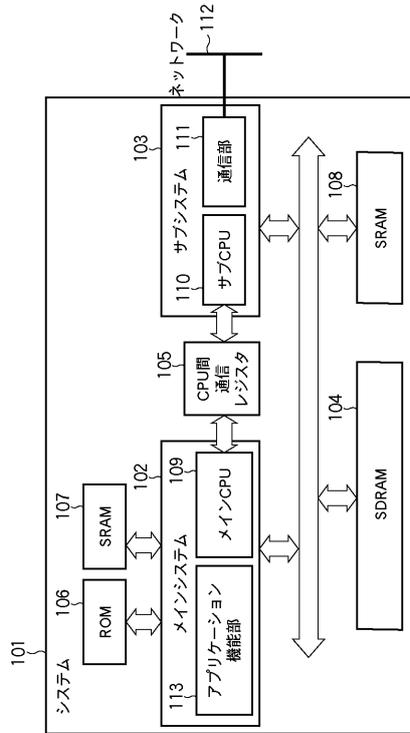
【符号の説明】

【0078】

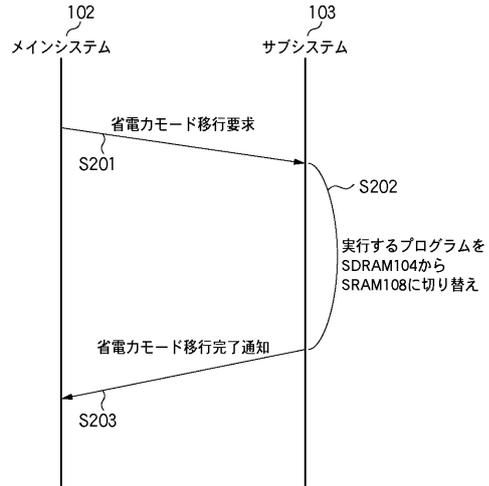
- 101 システム
- 102 メインシステム
- 103 サブシステム
- 104 SDRAM
- 105 CPU間通信レジスタ
- 106 ROM
- 107 SRAM
- 108 SRAM
- 109 メインCPU
- 110 サブCPU
- 111 通信部
- 112 ネットワーク

20

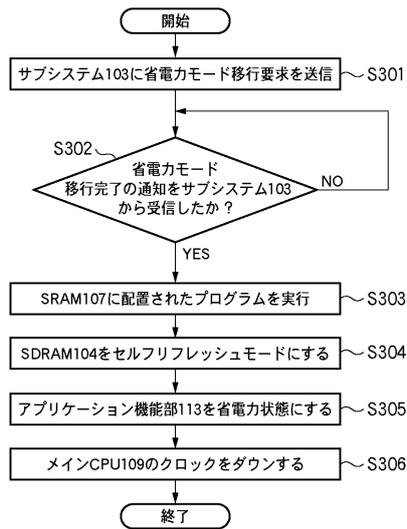
【図1】



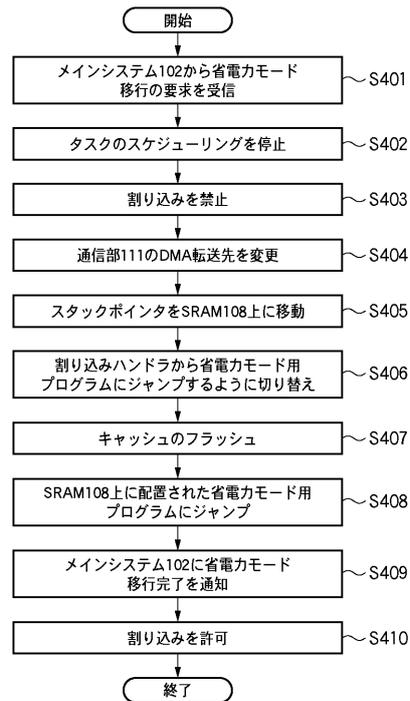
【図2】



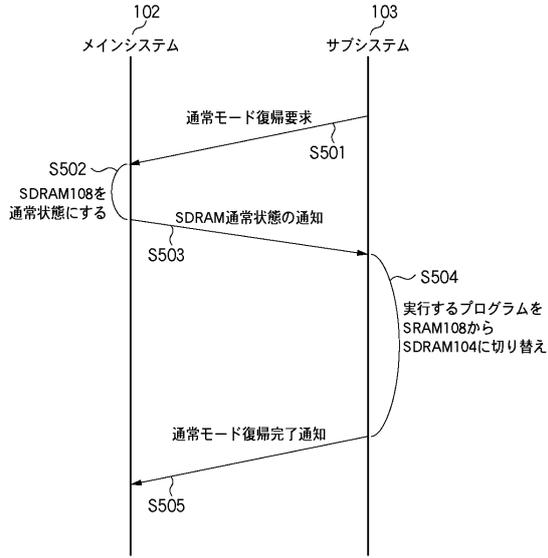
【図3】



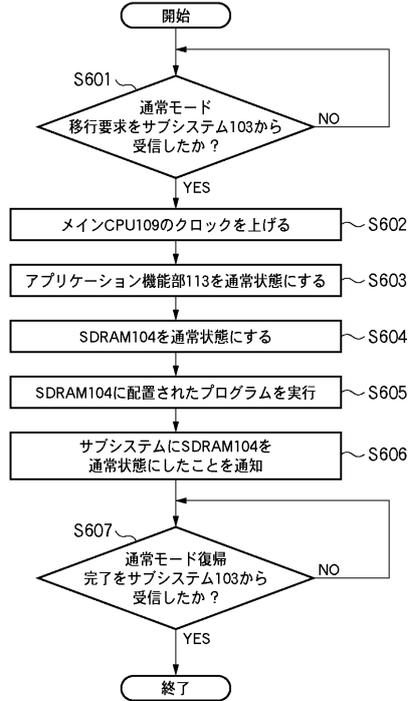
【図4】



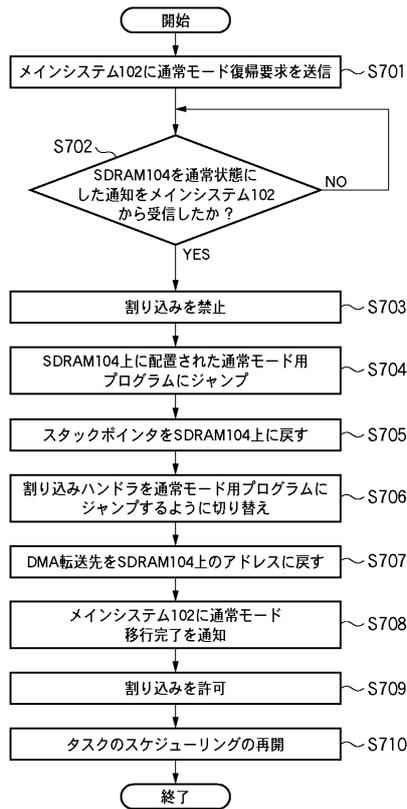
【図5】



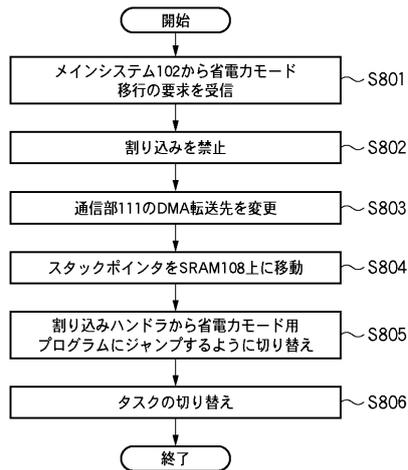
【図6】



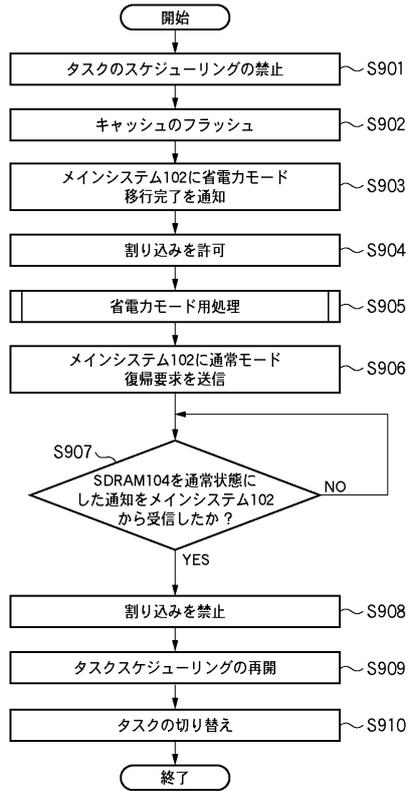
【図7】



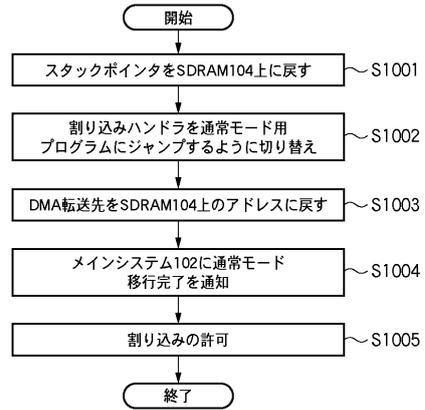
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 青木 仁志
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 山口 大志

(56)参考文献 特開2008-044223(JP,A)
特開2004-038642(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 1/32