

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5764185号
(P5764185)

(45) 発行日 平成27年8月12日(2015.8.12)

(24) 登録日 平成27年6月19日(2015.6.19)

(51) Int. Cl.			F I		
G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	622E
G09F	9/30	(2006.01)	G09G	3/20	622C
H01L	27/32	(2006.01)	G09G	3/20	622D
H05B	33/04	(2006.01)	G09G	3/20	622G

請求項の数 14 (全 40 頁) 最終頁に続く

(21) 出願番号	特願2013-241593 (P2013-241593)	(73) 特許権者	514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目23番地
(22) 出願日	平成25年11月22日(2013.11.22)	(74) 代理人	100189430 弁理士 吉川 修一
(62) 分割の表示	特願2012-261971 (P2012-261971) の分割	(74) 代理人	100190805 弁理士 傍島 正朗
原出願日	平成13年8月24日(2001.8.24)	(72) 発明者	高原 博司 大阪府門真市大字門真1006番地 パナ ソニック株式会社内
(65) 公開番号	特開2014-78014 (P2014-78014A)	(72) 発明者	足達 克己 大阪府門真市大字門真1006番地 パナ ソニック株式会社内
(43) 公開日	平成26年5月1日(2014.5.1)	審査官	中村 直行
審査請求日	平成25年11月22日(2013.11.22)		最終頁に続く

(54) 【発明の名称】 EL表示装置

(57) 【特許請求の範囲】

【請求項1】

画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型EL表示装置であって、

前記画素に印加する映像信号を出力するソースドライバ回路と、

1つのゲートドライバ回路内に、第1のシフトレジスタ回路及び第2のシフトレジスタ回路の双方を内蔵するゲートドライバ回路と、

前記ソースドライバ回路が出力する前記映像信号を伝達するソース信号線と、

前記画素を選択する選択電圧、または前記画素を非選択にする非選択電圧を伝達する第1のゲート信号線と第2のゲート信号線を具備し、

前記表示画面に、光透過性を有するカソード電極が形成され、

前記カソード電極の上層に、封止膜と、封止フィルムのうち少なくとも一方が形成され、

前記画素は、

画素電極と、

前記画素電極と前記カソード電極間に形成されたEL素子と、

前記EL素子に電流を供給する駆動用トランジスタと、

前記EL素子に流れる電流の経路に配置された第1のスイッチ用トランジスタと、

前記駆動用トランジスタのゲート端子と他の端子間を短絡する第2のスイッチ用トランジスタと、

10

20

前記映像信号に基づく電圧を保持する機能を有し、前記駆動用トランジスタのゲート端子に接続されたコンデンサとを有し、

前記第 1 のスイッチ用トランジスタのゲート端子は、前記第 1 のゲート信号線が接続され、

前記第 2 のスイッチ用トランジスタのゲート端子は、前記第 2 のゲート信号線が接続され、

前記第 2 のゲート信号線に選択電圧が印加されている時は、前記第 1 のゲート信号線に非選択電圧が印加されるように制御され、

前記第 1 のゲート信号線は前記第 1 のシフトレジスタ回路により制御され、

前記第 2 のゲート信号線は前記第 2 のシフトレジスタ回路により制御されることを特徴とする E L 表示装置。 10

【請求項 2】

画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型 E L 表示装置であって、

前記画素に印加する映像信号を出力するソースドライバ回路と、

1つのゲートドライバ回路内に、第 1 のシフトレジスタ回路及び第 2 のシフトレジスタ回路の双方を内蔵するゲートドライバ回路と、

前記ソースドライバ回路が出力する前記映像信号を伝達するソース信号線と、

前記画素を選択する選択電圧、または前記画素を非選択にする非選択電圧を伝達する第 1 のゲート信号線と第 2 のゲート信号線を具備し、 20

前記表示画面に、光透過性を有するカソード電極が形成され、

前記カソード電極の上層に、封止膜と、封止フィルムのうち少なくとも一方が形成され、

前記画素は、

画素電極と、

前記画素電極と前記カソード電極間に形成された E L 素子と、

前記 E L 素子に電流を供給する駆動用トランジスタと、

前記 E L 素子に流れる電流の経路に配置された第 1 のスイッチ用トランジスタと、

前記映像信号を、前記駆動用トランジスタに供給する第 3 のスイッチ用トランジスタと 30

、前記駆動用トランジスタのゲート端子と他の端子間を短絡する第 2 のスイッチ用トランジスタと、

前記映像信号に基づく電圧を保持する機能を有し、前記駆動用トランジスタのゲート端子に接続されたコンデンサとを有し、

前記第 3 のスイッチ用トランジスタと、前記駆動用トランジスタとは、同一極性のトランジスタであり、

前記第 1 のスイッチ用トランジスタのゲート端子および前記第 3 のスイッチ用トランジスタのゲート端子は、前記第 1 のゲート信号線が接続され、

前記第 2 のスイッチ用トランジスタのゲート端子は、前記第 2 のゲート信号線が接続され、 40

前記第 2 のゲート信号線に選択電圧が印加されている時は、前記第 1 のゲート信号線に非選択電圧が印加されるように制御され、

前記第 1 のゲート信号線は前記第 1 のシフトレジスタ回路により制御され、

前記第 2 のゲート信号線は前記第 2 のシフトレジスタ回路により制御され、

前記ゲートドライバ回路と、前記画素の駆動用トランジスタとは、同一のプロセスで形成され、

前記ソースドライバ回路は、半導体チップで形成され、

前記ゲートドライバ回路への制御信号は、前記ソースドライバ回路でレベルシフトされて、前記ゲートドライバ回路に印加されることを特徴とする E L 表示装置。

【請求項 3】 50

前記ゲート信号線に印加する非選択電圧と選択電圧との制御は、前記ゲートドライバ回路のシフトレジスタに入力するスタートパルスに基づいてなされるよう構成されており、かつ、前記シフトレジスタの出力側と前記ゲート信号線間に、2以上のインバータ回路が形成されていることを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項4】

前記ゲートドライバ回路の下層と、前記ゲートドライバ回路の上層のうち、少なくとも一方に、

遮光膜が形成されていることを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項5】

前記駆動用トランジスタと、前記第2のスイッチ用トランジスタとは、同一極性のトランジスタであることを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項6】

前記第2のスイッチ用トランジスタは、マルチゲート構造であることを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項7】

前記ゲートドライバ回路と、前記画素の駆動用トランジスタとは、同一のプロセスで形成され、

前記ソースドライバ回路は、半導体チップで形成され、

前記ゲートドライバ回路への制御信号は、前記ソースドライバ回路でレベルシフトされて、前記ゲートドライバ回路に印加されることを特徴とする請求項1記載のEL表示装置。

【請求項8】

前記ソース信号線に印加された電圧を放電するディスチャージ回路と、ソース信号線に印加された電圧を充電するプリチャージ回路のうち、少なくとも一方の回路を、更に具備することを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項9】

前記画素電極を形成している基板は、プラスチック基板であることを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項10】

前記EL表示装置の光出力側に、円偏光板が配置されていることを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項11】

前記トランジスタは、低温ポリシリコン技術で形成されていることを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項12】

前記EL表示装置の温度を測定する温度測定手段を更に具備することを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項13】

前記コンデンサは、隣接する画素間の、非表示領域に形成されていることを特徴とする請求項1または請求項2記載のEL表示装置。

【請求項14】

前記ソース信号線上に、平滑膜が形成され、

前記平滑膜上に、前記画素電極が形成されていることを特徴とする請求項1または請求項2記載のEL表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は主として自発光で画像を表示するEL表示パネルおよびこれらのEL表示パネルを用いた携帯電話等の情報表示装置に関するものである。

10

20

30

40

50

【背景技術】

【0002】

液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されており、またワードプロセッサやパーソナルコンピュータ、テレビ等の機器や、ビデオカメラのビューファインダ、モニター等にも広く用いられている。

【発明の概要】

【発明が解決しようとする課題】

【0003】

しかし、液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。そのバックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが大きくならざるを得なかった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低くなるという問題点があった。

【課題を解決するための手段】

【0004】

この課題を解決するために、本発明は、画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型EL表示装置であって、前記画素に印加する映像信号を出力するソースドライバ回路と、前記ソースドライバ回路が出力する前記映像信号を伝達するソース信号線と、ゲートドライバ回路と、前記画素を選択する選択電圧、または前記画素を非選択にする非選択電圧を伝達する第1のゲート信号線と第2のゲート信号線を具備し、前記画素に、アノード電圧を供給するアノード配線が形成され、前記表示画面に、光透過性を有するカソード電極が形成され、前記カソード電極の上層に、封止膜と、封止フィルムのうち少なくとも一方が形成され、前記画素は、画素電極と、前記画素電極と前記カソード電極間に形成されたEL素子と、前記EL素子に電流を供給する駆動用トランジスタと、前記EL素子に流れる電流の経路に配置された第1のスイッチ用トランジスタと、前記駆動用トランジスタのゲート端子と接続され、前記映像信号に基づく電圧を保持するコンデンサと、前記駆動用トランジスタのゲート端子と他の端子間を短絡する第2のスイッチ用トランジスタとを有し、前記第2のスイッチ用トランジスタと、前記駆動用トランジスタとは、同一極性のトランジスタであり、前記第2のスイッチ用トランジスタは、マルチゲート構造であり、前記第1のスイッチ用トランジスタのゲート端子は、前記第1のゲート信号線が接続され、前記第2のスイッチ用トランジスタのゲート端子は、前記第2のゲート信号線が接続され、前記第2のゲート信号線に選択電圧が印加されている時は、前記第1のゲート信号線に非選択電圧が印加されるように制御されていることを特徴とするEL表示装置である。

【0005】

また、本発明は、画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型EL表示装置であって、前記画素に印加する映像信号を出力するソースドライバ回路と、前記ソースドライバ回路が出力する前記映像信号を伝達するソース信号線と、ゲートドライバ回路と、前記画素を選択する選択電圧、または前記画素を非選択にする非選択電圧を伝達する第1のゲート信号線と第2のゲート信号線を具備し、前記画素に、アノード電圧を供給するアノード配線が形成され、前記表示画面に、光透過性を有するカソード電極が形成され、前記カソード電極の上層に、封止膜と、封止フィルムのうち少なくとも一方が形成され、前記画素は、画素電極と、前記画素電極と前記カソード電極間に形成されたEL素子と、前記EL素子に電流を供給する駆動用トランジスタと、前記EL素子に流れる電流の経路に配置された第1のスイッチ用トランジスタと、前記駆動用トランジスタのゲート端子と接続され、前記映像信号に基づく電圧を保持するコンデンサと、前記駆動用トランジスタのゲート端子と他の端子間を短絡する第2のスイッチ用トランジスタとを有し、前記第2のスイッチ用トランジスタと、前記駆動用トランジスタとは、同一極性のトランジスタであり、前記第2のスイッチ用トランジスタは、マルチゲート構造であり、前記第1のスイッチ用トランジスタのゲート端子は、前記第1のゲート信号線が接

10

20

30

40

50

続され、前記第2のスイッチ用トランジスタのゲート端子は、前記第2のゲート信号線が接続され、前記第2のゲート信号線に選択電圧が印加されている時は、前記第1のゲート信号線に非選択電圧が印加されるように制御され、前記アノード配線は、前記表示画面において、対向する2辺から引き出され、前記引き出し箇所から前記アノード電圧が供給されていることを特徴とするEL表示装置である。

【0006】

また、本発明は、前記ゲート信号線に印加する非選択電圧と選択電圧との制御は、前記ゲートドライバ回路のシフトレジスタに入力するスタートパルスに基づいてなされるよう構成されており、かつ、前記シフトレジスタの出力側と前記ゲート信号線間に、2以上のインバータ回路が形成されていることを特徴とするEL表示装置である。

10

【0007】

また、本発明は、前記ゲートドライバ回路の下層と、前記ゲートドライバ回路の上層のうち、少なくとも一方に、遮光膜が形成されていることを特徴とするEL表示装置である。

【0008】

また、本発明は、前記表示画面に、第1の色のEL素子と、第2の色のEL素子が形成され、前記第1のEL素子に供給するカソード電極の電位と、前記第2のEL素子に供給するカソード電極の電位とが異なっていることを特徴とするEL表示装置である。

【0009】

また、本発明は、前記画素に、カーボン膜が成膜されていることを特徴とするEL表示装置である。

20

【0010】

また、本発明は、前記ソース信号線上に、平滑膜が形成され、前記平滑膜上に、前記画素電極が形成されていることを特徴とするEL表示装置である。

【0011】

また、本発明は、前記コンデンサは、隣接する画素間の、非表示領域に形成されていることを特徴とするEL表示装置である。

【0012】

また、本発明は、前記ソース信号線に印加された電圧を放電するディスチャージ回路と、ソース信号線に印加された電圧を充電するプリチャージ回路のうち、少なくとも一方の回路を、更に具備することを特徴とするEL表示装置である。

30

【0013】

また、本発明は、前記ゲートドライバ回路と、前記画素の駆動用トランジスタとは、同一のプロセスで形成され、前記ソースドライバ回路は、半導体チップで形成され、前記ゲートドライバ回路への制御信号は、前記ソースドライバ回路でレベルシフトされて、前記ゲートドライバ回路に印加されることを特徴とするEL表示装置である。

【発明の効果】

【0014】

本発明によれば、開口率ならびに歩留まりをおとす要因である電流供給線を不要とすることで、開口率を大きくすると共に、層間ショート、層内ショートによる線欠陥の発生を防止し高い歩留まりを得ることができる。その上、製造が容易で、EL構造体の破壊がなく、信頼性が高く、低コストのアクティブマトリックス駆動タイプのEL表示素子を提供できる。

40

【0015】

また、本発明の表示パネル、表示装置等は、高画質、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0016】

なお、本発明を用いれば、低消費電力の情報表示装置を構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいこととなる。

50

【図面の簡単な説明】

【0017】

【図1】本発明の表示装置の説明図

【図2】本発明の表示装置の断面図

【図3】本発明の表示装置の断面図

【図4】本発明の表示装置の断面図

【図5】本発明の表示パネルの回路構成図

【図6】本発明の表示パネルの説明図

【図7】本発明の情報表示装置の説明図

【図8】本発明の表示パネルの説明図

10

【図9】本発明の表示パネルの説明図

【図10】本発明の表示装置の回路構成図

【図11】本発明の表示装置の説明図

【図12】本発明の表示装置の説明図

【図13】本発明の表示装置の断面図

【図14】本発明の表示装置の構成図

【図15】本発明の表示装置の構成図

【図16】本発明の表示装置の説明図

【図17】本発明の表示装置の説明図

【図18】本発明の情報表示装置の平面図

20

【図19】本発明の表示装置のデータ伝送方法の説明図

【図20】本発明の表示装置のデータ伝送方法の説明図

【図21】本発明の表示装置のデータ伝送方法の説明図

【図22】従来の表示パネルの回路構成図

【発明を実施するための形態】

【0018】

本明細書において各図面は理解を容易にまたは作図を容易にするため、省略や拡大縮小した箇所がある。例えば、図3の表示パネルの断面図では封止膜73等を十分厚く図示している。また、図5等では画素電極に信号を印加する薄膜トランジスタ(TFT)等を省略している。また、本発明の表示パネル等では、位相補償のための位相フィルム等を省略しているが、適時付加することが望ましい。以上のことは他の図面に対しても同様である。

30

【0019】

また、同一番号または記号を付した箇所は同一の材料あるいは機能もしくは動作を有するものである。

【0020】

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例と組み合わせることができる。例えば、図5の表示パネルにタッチパネル等を付加し、情報表示装置とすることができる。また、拡大レンズを取り付け、ビデオカメラ等のビューファインダを構成することもできる。また、本発明は各画素にTFTが形成されたアクティブマトリクス型表示パネルを主として説明するがこれに限定されるものではなく、単純マトリクス型にも適用できるということはいうまでもない。このように、明細書、図面で説明した事項、内容、仕様は、特に例示されていなくとも、互いに組み合わせで適用させることができる。

40

【0021】

(実施の形態1)

現在、低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、複数の有機エレクトロルミネッセンス(EL)素子をマトリクス状に配列して構成される有機EL表示パネルが注目されている。

【0022】

50

有機EL表示パネルは、図2に示すように、画素電極としての透明電極48が形成されたアレイ基板49上に、電子輸送層、発光層、正孔輸送層等からなる少なくとも1層の有機EL層47、及び反射膜46(金属電極)が積層されたものである。透明電極48(陽極(アノード))にプラス、反射膜46(陰極(カソード))にマイナスの電圧を加え、両者間に直流電流を印加させることにより、有機EL層47が発光する。

【0023】

このように、良好な発光特性を期待することのできる有機化合物を有機EL層に使用することによって、EL表示パネルが実用に耐え得るものになっている。

【0024】

なお、カソード電極あるいは反射膜はITO電極に誘電体多層膜からなる光学的干渉膜を形成したものでよい。誘電体多層膜とは低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層形成したもので、つまり誘電体ミラーと呼ばれるものである。この誘電体多層膜は有機EL構造から放射される光の色調を良好なものにする機能(フィルタ効果)を有する。

【0025】

反射膜46(金属電極)には、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さいもの、特にAl-Li合金を用いることが好ましい。

【0026】

また、透明電極48には、ITO(錫ドープ酸化インジウム)等の仕事関数が大きい導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。

【0027】

なお、画素電極46などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜を成膜するとよい。また、画素電極46としてのITO上にカーボン膜20~50nmを成膜した場合、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。

【0028】

(実施の形態2)

以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0029】

放熱性を良くするため、アレイ基板49はサファイアガラスで形成してもよい。

【0030】

または熱伝導性のよい薄膜あるいは厚膜を形成したりしてもよい。例えば、ダイヤモンド薄膜を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナ等のセラミック基板や銅等からなる金属板を使用したり、絶縁膜に金属膜を蒸着あるいは塗布等、コーティングしたものをを用いてもよい。画素電極を反射型とする場合は、基板材料としては基板の表面方向より光が出射されるので、ガラス、石英や樹脂等の透明ないし半透明材料の他、ステンレス等の非透過材料を用いることもできる。この構成を図3に図示する。図3ではカソード電極をITO等の透明電極72で形成している。

【0031】

また、アレイ基板にはプラスチック基板を用いてもよい。プラスチック基板は割れにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板は板に限定するものではなく、厚さ0.05mm以上0.3mm以下のフィルムでもよい。

【0032】

ベース基板の材料として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製のARTON(厚さ200μmの1枚板)が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能

10

20

30

40

50

を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂等からなる補助の基板（あるいはフィルムもしくは膜）を配置する。

【0033】

1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ（TFT）を形成する。形成するTFTは、同じ種類のTFTであってもよいし、Pチャンネル型とNチャンネル型のTFTというように、違う種類のTFTであってもよいが望ましくはスイッチング薄膜トランジスタ、駆動用薄膜トランジスタとも同極性のものが望ましい。またTFTの構造は、プレーナー型のTFTに限定されるものではなく、スタガー型でも逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域（ソース、ドレイン）が形成されたものでも、非セルフアライン方式によるものでもよい。

10

【0034】

本発明のEL表示素子は、アレイ基板上に、ホール注入電極（画素電極）となるITOと、1種以上の有機層と、電子注入電極とが順次積層されたEL構造体を有し、前記アレイ基板にはTFTが設けられている。

【0035】

本発明のEL表示素子を製造するには、まず、基板上にTFTのアレイを所望の形状に形成する。そして、平滑化膜上の画素電極として透明電極であるITOをスパッタ法で成膜、パターンニングする。その後、有機EL層、電子注入電極等を積層する。

【0036】

TFTとしては、通常多結晶シリコンTFTを用いればよい。TFTは、EL構造体の各画素の端部に設けられ、その大きさは10～30μm程度である。なお、画素の大きさは20μm×20μm～300μm×300μm程度である。

20

【0037】

アレイ基板上には、TFTの配線電極が設けられる。配線電極は抵抗が低く、しかもホール注入電極を電気的に接続して抵抗値を低く抑える機能があり、一般的にその配線電極は、Al、Alおよび遷移金属（ただしTiを除く）、Tiまたは窒化チタン（TiN）のいずれか1種または2種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL構造体の下地となるホール注入電極とTFTの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常100～1000nm程度とすればよい。

30

【0038】

TFTの配線電極とEL構造体の有機層との間には絶縁層を設ける。絶縁層は、SiO₂等の酸化ケイ素、窒化ケイ素等の無機系材料をスパッタや真空蒸着で成膜したもの、SiOG（スピン・オン・グラス）で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂等の樹脂系材料の塗膜等、絶縁性を有するものであればいずれであってもよいが、この中ではポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0039】

EL構造体の発光ピークは2つ以上であってもかまわない。例えば、本発明のEL表示素子における緑および青色発光部は、青緑色発光のEL構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のEL構造体と、このEL構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

40

【0040】

次に、本発明のEL表示素子を構成するEL構造体について説明する。本発明のEL構造体は、透明電極である電子注入電極と、1種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。もしくは、ホール輸送層はなくてもよい。本発明のEL構造体の有機層は、種々の構成とすることができ、電子注入輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混

50

合してもよい。

【0041】

ホール注入電極は、ホール注入電極側から発光した光を取り出す構造であるため、ITO（錫ドープ酸化インジウム）、IZO（亜鉛ドープ酸化インジウム）、ZnO、SnO₂、In₂O₃等が例として挙げられるが、特にITO、IZOが好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常10～500nm程度とすることが好ましい。また、ホール注入電極は素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、10～30 / （膜厚50～300nm）のITOが挙げられる。実際に使用する場合には、ITO等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満たすように、電極の膜厚や光学定数を設定すればよい。このホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成されることが好ましい。スパッタガスとしては、特に限定されるものはなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

10

【0042】

電子注入電極は、スパッタ法等や好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金を用いた材料で構成される。例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、または3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg（Ag：1～20at%）、Al・Li（Li：0.3～14at%）、In・Mg（Mg：50～80at%）、Al・Ca（Ca：5～20at%）等が好ましい。電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。また、その上限値に特に制限はないが、通常、膜厚は100～500nm程度とすればよい。

20

【0043】

正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0044】

電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないとき等に設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。

30

【0045】

これらの正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・封止し、再結合領域を最適化させ、発光効率を改善する。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0046】

発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常5～100nm程度とすることが好ましい。

40

【0047】

正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10～10倍程度とすればよい。また、正孔注入層、正孔輸送層の厚さ、および電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1nm以上、輸送層は20nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100nm程度、輸送層で100nm程度である。このような膜厚については注入輸送層を2層設けるときの同じである。

【0048】

また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャ

50

リア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0049】

本発明のEL素子の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、例えば、特開昭63-264692号公報等に記載されているようなトリス（8-キノリノラト）アルミニウム（Alq3）等の金属錯体色素、特開平6-110569号公報（フェニルアントラセン誘導体）、特開平6-114456号公報（テトラアリアルエテン誘導体）、特開平6-100857号公報、特開平2-247278号公報等に記載されているような青緑色発光材料が挙げられる。

10

【0050】

また、正孔注入層・正孔輸送層には、例えば、特開昭63-295695号公報、特開平2-191694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。

【0051】

また、上記これらの正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

20

【0052】

（実施の形態3）

以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明する。先にも説明したように、まず、アレイ基板49に画素を駆動するTF T11を形成する。1つの画素は4個または5個のTF Tで構成される。また、画素は電流プログラムされ、そのプログラムされた電流がEL素子に供給される。このTF T11の組合せ等画素構成については後に説明をする。次に、TF T11に正孔注入電極としての画素電極（透明電極）を形成する。透明電極48はフォトリソグラフィによりパターン化する。

【0053】

フォトリソグラフィ後の基板処理は市販のレジスト剥離液（ジメチルスルホキシドとnメチル2ピロリドンとの混合溶液）に浸漬して剥離を行った後、アセトンでリンスし、さらに発煙硝酸中に1分間浸漬して完全にレジストを除去する。透明電極48であるITO表面の洗浄は、基板の表裏両面に対して十分に行い、テトラメチルアンモニウムハイドロオキサイドの0.238%水溶液を十分に供給しながら、ナイロンブラシによる機械的な擦り洗浄を行うとよい。その後、純水で十分にすすぎ、スピン乾燥を行う。また有機薄膜EL素子の蒸着前には、市販のプラズマリアクター（ヤマト科学株式会社製、PR41型）中で、酸素流量20sccm、圧力0.2Torr（26.6Pa）、高周波出力300Wの条件で1分間の酸素プラズマ処理を行ってから、EL蒸着槽内に配置するとよい。

30

【0054】

しかし、洗浄時に酸素プラズマ、O₂アッシャーを使用すると、透明電極48の周辺部の平滑化膜71も同時にアッシングされ、透明電極48の周辺部がえぐられてしまう。この課題を解決するために、本発明では図4で示すように透明電極48周辺部にアクリル樹脂からなるエッジ保護膜81を形成している。エッジ保護膜81の構成材料としては、平滑化膜71を構成するアクリル系樹脂、ポリイミド樹脂等の有機材料と同一の材料が例示され、その他、SiO₂、SiNx等の無機材料やAl₂O₃等も例示される。

40

【0055】

エッジ保護膜81は透明電極48のパターニング後、透明電極48間を埋めるように形成される。もちろん、このエッジ保護膜81を2μm以上4μm以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手（メタルマスクが透明電極48と直接接

50

しないようにするスペーサ)としてもよいことは言うまでもない。

【0056】

真空蒸着装置は市販の高真空蒸着装置(日本真空技術株式会社製、EBV-6DA型)を改造した装置を用いる。主たる排気装置は排気速度1500リットル/minのターボ分子ポンプ(大阪真空株式会社製、TC1500)であり、到達真空度は約 1×10^{-6} Torr (133.322×10^{-6} Pa)以下であり、全ての蒸着は $2 \sim 3 \times 10^{-6}$ Torr ($266.6 \sim 399.9 \times 10^{-6}$ Pa)の範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源(菊水電子株式会社製、PAK10-70A)を接続して行うとよい。

【0057】

このようにして真空層中に配置したアレイ基板上に、カーボン膜20~50nmを成膜する。次に、正孔注入層として4-(N,N-ビス(p-メチルフェニル)アミノ)-フェニルスチルベンを0.3nm/sの蒸着速度で膜厚約5nmに形成する。

【0058】

正孔輸送層として、N,N'-ビス(4'-ジフェニルアミノ-4-ビフェニル)-N,N'-ジフェニルベンジジン(保土ヶ谷化学株式会社製)と、4-N,N'-ジフェニルアミノ-フェニルスチルベンを、それぞれ0.3nm/sおよび0.01nm/sの蒸着速度で共蒸着して膜厚約80nmに形成する。

【0059】

発光層(電子輸送層)としてトリス(8-キノリノラト)アルミニウム(同仁化学株式会社製)を0.3nm/sの蒸着速度で膜厚約40nmに形成する。

【0060】

次に、電子注入電極として、AlLi合金(高純度化学株式会社製、Al/Li重量比99/1)から低温でLiのみを、約0.1nm/sの蒸着速度で膜厚約1nmに形成し、続いてそのAlLi合金をさらに昇温し、Liが出尽くした状態から、Alのみを約1.5nm/sの蒸着速度で膜厚約100nmに形成し、積層型の電子注入電極とした。

【0061】

このようにして作成した有機薄膜EL素子は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング7059ガラス製の封止フタ41をシール剤45(アネルバ株式会社製、商品名スーパーバックシール953-7000)で貼り付けて表示パネルとした。なお、封止フタ41とアレイ基板49との空間には乾燥剤55を配置する。これは、有機EL膜が湿度に弱いため、乾燥剤55によりシール剤45を浸透する水分を吸収し有機EL膜47の劣化を防止している。

【0062】

シール剤45からの水分の浸透を抑制するためには外部からの経路(パス)を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹部43、凸部44を形成している。アレイ基板49の周辺部に形成した凸部44は少なくとも2重に形成する。凸と凸との間隔(形成ピッチ)は100 μ m以上500 μ m以下に、また、凸の高さは30 μ m以上300 μ m以下に形成することが好ましい。この凸部はスタンプ技術で形成する。

【0063】

一方、封止フタ41にも凹部43を形成する。凹部43の形成ピッチは凸部44の形成ピッチと同一にする。このようにすることで、凹部43に凸部44がちょうどはまり込むので、表示パネルの製造時に封止フタ41とアレイ基板49との位置ずれが発生しない。凹部43と凸部44間にはシール剤45を配置する。シール剤45は封止フタ41とアレイ基板49とを接着するとともに、外部からの水分の浸入を防止する。

【0064】

シール剤45としてはUV(紫外線)硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈

10

20

30

40

50

折率は1.47以上1.54以下のものを用いることが好ましい。特にシール接着剤は酸化チタンの微粉末、酸化シリコン等の微粉末を重量比で65%以上95%以下の割合で添加し、この微粉末の粒子径を平均直径20 μ m以上100 μ m以下とすることが好ましい。これは微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなるからである。しかし、あまりに多いと気泡等が入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【0065】

乾燥剤の重量はシールの長さ10mmあたり0.04g以上0.2g以下、できれば0.06g以上0.15g以下とすることが望ましい。これは乾燥剤の量が少なすぎると水分防止効果が薄れ、すぐに有機EL層が劣化するためである。逆に多すぎると乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。

10

【0066】

図2ではガラスのフタ41を用いて封止する構成であるが、図3のようにフィルムを用いた封止であってもよい。例えば、封止フィルムとしては電解コンデンサのフィルムにDLC(ダイヤモンドライクカーボン)を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い(防湿)ので、封止膜73として使用可能である。また、DLC膜を透明電極72の表面に直接蒸着する構成でも可能である。

【0067】

有機EL層47から発生した光の半分は、反射膜46で反射され、アレイ基板49を透過して出射される。しかし、反射膜46は外光を反射するため写り込みが発生し、表示コントラストを低下させる。この対策のために、アレイ基板49にノ4板50および偏光板54を配置している。なお、画素が反射電極の場合は有機EL層47から発生した光は上方向に出射される。したがって、ノ4板50および偏光板54は光出射側に配置されなければならない。なお、反射型画素は、透明電極48を、アルミニウム、クロム、銀等で構成されている。また、透明電極48の表面に、凸部(もしくは凹凸部)を設けることで有機EL層との界面が広がって発光面積が大きくなり、発光効率が向上する。

20

【0068】

アレイ基板49と偏光板(偏光フィルム)54間には1枚あるいは複数の位相フィルム(位相板、位相回転手段、位相差板、位相差フィルム)が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。この位相フィルムは入射光を出射光に対して位相差を発生させ、効率よく光変調を行うのに寄与する。

30

【0069】

その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルム等を用いてもよい。その他、水晶等の結晶を用いてもよい。1つの位相板の位相差は一軸方向に50nm以上350nm以下、できれば80nm以上220nm以下とすることが好ましい。

【0070】

なお、図3に図示するように位相フィルムと偏光板とを一体化した円偏光板74(円偏光フィルム)を用いてもよい。

40

【0071】

ノ4板(位相フィルム)50は染料あるいは顔料で着色し、カラーフィルタとしての機能をもたせることが好ましい。特に有機EL層は赤(R)の純度が悪いので、着色したノ4板50で一定の波長範囲をカットして色温度を調整する。カラーフィルタは、染色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的であり、この顔料が特定の波長帯域の光を吸収し、吸収されなかった波長帯域の光を透過する。

【0072】

以上のように、位相フィルムの一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成してもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光

50

膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することによりかまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置しておく。

【0073】

先にも記述したが、カラーフィルタの形成時に圧延、もしくは光重合により一定の方向に位相差を発生させることができるので、位相フィルムの機能はカラーフィルタに持たせてもよい。その他、図3の平滑化膜71を光重合させることにより位相差を持たせてもよい。このように構成すれば位相フィルムを基板外に構成あるいは配置する必要がなくなり、表示パネルの構成も簡易になり低コスト化が望める。なお、以上の事項は偏光板にも適用できる。

10

【0074】

偏光板(偏光フィルム)54を構成する主たる材料としてはTACフィルム(トリアセチルセルロースフィルム)が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製膜技術で作製することが最適である。

【0075】

偏光板はヨウ素等をポリビニールアルコール(PVA)樹脂に添加した樹脂フィルムのもものが例示される。一対の偏光分離手段の偏光板は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的悪い。そこで、入射光のうち特定の偏光軸方向と異なる方向の偏光成分(reflective polarizer:リフレクティブ・ポライザー)を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

20

【0076】

また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、コレステリック液晶層と(1/4)板を組み合わせたもの、プリュースターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッタ(PBS)等を用いることも可能である。

30

【0077】

図2では図示していないが、偏光板54の表面にはAIRコートを施している。AIRコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35~1.45の低屈折率の樹脂を塗布してもよい。例えば、フッ素系のアクリル樹脂等が例示される。特に屈折率が1.37以上1.42以下のものが良好である。

【0078】

また、AIRコートには3層構成あるいは2層構成がある。3層構成は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。2層構成は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、AIRコートは2層構成以上のものと限定されるものではなく、1層構成でもよい。

40

【0079】

マルチコートの場合は酸化アルミニウム(Al_2O_3)を光学的膜厚 $nd = \quad / 4$ 、ジルコニウム(ZrO_2)を $nd = \quad / 2$ 、フッ化マグネシウム(MgF_2)を $nd = \quad / 4$ 積層して形成する。通常、薄膜は $\quad = 520\text{nm}$ もしくはその近傍の値として形成される。Vコートの場合は一酸化シリコン(SiO)を光学的膜厚 $nd = \quad / 4$ とフッ化マグネシウム(MgF_2)を $nd = \quad / 4$ 、もしくは酸化イットリウム(Y_2O_3)とフッ化マグネシウム(MgF_2)を $nd = \quad / 4$ 積層して形成する。 SiO は青色側に吸収帯域があるため青色光を変調する場合は物質の安定性から見ても Y_2O_3 を用いた方がよい。また、 SiO_2 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコ

50

ートとしてもよい。例えば、フッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0080】

なお、表示パネルに静電気がチャージされることを防止するため、表示パネル等の表面に親水性の樹脂を塗布しておくことが好ましい。その他、表面反射を防止するため、偏光板54の表面等にエンボス加工を行ってもよい。

【0081】

また、透明電極48にはTFTが接続されるとしたがこれに限定されるものではない。アクティブマトリックスは、スイッチング素子として薄膜トランジスタ(TFT)の他、ダイオード方式(TFD)、バリスタ、サイリスタ、リングダイオード、PLZT素子等でも可能である。また、TFTはLDD(ロードーピングドレイン)構造を採用することが好ましい。なお、TFTとは、FETなどスイッチング等のトランジスタ動作をするすべての素子一般を意味する。また、EL膜の構成、パネル構造等は単純マトリックス型表示パネルにも適用できる。また、本明細書ではEL素子として有機EL素子を例にあげて説明したがこれに限定されるものではなく、無機EL素子でも適用できる。

【0082】

有機ELパネルに用いられるアクティブマトリックス方式は、(1)特定の画素を選択し、必要な表示情報を与えられること、(2)1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満たさなければならない。この2つの条件を満たすため、図22に示す従来の有機ELの素子構成において、第1のTFT11aは画素を選択するためのスイッチング用薄膜トランジスタ、第2のTFT11bはEL素子15に電流を供給するための駆動用薄膜トランジスタとする。ここで液晶に用いられるアクティブマトリックス方式と比較すると、TFT11aは液晶用にも必要であるが、TFT11bはEL素子15を点灯させるために必要である。この理由として、液晶の場合は、電圧を印加することでオン状態を保持することができるが、EL素子15の場合は、電流を流し続けなければ画素16の点灯状態を維持できないからである。

【0083】

したがって、有機ELパネルでは電流を流し続けるためにTFT11bをオンさせ続けなければならない。走査線、データ線が両方ともオンになると、TFT11aを通してキャパシタ19に電荷が蓄積される。このキャパシタ19がTFT11bのゲートに電圧を加え続けるため、TFT11aがオフになっても、電流供給線20から電流が流れ続け、1フレーム期間にわたり画素16をオンできる。

【0084】

この構成を用いて階調を表示させる場合、TFT11bのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、TFT11bのオン電流のばらつきがそのまま表示に現れる。

【0085】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる、形成温度が450度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、 $\pm 0.2V \sim 0.5V$ の範囲でその閾値のばらつきを持つため、TFT11bを流れるオン電流がこれに対応してばらつき、表示ムラが発生する。これらのムラは、閾値電圧のばらつきのみならず、TFTの移動度、ゲート絶縁膜の厚み等でも発生する。

【0086】

したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があり、現状の低温多結晶ポリシリコンTFTではこのばらつきを所定範囲以内に抑えるというスペックを満たせない。この問題を解決するために、1画素内に4つのトランジスタを設けて、閾値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法や、定電流回路を1画素ごとに形成し電流の均一化を図る方法等が考えられる。

10

20

30

40

50

【0087】

しかしながら、これらの方法は、プログラムされる電流がEL素子15を通じてなされるため、電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。そのため、駆動電圧が高くなるという課題を有することになる。

【0088】

また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があり、この動作範囲がEL素子15の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性にキंक電流が発生した場合、またはトランジスタの閾値電圧の変動が発生した場合、記憶された電流値が変動するとう課題もある。

10

【0089】

本発明のEL素子構造は、上記課題に対して、EL素子15に流れる電流を制御するトランジスタが、ソースフォロワ構成とならず、かつそのトランジスタにキंक電流があっても、キंक電流の影響を最小限に抑えることができ、記憶される電流値の変動をも小さくすることができる構成である。

【0090】

本発明のEL素子構造は、具体的には図5(a)に示すように単位画素が最低4つからなる複数のTF T 1 1ならびにEL素子により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平滑化膜を形成して絶縁し、この絶縁膜上に画素電極を形成する。このようにソース信号線18上に画素電極を重ねる構成をハイアパーチャ(HA)構造と呼ぶ。

20

【0091】

第1のゲート信号線(第1の走査線)17aをアクティブ(ON電圧を印加)とすることにより第1のTF T (あるいはスイッチング素子)11aおよび第3のTF T (あるいはスイッチング素子)11cを通して、前記EL素子15に流すべき電流値を流し、第1のTF Tのゲートとドレイン間を短絡するように第2のTF T 1 1 bが第1のゲート信号線17aをアクティブ(ON電圧を印加)とすることで開くと共に、第1のTF T 1 1 aのゲートとソース間に接続されたキャパシタ19に、前記電流値を流すように第1のTF T 1 1 aのゲート電圧(あるいはドレイン電圧)を記憶させる。

30

【0092】

なお、第1のTF T 1 1 aのソース-ゲート間容量であるキャパシタ19は0.2 p F以上の容量とすることが好ましい。他の構成として、別途キャパシタを形成する例もある。これはキャパシタ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成例である。M3トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途キャパシタを構成する方が好ましい。

【0093】

なお、キャパシタ19は隣接する画素間の非表示領域に形成されることが好ましい。一般的に、フルカラー有機EL層を作成する場合、有機EL層をメタルマスクによるマスク蒸着で形成するため、EL層の形成位置に位置ずれが発生し、各色の有機EL層が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10 μ m以上離れていなければならない。またこの部分は発光に寄与しない部分となる。したがって、キャパシタ19をこの領域に形成することは開口率向上のために有効な手段となる。

40

【0094】

次に、第1のゲート信号線17aを非アクティブ(OFF電圧を印加)、第2のゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のTF T 1 1 aならびにEL素子15に接続された第4のTF T 1 1 dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する。

【0095】

50

この回路は1画素内に4つのTFT11を有しており、第1のトランジスタM1のゲートは第2のトランジスタM2のソースに接続されており、第2のトランジスタM2および第3のトランジスタM3のゲートは第1のゲート信号線17aに、第2のトランジスタM2のドレインは第3のトランジスタM3のソースならびに第4のトランジスタM4のソースに接続され、第3のトランジスタM3のドレインはソース信号線18に接続されている。第4のトランジスタM4のゲートは第2のゲート信号線17bに接続され、第4のトランジスタM4のドレインはEL素子15のアノード電極に接続されている。

【0096】

なお、図5ではすべてのTFTはPチャンネルで構成している。Pチャンネルは多少NチャンネルのTFTに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよく、また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0097】

なお、第3および第4のトランジスタは同一の極性、かつNチャンネルで構成し、第1および第2のトランジスタはPチャンネルで構成することが好ましい。一般的にPチャンネルトランジスタはNチャンネルトランジスタと比較して、信頼性が高い、キルク電流が少ない等の特長があり、電流を制御することによって目的とする発光強度を得るEL素子に対しては、第1のTFT11aをPチャンネルにすると効果が大きくなる。

【0098】

以下、本発明のEL素子構成について図6を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでTFT11bならびにTFT11cがONすることにより、等価回路として図6(a)となる。ここで、信号線より所定の電流I1が書き込まれる。これによりTFT11aはゲートとドレインが接続された状態となり、このTFT11aとTFT11cを通じて電流I1が流れる。従って、TFT11aのソース-ゲート間の電圧は電流I1が流れるようにV1となる。

【0099】

第2のタイミングはTFT11aとTFT11cが閉じ、TFT11dが開くタイミングであり、そのときの等価回路は図6(b)となる。この場合、M1のTFT11aは常に飽和領域で動作するため、電流I1は一定となり、TFT11aのソース-ゲート間の電圧V1は保持されたままとなる。

【0100】

なお、TFT11aのゲートとTFT11cのゲートは同一のゲート信号線17aに接続している。しかし、TFT11aのゲートとTFT11cのゲートとを異なるゲート信号線17bに接続してもよい(SA1とSA2とを個別に制御できるようにする)。つまり、1画素のゲート信号線は3本となってもよい(図5の構成は2本である)。TFT11aのゲートのON/OFFタイミングとTFT11cのゲートのON/OFFタイミングを個別に制御することにより、TFT11のばらつきによるEL素子15の電流値ばらつきをさらに低減することができる。

【0101】

第1のゲート信号線17aと第2のゲート信号線17bとを共通にし、第3および第4のトランジスタを異なった導電型(NチャンネルとPチャンネル)とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。このように構成すれば、本発明の動作タイミングとしては信号線からの書き込み経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がM1のソース-ゲート間容量(コンデンサ)に記憶されない。TFTM3とTFTM4を異なった導電形とし、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずM3がオフした後にM4がオンすることが可能になる。ただしこの場合、お互いの閾値を正確にコントロールするため、プロセスの注意が必要である。

10

20

30

40

50

【0102】

なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにTFT11e (M5)を図5(b)に示すようにカスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにTFT11eを加えた構成とすることにより、トランジスタM3を介してプログラムした電流をより精度よくEL素子15に流すことができるようになる。

【0103】

図5の構成において、第1のTFT11aの飽和領域における電流値 I_{ds} が下式の条件を満たすことがさらに好ましい。なお、下式において α の値は、隣接する画素間において0.01以上0.06以下の条件を満たすものである。

【0104】

$$I_{ds} = k * (V_{gs} - V_{th})^2 (1 + V_{ds} * \alpha)$$

本発明では、TFT11aの動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソース-ドレイン間電圧の影響を受ける(ミラー効果)。

【0105】

隣接する画素におけるそれぞれのTFT11aに V_{th} なる閾値のシフトが発生した場合を考える。この場合、記憶される電流値は同じである。閾値のシフトを ΔV_{th} とすれば、約 $\Delta V_{th} / V_{th}$ はTFT11aの閾値が変動することによるEL素子15の電流値のずれに相当する。したがって、電流のずれを x (%)以下に抑えるためには、閾値のシフトの許容量を隣接する画素間で y (V)として、 $\Delta V_{th} / V_{th} < x / y$ 以下でなければならないことが判る。この許容値はアプリケーションの輝度により変化する。輝度が100cd/m²から1000cd/m²までの輝度領域においては、変動量が2%以上あれば人間は変動した境界線を認識する。したがって、輝度(電流量)の変動量が2%以内であることが必要である。輝度が100cd/m²より高い場合は隣接する画素の輝度変動量は2%以上となる。本発明のEL表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は100cd/m²程度である。実際に図5の画素構成を試作し、閾値の変動を測定すると、隣接する画素のTFT11aにおいては閾値の変動の最大値は0.3Vであることが判った。したがって、輝度の変動を2%以内に抑えるためには α は0.06以下でなければならない。しかし、人間が変化を認識することができないので、0.01以下にする必要はない。また、この閾値のばらつきを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

【0106】

また、第1のTFT11aの飽和領域における電流値 I_{ds} が下式を満たすように構成されることが好ましい。なお、 α の変動が隣接する画素間において1%以上5%以下とする。

【0107】

$$I_{ds} = k * (V_{gs} - V_{th})^2 (1 + V_{ds} * \alpha)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式の α に変動があれば、EL素子を流れる電流値が変動する。変動を ± 2 %以内に抑えるためには、 α の変動を ± 5 %に抑えなければならない。しかし、人間が変化を認識することができないので、1%以下にする必要はない。また、1%以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

【0108】

また、実験、アレイ試作および検討によれば第1のTFT11aのチャンネル長を10 μ m以上200 μ m以下とすることが好ましい。さらに好ましくは、第1のTFT11aのチャンネル長を15 μ m以上150 μ m以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和され、キルク効果が低く抑えられるためであると考えられる。

【0109】

また、画素を構成するTFT11が、レーザ再結晶化方法（レーザアニール）により形成されたポリシリコンTFTで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザの照射方向に対して同一の方向であることが好ましい。

【0110】

本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4トランジスタ以上が必要となる。これらのトランジスタ特性により、回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザ照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と垂直方向では、移動度、閾値の平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一である方が望ましい。

10

【0111】

また、キャパシタ19の容量値を C_s 、第2のTFT11bのオフ電流値を I_{off} とした場合、次式を満たすことが好ましい。

【0112】

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満たすことが好ましい。

【0113】

$$6 < C_s / I_{off} < 18$$

TFT11bのオフ電流を5pA以下とすることにより、EL素子を流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲート-ソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、キャパシタ19の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことにより隣接画素間の電流値の変動を2%以下に抑えることができる。

20

【0114】

また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタによって構成され、TFT11bがデュアルゲート以上であるマルチゲート構造とされることが好ましい。TFT11bは、TFT11aのソース-ドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。TFT11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

30

【0115】

また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）を $54\mu\text{m}^2$ 以下とすることが好ましい。（チャンネル幅 W ）*（チャンネル長 L ）とトランジスタ特性のばらつきとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザの照射によるエネルギーのばらつき等に起因するものが多く、これを吸収するためには、できるだけレーザの照射ピッチ（一般的には10数 μm ）をチャンネル内により多く含む構造が望ましい。そこで、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）を $54\mu\text{m}^2$ 以下とすると、レーザ照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生するので、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）は $9\mu\text{m}^2$ 以上、さらに好ましくは、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）は $16\mu\text{m}^2$ 以上 $45\mu\text{m}^2$ 以下となるようにする。

40

【0116】

また、隣接する単位画素での第1のTFT11aの移動度変動を20%以下にすることが好ましい。なぜなら、移動度が不足することによりスイッチングトランジスタの充電能

50

力が劣化し、時間内に必要な電流値を流すまでに、M1のゲート-ソース間の容量を充電できないからである。したがって、移動のばらつきを20%以内に抑えることで画素間の輝度のばらつきを認知限以下にすることができる。

【0117】

以上、図5を画素構成として説明したが、図7、図8に図示する構成にも適用することができる。以下、図7等の画素構成について説明をする。

【0118】

EL素子15に流す電流を設定する時、TFT11aに流す信号電流を I_w 、その結果TFT11aに生ずるゲート-ソース間電圧を V_{gs} とする。書き込み時はTFT11dによってTFT11aのゲート-ドレイン間が短絡されているので、TFT11aは飽和領域で動作する。よって、信号電流 I_w は、以下の数式で与えられる。

【0119】

(数1)

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2$$

ここでの C_{ox} は単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ で与えられる。 V_{th} はTFTの閾値、 μ はキャリアの移動度、 W はチャンネル幅、 L はチャンネル長、 ϵ_0 は真空の移動度、 ϵ_r はゲート絶縁膜の比誘電率を示し、 d はゲート絶縁膜の厚みである。

【0120】

EL素子15に流れる電流を I_{dd} とすると、 I_{dd} は、EL素子15と直列に接続されるTFT11bによって電流レベルが制御される。本発明では、そのゲート-ソース間電圧が(数1)の V_{gs} に一致するので、TFT11bが飽和領域で動作すると仮定すれば、以下の数式が成り立つ。

【0121】

(数2)

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2$$

絶縁ゲート電界効果型の薄膜トランジスタ(TFT)が飽和領域で動作するための条件は、 V_{ds} をドレイン-ソース間電圧として、一般に以下の数式で与えられる。

【0122】

(数3)

$$|V_{ds}| > |V_{gs} - V_{th}|$$

ここでのTFT11aとTFT11bは、小さな画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(数1)及び(数2)から容易に以下の数式が導かれる。

【0123】

(数4)

$$I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1)$$

ここで注意すべき点は、(数1)及び(数2)において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(数4)はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。仮に $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I_w と I_{drv} が同一の値となり、EL素子15に流れる駆動電流 I_{dd} は、TFTの特性ばらつきによらず、正確に信号電流 I_w と同一になるので、結果としてEL素子15の発光輝度を正確に制御できる。

【0124】

以上のように、TFT11aの V_{th1} とTFT11bの V_{th2} は基本的に同一である為、両TFTにおける共通電位が存在するゲートに対してカットオフレベルの信号電圧が印加されると、TFT11a及びTFT11bは共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつき等の要因により、 V_{th1} よりも V_{t

10

20

30

40

50

h₂が低くなってしまうことがある。この時、TFT11bにはサブスレッショルドレベルのリーク電流が流れる為、EL素子15が微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。

【0125】

本発明では特に、TFT11bの閾電圧V_{th2}が画素内で対応するTFT11aの閾電圧V_{th1}より低くならないように設定している。例えば、TFT11bのゲート長L₂をTFT11aのゲート長L₁よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、V_{th2}がV_{th1}よりも低くならないようにしており、微少な電流リークを抑制することが可能となっている。以上の事項は図5のTFT11aとTFT11dの関係にも適用される。

10

【0126】

図8に示すように、本発明の駆動回路は、信号電流が流れるTFT11a、EL素子15等からなる発光素子に流れる駆動電流を制御するTFT11bの他、第1の走査線scanA(SA)の制御によって画素回路とデータ線dataとを接続もしくは遮断するTFT11c、第2の走査線scanB(SB)の制御によって書き込み期間中にTFT11aのゲート-ドレインを短絡するTFT11d、TFT11aのゲート-ソース間電圧を書き込み終了後も保持するためのキャパシタ19および発光素子としてのEL素子15等から構成される。このように、ゲート信号線は各画素2本であることから、前述した図5、図10、図11等に基づく本発明の明細書全体の構成、機能、動作等を適用することができる。

20

【0127】

図8でTFT11cはNチャンネルMOS(NMOS)、その他のトランジスタはPチャンネルMOS(PMOS)で構成しているが、これは一例であって、必ずしもこの通りである必要はない。キャパシタ19は、その一方の端子をTFT11aのゲートに接続され、他方の端子はV_{dd}(電源電位)に接続されているが、V_{dd}に限らず任意の一定電位でも良い。EL素子15のカソード(陰極)は接地電位に接続されている。したがって、以上の事項は図5等にも適用されることは言うまでもない。

【0128】

図8の構成は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流I_wを生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA、scanB及び各データ線dataの交差部に配されて、駆動電流の供給を受けて発光する電流駆動型のEL素子15を含む複数の画素とを備えている。

30

【0129】

特徴事項として、図8に示した画素構成は、当該走査線scanAが選択された時、当該データ線dataから信号電流I_wを取り込む受入部と、取り込んだ信号電流I_wの電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLEDに流す駆動部とからなる。具体的には、前記受入部はTFT11cから構成されている。

【0130】

前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えたTFT11aと、そのゲートに接続したキャパシタとを含んでいる。TFT11a、受入部によって取り込まれた信号電流I_wをチャネルに流して変換された電圧レベルをゲートに発生させ、キャパシタ19に生じた電圧レベルを保持する。

40

【0131】

更に前記変換部は、TFT11aドレインとゲートとの間に挿入されたTFT11dを含んでいる。TFT11dは、信号電流I_wの電流レベルを電圧レベルに変換する時に導通し、TFT11aのドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをTFT11aのゲートに生ぜしめる。又、TFT11dは、電圧レベルをキャパシタ19に保持する時に遮断され、TFT11aのゲート及びこれに接続したキャパシタ19

50

を T F T 1 1 a のドレインから切り離す。

【 0 1 3 2 】

また、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた T F T 1 1 b を含んでいる。T F T 1 1 b は、キャパシタ 1 9 に保持された電圧レベルをゲートに受け入れ、それに応じた電流レベルを有する駆動電流をチャネルを介して E L 素子 1 5 に流す。T F T 1 1 a のゲートと T F T 1 1 b のゲートとが直接接続されてカレントミラー回路を構成し、信号電流 I_w の電流レベルと駆動電流の電流レベルとが比例関係となるようにしている。

【 0 1 3 3 】

T F T 1 1 b は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を E L 素子 1 5 に流す。

10

【 0 1 3 4 】

T F T 1 1 b は、その閾電圧が画素内で対応する T F T 1 1 a の閾電圧より低くならないように設定されている。具体的には、T F T 1 1 b は、そのゲート長が T F T 1 1 a のゲート長より短くならないように設定されている。あるいは、T F T 1 1 b は、そのゲート絶縁膜が画素内で対応する T F T 1 1 a のゲート絶縁膜より薄くならないように設定されても良い。

【 0 1 3 5 】

また、T F T 1 1 b は、そのチャネルに注入される不純物濃度を調整して、閾電圧が画素内で対応する T F T 1 1 a の閾電圧より低くならないように設定されてもよい。仮に、T F T 1 1 a と T F T 1 1 b の閾電圧が同一となるように設定した場合、共通接続された両薄膜トランジスタのゲートにカットオフレベルの信号電圧が印加されると、T F T 1 1 a 及び T F T 1 1 b は両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、T F T 1 1 a の閾電圧より T F T 1 1 b の閾電圧が低くなる場合がある。

20

【 0 1 3 6 】

この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が T F T 1 1 b に流れる為、E L 素子 1 5 は微発光し画面のコントラスト低下が現れる。そこで、T F T 1 1 b のゲート長を T F T 1 1 a のゲート長よりも長くしている。これにより、薄膜トランジスタのプロセスパラメータが画素内で変動しても、T F T 1 1 b の閾電圧が T F T 1 1 a の閾電圧よりも低くならない。

30

【 0 1 3 7 】

ゲート長 L が比較的短い短チャネル効果領域 A では、ゲート長 L の増加に伴い T F T の閾値 V_{th} が上昇する。一方、ゲート長 L が比較的大きな抑制領域 B ではゲート長 L に関わらず T F T の閾値 V_{th} はほぼ一定である。この特性を利用して、T F T 1 1 b のゲート長を T F T 1 1 a のゲート長よりも長くしている。例えば、T F T 1 1 a のゲート長が $7 \mu m$ の場合、T F T 1 1 b のゲート長を $10 \mu m$ 程度にする。

【 0 1 3 8 】

T F T 1 1 a のゲート長が短チャネル効果領域 A に属する一方、T F T 1 1 b のゲート長が抑制領域 B に属するようにしても良い。これにより、T F T 1 1 b における短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制することが可能となる。

40

【 0 1 3 9 】

以上により、T F T 1 1 b に流れるサブスレッショルドレベルのリーク電流を抑制して E L 素子 1 5 の微発光を抑え、コントラスト改善に寄与可能である。

【 0 1 4 0 】

図 8 に示した画素回路の駆動方法を簡潔に説明する。まず、書き込み時には第 1 の走査線 $s_{can A}$ 、第 2 の走査線 $s_{can B}$ を選択状態とする。両走査線が選択された状態でデータ線 d_{ata} に電流源 C_S を接続することにより、T F T 1 1 a に輝度情報に応じた信号電流 I_w が流れる。電流源 C_S は輝度情報に応じて制御される可変電流源である。こ

50

のとき、TFT11aのゲート-ドレイン間はTFT11dによって電氣的に短絡されているので(数3)が成立し、TFT11aは飽和領域で動作する。従って、そのゲート-ソース間には(数1)で与えられる電圧 V_{gs} が生ずる。

【0141】

次に、scanA、scanBを非選択状態とする。詳しく述べると、まずscanBを低レベルとしてTFT11dをoff状態とする。これによって電圧 V_{gs} がキャパシタ19によって保持される。次にscanAを高レベルにしてoff状態とすることにより、画素回路とデータ線dataとが電氣的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流の電流レベルとして出力するデータは、scanBが非選択となる時点では有効である必要があるが、その後は任意のレベル(例えば次の画素の書き込みデータ)とされて良い。

10

【0142】

TFT11bはTFT11aとゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、TFT11bが飽和領域で動作していれば、TFT11bを流れる電流は(数2)で与えられ、これがすなわちEL素子15に流れる駆動電流 I_{dd} となる。TFT11bを飽和領域で動作させるには、EL素子15での電圧降下を考慮してもなお(数3)が成立するよう、十分な電源電位をアノード電圧 V_{dd} に与えれば良い。

【0143】

なお、図5(b)等と同様に、インピーダンスを増大させること等を目的として、図9

20

【0144】

このようにして作製した図5、図8等で説明したEL表示素子に直流電圧を印加し、 10 mA/cm^2 の一定電流密度でEL表示素子を連続駆動させた。EL構造体においては、 7.0 V 、 200 cd/cm^2 の緑色(発光極大波長 $\text{max} = 460\text{ nm}$)の発光が確認できた。青色発光部では、輝度 100 cd/cm^2 で、色座標が $x = 0.129$ 、 $y = 0.105$ 、緑色発光部では、輝度 200 cd/cm^2 で、色座標が $x = 0.340$ 、 $y = 0.625$ 、赤色発光部では、輝度 100 cd/cm^2 で、色座標が $x = 0.649$ 、 $y = 0.338$ の発光色が得られた。

30

【0145】

(実施の形態4)

以下、図5、図8、図9等を用いた表示装置、表示モジュール、情報表示装置およびその駆動回路と駆動方法等について説明をする。

【0146】

フルカラー有機ELパネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機EL層からの光を遮るTFTの面積を小さくすればよい。低温多結晶Si-TFTはアモルファスシリコンと比較して10~100倍の性能を持ち、その上、電流の供給能力が高いため、TFTのサイズを非常に小さくできる。したがって、有機ELパネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまふ。

40

【0147】

ゲートドライバ12あるいはソースドライバ14等の駆動回路をアレイ基板49上に形成することにより、電流駆動の有機ELパネルで特に問題になる抵抗を下げるができる。TCPの接続抵抗がなくなるうえに、TCP接続の場合に比べて電極からの引き出し線が2~3mm短くなり配線抵抗が小さくなるからである。さらに、TCP接続のための工程がなくなる、材料コストが下がるという利点もある。

【0148】

50

次に、本発明のE L表示パネルあるいはE L表示装置について説明をする。図10はE L表示装置の回路を中心とした説明図である。画素16がマトリクス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ14が接続されている。ソースドライバ14の出力段には映像信号のビット数に対応したカレントミラー回路が形成されている。例えば、64階調であれば、63個のカレントミラー回路が各ソース信号線ごとに形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。なお、カレントミラー回路の最小出力電流は2 n A以上10 n A以下にしている。また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。

10

【0149】

有機E L素子には大きな温度依存性特性(温特)があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタ等の非直線素子を付加し、温特による変化を前記サーミスタ等で調整することによりアナログ的に基準電流を作成する。この場合は、選択するE L材料で一義的に決定されるから、ソフト制御するマイコン等を必要としない場合が多い。つまり、液晶材料により、一定のシフト量等に固定しておいてもよいということである。重要なのは発光色材料により温特が異なっている点であり、発光色ごとに最適な温特補償を行う必要がある点である。

【0150】

また、温特補償はマイコンで行ってもよい。温度センサでE L表示パネルの温度を測定し、測定した温度によりマイコン(図示せず)等で変化させる。また、切り替え時に基準電流などをマイコン制御等により自動的に切り替えてもよいし、特定のメニューを表示できるように制御してもよい。また、マウス等を用いて切り替えたり、E L表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

20

【0151】

本発明において、ソースドライバは半導体シリコンチップで形成され、ガラスオンチップ(COG)技術でアレイ基板49のソース信号線18の端子と接続されている。ソース信号線18等の信号線の配線はクロム、アルミニウム、銀等の金属配線が用いられる。これは細い配線幅で低抵抗の配線が得られるからである。金属配線は画素が反射型の場合は工程が簡略できるので、画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。

30

【0152】

本発明はCOG技術に限定されるものではなく、チップオンフィルム(COF)技術に前述のソースドライバ14等を積載し、表示パネルの信号線と接続した構成としてもよい。また、ソースドライバ14は電源IC102と別途作製し、3チップ構成としてもよい。

【0153】

また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ポリイミド・フィルムと銅(Cu)箔を、接着剤を使わずに熱圧着することができる。また、TCPテープ向けフィルムにはこの他、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方法と、ポリイミド・フィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方法がある。これらのいずれでもよいが、接着剤を使わずにポリイミド・フィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30 μm以下のリード・ピッチには、接着剤を使わないCu張り積層板で対応する。接着剤を使わないCu張り積層板のうち、Cu層をメッキや蒸着で形成する方法はCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

40

【0154】

一方、ゲートドライバ12は低温ポリシリコン技術で、画素のTF Tと同一のプロセス

50

で形成されている。これは、ソースドライバ14と比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術でも容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術等を用いてアレイ基板49上に実装してもよい。また、画素TFE、ゲートドライバ等は高温ポリシリコン技術で形成してもよく、有機材料で形成（有機TFE）してもよい。

【0155】

ゲートドライバ12はゲート信号線17a用のシフトレジスタ22aと、ゲート信号線17b用のシフトレジスタ22bとを内蔵する。各シフトレジスタ22は正相と負相のクロック信号（CLKxP、CLKxN）と、スタートパルス（STx）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転させるアップダウン（UPDWM）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子等を設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC（図示せず）からの信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路と検査回路を内蔵する。

10

【0156】

シフトレジスタ22のバッファ容量は小さいため直接、ゲート信号線17を駆動することができない。そのため、シフトレジスタ22の出力とゲート信号線17を駆動する出力ゲート24間には少なくとも2つ以上のインバータ回路23が形成されている。

20

【0157】

ソースドライバ14を低温ポリシリコン等のポリシリコン技術でアレイ基板49上に直接形成する場合も同様であり、ソース信号線を駆動するトランスファージェート等のアナログスイッチのゲートとソースドライバのシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファージェート等の出力段間に配置されるインバータ回路に関する事項）は、ソースドライバおよびゲートドライバ回路に共通の事項である。例えば、図10ではソースドライバ14の出力が直接、ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファージェート等のアナログスイッチのゲートに接続されている。

30

【0158】

インバータ回路23はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したように、ゲートドライバ12のシフトレジスタ22の出力端にはインバータ回路23が多段に接続されており、その最終出力が出力ゲート24に接続されている。なお、インバータ回路23はPチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【0159】

各インバータ回路23を構成するPチャンネルまたはNチャンネルのTFEのチャンネル幅をW、チャンネル長をL（ダブルゲート以上の場合は構成するチャンネルの幅もしくはチャンネル長を加算する）とし、シフトレジスタに近いインバータの次数を1、表示側に近いインバータの次数をN（N段目）とする。

40

【0160】

インバータ回路23の接続段数が多いと接続されているインバータ回路23の特性差が多重（積み重なり）され、シフトレジスタ22から出力ゲート24までの伝達時間に差が生じる（遅延時間ばらつき）。例えば、極端な場合では、図10において出力ゲート24aは1.0μsec後（シフトレジスタからパルスが出力されてから起算して）にオンしている（出力電圧が切り替わっている）のに、出力ゲート24bは1.5μsec後（シフトレジスタからパルスが出力されてから起算して）にオンしている（出力電圧が切り替わっている）という状態が生じる。

50

【0161】

したがって、シフトレジスタ22と出力ゲート24間に作製するインバータ回路23の数は少ない方がよいが、出力ゲート24を構成するTFTのチャンネルのゲート幅Wは非常に大きい方がよい。また、シフトレジスタ22の出力段のゲート駆動能力は小さいので、シフトレジスタを構成するゲート回路(NAND回路等)で直接、出力ゲート24を駆動することは不可能である。そのため、インバータを多段接続する必要があるが、例えば、図10のインバータ回路23dの W_4/L_4 (Pチャンネルのチャンネル幅/Pチャンネルのチャンネル長)の大きさと、インバータ回路23cの W_3/L_3 のサイズ比が大きいと遅延時間が長くなり、また、インバータの特性がばらつきをも大きくする。

【0162】

図11に遅延時間ばらつき(点線)と遅延時間比(実線)の関係を示す。横軸は $(W_{n-1}/L_{n-1})/(W_n/L_n)$ で示す。例えば、図10でインバータ回路23dとインバータ回路23cのLが同一で $2W_3 = W_4$ であれば $(W_3/L_3)/(W_4/L_4) = 0.5$ である。図11のグラフにおいて遅延時間比は $(W_{n-1}/L_{n-1})/(W_n/L_n) = 0.5$ のときを1とし、遅延同様に時間ばらつきも1としている。

【0163】

図11では $(W_{n-1}/L_{n-1})/(W_n/L_n)$ が大きくなるほどインバータ回路23の接続段数が多くなり、遅延時間ばらつきも大きくなることを示している。また、 $(W_{n-1}/L_{n-1})/(W_n/L_n)$ が小さくなるほどインバータ回路23から次段へのインバータ回路23への遅延時間が長くなることを示している。このグラフから遅延時間比および遅延時間ばらつきを2以内にすることが設計上有利であることがわかる。したがって、次式の条件を満たせばよい。

【0164】

$0.25 < (W_{n-1}/L_{n-1})/(W_n/L_n) < 0.75$ また、各インバータ回路23のPチャンネルの W/L 比(W_p/L_p)とnチャンネルの W/L 比(W_s/L_s)とは以下の関係を満たす必要がある。

【0165】

$$0.4 < (W_s/L_s)/(W_p/L_p) < 0.8$$

さらに、シフトレジスタの出力端から出力ゲート(あるいはトランスファゲート)間に形成するインバータ回路23の段数nは次式を満たすと遅延時間のばらつきも少なく良好である。

【0166】

$$3 < n < 8$$

モビリティ μ にも課題がある。nチャンネルトランジスタのモビリティ μ_n が小さいとTGおよびインバータのサイズが大きくなり、消費電力等も大きくなる。また、ドライバの形成面積が大きくなり、そのため、パネルサイズも大きくなってしまう。一方、モビリティ μ_n が大きいとトランジスタの特性劣化を引き起こしやすいので、モビリティ μ_n は以下の範囲がよい。

【0167】

$$50 < \mu_n < 150$$

また、シフトレジスタ22内のクロック信号のスルーレートは、 $500 \text{ V}/\mu\text{sec}$ 以下にする。スルーレートが高いとnチャンネルトランジスタの劣化が激しくなるからである。

【0168】

なお、図10でシフトレジスタの出力にはインバータ回路23を多段に接続するとしたが、NAND回路でもよい。NAND回路でもインバータを構成することができるからである。つまり、インバータ回路23の接続段数とはゲートの接続段数と考えればよい。この場合も今まで説明した W/L 比等の関係が適用される。

【0169】

図5で図示した構成ではEL素子15のカソードは V_{s1} 電位に接続されている。しか

10

20

30

40

50

し、各色を構成する有機ELの駆動電圧が異なるという問題がある。例えば、単位平方センチメートルあたり0.01Aの電流を流した場合、青(B)ではEL素子の端子電圧は5Vであるが、緑(G)および赤(R)では9Vである。つまり、端子電圧が、B、GとRで異なる。したがって、B、GとRでは保持するTFT11c、11dのソース・ドレイン電圧(SD電圧)が異なり、各色でトランジスタのソース・ドレイン電圧(SD電圧)間のオフリーク電流も異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態となる。

【0170】

この課題に対応するため、本発明では図1に図示するように、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。具体的には図1では、Bをカソード電極53aとし、GとRをカソード電極53bとしている。

10

【0171】

カソード電極53aは、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。メタルマスクを用いるのは、有機ELが水に弱くエッチング等を行うことができないからである。メタルマスク(図示せず)を用いて、カソード電極53aを蒸着し、同時にコンタクトホール52aで接続する。コンタクトホール52aによりBカソード配線51aと電氣的接続を取ることができる。

【0172】

20

カソード電極53bも同様に、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。メタルマスク(図示せず)を用いて、カソード電極53bを蒸着し、同時にコンタクトホール52bで接続する。コンタクトホール52bによりRGカソード配線51bと電氣的接続を取ることができる。なお、カソード電極のアルミ膜厚は70nm以上200nm以下となるように形成するとよい。

【0173】

以上の構成により、カソード電極53aと53bには異なる電圧を印加することができるから、図5のアノード電圧Vddが各色共通であっても、RGBのうち、少なくとも1色のEL素子に印加する電圧を変化させることができる。なお、図1においてR、Gは同一のカソード電極53bとしたがこれに限定されるものではなく、RとGで異なるカソード電極となるように構成してもよい。

30

【0174】

以上のように構成することにより、各色でトランジスタのソース・ドレイン電圧(SD電圧)間のオフリーク電流の発生、キック現象を防止することができる。したがって、フリッカが発生せず、発光色に相関してガンマ特性がずれるということもなく、良好な画像表示を実現できる。

【0175】

また、図5のVs1をカソード電圧とし、このカソード電圧を各色で異なるようにするとしたがこれに限定されるものではなく、アノード電圧Vddを各色で異なるように構成してもよい。例えば、R画素のアノード電圧Vddを電圧8Vにし、Gを6V、Bを10Vとする構成でもよい。これらのアノード電圧、カソード電圧は±1Vの範囲で調整できるように構成されることが好ましい。

40

【0176】

パネルサイズが2インチ程度であっても、Vddと接続されるアノードからは100mA近くの電流が出力される。そのため、アノード配線(電流供給線)20の低抵抗化は必須である。この課題に対応するため、本発明では図12で図示するようにアノード配線63を表示領域の上側と下側から供給している(両端給電)。以上のように両端給電することにより画面の上下での輝度傾斜の発生がなくなる。

【0177】

発光輝度を高めるためには透明電極48を粗面化するとよい。この構成を図3に示す。

50

まず、透明電極 48 を形成する箇所にはスタンプ技術を用いて微細な凹凸を形成する。画素が反射型の場合は、スパッタリング法で約 200 nm のアルミニウムの金属薄膜を形成して透明電極 48 を形成する。透明電極 48 が有機 EL と接する箇所には凸部が設けられ、粗面化される。なお、単純マトリックス型表示パネルの場合は、透明電極 48 はストライプ状電極とする。また、凸部は凸状だけに限定するものではなく、凹状でもよい。また、凹と凸とを同時に形成してもよい。

【0178】

突起の大きさは直径 4 μm 程度、隣接間距離の平均値は 10 μm、20 μm、40 μm にして、それぞれ突起の単位面積密度を 1000 ~ 1200 個/mm²、100 ~ 120 個/mm²、600 ~ 800 個/mm² として輝度測定を行ったところ、突起の単位面積密度が大きくなるほど発光輝度が強くなることがわかった。したがって、透明電極 48 上の突起の単位面積密度を変えることで、透明電極の表面状態を変えて発光輝度を調整できることがわかった。検討によれば、突起の単位面積密度を 100 個/mm² 以上 800 個/mm² 以下とすることで良好な結果を得ることができた。

10

【0179】

有機 EL は自己発光素子である。この発光による光がスイッチング素子としての TFT に入射するとホットコンダクタ現象（ホットコン）が発生する。ホットコンとは、光励起により TFT 等のスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0180】

この課題に対処するため、本発明では図 13 に示すようにゲートドライバ 12（場合によってはソースドライバ 14）の下層、TFT 11 の下層の遮光膜 91 を形成している。遮光膜 91 はクロム等の金属薄膜で形成し、その膜厚は 50 nm 以上 150 nm 以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層の TFT 11 のパターンングが困難になるからである。

20

【0181】

遮光膜 91 上に 20 nm 以上 100 nm 以下の無機材料からなる平滑化膜 71a を形成する。この遮光膜 91 のレイヤーを用いてキャパシタ 19 の一方の電極を形成してもよい。この場合、平滑化膜 71a は極力薄く作りキャパシタの容量値を大きくすることが好ましい。また、遮光膜 91 をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜 91 の表面に形成し、この酸化シリコン膜をキャパシタ 19 の誘電体膜として用いてもよい。平滑化膜 71b 上には HA 構造の画素電極が形成される。

30

【0182】

ゲートドライバ 12 等は裏面だけでなく、表面からの光の進入も抑制するべきである。これはホットコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ゲートドライバ 12 等の表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0183】

しかし、ゲートドライバ 12 の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではゲートドライバ 12 等の上に少なくとも 1 層、好ましくは複数層の有機 EL 膜を画素電極上の有機 EL 膜形成と同時に形成する。基本的に有機 EL 膜は絶縁物であるから、ゲートドライバ上に有機 EL 膜を形成することにより、カソードとゲートドライバ間が隔離される。したがって、前述の課題を解消することができる。

40

【0184】

一方、カソード電極が透明電極の場合は、透明電極のシート抵抗値が問題となる。透明電極は高抵抗であるが、有機 EL のカソードには高い電流密度で電流を流す必要がある。したがって、ITO 膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

【0185】

50

この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配線 9 2 を形成している。低抵抗化配線 9 2 は液晶表示パネルのブラックマトリックス (B M) と同様の構成 (クロムまたはアルミ材料で 5 0 n m ~ 2 0 0 n m の膜厚) で、かつ同様の位置 (画素電極間、ゲートドライバ 1 2 の上等) である。しかし、有機 E L では B M を形成する必要はないから機能は全く異なる。なお、低抵抗化配線 9 2 は透明電極 7 2 の表面に限定するものではなく、裏面 (有機 E L 膜と接する面) に形成してもよい。

【 0 1 8 6 】

図 1 4 は有機 E L モジュールの構成図である。プリント基板 1 0 3 にはコントロール I C 1 0 1 と電源 I C 1 0 2 が実装されている。プリント基板 1 0 3 とアレイ基板 4 9 とはフレキシブル基板 1 0 4 で電氣的に接続される。このフレキシブル基板 1 0 4 を介して電源電圧、電流、制御信号、映像データがアレイ基板 4 9 のソースドライバ 1 4 およびゲートドライバ 1 2 に供給される。

10

【 0 1 8 7 】

この時間問題となるのは、ゲートドライバ 1 2 の制御信号である。ゲートドライバ 1 2 には少なくとも 5 V 以上の振幅の制御信号を印加する必要がある。しかし、コントロール I C 1 0 1 の電源電圧は 2 . 5 V あるいは 3 . 3 V であるため、コントロール I C 1 0 1 から直接、ゲートドライバ 1 2 に制御信号を印加することができない。

【 0 1 8 8 】

この課題に対して、本発明は高い電圧で駆動される電源 I C 1 0 2 からゲートドライバ 1 2 の制御信号を印加する。電源 I C 1 0 2 はゲートドライバ 1 2 の動作電圧も発生させるので、当然ながらゲートドライバ 1 2 に最適な振幅の制御信号を発生させることができる。

20

【 0 1 8 9 】

図 1 5 ではゲートドライバ 1 2 の制御信号はコントロール I C 1 0 1 で発生させ、ソースドライバ 1 4 で一旦レベルシフトを行った後、ゲートドライバ 1 2 に印加している。ソースドライバ 1 4 の駆動電圧は 5 ~ 8 V であるから、コントロール I C 1 0 1 から出力された 3 . 3 V 振幅の制御信号を、ゲートドライバ 1 2 が受け取れる 5 V 振幅に変換することができる。

【 0 1 9 0 】

図 1 6、図 1 7 は本発明の表示モジュール装置の説明図である。図 1 7 はソースドライバ 1 4 内に内蔵表示メモリ 1 5 1 を持たせた構成である。内蔵表示メモリ 1 5 1 は 8 色表示 (各色 1 ビット)、2 5 6 色表示 (R G は 3 ビット、B は 2 ビット)、4 0 9 6 色表示 (R G B は各 4 ビット) の容量を有する。この 8 色、2 5 6 色または 4 0 9 6 色表示で、かつ静止画の時は、ソースドライバ 1 4 内に配置されたドライバコントローラはこの内蔵表示メモリ 1 5 1 の画像データを読み出すので、超低消費電力化を実現できる。もちろん、内蔵表示メモリ 1 5 1 は 2 6 万色以上の多色の表示メモリであってもよい。また、動画の時も内蔵表示メモリ 1 5 1 の画像データを用いてもよい。

30

【 0 1 9 1 】

内蔵表示メモリ 1 5 1 の画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理等を行うことにより、2 6 万色表示データを 4 0 9 6 色等に変換することができ、内蔵表示メモリ 1 5 1 の容量を小さくすることができる。誤差拡散処理等は誤差拡散コントローラ 1 4 1 で行うことができる。

40

【 0 1 9 2 】

なお、図 1 6 等において 1 4 をソースドライバと記載したが、単なるドライバだけでなく、電源 I C 1 0 2、バッファ回路 1 5 4 (シフトレジスタ等の回路を含む)、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、内蔵表示メモリ 1 5 1 からの入力を処理してソース信号線に電圧あるいは電流を出力する様々な機能あるいは回路が構成されたものである。これらの事項は、本発明の他の実施例でも同様である。

【 0 1 9 3 】

50

フレームレートはパネルモジュールの消費電力と関係する。つまり、フレームレートを高くすればほぼ比例して消費電力は増大する。携帯電話等は待ち受け時間を長くする等の観点から消費電力の低減を図る必要がある。一方、表示色を多くする（階調数を多くする）ためにはソースドライバ14等の駆動周波数を高くしなければならない。しかし、消費電力の問題から消費電力を増大させることは困難である。

【0194】

一般的に、携帯電話等の情報表示装置では、表示色数よりも低消費電力化が優先される。表示色数を増加させる回路の動作周波数が高くなる、あるいはEL素子に印加する電圧（電流）波形の変化が多くなる等の理由から、消費電力が増加する。したがって、あまり表示色数を多くすることはできない。この課題に対して、本発明は画像データを誤差拡散処理あるいはディザ処理を行って画像を表示するものである。

10

【0195】

図18で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影した画像およびデータは即時に表示パネルの表示画面21に表示できる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（256色）をキー入力で切り替えることができる。

【0196】

表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵表示メモリ151の容量以上の時は、誤差拡散処理等を実施し、表示色数を内蔵表示メモリ151の容量以下となるように画像処理を行う。

20

【0197】

今、ソースドライバ14には4096色（RGB各4ビット）で1画面の内蔵表示メモリ151を具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバ14の内蔵表示メモリ151に格納され、この内蔵表示メモリ151から画像データを読み出し、表示画面21に画像を表示する。

【0198】

画像データが26万色（G：6ビット、R，B：5ビットの計16ビット）の場合は、図16および図17に示すように誤差拡散コントローラ141の演算メモリ152に一旦格納され、かつ同時に演算回路153で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理等により16ビットの画像データは内蔵表示メモリ151のビット数である12ビットに変換されてソースドライバ14に転送される。ソースドライバ14はRGB各4ビット（4096色）の画像データを出力し、表示画面21に画像を表示する。

30

【0199】

また、図17の構成において、垂直同期信号VDを用いて（垂直同期信号VDで処理方法を変化させて）、フィールドあるいはフレームごとに誤差拡散処理あるいはディザ処理方法を変化させてもよい。例えば、ディザ処理では、第1フレームでBayer型を用い、次の第2フレームではハーフトーン型を用いる。このようにフレームごとにディザ処理を変化させ、切り替えるようにすることにより誤差拡散処理等に伴うドットむらが目立ちにくくなるという効果が発揮される。

40

【0200】

また、第1フレームと第2フレームで誤差拡散処理等の処理係数を変化させてもよい。また、第1フレームで誤差拡散処理をし、第2フレームでディザ処理をし、さらに第3フレームで誤差拡散処理をする等処理を組み合わせても良い。また、乱数発生回路を具備し、乱数の値でフレームごとに処理を実施する処理方法を選択してもよい。

【0201】

フレームレート等の情報を伝送されるようフォーマットに記載するようにしておけば、この記載されたデータをデコードあるいは検出することにより、自動でフレームレート等が変更できるようになる。特に、伝送されてくる画像が動画か静止画かを記載しておくこと、さらに動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。ま

50

た、伝送パケットに携帯電話の機種番号を記載しておくことが好ましい。なお、本明細書では伝送パケットとして説明するがパケットである必要はない。つまり、送信あるいは発信するデータ中に図21等で説明する情報（表示色数、フレームレート等）が記載されたものであればいずれでもよい。

【0202】

図19は本発明の携帯電話等に送られてくる伝送フォーマットである。伝送とは受信するデータと、送信するデータの双方を含む。つまり、携帯電話は受話器からの音声あるいは携帯電話に付属のCCDカメラで撮影した画像を他の携帯電話等に送信する場合もあるからである。したがって、図21等で説明する伝送フォーマット等に関連する事項は送信、受信の双方に適用される。

10

【0203】

本発明の携帯電話等において、データはデジタル化されてパケット形式で伝送される。図19および図20で記載しているように、フレームの中は、フラグ部（F）、アドレス部（A）、コントロール部（C）、情報部（I）、及びフレームチェックシーケンス（FCS）からなる。コントロール部（C）のフォーマットは図20のように情報転送（Iフレーム）、監視（Sフレーム）、及び非番号制（Uフレーム）の3つの形式をとる。

【0204】

まず、情報転送形式は情報（データ）を転送する時に使用するコントロールフィールドの形式で、非番号制形式の一部を除けば、情報転送形式がデータフィールドを有する唯一の形式である。この形式によるフレームを情報フレーム（Iフレーム）という。

20

【0205】

また、監視形式は、データリンクの監視制御機能、すなわち情報フレームの受信確認、情報フレームの再送要求等を行うために使用する形式である。この形式によるフレームを、監視フレーム（Sフレーム）という。

【0206】

次に非番号制形式は、その他のデータリンク制御機能を遂行するために使用するコントロールフィールドの形式で、この形式によるフレームを非番号制フレーム（Uフレーム）という。

【0207】

端末及び網は送受信する情報フレームを送信シーケンス番号（S）と受信シーケンスN（R）で管理する。N（S）、N（R）とも3ビットで構成され、0～7までの8個を循環番号として使い、7の次は0となるモジュラス構成をとっている。したがって、この場合のモジュラスは8、連続送信できるフレーム数は7であり、応答フレームは受信しない。

30

【0208】

データ領域には色数データを示す8ビットのデータとフレームレートを示す8ビットのデータが記載される。これらの例を図21（a）、（b）に示す。また、表示色の色数には静止画と動画の区別を記載しておくことが好ましい。また、携帯電話の機種名、送受信する画像データの内容（人物等の自然画、メニュー画面）等を図19のパケットに記載しておくことが望ましい。データを受け取った機種はデータをデコードし、それが自身（該当機種番号）のデータであると認識したとき、記載された内容によって、表示色、フレームレート等に自動的に変更する。また、記載された内容を表示装置の表示画面21に表示するように構成してもよい。ユーザーは表示画面21の記載内容（表示色、推奨フレームレート）を見て、キー等を操作し、最適な表示状態にマニュアルで変更すればよい。

40

【0209】

なお、一例として、図21（b）では数値の3はフレームレート80Hzと一例をあげて記載しているがこれに限定されるものではなく、40～60Hz等の一定範囲を示すものであってもよい。また、データ領域に携帯電話の機種等を記載しておいてもよい。機種により性能等が異なり、フレームレートを変化させる必要性も発生するからである。また、画像が漫画であるとか、宣伝（CM）であるとかの情報を記載しておくことも好ましい

50

。また、パケットに視聴料金や、パケット長等の情報を記載しておいてもよい。ユーザーが視聴料金を確認して情報を受信するか否かを判断できるからである。また、画像データが誤差拡散処理をされているか否かのデータも記載しておくことが好ましい。

【0210】

また、画像処理方法（誤差拡散処理、ディザ処理等の種別、重み付け関数の種類とそのデータ、ガンマの係数等）、機種番号等の情報が伝送されるフォーマットに記載しておけばよい。また、画像データがCCDで撮影されたデータか、JPEGデータか、またその解像度、MPEGデータか、BITMAPデータか等の情報を記載しておくところを基に、データをデコードあるいは検出し、自動受信した携帯電話等を最適な状態に変更できるようになる。

10

【0211】

もちろん、伝送されてくる画像が動画か静止画かを記載しておくこと、さらに動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、受信端末で推奨する再生コマ数/秒等の情報も記載しておくことが好ましい。

【0212】

以上の事項は、伝送パケットが送信の場合でも同様である。また、本明細書では伝送パケットとして説明しているがパケットである必要はない。つまり、送信あるいは発信するデータ中に図21等で説明する情報が記載されたものであればいずれでもよい。

【0213】

誤差拡散処理コントローラ141には、誤差処理されて送られてきたデータに対して逆誤差拡散処理を行い、元データに戻してから再度、誤差拡散処理を行う機能を付加することが好ましい。誤差拡散処理の有無は図19のパケットデータに載せておく。また、誤差拡散（ディザ等の方式も含む）の処理方法、形式など逆誤差拡散処理に必要なデータも載せておく。

20

【0214】

逆誤差拡散処理を実施するのは、誤差拡散処理の過程において、ガンマカーブの補正も実現できるからである。データを受けたEL表示装置等のガンマカーブと、送られてきたガンマカーブとが適応しない場合や、送信されてきたデータが誤差拡散等の処理をすでに実施した画像データである場合がある。この事態に対応するために、逆誤差拡散処理を実施し、元データに変換してガンマカーブ補正の影響が出ないようにする。その後、受信したEL表示装置等で誤差拡散処理を行い、受信表示パネルに最適なガンマカーブになり、かつ最適な誤差拡散処理となるように誤差拡散処理等を実施する。

30

【0215】

また、表示色により、フレームレートを切り替えたい場合は、携帯電話等の装置にユーザボタンを配置し、ボタン等を用いて表示色等を切り替えられるようにすればよい。

【0216】

図18は情報端末装置の一例としての携帯電話の平面図である。筐体193にアンテナ191、テンキー192等が取り付けられている。194は表示色切り替えキーあるいは電源オンオフ、フレームレート切り替えキーである。

【0217】

携帯電話等の内部回路ブロックを図7に示す。回路は主としてアップコンバータ205とダウンコンバータ204のブロック、デプレクサ201のブロック、LOバッファ203等のブロックから構成される。

40

【0218】

キー194を1度押さえると表示色は8色モードに、続いて同一キー194を押さえると表示色は256色モード、さらに同一キー194を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー194は3つ（以上）となる。

【0219】

50

キー 194 はプッシュスイッチの他、スライドスイッチ等の他のメカニカルなスイッチでもよく、また、音声認識等により切り替えるものでもよい。例えば、4096色を受話器に音声入力することや、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面21に表示される色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【0220】

また、表示色の切り替えは電氣的に切り替わるスイッチでもよく、表示パネルの表示画面21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切り替える、あるいはクリックボールのように回転あるいは方向により切り替えるように構成してもよい。

10

【0221】

194 は表示色切り替えキーとしたが、フレームレートを切り替えるキー等としてもよい。また、動画と静止画とを切り換えるキー等としてもよい。また、動画と静止画とフレームレート等の複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ポリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

20

【0222】

なお、表示色等によりフレームレートを切り替えるという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置に限定されるものではなく、液晶表示パネル、有機ELパネルや、TFTパネル、PLZTパネルや、CRTにも適用することができる。

【産業上の利用可能性】

【0223】

本発明の実施例で説明した技術的思想はビデオカメラ、液晶プロジェクター、立体テレビ、プロジェクションテレビ等に適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチールカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、液晶腕時計およびその表示装置にも適用できる。さらに、家庭電器機器の液晶表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライト等にも適用あるいは応用展開できることは言うまでもない。

30

【符号の説明】

【0224】

- 11 TFT
- 12 ゲートドライバ
- 14 ソースドライバ
- 15 EL素子
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 キャパシタ
- 20 電流供給線
- 21 表示画面
- 41 封止フタ

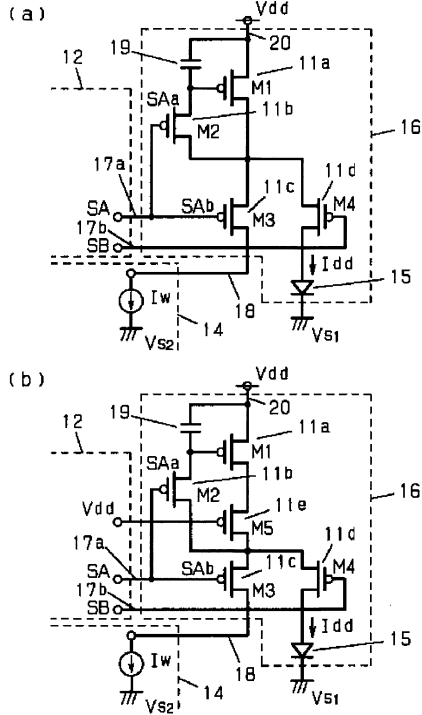
40

50

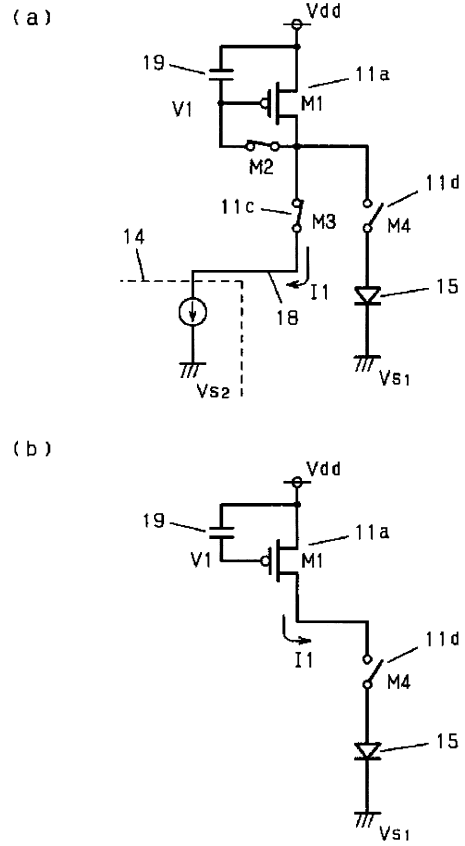
4 3	凹部	
4 4	凸部	
4 5	シール剤	
4 6	反射膜	
4 7	有機 E L 層	
4 8	透明電極	
4 9	アレイ基板	
5 0	/ 4 板	
5 1	カソード配線	
5 2	コンタクトホール	10
5 3	カソード電極	
5 4	偏光板	
5 5	乾燥剤	
6 1 , 6 2	接続端子	
6 3	アノード配線	
7 1	平滑化膜	
7 2	透明電極	
7 3	封止膜	
7 4	円偏光板	
8 1	エッジ保護膜	20
9 1	遮光膜	
9 2	低抵抗化配線	
1 0 1	コントロール I C	
1 0 2	電源 I C	
1 0 3	プリント基板	
1 0 4	フレキシブル基板	
1 0 5	データ信号	
1 4 1	誤差拡散コントローラ	
1 5 1	内蔵表示メモリ	
1 5 2	演算メモリ	30
1 5 3	演算回路	
1 5 4	バッファ回路	
1 9 1	アンテナ	
1 9 2	テンキー	
1 9 3	筐体	
1 9 4	キー	
2 0 1	デプレクサ	
2 0 2	L N A	
2 0 3	L O バッファ	
2 0 4	ダウンコンバータ	40
2 0 5	アップコンバータ	
2 0 6	P A プリドライバ	
2 0 7	P A	

【図5】

- | | | | |
|----|---------|----|--------|
| 11 | TFT | 17 | ゲート信号線 |
| 12 | ゲートドライバ | 18 | ソース信号線 |
| 14 | ソースドライバ | 19 | キャパシタ |
| 15 | EL素子 | 20 | 電流供給線 |
| 16 | 画素 | | |

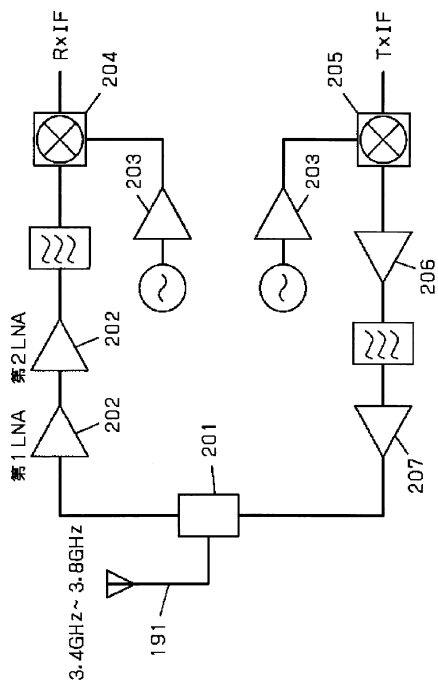


【図6】

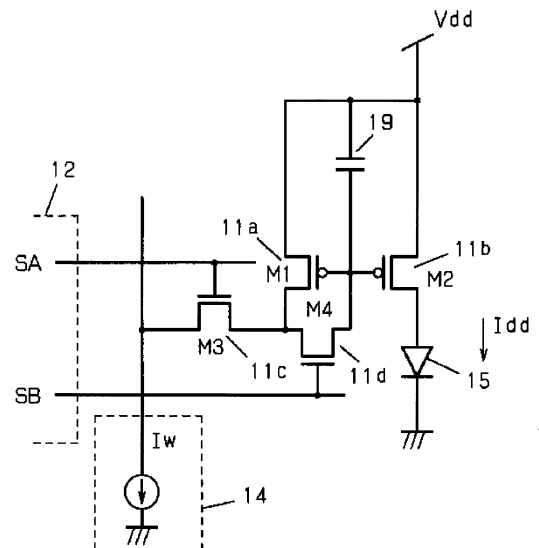


【図7】

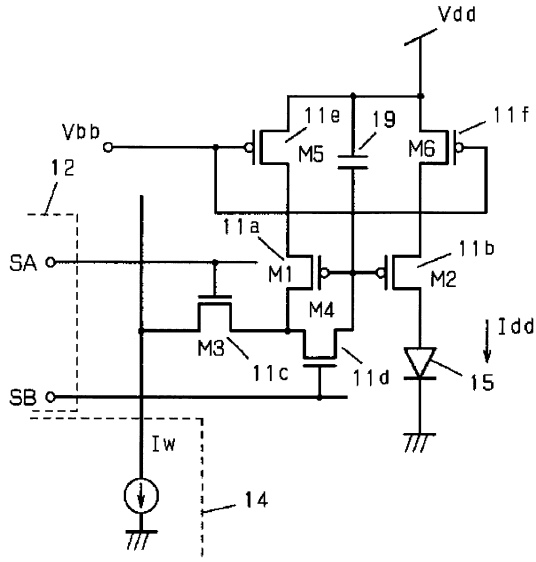
- | | | | | | |
|-----|--------|-----|----------|-----|----------|
| 201 | チェプレクサ | 204 | ダウンコンバータ | 206 | PAプリドライバ |
| 202 | LNA | 205 | アップコンバータ | 207 | PA |
| 203 | LOバッファ | | | | |



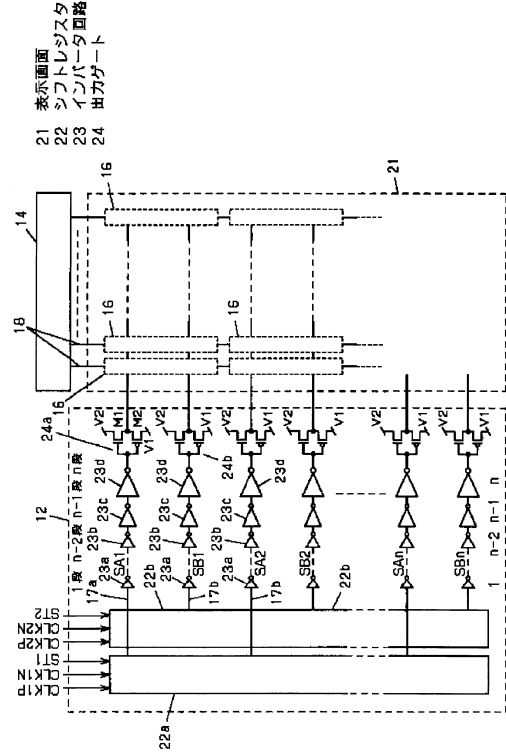
【図8】



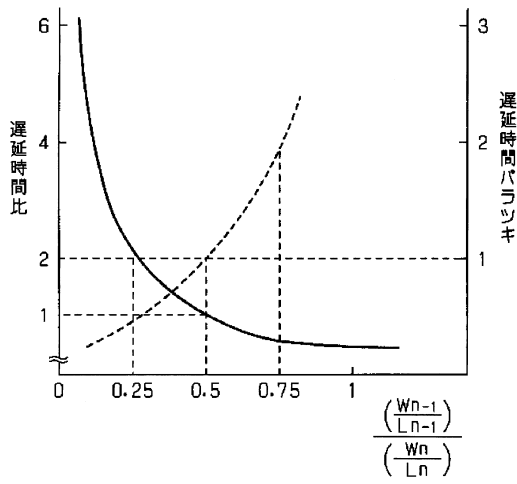
【図9】



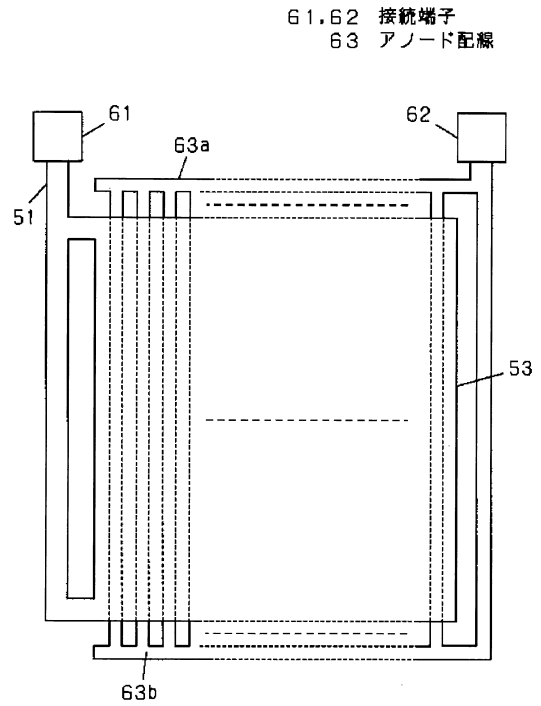
【図10】



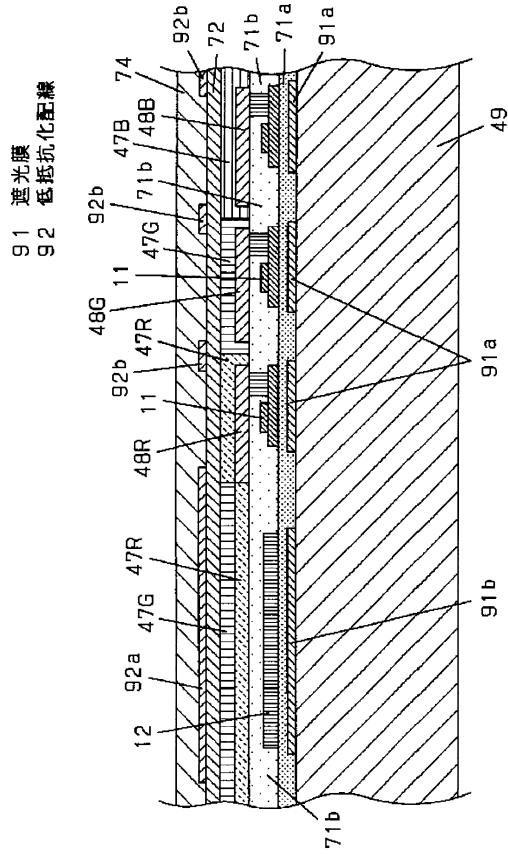
【図11】



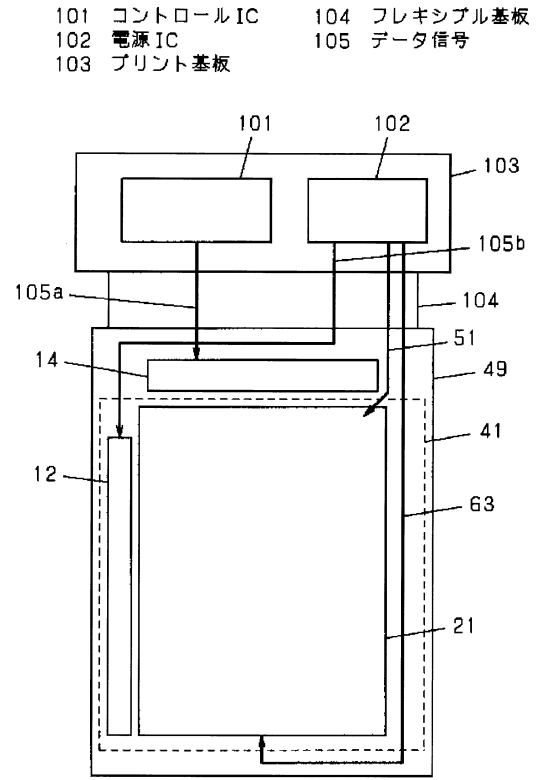
【図12】



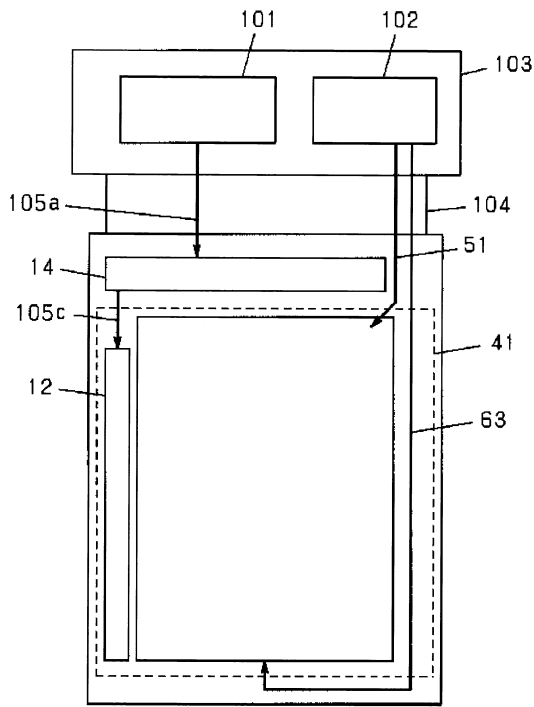
【図13】



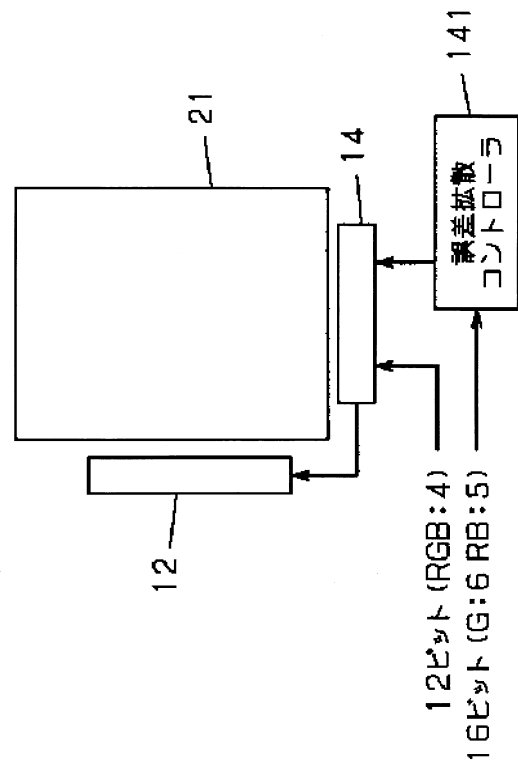
【図14】



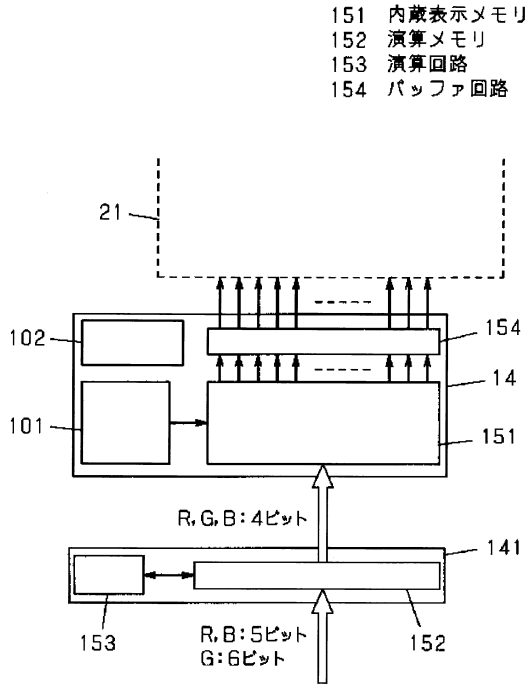
【図15】



【図16】

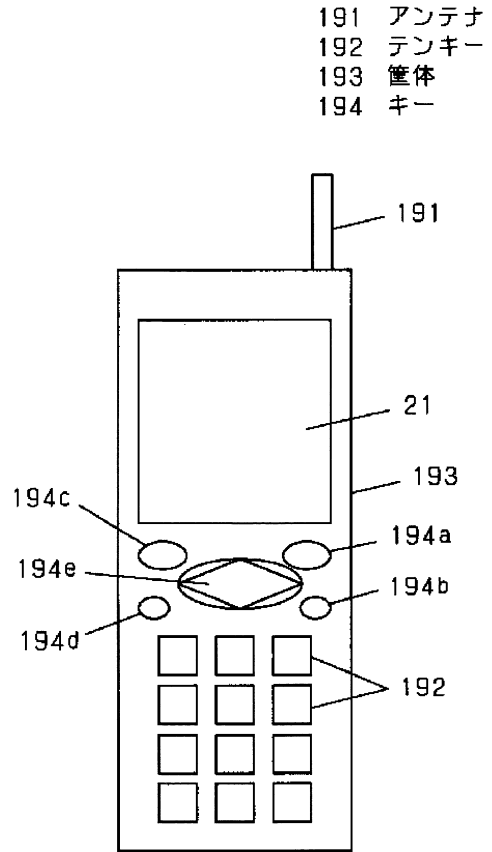


【図17】



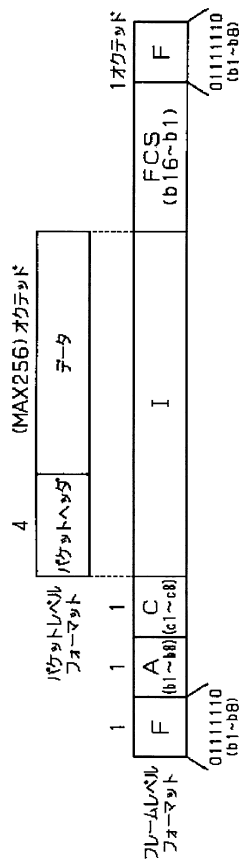
- 151 内蔵表示メモリ
- 152 演算メモリ
- 153 演算回路
- 154 バッファ回路

【図18】



- 191 アンテナ
- 192 テンキー
- 193 筐体
- 194 キー

【図19】



【図20】

形式	ビットシグナス							
	b8	b7	b6	b5	b4	b3	b2	b1
情報転送形式 Iフレーム	受信順序 番号 2^2	2^1	2^0	P	送信順序 番号 2^2			0
					2^1	2^0		
監視形式 Sフレーム	受信順序 番号 2^2	2^1	2^0	P/F	監視機能 ビット			S 0 1
					2^1	2^0		
非番号制形式 Uフレーム	受信順序 番号 2^2	2^1	2^0	P/F	修飾機能 ビット			M 1 1
					2^1	2^0		

【図 2 1】

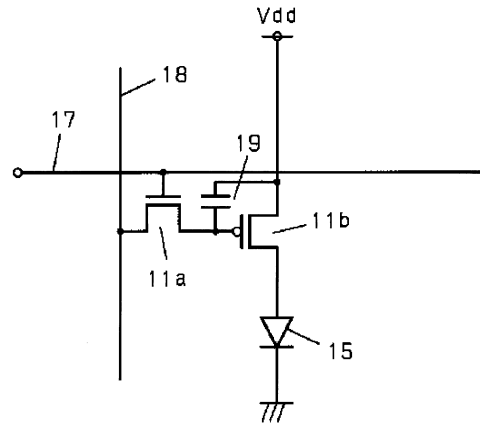
(a)
色数

数値	表示色
0	白黒
1	8色
2	256色
3	4096色
4	65K色
5	260K色
6	ツルカラー
7	予約

(b)
レート

数値	レート
0	20
1	40
2	60
3	80
4	100
5	120
6	160
7	予約

【図 2 2】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	51/50	(2006.01)	G 0 9 G	3/20 6 2 1 F
H 0 5 B	33/02	(2006.01)	G 0 9 G	3/20 6 1 1 H
H 0 5 B	33/22	(2006.01)	G 0 9 F	9/30 3 6 5 Z
			G 0 9 F	9/30 3 3 8
			H 0 5 B	33/04
			H 0 5 B	33/14 A
			H 0 5 B	33/02
			H 0 5 B	33/22 Z

- (56)参考文献 国際公開第98/048403(WO,A1)
 国際公開第01/006484(WO,A1)
 特開2001-195008(JP,A)
 特開2000-098416(JP,A)
 特開平08-076726(JP,A)
 特開平11-338439(JP,A)
 特開2000-010118(JP,A)
 特開2001-215917(JP,A)
 特開2000-148087(JP,A)
 特開平09-127885(JP,A)
 特開2000-348866(JP,A)
 特開2001-092412(JP,A)
 特開2001-210122(JP,A)
 特開2001-013906(JP,A)
 特開平11-015020(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 9 F 9 / 3 0
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 0 2
 H 0 5 B 3 3 / 0 4
 H 0 5 B 3 3 / 2 2