



(12) 发明专利

(10) 授权公告号 CN 101053165 B

(45) 授权公告日 2011.03.09

(21) 申请号 200580037952.X

(22) 申请日 2005.10.03

(30) 优先权数据

60/624,940 2004.11.03 US

11/215,463 2005.08.30 US

(85) PCT申请进入国家阶段日

2007.05.08

(86) PCT申请的申请数据

PCT/US2005/035391 2005.10.03

(87) PCT申请的公布数据

W02006/052339 EN 2006.05.18

(73) 专利权人 索尼电子有限公司

地址 美国新泽西州

(72) 发明人 M·钱皮安 R·A·昂格尔

R·哈达克

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 曾祥交 王小衡

(51) Int. Cl.

H04B 1/38(2006.01)

(56) 对比文件

US 2004/0125886 A1, 2004.07.01, 说明书第 [0032]-[0047] 段, [0061] 段、图 3.

CN 1168588 A, 1997.12.24, 说明书第 3 页 - 第 4 页、图 4.

US 2003/0131310 A1, 2003.07.10, 全文.

US 6624766 B1, 2003.09.23, 说明书第 21 栏第 63 行 - 第 22 栏第 37 行, 第 24 栏第 59 行 - 第 25 栏第 10 行、图 5A, 6A, 7A, 19A-E.

审查员 王成苗

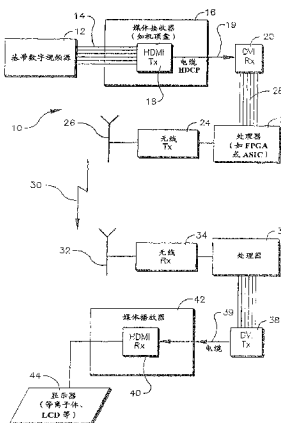
权利要求书 2 页 说明书 8 页 附图 6 页

(54) 发明名称

用于处理无线数字多媒体的方法和系统

(57) 摘要

公开一种利用 FPGA 无线传输 HDMI 和 / 或 DVI 数据的传输数字处理系统 (22)。该 FPGA 将数据转换成两个数据流, 并且包括用于复用视频数据和控制数据的前端组件 (46)。还公开互补的接收 FPGA (36)。



1. 一种用于将 HDMI 数据从源 (12) 无线传输到显示器 (44) 的系统,包括:
  - DVI 接收器 (20),用于接收 HDMI 数据;
  - 传输数字处理系统 (22),用于接收所述 DVI 接收器 (20) 的输出;
  - 无线传输器 (24),用于接收所述传输数字处理系统 (22) 的输出并将所述输出无线发送到接收器 (34);
  - 接收数字处理系统 (36),用于接收所述接收器 (34) 的输出;
  - DVI 传输器 (38),用于接收所述接收数字处理系统 (36) 的输出;以及
  - 显示器 (44),用于接收所述 DVI 传输器 (38) 的输出并对此进行响应而显示所述 HDMI 数据,包括以可听方式显示存在于所述 HDMI 数据中的音频数据,所述接收数字处理系统 (36) 具有后端组件 (82),该后端组件接收数据的突发,识别并丢弃其中的空数据,而将剩余数据解复用成视频字和控制字。
2. 一种用于无线传输 HDMI 和 / 或 DVI 数据的传输数字处理系统 (22),所述系统将所述数据转换成两个数据流,其中所述系统包括用于复用视频数据和控制数据的前端组件 (46),以及还包括:
  - 用于接收所述前端组件 (46) 的输出的里德 - 所罗门编码器 (48),所述前端组件 (46) 向所述里德 - 所罗门编码器 (48) 输出基本上连续的数据流,其中,如果到所述前端组件 (46) 的视频数据速率不足以满足所述里德 - 所罗门编码器 (48),那么所述前端组件 (46) 产生空字,以便使所述里德 - 所罗门编码器 (48) 不会缺少数据。
3. 如权利要求 2 所述的系统,包括用于从所述前端组件 (46) 接收数据的前向纠错组件 (48)。
4. 如权利要求 3 所述的系统,包括用于从所述前向纠错组件 (48) 接收数据并使所述数据随机化的加扰器 (50)。
5. 如权利要求 4 所述的系统,包括用于定期输出报头的报头发生器 (52),所述报头的第一部分包括可用于使接收器同步的预置数据,所述报头的第二部分包括可变数据,所述可变数据包括可供所述接收器使用的控制信息,每个报头都与来自所述加扰器的多媒体数据的单元有关。
6. 如权利要求 2 所述的系统,其特征在于,所述前端组件 (46) 组合 4 个 25 位值以形成单个 100 位字,然后将所述 100 位字转换成 5 个 20 位字。
7. 如权利要求 2 所述的系统,其特征在于,所述系统由 FPGA 实现,所述 FPGA 配置成用于准备所述 HDMI 和 / 或 DVI 数据用于在 60GHz 频带无线传输。
8. 一种用于无线传输 HDMI 和 / 或 DVI 数据的传输数字处理系统,所述系统将所述数据转换成两个数据流,其中所述系统包括:
  - 用于复用视频数据和控制数据的前端组件;
  - 用于从所述前端组件接收数据的前向纠错组件;
  - 用于从所述前向纠错组件接收数据并使所述数据随机化的加扰器;
  - 用于定期输出报头的报头发生器,所述报头的第一部分包括可用于使接收器同步的预置数据,所述报头的第二部分包括可变数据,所述可变数据包括可供所述接收器使用的控制信息,每个报头都与来自所述加扰器的多媒体数据的单元有关;以及
  - 用于将来自所述报头发生器 (52) 的绝对数据表示成相移正交数据的差分编码器

(54)。

9. 一种用于无线接收 HDMI 和 / 或 DVI 数据的接收数字处理系统 (36), 所述系统 (36) 利用解串器来将所接收的数据解串, 所述解串器通过利用所接收的报头的第一个字符来在 I 和 Q 信道内执行对准, 从而对准数据, 该系统包括:

接收来自该解串器的数据的解扰器 (78);

接收来自该解扰器 (78) 的数据的里德 - 所罗门解码器; 以及

接收来自该解码器的数据并从中提取原始视频和控制数据的后端组件, 该后端组件接收数据的突发, 识别以及丢弃其中的空数据, 而将剩余数据解复用成视频字和控制字。

## 用于处理无线数字多媒体的方法和系统

### 技术领域

[0001] 本发明一般涉及无线多媒体呈现系统。

### 背景技术

[0002] 可以利用称为数字视频接口 (Digital Visual Interface, DVI) 的协议, 将数字视频从诸如 DVD 播放器、视频接收器、ATSC 调谐器或其它计算机的源传输到诸如平板视频监视器的显示器。因为开发 DVI 主要是用于计算机, 所以 DVI 并不预想能处理音频数据。

[0003] 因此, 为了将通信协议扩展到用于例如播放数字电影等的包括音频的数字多媒体, 已经开发了称为高清晰度多媒体接口 (HighDefinition Multimedia Interface, HDMI) 的协议。HDMI 与 DVI 类似, 但不同之处在于它预想可以使用音频和视频数据, 并且它增加了电视相关的分辨率。DVI 和 HDMI 都用于有线传输, 并且 HDMI 还允许利用称为高带宽数字内容保护 (High-Bandwidth Digital Content Protection, HDCP) 的加密方法来对数字多媒体加密。DVI 还支持 HDCP 作为可选特性。

[0004] 这里应意识到, 为了节省桌面空间, 并增加人在房间内的活动性和视线, 比较理想的是利用最少的布线来在显示器上观看多媒体。例如, 比较理想的是, 将投影仪安装在天花板上, 或将等离子体显示器或液晶高清晰度 (HD) 电视安装在墙壁上, 这样做既不碍事, 还能够接收多媒体数据用于显示, 而无需电线, 这是因为这里可以理解, 天花板或墙壁中通常不存在数据传输线。

[0005] 但是, 本发明还了解, 不是任何无线传输系统都可以的。具体来说, 如果使用带宽不足以传送经过压缩或未经压缩的多媒体 (如未经压缩的高清晰度 (HD) 视频) 的无线链路, 如 IEEE802. 11 (b), 那么必须传输经过压缩的多媒体标准清晰度 (SD) 视频, 从而需要在投影仪上具有相对昂贵的解压缩模块。虽然诸如 IEEE802. 11 (a) 的一些链路确实具有高至足以传送经过压缩的 HD 视频的带宽, 但它们不能传送未经压缩的 SD 或 HD 视频。而且, 在 802. 11 (a) 的情况下, 还会牵涉到版权保护, 这是因为该链路具有足够长的距离 (延伸超出它的起点所在的房间), 以致可以在进行传输的膝上型计算机的紧邻位置之外检测到它。有鉴于此, 本发明意识到需要一种非常短程的、优选具方向性的高带宽无线链路, 该链路特别适合未经压缩的多媒体、尤其是称为 HD 视频的相当大类型的多媒体的短程无线通信。

[0006] 本受让人提供了一种在介于 57GHz 和 64GHz 之间的频谱 (下文称为“60GHz 频段”) 内运行的无线系统。60GHz 频谱的特性包括短程、高方向性 (及因此引起的固有安全性) 和大数据带宽。本受让人的共同未决美国专利申请序列号 10/666, 724、10/744, 903 (系统)、10/893, 819、11/136, 199 (PLL 相关发明) 和 11/035, 845 (多个天线) 公开了利用高带宽 60GHz 链路将高清晰度多媒体接口 (HDMI) 格式的高清晰度 (HD) 视频从房间内的源发送到房间内的接收器的各种系统和方法, 通过引用将上述所有专利申请结合于本文。在该频率, 信号具有非常短的量程, 并且具有方向性, 使得可以采用未经压缩的形式传输视频, 从而每秒钟传输如此多的数据, 以致基本上不可能非法传输内容。

[0007] 与特定应用无关, 本发明对 60GHz 无线链路进行了以下关键观察。这里应了解, 更

简单的非音频 DVI 组件比增加了音频特征的 HDMI 组件便宜,并且因此适于在可行时代替 HDMI 组件使用。不幸的是,一旦 HDMI 传输器发现接收器不是 HDMI 接收器,那么该 HDMI 传输器将不会向 DVI 接收器发送 HDMI 数据,因此很难混合这两种系统。虽然如此,但是本发明了解,可以在 HDMI 系统中选择性地使用较便宜的 DVI 组件。

### 发明内容

[0008] 一种用于将 HDMI 数据从源无线传输到显示器的系统包括用于接收 HDMI 数据的 DVI 接收器和用于接收 DVI 接收器的输出的传输数字处理系统。无线传输器接收传输数字处理系统的输出,并将该输出无线发送到接收器,其中,接收数字处理系统接收该接收器的输出,并将该输出发送到 DVI 传输器。显示器接收 DVI 传输器的输出,并对此做出响应而显示 HDMI 数据,包括 HDMI 数据中存在的音频数据。

[0009] 在另一方面,公开一种用于无线传输 HDMI 和 / 或 DVI 数据的传输数字处理系统。该系统将数据转换成两个数据流,并且包括用于复用视频数据和控制数据的前端组件。

[0010] 在传输数字处理系统的非限制性实现中,诸如里德 - 所罗门 (Reed-Solomon) 编码器之类的前向纠错组件接收前端组件的输出,其中该前端组件向里德 - 所罗门编码器输出基本上连续的数据流。如果到前端组件的视频数据速率不足以满足 RS 编码器,那么前端组件产生空字,以使得 RS 编码器不会缺少数据。前端组件可以将 4 个 25 位值组合以形成单个 100 位字,然后将这个 100 位字转换成 5 个 20 位字。

[0011] 另外,在一些实施例中,加扰器从前向纠错组件接收数据,并使该数据随机化。而且,可以提供报头发生器用于定期输出报头,其中报头的第一部分包括可用于使接收器同步的预置数据,并且报头的第二部分包括可变数据,上述可变数据包括可供接收器使用的控制信息。每个报头都与来自加扰器的多媒体数据的单元有关。此外,如果需要,可以使用差分编码器将来自报头发生器的绝对数据表示成相移正交数据。

[0012] 在优选但非限制性的实施例中,传输处理系统由 FPGA 实现,该 FPGA 配置成准备 HDMI 和 / 或 DVI 数据在 60GHz 频带内无线传输。

[0013] 在另一方面,用于无线接收 HDMI 和 / 或 DVI 数据的接收数字处理系统利用解串器来将所接收的数据解串,该解串器通过利用所接收的报头的第一个字符来在 I 和 Q 信道内执行对准,从而对准数据。

[0014] 参照附图,可以最好地理解本发明的关于其结构和操作的细节,附图中,类似的附图标记指代类似的零件。

### 附图说明

[0015] 图 1 是示出本系统的框图;

[0016] 图 2 是示例传输处理器的框图;

[0017] 图 3 是示例传输处理器的前端的框图;

[0018] 图 4 是示例接收处理器的框图;

[0019] 图 5 是示例接收处理器的后端的框图;以及

[0020] 图 6 是数据流的示意图。

## 具体实施方式

[0021] 首先参照图 1, 示出通常标为 10 的系统, 该系统 10 包括基带多媒体数据、具体来说是带音频的高清晰度 (HD) 数字视频的源 12。该源 12 可以是膝上型计算机或其它多媒体计算机或服务器。或者, 它可以是卫星、广播、或电缆接收器, 或者它也可以是 DVD 播放器或其它多媒体源。

[0022] 源 12 通过线路 14 将复用的多媒体数据发送到媒体接收器 16, 因此可以将源 12 和媒体接收器 16 共同看作是数据、具体来说是 HDMI 数据的“源”。媒体接收器 16 可以是机顶盒, 它可包括高清晰度多媒体接口 (HDMI) 传输器 18。HDMI 传输器 18 采用 HDMI 协议, 通过利用高带宽数字内容保护 (HDCP) 来加密多媒体数据并对多媒体数据支持如  $16 \times 9$  显示比的 TV 分辨率, 来处理多媒体数据。

[0023] 根据本领域中已知的 HDMI 原理, HDMI 传输器 18 通过电缆或其它电线 19 将经 HDCP 加密的多媒体数据发送到数字视频接口 (DVI) 接收器 20。根据本发明, DVI 接收器 20 利用 DVI 协议来处理所接收的数据。作为处理的一部分, HDMI 传输器 18 复用视频, 并且复用视频数据流内的音频。DVI 接收器 20 解复用视频, 同时使数据流内复用的音频通过。在任何情况下, 任何时候都不需要 DVI 接收器 20 解密、或重新加密数据流。

[0024] 将来自 DVI 接收器 20 的加密的多媒体数据发送到处理器 22, 如专用集成电路 (ASIC) 或现场可编程门阵列 (FPGA) 或其它微处理器。处理器 22 处理完数据后, 无线传输器 24 便通过传输天线 26 无线传输该数据。下文将进一步描述处理器 22。

[0025] 通过无线链路 30 将加密的多媒体数据无线传输到接收器天线 32, 该接收器天线 32 将数据发送到无线接收器 34。可以采用未经压缩的形式在链路 30 上传输多媒体, 使得每秒钟传输如此多的数据以致基本上不可能非法传输内容, 但也可以实现一定的数据压缩, 但这不太优选。如果需要, 也可以采用压缩形式传输数据。传输器 24 和接收器 34 (及因此的链路 30) 优选在大约 60 千兆赫 (60GHz) 的固定 (单一不变) 频率工作, 更优选在 59GHz-64GHz 范围内的频率工作, 并且链路 30 具有至少 2 千兆比特/秒 (2.0Gbps) 的优选固定的数据速率。当使用 DQPSK 时, 数据速率可以是 2.2Gbps, 并且该链路可以具有约 2.5Gbps 的数据速率。该链路可以具有 2.5 千兆赫 (2.5GHz) 的固定带宽。

[0026] 有鉴于此, 现在可以理解, 无线传输器 24 优选包括用于根据本领域中已知的原理进行编码的编码器。调制经编码的数据, 并通过向上变换器向上变换该数据, 以便用于在约 60GHz (即, 在 60GHz 频带) 在链路 30 上传输。利用上述宽信道和更简单的调制方案, 如 (但不限于) DQPSK、QPSK、BPSK 或 8-PSK, 可以实现高数据速率但仍简单的系统。例如, 当利用 DQPSK 时, 可以实现是符号率的两倍的数据速率。对于 8-PSK, 可以实现 3.3Gbps 的数据速率。

[0027] 还可了解, 无线接收器 34 包括与无线传输器 24 互补的电路, 即向下变换器、解调器和解码器。在任何情况下, 将来自无线接收器 34 的数据发送到处理器 36, 以便用于纠错, 并且适当时经重新复用以供 DVI 传输器 38 使用。需要时, 处理器 36 还可从视频数据内解复用用于显示器的任何控制信号。DVI 传输器 38 根据本领域中已知的 DVI 原理进行工作, 以便处理加密的多媒体而无需对它解密, 并通过电缆或其它电线 39 将多媒体数据发送到 HDMI 接收器 40, HDMI 接收器 40 可以是诸如 DVD 播放器或 TV 或其它播放器的媒体播放器 42 的一部分。HDMI 接收器 40 根据 HDCP 原理解密多媒体数据, 并从视频数据中解复用音频

数据。然后,可以在显示器 44,如阴极射线管 (CRT)、液晶显示器 (LCD)、等离子体显示面板 (PDP) 或 TFT 或带有屏幕的投影仪等上,显示多媒体内容。可以将媒体播放器 42 和显示器 44 共同看作是视频显示器、HDMI 接收方或其它单元。

[0028] 上述链路优选是双向的,并且可以在 60GHz 频带的返回链路上发送用于例如 HDCP 解密目的所必需的返回信道信息,或者也可以在“频带以外”的返回链路上发送该返回信道信息,“频带以外”的返回链路如例如本受让人的共同未决申请中的美国专利申请序列号 11/036,932 和 11/035,845 所公开,通过引用将这两个专利申请结合于本文。

[0029] 根据本发明,DVI 接收器 20、处理器 22 和无线传输器 24 可以包含在单个芯片上,或者包含在分离的衬底上。实际上,可以将 DVI 接收器 20、处理器 22 和无线传输器 24 集成到媒体接收器 16 中。同样地,无线接收器 34、处理器 36 和 DVI 传输器 38 可以在单个芯片上实现,并且如果需要,也可以集成到媒体播放器 42 中。在任何情况下,媒体接收器 16 和媒体播放器 42 及相应组件优选共同设置在相同的空间内,这是因为优选的 60GHz 无线传输频率不会穿透墙壁。

[0030] 因为在媒体接收器 16(如机顶盒)和媒体播放器 42(如 TV 或 DVD 播放器)之间的通信路径的无线连接中使用了 DVI 组件,所以该链路不需要任何加密密钥(或伴随许可)。而且,因为在所包含的 DVI 组件 20、38 之间所建立的无线连接中未曾解密多媒体,所以涉及很少或不涉及许可事项。此外,由于 DVI 组件的上述使用,所以通过无线链路连接到源 12 的 HDMI 顺应显示器 44 以及源 12 的运转就好像它们通过电线连接在一起一样,这是因为该系统能够准确地重现所有的 HDMI 输出信号,包括视频时钟的精确频率的副本。具体地说,使用传输器部分中的 DVI 接收器 20 来驱动接收器部分中的 DVI 传输器 38 会导致 HDMI 显示器 44 正确地解释所得数据流,包括可能在所谓的“数据岛”中递送的任何音频数据。

[0031] 转到图 2 和传输处理器 22 的非限制性 FPGA 实现(因此,在以下非限制性公开中,传输处理器 22 又称为“传输 FPGA”),一个示例的非限制性传输 FPGA 将 24 位视频数据转换成两个 1.1Gbps 的数据流。这在一系列的步骤中完成。首先,前端 46 复用 24 位视频数据与 5 位控制数据(HS、VS 和控制 [3:1])和可选辅助数据。前端 46 在例如 110MHz 将几乎连续的 20 位数据流输出到里德-所罗门(RS)编码器 48。如果输入视频数据速率不足以满足 RS 编码器,那么产生空字,以使得 RS 编码器不会缺少数据。

[0032] RS 编码器 48 可以包括两个应用(216,200)RS 码的 10 位编码器。这两个 RS 编码器均接受 200 个 10 位字的数据,并增加 16 个字的前向纠错(FEC)数据。该编码方案使得接收器能够在每个 216 个字的数据块中校正高达 8 个错误。这里应了解,诸如里德-所罗门之类的前向纠错有利于校正存在于无线传输系统中的偶然传输错误,如果不进行校正,那么这些错误会临时破坏所显示的图像或产生视频假象。

[0033] 将数据从 RS 编码器 48 发送到加扰器 50,该加扰器 50 使数据随机化。加扰器 50 不是用于任何加密目的,加密是由上述更高级协议 HDCP 实现的。实情是,加扰器 50 使数据随机化,以便确保数据流中发生频繁转换,这有利地允许接收器更好地使它本身与位时钟同步并恢复数据。加扰器 50 可以利用伪随机数(PRN)发生器来为每个 20 位字产生一个 20 位的随机数,利用该随机数对输入字进行“异或”操作,以便产生加扰输出。在接收器中利用同样的 PRN 发生器来使数据解扰,并且可以每 20uS 将这两个 PRN 发生器初始化一次。

[0034] 将来自加扰器 50 的数据发送到报头发生器 52,该报头发生器 52 定期(如每 20 微

秒一次) 输出例如 40 个字的报头。该报头的前 20 个字可以是预置数据,其用于使接收器同步。在此之后是 20 个字的可变数据,它可包括可供接收器使用的控制信息。在这 40 个报头字后,报头发生器 52 可以将 10 个加扰的 RS 数据块 (2160 个字) 传递给差分编码器 54,然后重复上述过程。

[0035] 差分编码器 54 接受作为一对 10 位字的 20 位数据。从最高有效位开始,编码器 54 计算作为 10 个 2 位实体的每个字对的值。将每个 2 位值与前一个 2 位值进行比较。可以利用格雷 (Gray) 码来表示差值,并将该差值输出到 I 和 Q 流串行器 56。目的是为了在退出串行器 56 并进入如图 1 所示的无线传输器 24 (如 QPSK 调制器) 时将绝对数据表示成相移正交数据。串行器 56 可以包括两个专用 FPGA 单元,在一个非限制性实现中,这两个专用 FPGA 单元可以是 Xilinx “RocketIO” 单元,它们是用于并行接受差分编码数据并使该数据每次移出一位到 I/Q 输出的 10 位串行器。

[0036] 图 2 还示出时钟发生器 58,它用于合成串行器 56 所用的时钟 (如 1.1GHz 时钟) 和用于使并行数据移位通过该系统的例如 110MHz 时钟。之所以可以使用 1.1GHz 是因为 RF 调制器和解调器可以经调谐而在该特定位速率工作。之所以可以使用 110MHz 是因为它正好是 1.1GHz 位速率的十分之一。

[0037] 提供控制器 60 以便使如图 2 所示的非限制性传输 FPGA22 的所有组件同步。它告知报头发生器 52 何时产生 40 字报头并将加扰器 50 中的 PRN 发生器初始化。控制器 60 还启动 RS 编码器 48 以使它的输出在合适的时间出现,并且控制器 60 通知前端 46 何时必须提供数据给 RS 编码器 48。控制器 60 可以使用 2200 状态计数器,其中这 2200 个状态由 10 个 216 字 RS 块 (2160 个状态) 和 40 个报头字定义。

[0038] 控制器 60 可以将时钟输出到视频时钟分析器 62,其中每次都通过该 2200 状态计数器 (即,每 20uS 一次)。视频时钟分析器 (VCA) 62 计算控制器 60 的 2200 个状态期间 (20uS) 的视频时钟的数量。将所得计数“n”作为报头的可变数据的一部分“n”传输到接收器,接收器中利用数据“n”根据上文中结合于本文的揭示 PLL 相关发明的申请来重新产生视频时钟。

[0039] 转到图 3,传输 FPGA22 的前端 46 负责将视频数据复用成 20 位数据流。与此任务相关的主要问题如下:

[0040] 1. 必须将视频数据和控制数据 (HS、VS 等) 一起复用,其中在接收器处具有某些分离部件。

[0041] 2. 视频时钟率与本地 110MHz 时钟无关。某一机构必须允许视频数据从视频时钟域移动到 110MHz 时钟域。

[0042] 3. 无论何时断言 FE\_ENB,前端都必须提供连续的数据输出流。如果有效视频/控制数据不可获得,那么必须产生并插入空字。

[0043] 可以将前端 46 分成如图所示的 4 块。视频/控制数据以每个视频时钟一个视频像素或一个控制字的速率进入前端多路复用器 64。单独的控制线“DE”指示输入数据是像素 (DE = 1) 还是控制字 (DE = 0)。对于每个视频时钟,多路复用器 64 输出一个 25 位字,其中 DE 作为最高有效位。当 DE = 1 时,剩余的 24 位是视频像素。当 DE = 0 时,剩余的 24 位包括一个固定的“1”作为位 [23],还包括 5 条控制线 (HS、VS、控制 [3:1]),剩余空间是 18 位辅助数据。辅助数据可以是可在接收器处使用的任何额外的数据。例如,辅助数据可



以包括用于增加 / 降低显示器亮度的命令。

[0044] 因此,多路复用器 64 只输出视频像素数据和控制数据。在 100-20 位变换器 66 中产生空的填充数据。这里应了解,最后必须将多路复用器 64 的 25 位输出转换成 20 位值。该变换分两步执行。第一步,通过变换器 66 组合 4 个 25 位值,以便形成单个 100 位字。当将 4 个 25 位字组合成一个 100 位字时,立即将它们写入到前端 FIFO68 中。FIFO68 能够保存 15 个 100 位字。FIFO68 利用它的 DAV 输出通知 100-20 位变换器 70 何时数据可用。与视频时钟同步地写入 FIFO,并且与 110MHz 时钟同步地读取 FIFO。

[0045] 当断言 FE\_ENB 时,100-20 位变换器 70 从 FIFO 中移除字,并以 5 个 20 位字的突发来输出这些字。一旦从 FIFO 中移除一个 100 位字,便在 5 个连续的时钟周期中将整个字作为 5 个 20 位字输出。如果 FE\_ENB 请求数据,并且 FIFO 中没有可用数据(即,DAV = 0),那么 100-20 位变换器 70 产生 5 个空填充字(全部都是 0)。在较低的像素时钟率,这可以频繁发生,以便使数据管道保持为满。因此,在非限制性前端 46 的输出端,总是将数据打包成 5 个 20 位字的组,以便允许接收器可靠地提取视频和控制数据,而无需在数据流内嵌入任何额外的标记或标识符。

[0046] 图 4 示出接收处理器 36(本文又称为“接收 FPGA”)的一个非限制性实现。接收 FPGA 接受 I 和 Q 数据流,处理数据,并输出 24 位视频。这分成如图 4 所示的几个阶段完成。

[0047] 更具体地说,通过框图中示为“解串器”72 的具有时钟 / 数据恢复能力的非限制性 FPGA RocketIO 单元来处理输入 I 和 Q 数据流,以便恢复时钟和数据。解串器 72 自动恢复时钟 / 数据,以便提取原始的 1.1GHz 传输时钟,并将该时钟除,降为用于使并行数据移动通过该系统的 110MHz。

[0048] 在将数据解串时,解串器 72 确定串行数据流内一个字结束并且下一个字开始的位置。该过程称为对准。解串器 72 利用报头的第一个字符来在 I 和 Q 信道内执行该对准操作。

[0049] 在对准后,解串器 72 执行“结合”操作,在该“结合”操作中,使并行 I 和 Q 数据相互对准。例如,如果并行 I 数据比并行 Q 数据超前或落后一个或多个时钟,那么数据发生偏斜,并且处理无法继续。为了防止这种情况发生,解串器 72 通过寻找在 I 和 Q 报头中同时出现的例如 4 个字的特定序列来执行结合操作。当它们出现时,解串器执行用于使 I 和 Q 信道相互对准时可能必需的任何时移。

[0050] 在结合后,报头检测器 74 搜索在上述传输器插入的 20 字报头。当找到报头时,报头检测器 74 向接收器控制器 76 发出信号,以便使它本身与数据流同步。一旦同步,控制器 76 便可使接收器 FPGA 中的其它处理块同步。报头检测器 74 还从报头的可变部分中移除特殊的“n”值,并将该“n”值发送给视频时钟发生器 77,用于根据上文中结合于本文的涉及 PLL 发明的申请进行时钟恢复。

[0051] 如图 4 所示的非限制性接收器 FPGA36 中的剩余处理块与如图 2 所示的传输器 FPGA 中的处理块互补。更具体地说,解扰器 78 包含 PRN 发生器,通过控制器 76 在适当时间使该 PRN 发生器初始化,以便使报头后的数据恢复到它的加扰前的值。而且,里德-所罗门解码器 80 可以包括两个 10 位解码器,每个解码器都能够校正 216 字 RS 数据块内的总共高达 8 个错误字。当对每个 RS 数据块解码时,如果需要,可以通过峰值错误检测器来监测所遇到的错误数。每 100mS,可以在 LED 条形图上显示最坏错误计数一次,并重新设置峰值错

误检测器,以便在调节天线以实现最佳操作时向用户提供反馈。

[0052] 在 RS 解码器 80 后,将经过校正的 20 位数据流发送到接收器的后端 82,用于进行最后的处理和解复用。图 5 示出后端 82 的细节,后端 82 与传输器的前端 46 互补,并且负责获取 20 位数据流并提取原始的视频和控制数据。然后,将该视频和控制数据输出到如图 1 所示的 DVI 传输器 38。

[0053] 后端 82 接收数据突发,必须识别并丢弃其中的空数据,将剩余数据解复用成视频字和控制字,并且输入和输出数据使用完全无关的时钟。因此,非限制性后端 82 可以包括用于从 RS 解码器 80 接收数据的分离器 84。控制器 76 识别每第 5 个字作为 5 字组的第一个字。在每个 5 字组中,检查第一个字,如果它是空字,那么分离器 84 便将这个字与随后的 4 个字一起丢弃。相反,如果第一个字不是空字,那么分离器 84 便将这个 5 字组合成一个 100 位字,并将该 100 位字写入到后端 FIFO86 中。

[0054] 将来自 FIFO86 的数据发送到解包器 88,该解包器 88 从后端 FIFO 中获取 100 位字的数据,并将每个 100 位字分割成 4 个 25 位字。如果最高有效位是 1,那么输出剩余的 24 位作为视频数据(即,像素),但是如果最高有效位是 0,那么输出剩余的 24 位作为控制数据和辅助数据。

[0055] 如前所述,非限制性实现中所用的里德-所罗门码是 (216, 200)。这里应意识到,在选择 RS 码时,首先应表征传输信道,然后选择 RS 码来实现所需的位误码率 (BER)。传输信道的特性可以是特定安装的函数。接收器和传输器之间的距离是一个变量,但也存在其它变量。例如,多路径失真将影响 BER,并且它是环境的强函数。还存在影响哪个 RS 码最佳的决定的其它因素,例如包括实现该码所需的 FPGA 结构(双稳态多谐振荡器)的量和实时操作的要求。

[0056] (216, 200) 码可以缩短为 (108, 100),甚至可以缩短为 (54, 50),以便保持已有冗余度,同时减少所需的 FPGA 结构的量。但是,这里应了解,使用较短码时,会发生处理突发错误的能力的下降。(216, 200) 码能够校正一个突发的 8 字错误 (80 位错误),而 (54, 50) 码只能校正一个突发的 2 字错误 (20 位错误)。处理突发错误的一个备选方法是使用交织器。更具体地说,交织器可以用于使突发错误分布在多个 RS 块上,并且因此增加校正所有错误的可能。

[0057] 图 6 示出由传输器处理器 22 产生的数据流。当在 110MHz 的符号速率使用时,如图 6 所示的非限制性数据格式允许视频数据速率刚好高达 80MHz。在 20us 数据帧中,在一系列块 90 中发送 2200 个 20 位符号,每个块 90 包含它自己的报头 92 和高达 200 个字的视频/控制数据,并且如果需要,还可包含 FEC 数据。因此,如图 6 所示的数据帧包含高达 1600 个视频字(像素或控制),在 80MHz,这些视频字刚好代表 20uS 的视频数据。

[0058] 尽管本文所示和详细描述的特定的“用于处理无线数字多媒体的方法和系统”完全能够达到本发明的上述目的,但应了解,它是本发明的目前优选的实施例,并且因此代表本发明广泛预期的主题,本发明的范围完全涵盖对本领域的技术人员来说显而易见的其它实施例,并且本发明的范围因此只能由所附权利要求限制,在权利要求中,除非明确指出,否则单数形式的元件无意指“一个且仅有一个”,而是指“一个或多个”。一种装置或方法不一定能解决本发明想要解决的所有问题,因为它由本权利要求涵盖。此外,不管权利要求中是否明确叙述了元件、组件或方法步骤,本公开中的元件、组件或方法步骤对公众来说都不

是专指的。除非使用“用于... 的部件”这一短语来明确叙述权利要求元件, 或者在方法权利要求项的情况下, 将元件叙述成“步骤”而不是“动作”, 否则不应根据 35U. S. C § 112 第六段中的规定来解释本文中的权利要求元件。在本文缺少明确定义的情况下, 权利要求中的术语具有所有普通的习惯含义, 它们并不会与本说明书和申请历史相矛盾。

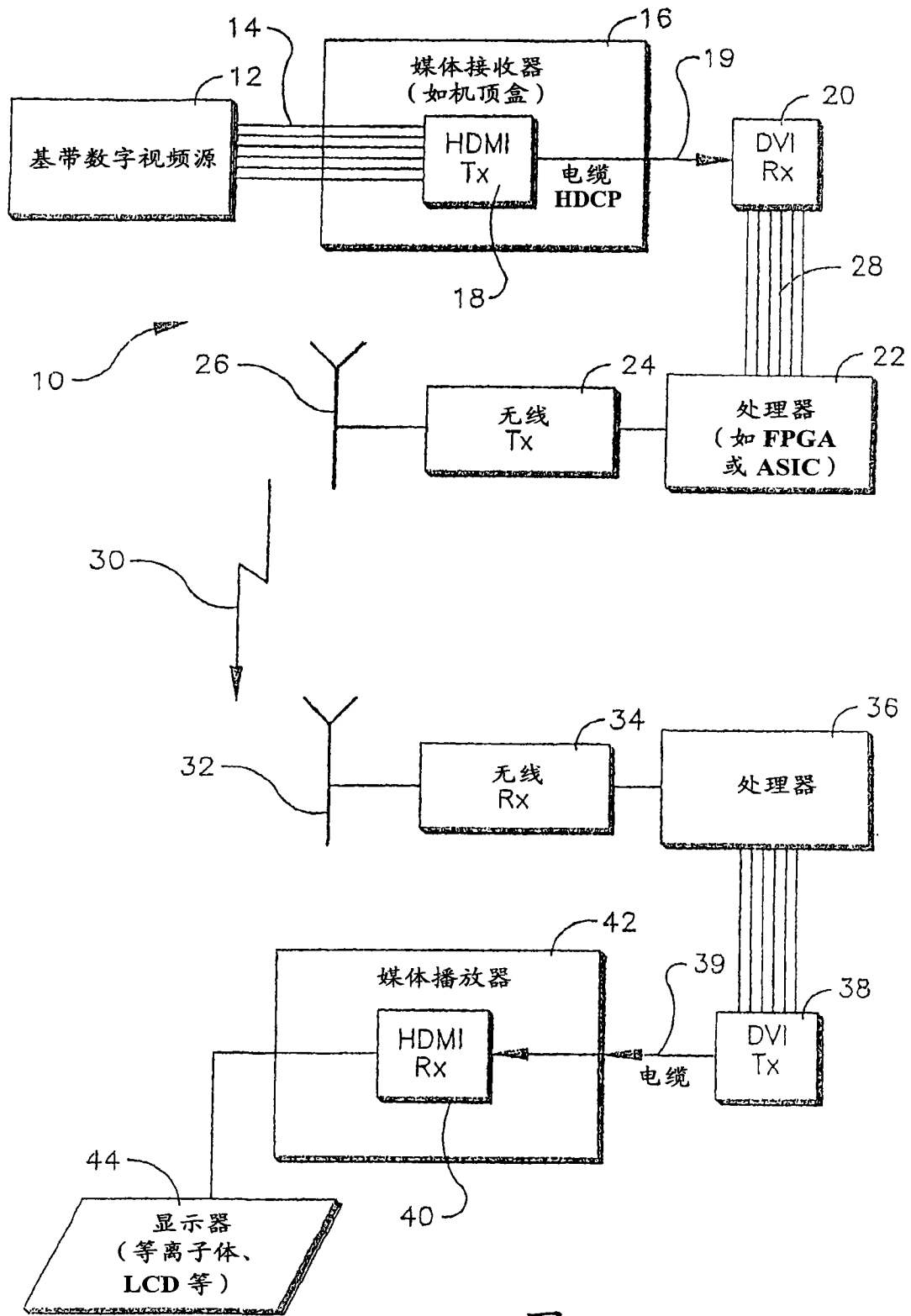


图 1

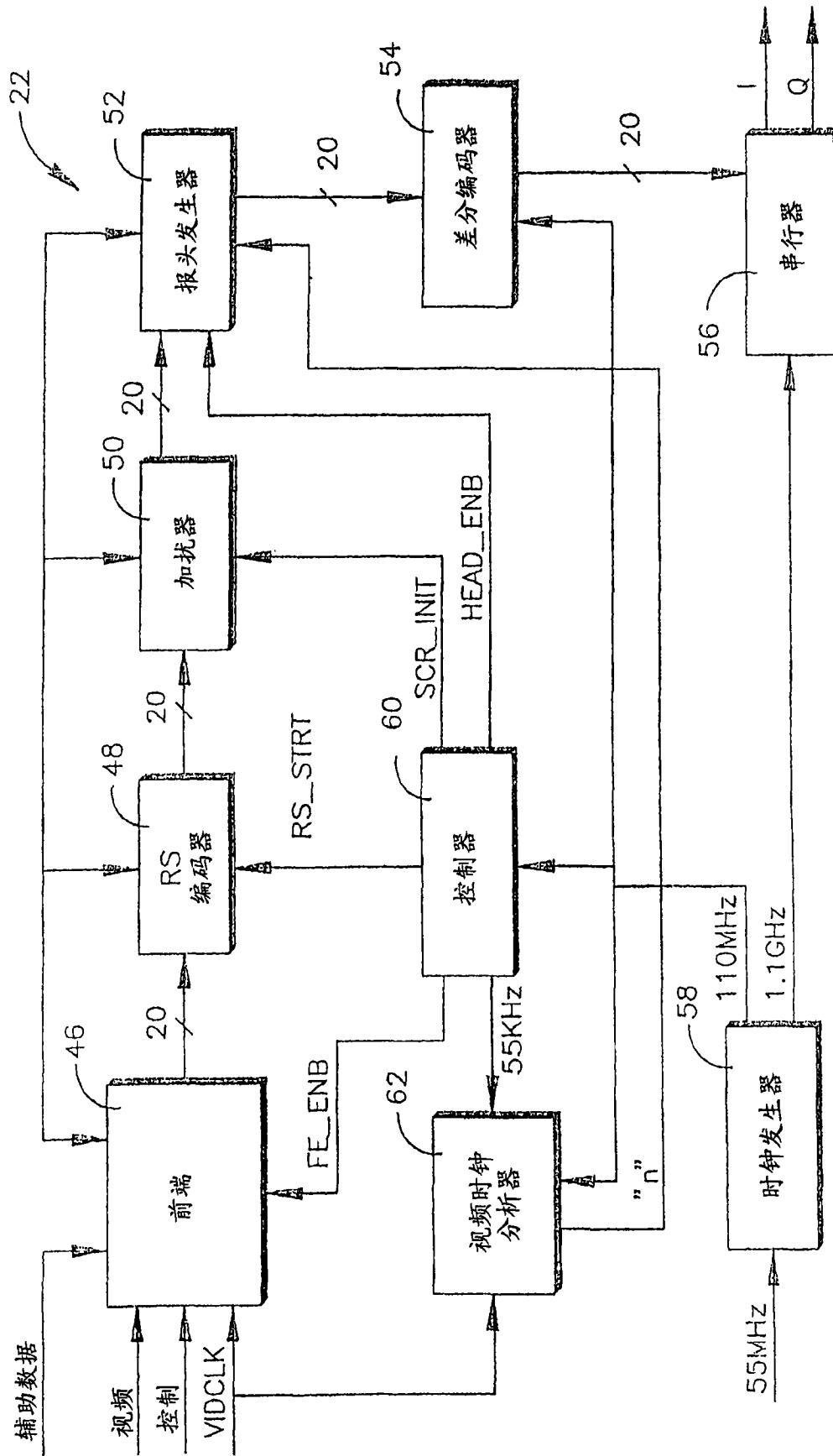


图 2

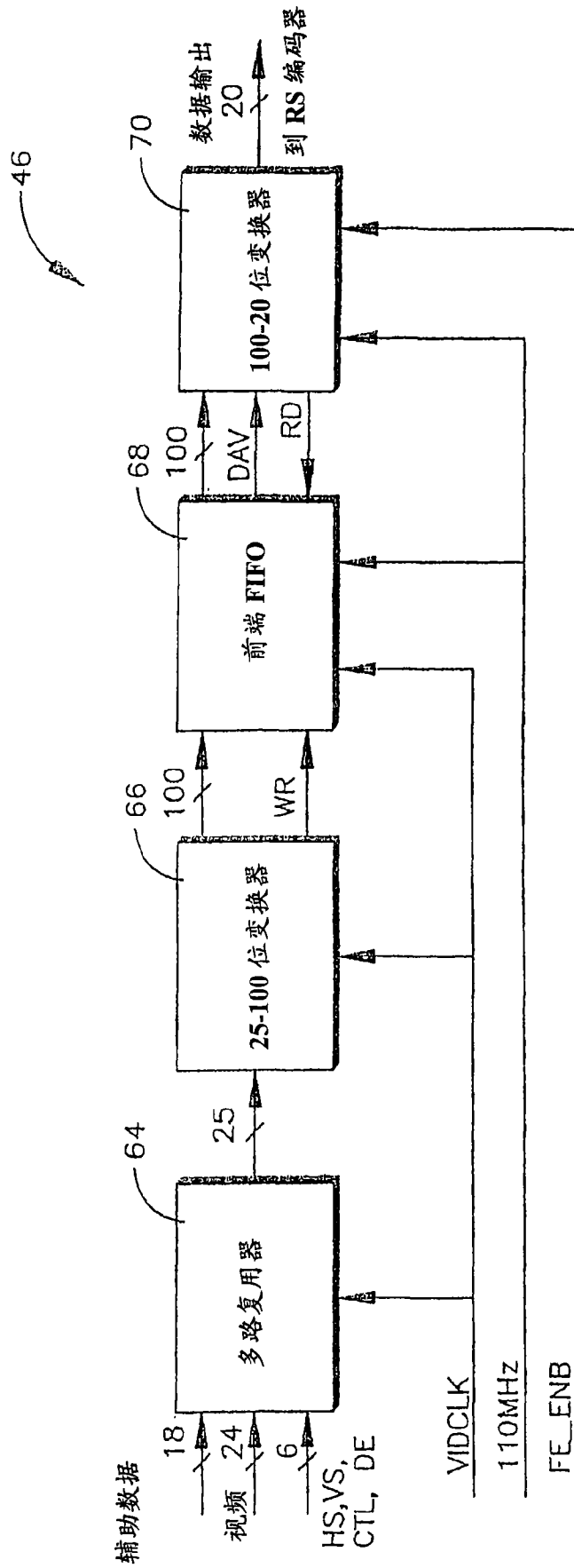


图 3

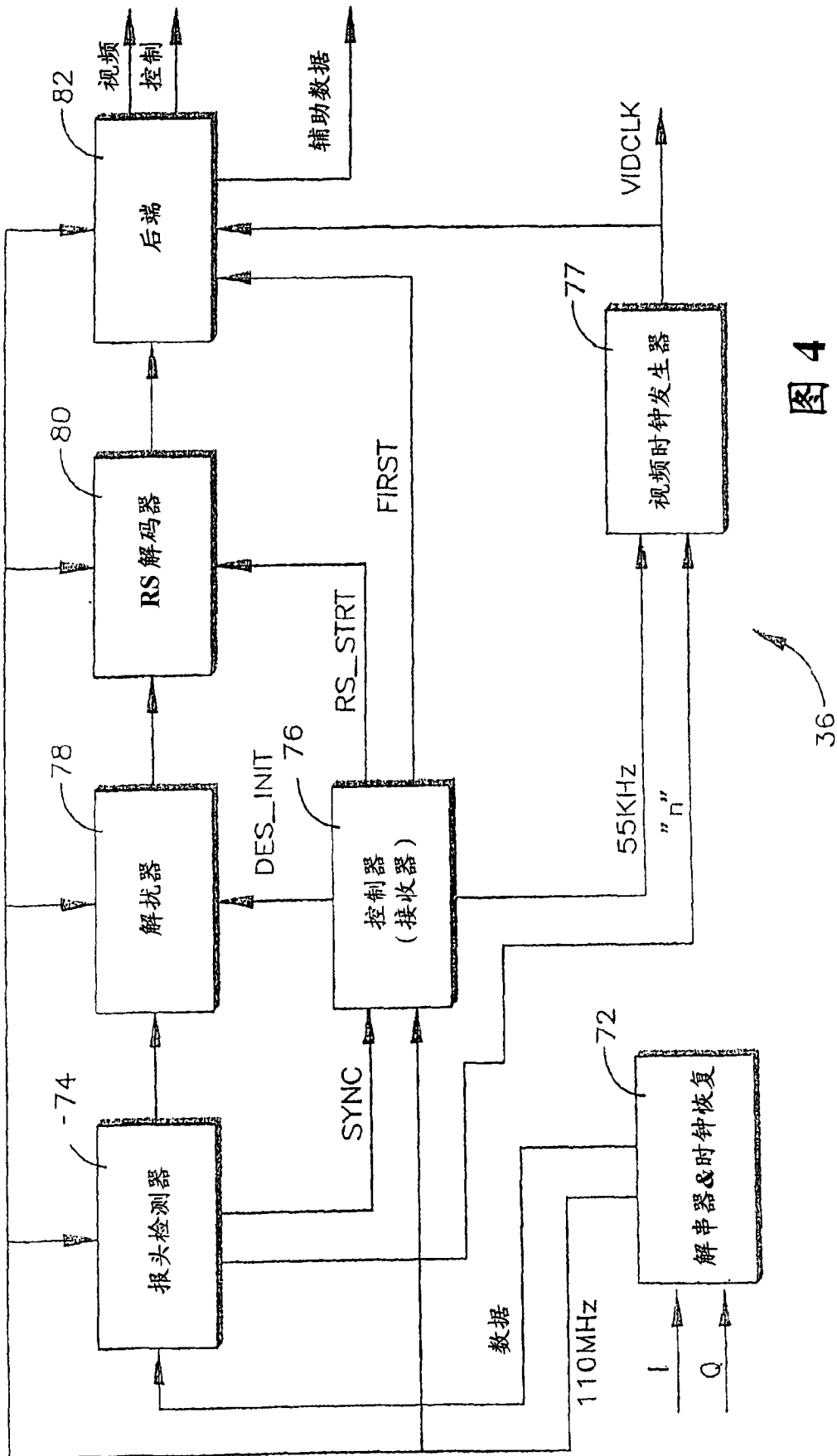


图 4

36

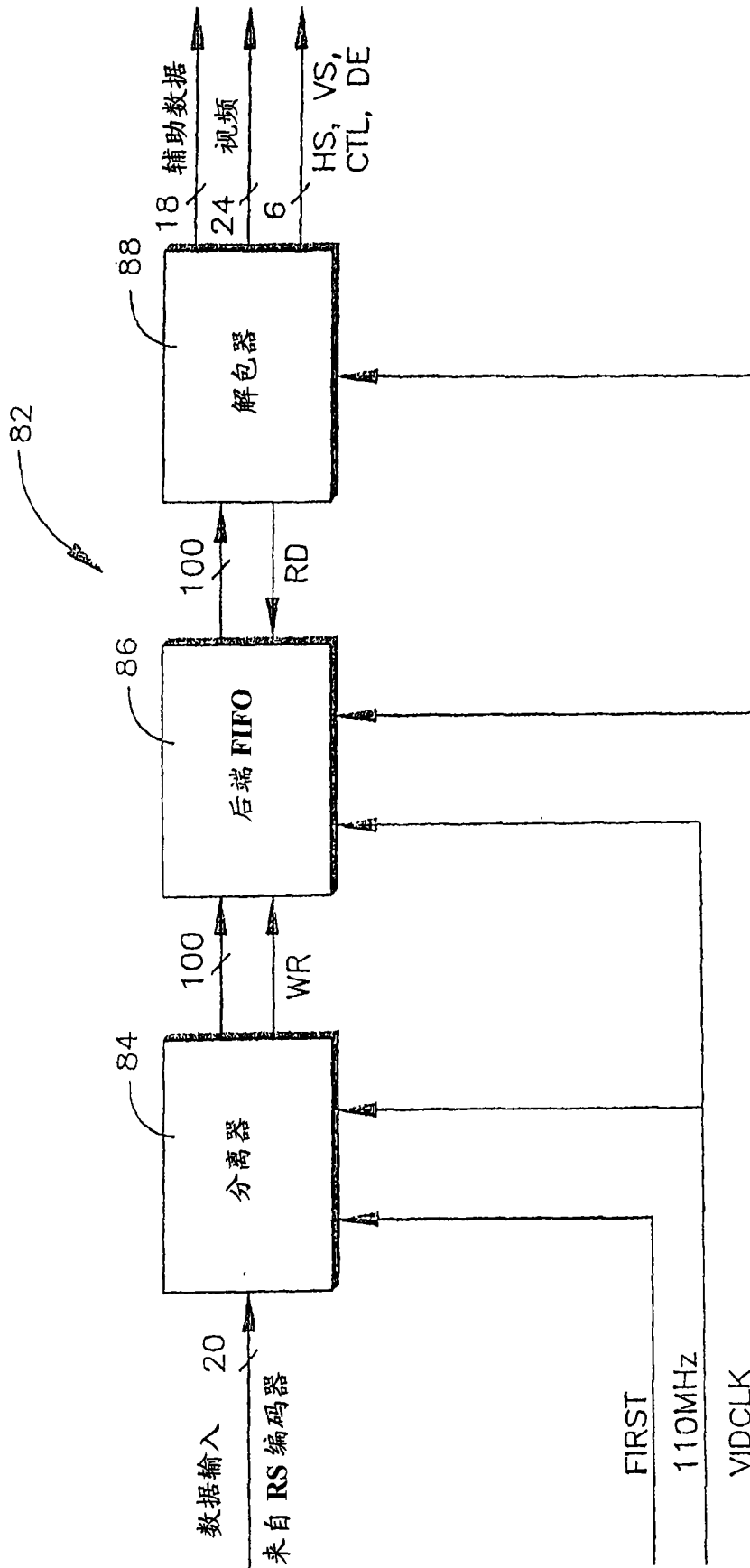


图 5



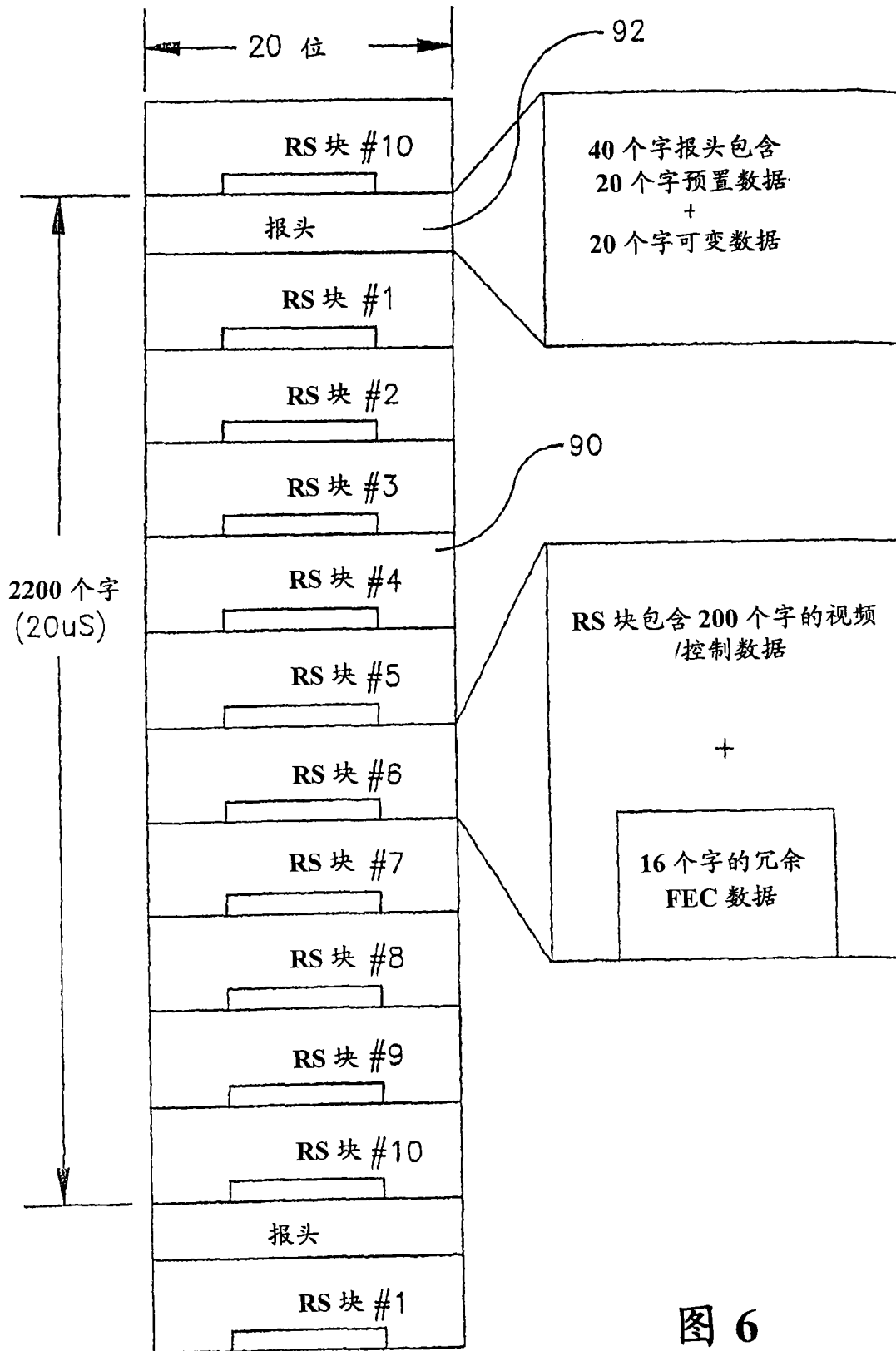


图 6