

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-130576
(P2010-130576A)

(43) 公開日 平成22年6月10日 (2010.6.10)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 3/356 (2006.01)	H03K 3/356 Z	5C080
G09G 3/20 (2006.01)	G09G 3/20 622E	5J034
G09G 3/30 (2006.01)	G09G 3/20 611A	
G11C 19/00 (2006.01)	G09G 3/20 624B	
G11C 19/28 (2006.01)	G09G 3/20 641D	

審査請求 未請求 請求項の数 10 O L (全 53 頁) 最終頁に続く

(21) 出願番号 特願2008-305560 (P2008-305560)
(22) 出願日 平成20年11月28日 (2008.11.28)

(71) 出願人 000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町6番地
(74) 代理人 100088672
弁理士 吉竹 英俊
(74) 代理人 100088845
弁理士 有田 貴弘
(72) 発明者 小林 芳直
神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所大和事業所内
(72) 発明者 横山 良一
滋賀県野洲市市三宅656番地 株式会社京セラディスプレイ研究所内

最終頁に続く

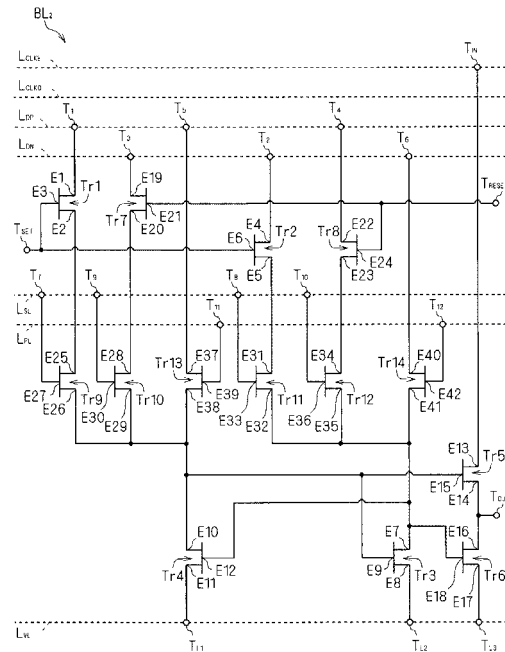
(54) 【発明の名称】 電気回路、シフトレジスタ回路、ドライバ回路、および画像表示装置

(57) 【要約】

【課題】消費電力の増大を抑制しつつ、2つのトランジスタの間の電位を切り替えることが可能な技術を提供する。

【解決手段】電気回路が、第1トランジスタと第2トランジスタの両方のゲート電極にセット信号を付与し、前記第1トランジスタ及び前記第2トランジスタを電流が流れ得る導通状態に設定するセット信号付与部を備える。また、該電気回路が、前記第1トランジスタに電流が流れ得る状態にて該第1トランジスタに第1信号を流す第1信号付与部と、前記第2トランジスタに電流が流れ得る状態にて該第2トランジスタに第2信号を流す第2信号付与部とを備える。更に、該電気回路が、前記セット信号を付与している状態において、前記第1信号が流れて出力信号が出力される第1信号状態と、前記第2信号が流れず前記出力信号が出力されない第2信号状態とに順次に切り替える制御部を備える。

【選択図】 図15



【特許請求の範囲】

【請求項 1】

第 1 トランジスタと第 2 トランジスタの両方のゲート電極にセット信号を付与し、前記第 1 トランジスタ及び前記第 2 トランジスタを電流が流れ得る導通状態に設定するセット信号付与部と、

前記第 1 トランジスタに電流が流れ得る状態にて該第 1 トランジスタに第 1 信号を流す第 1 信号付与部と、

前記第 2 トランジスタに電流が流れ得る状態にて該第 2 トランジスタに第 2 信号を流す第 2 信号付与部と、

前記セット信号を付与している状態において、前記第 1 信号が流れて出力信号が出力される第 1 信号状態と、前記第 2 信号が流れず前記出力信号が出力されない第 2 信号状態とに順次に切り替える制御部と、

を備えることを特徴とする電気回路。

【請求項 2】

第 1、第 2、第 3 電極を有し、前記第 3 電極に対する電位の付与に応じて前記第 1 電極と前記第 2 電極との間の電流が調整される第 1 トランジスタと、

第 4、第 5、第 6 電極を有し、前記第 6 電極に対する電位の付与に応じて前記第 4 電極と前記第 5 電極との間の電流が調整される第 2 トランジスタと、

第 7、第 8、第 9 電極を有し、前記第 9 電極に対する電位の付与に応じて前記第 7 電極と前記第 8 電極との間の電流が調整される第 3 トランジスタと、

第 10、第 11、第 12 電極を有し、前記第 12 電極に対する電位の付与に応じて前記第 10 電極と前記第 11 電極との間の電流が調整される第 4 トランジスタと、

前記第 3 および第 6 電極に対してセット信号を付与することで、前記第 1 トランジスタを、前記第 1 電極と前記第 2 電極との間で電流が流れ得る導通状態に設定するとともに、前記第 2 トランジスタを、前記第 4 電極と前記第 5 電極との間で電流が流れ得る導通状態に設定するセット信号付与部と、

前記第 1 電極に対して第 1 信号を付与する第 1 信号付与部と、

前記第 4 電極に対して第 2 信号を付与する第 2 信号付与部と、

を備え、

前記第 2 電極が、前記第 9 および第 10 電極に対して電氣的に接続され、

前記第 5 電極が、前記第 7 および第 12 電極に対して電氣的に接続されており、

前記セット信号が前記第 3 および第 6 電極に対して付与されている状態において、前記第 9 電極に対して前記第 1 信号が付与されることで、前記第 3 トランジスタが、前記第 7 電極と前記第 8 電極との間で電流が流れ得る導通状態に設定されている第 1 設定状態と、

前記第 12 電極に対して前記第 2 信号が付与されることで、前記第 4 トランジスタが、前記第 10 電極と前記第 11 電極との間で電流が流れ得る導通状態に設定されている第 2 設定状態とに順次に設定されることを特徴とする電気回路。

【請求項 3】

請求項 2 に記載の電気回路であって、

第 13、第 14、第 15 電極を有し、前記第 15 電極に対する電位の付与に応じて前記第 13 電極と前記第 14 電極との間の電流が調整される第 5 トランジスタと、

第 16、第 17、第 18 電極を有し、前記第 18 電極に対する電位の付与に応じて前記第 16 電極と前記第 17 電極との間の電流が調整される第 6 トランジスタと、

前記第 13 電極に対して入力信号を付与する入力信号付与部と、

前記第 14 電極と前記第 16 電極とを電氣的に接続する配線に対して電氣的に接続され、且つ出力信号を出力する信号出力部と、

を更に備え、

前記第 15 電極が、前記第 2、第 9、および第 10 電極に対して電氣的に接続され、

前記第 18 電極が、前記第 5、第 7、および第 12 電極に対して電氣的に接続されることを特徴とする電気回路。

10

20

30

40

50

【請求項 4】

請求項 2 または請求項 3 に記載の電気回路であって、

第 19、第 20、第 21 電極を有し、前記第 21 電極に対する電位の付与に応じて前記第 19 電極と前記第 20 電極との間の電流が調整される第 7 トランジスタと、

第 22、第 23、第 24 電極を有し、前記第 24 電極に対する電位の付与に応じて前記第 22 電極と前記第 23 電極との間の電流が調整される第 8 トランジスタと、

前記第 21 および第 24 電極に対してリセット信号を付与するリセット信号付与部と、
を更に備え、

前記第 19 電極が、前記第 2 信号付与部と同電位に設定される第 3 信号付与部に対して電氣的に接続され、

前記第 20 電極が、前記第 9 および第 10 電極に対して電氣的に接続され、

前記第 22 電極が、前記第 1 信号付与部と同電位に設定される第 4 信号付与部に対して電氣的に接続され、

前記第 23 電極が、前記第 7 および第 12 電極に対して電氣的に接続され、

前記セット信号付与部から前記第 3 および第 6 電極に対する前記セット信号の付与と、前記リセット信号付与部から前記第 21 および第 24 電極に対する前記リセット信号の付与とが順次に行われ、

前記リセット信号付与部から前記第 21 および第 24 電極に対して前記リセット信号がそれぞれ付与されている状態において、前記第 4 信号付与部から前記第 8 トランジスタを介して前記第 12 電極に対して前記第 1 信号が付与されることで、前記第 4 トランジスタが前記導通状態に設定されている前記第 2 設定状態に設定されることを特徴とする電気回路。

【請求項 5】

請求項 4 に記載の複数の電気回路と、

第 1 および第 2 入力信号線と、

前記複数の電気回路の各前記第 1 および第 4 信号付与部がそれぞれ電氣的に接続され、且つ前記第 1 信号を各前記第 1 および第 4 信号付与部に付与する第 1 信号線と、

前記複数の電気回路の各前記第 2 および第 3 信号付与部がそれぞれ電氣的に接続され、且つ前記第 2 信号を各前記第 2 および第 3 信号付与部に付与する第 2 信号線と、
を備え、

前記複数の電気回路が順次に配列され、

前記複数の電気回路のうちの奇数番目にそれぞれ配列されている各前記電気回路の前記入力信号付与部が、前記第 1 入力信号線に対してそれぞれ電氣的に接続され、

前記複数の電気回路のうちの偶数番目にそれぞれ配列されている各前記電気回路の前記入力信号付与部が、前記第 2 入力信号線に対してそれぞれ電氣的に接続され、

前記複数の電気回路のうちの一端に配列されている前記電気回路の前記リセット信号付与部が、該一端に配列されている前記電気回路の次に配列されている前記電気回路の前記信号出力部に対して電氣的に接続され、

前記複数の電気回路のうちの他端に配列されている前記電気回路の前記セット信号付与部が、該他端に配列されている前記電気回路の前に配列されている前記電気回路の前記信号出力部に対して電氣的に接続され、

前記複数の電気回路のうちの前記一端および他端に配列されている前記電気回路を除く各前記電気回路では、それぞれ、前記セット信号付与部が前に配列されている前記電気回路の前記信号出力部に対して電氣的に接続され、且つ前記リセット信号付与部が次に配列されている前記電気回路の前記信号出力部に対して電氣的に接続されることを特徴とするシフトレジスタ回路。

【請求項 6】

請求項 5 に記載のシフトレジスタ回路であって、

前記第 1 信号が各前記第 1 電極および各前記第 22 電極に対して付与され、且つ前記第 2 信号が各前記第 4 電極および各前記第 19 電極に対して付与されていない状態で、前記

10

20

30

40

50

一端に配列されている前記電気回路の前記セット信号付与部に前記セット信号が付与された後に、前記第1入力信号線による各前記電気回路に対する前記入力信号の付与と、前記第2入力信号線による各前記電気回路に対する前記入力信号の付与とが交互に行われることを特徴とするシフトレジスタ回路。

【請求項7】

請求項5または請求項6に記載のシフトレジスタ回路と、
第1および第2モード信号線と、
を更に備え、
各前記電気回路が、
第25、第26、第27電極を有し、前記第27電極に対する電位の付与に応じて前記
第25電極と前記第26電極との間の電流が調整される第9トランジスタと、
第28、第29、第30電極を有し、前記第30電極に対する電位の付与に応じて前記
第28電極と前記第29電極との間の電流が調整される第10トランジスタと、
第31、第32、第33電極を有し、前記第33電極に対する電位の付与に応じて前記
第31電極と前記第32電極との間の電流が調整される第11トランジスタと、
第34、第35、第36電極を有し、前記第36電極に対する電位の付与に応じて前記
第34電極と前記第35電極との間の電流が調整される第12トランジスタと、
第37、第38、第39電極を有し、前記第39電極に対する電位の付与に応じて前記
第37電極と前記第38電極との間の電流が調整される第13トランジスタと、
第40、第41、第42電極を有し、前記第42電極に対する電位の付与に応じて前記
第40電極と前記第41電極との間の電流が調整される第14トランジスタと、
を更に有し、
各前記電気回路において、
前記第2電極と、前記第9、第10、および第15電極とが、前記第25および第26
電極を介して電氣的に接続され、
前記第20電極と、前記第9、第10、および第15電極とが、前記第28および第29
電極を介して電氣的に接続され、
前記第5電極と、前記第7、第12、および第18電極とが、前記第31および第32
電極を介して電氣的に接続され、
前記第23電極と、前記第7、第12、および第18電極とが、前記第34および第35
電極を介して電氣的に接続され、
前記第37電極が、前記第1信号線に対して電氣的に接続され、
前記第38電極が、前記第9、第10、および第15電極に対して電氣的に接続され、
前記第40電極が、前記第2信号線に対して電氣的に接続され、
前記第41電極が、前記第7、第12、および第18電極に対して電氣的に接続され、
前記第1モード信号線が、前記第27、第30、第33、および第36電極に対して電
氣的に接続され、
前記第2モード信号線が、前記第39および第42電極に対して電氣的に接続されるこ
とを特徴とするドライバ回路。

【請求項8】

請求項7に記載のドライバ回路であって、
前記第1モード信号線が、前記第27、第30、第33、および第36電極に対して、
それぞれ第1モード信号を付与することで、前記第9トランジスタを、前記第25電極と
前記第26電極との間で電流が流れ得る導通状態、前記第10トランジスタを、前記第28
電極と前記第29電極との間で電流が流れ得る導通状態、前記第11トランジスタを、
前記第31電極と前記第32電極との間で電流が流れ得る導通状態、前記第12トランジ
スタを、前記第34電極と前記第35電極との間で電流が流れ得る導通状態にそれぞれ設
定し、
前記第2モード信号線が、前記第39および第42電極に対して、それぞれ第2モード
信号を付与することで、前記第13トランジスタを、前記第37電極と前記第38電極と

の間で電流が流れ得る導通状態、前記第14トランジスタを、前記第40電極と前記第41電極との間で電流が流れ得る導通状態にそれぞれ設定し、

前記第1モード信号線によって、各前記電気回路に対して前記第1モード信号が付与されている状態と、各前記電気回路に対して前記第1モード信号が付与されていない状態とに交互に設定されることを特徴とするドライバ回路。

【請求項9】

請求項7または請求項8に記載のドライバ回路と、

複数の画素回路が一方向に配列されてそれぞれ構成される複数の画素ラインが、該一方向とは異なる他方向に配列されているディスプレイ部と、
を備え、

各前記電気回路の前記出力端子が、前記複数の画素ラインのうちの対応する前記画素ラインに含まれる前記複数の画素回路に対して、それぞれ前記出力信号を出力することを特徴とする画像表示装置。

【請求項10】

請求項5または請求項6に記載のシフトレジスタ回路であって、

前記電気回路に含まれる前記第1から第8トランジスタの各トランジスタは、n型のトランジスタであることを特徴とするシフトレジスタ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2つのトランジスタの間の電位を切り替える電気回路と、その電気回路を用いたシフトレジスタ回路、ドライバ回路、および画像表示装置とに関する。

【背景技術】

【0002】

近年、有機EL素子等を用いた表示パネルにおいて、製造コストの低減を目的として、所謂ゲートドライバを表示パネルに対して一体的に埋め込む技術が提案されている。

【0003】

そして、画素回路がマトリクス状に配列された撮像素子または表示素子をライン順次に選択して走査するためのドライバとしては、前段からのセット信号が後段に順次に伝達されていくシフトレジスタ回路が開示されている（例えば、特許文献1等）。

【0004】

ここで、特許文献1で提案されたシフトレジスタ回路を構成する各段の回路に関し、セット信号端子OUTから出力されるセット信号の制御について、図23を参照しつつ説明する。

【0005】

図23で示されるように、定電圧入力端子SSを基準として該定電圧入力端子SSと基準電圧入力端子DDとの間に基準電圧（例えば+2.5V）が常に印加されることで、TF T 23のゲートとドレインとに正の同電位が印加される。このとき、TF T 23は常にドレインとソースとの間で電流が流れ得る状態（導通状態）に設定される。また、TF T 22のゲートに対する正の電位の付与の有無によって、TF T 22は導通状態またはドレインとソースとの間で電流が流れ得ない状態（非導通状態）に設定される。

【0006】

そして、TF T 22が導通状態の場合には、TF T 24が導通状態、TF T 25が非導通状態にそれぞれ設定される。このような設定状態では、クロック信号入力端子clkに付与される信号に応じたセット信号がセット信号端子OUTから出力される。一方、TF T 22が非導通状態の場合には、TF T 24が非導通状態、TF T 25が導通状態にそれぞれ設定される。このような設定状態では、クロック信号入力端子clkに付与される信号に応じたセット信号がセット信号端子OUTから出力されない。

【0007】

10

20

30

40

50

【特許文献1】特開2001-160299号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記特許文献1で提案されたシフトレジスタ回路では、TFT25を非導通状態に設定するためにTFT22を導通状態に設定すれば、2つのTFT22、23の双方が導通状態となる。このとき、基準電圧入力端子DDから定電圧入力端子SSに向けて、2つのTFT22、23を介して比較的大きな電流（以下「貫通電流」称する）が流れ、消費電力の増大を招く。特に、シフトレジスタ回路の全段の回路において、セット信号端子OUTからセット信号を同時にある程度の期間出力させる態様では、上記貫通電流の顕著な増大、すなわち消費電力の顕著な増大を招く。

10

【0009】

本発明は、上記課題に鑑みてなされたものであり、消費電力の増大を抑制しつつ、2つのトランジスタの間の電位を切り替えることが可能な技術を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記の課題を解決するために、本発明の第1の態様に係る電気回路は、第1トランジスタと第2トランジスタの両方のゲート電極にセット信号を付与し、前記第1トランジスタ及び前記第2トランジスタを電流が流れ得る導通状態に設定するセット信号付与部を備える。また、該電気回路は、前記第1トランジスタに電流が流れ得る状態にて該第1トランジスタに第1信号を流す第1信号付与部と、前記第2トランジスタに電流が流れ得る状態にて該第2トランジスタに第2信号を流す第2信号付与部とを備える。更に、該電気回路は、前記セット信号を付与している状態において、前記第1信号が流れて出力信号が出力される第1信号状態と、前記第2信号が流れず前記出力信号が出力されない第2信号状態とに順次に切り替える制御部を備える。

20

【0011】

また、本発明の第2の態様に係る電気回路は、第1、第2、第3電極を有し、前記第3電極に対する電位の付与に応じて前記第1電極と前記第2電極との間の電流が調整される第1トランジスタと、第4、第5、第6電極を有し、前記第6電極に対する電位の付与に応じて前記第4電極と前記第5電極との間の電流が調整される第2トランジスタとを備える。また、該電気回路は、第7、第8、第9電極を有し、前記第9電極に対する電位の付与に応じて前記第7電極と前記第8電極との間の電流が調整される第3トランジスタと、第10、第11、第12電極を有し、前記第12電極に対する電位の付与に応じて前記第10電極と前記第11電極との間の電流が調整される第4トランジスタとを備える。また、該電気回路は、前記第3および第6電極に対してセット信号を付与することで、前記第1トランジスタを、前記第1電極と前記第2電極との間で電流が流れ得る導通状態に設定するとともに、前記第2トランジスタを、前記第4電極と前記第5電極との間で電流が流れ得る導通状態に設定するセット信号付与部と、前記第1電極に対して第1信号を付与する第1信号付与部と、前記第4電極に対して第2信号を付与する第2信号付与部とを備える。そして、該電気回路では、前記第2電極が、前記第9および第10電極に対して電氣的に接続され、前記第5電極が、前記第7および第12電極に対して電氣的に接続されており、前記セット信号が前記第3および第6電極に対して付与されている状態において、前記第9電極に対して前記第1信号が付与されることで、前記第3トランジスタが、前記第7電極と前記第8電極との間で電流が流れ得る導通状態に設定されている第1設定状態と、前記第12電極に対して前記第2信号が付与されることで、前記第4トランジスタが、前記第10電極と前記第11電極との間で電流が流れ得る導通状態に設定されている第2設定状態とに順次に設定される。

30

40

【0012】

また、本発明の第3の態様に係る電気回路は、本発明の第2の態様に係る電気回路であって、第13、第14、第15電極を有し、前記第15電極に対する電位の付与に応じて

50

前記第 13 電極と前記第 14 電極との間の電流が調整される第 5 トランジスタと、第 16、第 17、第 18 電極を有し、前記第 18 電極に対する電位の付与に応じて前記第 16 電極と前記第 17 電極との間の電流が調整される第 6 トランジスタとを更に備える。また、該電気回路は、前記第 13 電極に対して入力信号を付与する入力信号付与部と、前記第 14 電極と前記第 16 電極とを電氣的に接続する配線に対して電氣的に接続され、且つ出力信号を出力する信号出力部とを更に備える。そして、該電気回路では、前記第 15 電極が、前記第 2、第 9、および第 10 電極に対して電氣的に接続され、前記第 18 電極が、前記第 5、第 7、および第 12 電極に対して電氣的に接続される。

【0013】

また、本発明の第 4 の態様に係る電気回路は、本発明の第 2 または第 3 の態様に係る電気回路であって、第 19、第 20、第 21 電極を有し、前記第 21 電極に対する電位の付与に応じて前記第 19 電極と前記第 20 電極との間の電流が調整される第 7 トランジスタと、第 22、第 23、第 24 電極を有し、前記第 24 電極に対する電位の付与に応じて前記第 22 電極と前記第 23 電極との間の電流が調整される第 8 トランジスタと、前記第 21 および第 24 電極に対してリセット信号を付与するリセット信号付与部とを更に備える。また、該電気回路では、前記第 19 電極が、前記第 2 信号付与部と同電位に設定される第 3 信号付与部に対して電氣的に接続され、前記第 20 電極が、前記第 9 および第 10 電極に対して電氣的に接続され、前記第 22 電極が、前記第 1 信号付与部と同電位に設定される第 4 信号付与部に対して電氣的に接続され、前記第 23 電極が、前記第 7 および第 12 電極に対して電氣的に接続される。そして、該電気回路では、前記セット信号付与部から前記第 3 および第 6 電極に対する前記セット信号の付与と、前記リセット信号付与部から前記第 21 および第 24 電極に対する前記リセット信号の付与とが順次に行われる。更に、該電気回路では、前記リセット信号付与部から前記第 21 および第 24 電極に対して前記リセット信号がそれぞれ付与されている状態において、前記第 4 信号付与部から前記第 8 トランジスタを介して前記第 12 電極に対して前記第 1 信号が付与されることで、前記第 4 トランジスタが前記導通状態に設定されている前記第 2 設定状態に設定される。

【0014】

また、本発明の第 5 の態様に係るシフトレジスタ回路は、本発明の第 4 の態様に係る複数の電気回路と、第 1 および第 2 入力信号線と、前記複数の電気回路の各前記第 1 および第 4 信号付与部がそれぞれ電氣的に接続され、且つ前記第 1 信号を各前記第 1 および第 4 信号付与部に付与する第 1 信号線と、前記複数の電気回路の各前記第 2 および第 3 信号付与部がそれぞれ電氣的に接続され、且つ前記第 2 信号を各前記第 2 および第 3 信号付与部に付与する第 2 信号線とを備える。また、該シフトレジスタ回路では、前記複数の電気回路が順次に配列され、前記複数の電気回路のうちの奇数番目にそれぞれ配列されている各前記電気回路の前記入力信号付与部が、前記第 1 入力信号線に対してそれぞれ電氣的に接続され、前記複数の電気回路のうちの偶数番目にそれぞれ配列されている各前記電気回路の前記入力信号付与部が、前記第 2 入力信号線に対してそれぞれ電氣的に接続される。更に、該シフトレジスタ回路では、前記複数の電気回路のうちの一端に配列されている前記電気回路の前記リセット信号付与部が、該一端に配列されている前記電気回路の次に配列されている前記電気回路の前記信号出力部に対して電氣的に接続され、前記複数の電気回路のうちの他端に配列されている前記電気回路の前記セット信号付与部が、該他端に配列されている前記電気回路の前に配列されている前記電気回路の前記信号出力部に対して電氣的に接続される。そして、該シフトレジスタ回路では、前記複数の電気回路のうちの前記一端および他端に配列されている前記電気回路を除く各前記電気回路では、それぞれ、前記セット信号付与部が前に配列されている前記電気回路の前記信号出力部に対して電氣的に接続され、且つ前記リセット信号付与部が次に配列されている前記電気回路の前記信号出力部に対して電氣的に接続される。

【0015】

また、本発明の第 6 の態様に係るシフトレジスタ回路は、本発明の第 5 の態様に係るシフトレジスタ回路であって、前記第 1 信号が各前記第 1 電極および各前記第 22 電極に対

して付与され、且つ前記第 2 信号が各前記第 4 電極および各前記第 19 電極に対して付与されていない状態で、前記一端に配列されている前記電気回路の前記セット信号付与部に前記セット信号が付与された後に、前記第 1 入力信号線による各前記電気回路に対する前記入力信号の付与と、前記第 2 入力信号線による各前記電気回路に対する前記入力信号の付与とが交互に行われる。

【0016】

また、本発明の第 7 の態様に係るドライバ回路は、本発明の第 5 または第 6 の態様に係るシフトレジスタ回路と、第 1 および第 2 モード信号線とを更に備える。また、該ドライバ回路では、各前記電気回路が、第 25、第 26、第 27 電極を有し、前記第 27 電極に対する電位の付与に応じて前記第 25 電極と前記第 26 電極との間の電流が調整される第 9 トランジスタと、第 28、第 29、第 30 電極を有し、前記第 30 電極に対する電位の付与に応じて前記第 28 電極と前記第 29 電極との間の電流が調整される第 10 トランジスタと、第 31、第 32、第 33 電極を有し、前記第 33 電極に対する電位の付与に応じて前記第 31 電極と前記第 32 電極との間の電流が調整される第 11 トランジスタとを更に有する。また、該ドライバ回路では、各前記電気回路が、第 34、第 35、第 36 電極を有し、前記第 36 電極に対する電位の付与に応じて前記第 34 電極と前記第 35 電極との間の電流が調整される第 12 トランジスタと、第 37、第 38、第 39 電極を有し、前記第 39 電極に対する電位の付与に応じて前記第 37 電極と前記第 38 電極との間の電流が調整される第 13 トランジスタと、第 40、第 41、第 42 電極を有し、前記第 42 電極に対する電位の付与に応じて前記第 40 電極と前記第 41 電極との間の電流が調整される第 14 トランジスタとを更に有する。そして、該ドライバ回路では、各前記電気回路において、前記第 2 電極と、前記第 9、第 10、および第 15 電極とが、前記第 25 および第 26 電極を介して電氣的に接続され、前記第 20 電極と、前記第 9、第 10、および第 15 電極とが、前記第 28 および第 29 電極を介して電氣的に接続され、前記第 5 電極と、前記第 7、第 12、および第 18 電極とが、前記第 31 および第 32 電極を介して電氣的に接続され、前記第 23 電極と、前記第 7、第 12、および第 18 電極とが、前記第 34 および第 35 電極を介して電氣的に接続される。更に、該ドライバ回路では、各前記電気回路において、前記第 37 電極が、前記第 1 信号線に対して電氣的に接続され、前記第 38 電極が、前記第 9、第 10、および第 15 電極に対して電氣的に接続され、前記第 40 電極が、前記第 2 信号線に対して電氣的に接続され、前記第 41 電極が、前記第 7、第 12、および第 18 電極に対して電氣的に接続され、前記第 1 モード信号線が、前記第 27、第 30、第 33、および第 36 電極に対して電氣的に接続され、前記第 2 モード信号線が、前記第 39 および第 42 電極に対して電氣的に接続される。

【0017】

また、本発明の第 8 の態様に係るドライバ回路は、本発明の第 7 の態様に係るドライバ回路であって、前記第 1 モード信号線が、前記第 27、第 30、第 33、および第 36 電極に対して、それぞれ第 1 モード信号を付与することで、前記第 9 トランジスタを、前記第 25 電極と前記第 26 電極との間で電流が流れ得る導通状態、前記第 10 トランジスタを、前記第 28 電極と前記第 29 電極との間で電流が流れ得る導通状態、前記第 11 トランジスタを、前記第 31 電極と前記第 32 電極との間で電流が流れ得る導通状態、前記第 12 トランジスタを、前記第 34 電極と前記第 35 電極との間で電流が流れ得る導通状態にそれぞれ設定する。また、該ドライバ回路では、前記第 2 モード信号線が、前記第 39 および第 42 電極に対して、それぞれ第 2 モード信号を付与することで、前記第 13 トランジスタを、前記第 37 電極と前記第 38 電極との間で電流が流れ得る導通状態、前記第 14 トランジスタを、前記第 40 電極と前記第 41 電極との間で電流が流れ得る導通状態にそれぞれ設定する。そして、該ドライバ回路では、前記第 1 モード信号線によって、各前記電気回路に対して前記第 1 モード信号が付与されている状態と、各前記電気回路に対して前記第 1 モード信号が付与されていない状態とに交互に設定される。

【0018】

また、本発明の第 9 の態様に係る画像表示装置は、本発明の第 7 または第 8 の態様に係

るドライバ回路と、複数の画素回路が一方向に配列されてそれぞれ構成される複数の画素ラインが、該一方向とは異なる他方向に配列されているディスプレイ部とを備える。そして、該画像表示装置では、各前記電気回路の前記出力端子が、前記複数の画素ラインのうちの対応する前記画素ラインに含まれる前記複数の画素回路に対して、それぞれ前記出力信号を出力する。

【0019】

また、本発明の第10の態様に係るシフトレジスタ回路は、第5または第6の態様に係るシフトレジスタ回路であって、前記電気回路に含まれる前記第1から第8トランジスタの各トランジスタは、n型のトランジスタである。

【発明の効果】

10

【0020】

本発明は、第1信号付与部から第1トランジスタと第4トランジスタとを介した電流の発生と、第2信号付与部から第2トランジスタと第3トランジスタとを介した電流の発生とを抑制しつつ、第1トランジスタと第4トランジスタとの間の電位の状態と、第2トランジスタと第3トランジスタとの間の電位の状態とを交互に切り替えることができるため、消費電力の増大を抑制することができる。

【発明を実施するための最良の形態】

【0021】

<用語に関する記載>

本明細書において、「電氣的に接続される」という文言は、一方の部材と他方の部材とが配線等を介して常に導電可能に接続されている態様、および一方の部材と他方の部材とが、導電性を有する配線等だけでなく、その他の部材によって間接的に接続されている態様の双方を含む意味で用いられる。つまり、「電氣的に接続される」という文言は、その他の部材の状態（例えば、トランジスタのソースとドレインとの間で電流が流れ得る導通状態）に応じて、一方の部材と他方の部材とが配線およびその他の部材によって導電可能に接続される態様をも含む意味で用いられる。

20

【0022】

以下、本発明の一実施形態を図面に基づいて説明する。

【0023】

<画像表示装置の概略構成>

図1は、本発明の一実施形態に係る画像表示装置1の機能的な構成を示す図である。この画像表示装置1は、有機EL素子の発光を利用した装置（有機EL装置）を構成している。

30

【0024】

画像表示装置1は、主に、制御部2、有機ELディスプレイ部3、Xドライバ回路4X、およびYドライバ回路4Yを備えている。なお、画像表示装置1では、画像信号が、赤（R）、緑（G）、青（B）の3原色に係る信号によって構成され、有機ELディスプレイ部3が、赤色の光を発する発光素子、緑色の光を発する発光素子、青色の光を発する発光素子を備えて構成されている。

【0025】

制御部2は、画像表示装置1の動作を統括制御する部分であり、CPU、ROM、およびRAM等を備えて構成される。例えば、ROM内には、プログラムおよび各種データ等が格納され、ROM内のプログラムをCPUが読み込んで実行することで、制御部2における各種制御および機能の実現される。

40

【0026】

図1で示されるように、制御部2でプログラムが実行されることにより、変換部201R、201G、201B、およびタイミングジェネレータ（TG）202が機能的な構成として実現される。

【0027】

変換部201R、201G、201Bは、各画素に対応する各色の値（すなわち階調

50

値)が D_r 、 D_g 、 D_b である入力画像信号を受け付けて、いわゆるガンマ補正を行う。ここでは、例えば、各色の階調値 D_r 、 D_g 、 D_b が約2.2乗された値に変換される。具体的には、例えば、6ビットの入力画像信号(階調値が0~63の画像信号)が、10ビットの出力画像信号(階調値が0~1023の画像信号)に変換される。そして、変換後の出力画像信号は、Xドライバ回路4Xに入力される。

【0028】

TG202は、制御部2への入力画像信号の入力に
10 応答して、Xドライバ回路4XおよびYドライバ回路4Yに対して、Xドライバ回路4XおよびYドライバ回路4Yの動作を制御するための信号を出力する。つまり、Xドライバ回路4XおよびYドライバ回路4Yの動作は、入力画像信号および出力画像信号の入出力に同期したものとなっている。

【0029】

有機ELディスプレイ部3は、略長方形の輪郭を有する有機ELディスプレイ(organic electroluminescence display)であり、有機材料に電流を流すことで材料自らが発光する自発光型の発光素子を有する。つまり、有機ELディスプレイ部3は、自発光型の発光素子を備えた表示部(自発光型表示部)を構成している。

【0030】

この有機ELディスプレイ部3には、多数の画素回路31が配列され、各画素回路31には、発光素子(ここでは、有機EL素子)が含まれる。そして、多数の発光素子は、例えば、格子状に配列されている。換言すれば、有機ELディスプレイ部3には、一方向(ここでは、水平方向)に沿って複数の画素回路31からなる画素のライン(画素ライン、以下「水平ライン」とも称する)が形成されている。さらに、かかる水平ラインが該一方向とは異なる他方向(ここでは、垂直方向)に沿って複数ライン配列されている。なお、本実施形態では、有機ELディスプレイ部3に水平ラインが $n+1$ (n は任意の自然数、例えば $n=479$)本配列されているものとする。

【0031】

また、有機ELディスプレイ部3には、発光輝度に対応する出力画像信号を各画素回路31に供給するための複数の画像信号線 L_{is} (図2参照)が設けられている。また、該有機ELディスプレイ部3には、複数の画像信号線 L_{is} に対して略直交する複数の走査信号線 L_{ss} (図2参照)が設けられている。ここでは、水平ラインごとに1本の走査信号線 L_{ss} が設けられている。なお、走査信号は、各画素回路31に画像信号線 L_{is} を介して出力画像信号を供給するタイミングを制御する信号である。また、有機ELディスプレイ部3には、各画素回路31に含まれる有機EL素子11の両極間に発光に必要な電圧を供給する電源線 L_{vd} 、 L_{vs} (図2参照)が設けられている。

【0032】

Xドライバ回路4Xは、複数の画像信号線 L_{is} に対して電氣的に接続され、出力画像信号を各画像信号線 L_{is} に供給するタイミングを制御する回路(画像信号線駆動回路)である。

【0033】

Yドライバ回路4Yは、走査信号を各走査信号線 L_{ss} に供給するタイミングを制御する回路(走査信号線駆動回路)である。Yドライバ回路4Yには、後述するシフトレジスタ回路400(図14参照)が適用されており、消費電力の増大の抑制が図られている。

【0034】

なお、電源線 L_{vd} と電源線 L_{vs} との間の電圧を調整するタイミングを制御する回路は、種々の公知のものを採用可能であるため、本明細書では説明を省略する。

【0035】

また、画像表示装置1では、例えば、Xドライバ回路4Xが、有機ELディスプレイ部3の一辺(例えば、短辺または長辺)に沿って配置され、Yドライバ回路4Yが、有機ELディスプレイ部3の一辺と略直交する他辺(例えば、長辺または短辺)に沿って配置されている。

【0036】

10

20

30

40

50

ここでは、制御部 2 の各種機能が、CPU でプログラムが実行されることで実現される例を示して説明したが、これに限られない。例えば、制御部 2 の全て又は一部の構成が、専用の電子回路等のハードウェア構成によって実現されても良い。

【0037】

<画素回路の構成>

図 2 は、画像表示装置 1 を構成する 1 画素分の画素回路（駆動回路）3 1 の構成例を示す図である。

【0038】

画素回路 3 1 は、有機 EL 素子（OLED）1 1、駆動トランジスタ 1 2、閾値（ V_{th} ）補償用トランジスタ 1 3、およびコンデンサ 1 4 を備えている。

10

【0039】

有機 EL 素子 1 1 は、発光層を流れる電流によって発光輝度が増加する発光素子である。この有機 EL 素子 1 1 は、アノード電極 1 1 a とカソード電極 1 1 b とを有している。

【0040】

アノード電極 1 1 a は、有機 EL 素子 1 1 の発光時に高電位側となる電源線としての V_{DD} 線 L_{vd} に対して電氣的に接続されている。また、カソード電極 1 1 b は、有機 EL 素子 1 1 の発光時に低電位側となる電源線としての V_{SS} 線 L_{vs} に対して駆動トランジスタ 1 2 を介して電氣的に接続される。更に、カソード電極 1 1 b は、 V_{th} 補償用トランジスタ 1 3 の一方電極 1 3 ds に対して電氣的に接続されている。

【0041】

駆動トランジスタ 1 2 は、有機 EL 素子 1 1 に対して電氣的に直列に接続され、有機 EL 素子 1 1 における電流を調整することで有機 EL 素子 1 1 の発光輝度を制御するトランジスタである。ここでは、駆動トランジスタ 1 2 は、キャリアが電子であるタイプ（n 型）の MIS (Metal Insulator Semiconductor) 構造を採用した電界効果トランジスタ（FE T: Field Effect Transistor）の一種である薄膜トランジスタ（TFT: Thin Film Transistor）、すなわち n - MIS F E T T F T によって構成されている。そして、駆動トランジスタ 1 2 は、一方電極 1 2 ds、他方電極 1 2 sd、および制御電極 1 2 g を有している。

20

【0042】

一方電極 1 2 ds は、有機 EL 素子 1 1 のカソード電極 1 1 b に対して電氣的に接続されている。そして、一方電極 1 2 ds は、アノード電極 1 1 a からカソード電極 1 1 b に向けた方向（順方向）に電流が流れて有機 EL 素子 1 1 が発光する際にドレインとして機能する。また、有機 EL 素子 1 1 に対して逆方向に電圧が印加される際には、一方電極 1 2 ds はソースとして機能する。また、一方電極 1 2 ds は、 V_{th} 補償用トランジスタ 1 3 の一方電極 1 3 ds に対して電氣的に接続されている。

30

【0043】

他方電極 1 2 sd は、 V_{SS} 線 L_{vs} に対して電氣的に接続されている。そして、他方電極 1 2 sd は、有機 EL 素子 1 1 に対して順方向の電流が流れる際にソースとして機能する。また、有機 EL 素子 1 1 に対して逆方向に電圧が印加される際には、他方電極 1 2 sd はドレインとして機能する。更に、制御電極 1 2 g は、いわゆるゲートであり、 V_{th} 補償用トランジスタ 1 3 の他方電極 1 3 sd、およびコンデンサ 1 4 の一方電極 1 4 a に対してそれぞれ電氣的に接続されている。

40

【0044】

また、駆動トランジスタ 1 2 では、制御電極 1 2 g に付与される電位、より詳細には一方電極 1 2 ds または他方電極 1 2 sd と制御電極 1 2 g との間（すなわちゲートとソースとの間）に印加される電圧値が調整されることで、一方電極 1 2 ds と他方電極 1 2 sd との間において流れる電流が調整される。そして、この制御電極 1 2 g に印加される電位により、駆動トランジスタ 1 2 は、ドレインとソースとの間において電流が流れ得る状態（以下「導通状態」と称する）と、電流が流れ得ない状態（以下「非導通状態」と称する）とに選択的に設定される。

50

【0045】

V_{th} 補償用トランジスタ13は、駆動トランジスタ12が導通状態（すなわちON状態）となる場合の、他方電極12sdに対する制御電極12gの電位の下限值（所定の閾値電圧 V_{th} ）を検出するとともに、駆動トランジスタ12のゲート電圧を、閾値電圧 V_{th} （以下「閾値 V_{th} 」と略称する）に調整するトランジスタである。つまり、「閾値 V_{th} 」は、駆動トランジスタ12がオフ状態（いわゆるドレイン電流が流れない状態）からオン状態（ドレイン電流が流れる状態）に移り変わるときの、境界となるゲート電圧のことを言う。なお、ここでは、 V_{th} 補償用トランジスタ13も、駆動トランジスタ12と同様にn-MISFETFTFによって構成されている。そして、 V_{th} 補償用トランジスタ13は、一方電極13ds、他方電極13sd、および制御電極13gを有している。

10

【0046】

一方電極13dsは、有機EL素子11のカソード電極11bおよび駆動トランジスタ12の一方電極12dsに対してそれぞれ電氣的に接続されている。また、他方電極13sdは、駆動トランジスタ12の制御電極12gおよびコンデンサ14の一方電極14aに対してそれぞれ電氣的に接続されている。また、制御電極13gは、走査信号線 L_{ss} に対して電氣的に接続されている。

【0047】

また、 V_{th} 補償用トランジスタ13では、制御電極13gに付与される電位、より詳細には一方電極13dsまたは他方電極13sdと制御電極13gとの間（すなわちゲートとソースとの間）に印加される電圧値が調整されることで、一方電極13dsと他方電極13sdとの間において流れる電流が調整される。そして、この制御電極13gに付与される電位により、 V_{th} 補償用トランジスタ13は、ドレインとソースとの間において電流が流れ得る状態（導通状態）と、電流が流れ得ない状態（非導通状態）とに選択的に設定される。

20

【0048】

ところで、有機EL素子11は、電流によって発光輝度が制御されるため、発光時における駆動トランジスタ12のゲート電圧のゆらぎに対して、発光輝度が敏感に変動する。特に、駆動トランジスタ12がアモルファスシリコンを用いて構成された場合には、駆動トランジスタ12ごとに閾値 V_{th} が異なる傾向にある。よって、画素毎に異なる閾値 V_{th} を補償する機能（ V_{th} 補償機能）を持たせなければ、所望の発光輝度と実際の発光輝度との間に若干の乖離が生じ、結果として画素間で発光輝度のムラが生じてしまう。

30

【0049】

そこで、 V_{th} 補償用トランジスタ13は、発光前において画素ごとに駆動トランジスタ12のゲート電圧を閾値 V_{th} に合わせることで、駆動トランジスタ12における閾値 V_{th} のばらつきを補償する V_{th} 補償機能を実現する。

【0050】

コンデンサ14は、一方電極14aおよび他方電極14bを備えて構成されている。そして、一方電極14aは、駆動トランジスタ12の制御電極12gおよび V_{th} 補償用トランジスタ13の他方電極13sdに対してそれぞれ電氣的に接続されている。また、他方電極14bは、画像信号線 L_{is} に対して電氣的に接続されている。なお、ここでは、コンデンサ14の保持容量を所定値 C_s とする。

40

【0051】

ところで、有機EL素子11は、発光時と逆の電圧が印加されるとコンデンサとして機能し、この容量（EL素子容量）を所定値 C_o とする。また、駆動トランジスタ12は、他方電極12sdと制御電極12gとの間の寄生容量 C_{gsTd} と、一方電極12dsと制御電極12gとの間の寄生容量 C_{gdTd} とを有する。更に、 V_{th} 補償用トランジスタ13は、他方電極13sdと制御電極13gとの間の寄生容量 C_{gsTth} と、一方電極13dsと制御電極13gとの間の寄生容量 C_{gdTth} とを有する。なお、寄生容量 C_{gsTd} 、 C_{gdTd} 、 C_{gsTth} 、 C_{gdTth} は、それぞれ駆動トランジスタ12および V_{th} 補償用トランジスタ13の構成によって決定される所定値の容量である。

50

【 0 0 5 2 】

図 3 は、図 2 で示した画素回路 3 1 の回路構成に対して、寄生容量 C_{gsTth} 、 C_{gdTth} 、 C_{gsTd} 、 C_{gdTd} と EL 素子容量 C_o とに係る構成（図中破線で記載）を加えた模式図である。

【 0 0 5 3 】

図 3 で示されるように、画素回路 3 1 では、有機 EL 素子 1 1 の両電極間には EL 素子容量 C_o を有するコンデンサ（素子コンデンサ） C_{o1} が存在し、駆動トランジスタ 1 2 の他方電極 1 2 s d と制御電極 1 2 g との間には寄生容量 C_{gsTd} を有するコンデンサ 1 2 g s が存在する。そして、駆動トランジスタ 1 2 の一方電極 1 2 d s と制御電極 1 2 g との間には寄生容量 C_{gdTd} を有するコンデンサ 1 2 g d が存在する。更に、 V_{th} 補償用トランジスタ 1 3 の他方電極 1 3 s d と制御電極 1 3 g との間には寄生容量 C_{gsTth} を有するコンデンサ 1 3 g s が存在する。また、 V_{th} 補償用トランジスタ 1 3 の一方電極 1 3 d s と制御電極 1 3 g との間には寄生容量 C_{gdTth} を有するコンデンサ 1 3 g d が存在している。

10

【 0 0 5 4 】

なお、ここでは、1つの画素回路 3 1 に着目して説明したが、有機 EL ディスプレイ部 3 の全体では、画素回路 3 1 が多数（ここでは $n + 1$ 本）存在する。このため、走査信号線 L_{ss} も多数存在する。そこで、以下では、多数の走査信号線 L_{ss} を、適宜「第 n 走査信号線（ n は 0 以上の整数） L_{ss} 」と称する。

【 0 0 5 5 】

< 有機 EL 素子の発光に関する駆動方法 >

図 4 は、有機 EL 素子 1 1 を発光させる際の信号波形（駆動波形）を示すタイミングチャートである。図 4 では、横軸が時刻を示し、上から順に、(a) V_{DD} 線 L_{vd} に付与される電位（電位 V_{dd} ）、(b) V_{SS} 線 L_{vs} に付与される電位（電位 V_{ss} ）、(c) 第 0 走査信号線 L_{ss} に付与される信号の電位（電位 V_{iss0} ）、(d) 第 1 走査信号線 L_{ss} に付与される信号の電位（電位 V_{iss1} ）、(e) 画像信号線 L_{is} に付与される信号の電位（電位 V_{iis} ）、の波形が示されている。

20

【 0 0 5 6 】

また、図 4 では、有機 EL 素子 1 1 を 1 回発光させるための駆動波形が示されており、1 回の発光に係る期間は、時間順次に、 C_s 初期化期間 P 1（時刻 $t_a \sim t_b$ ）、準備期間 P 2（時刻 $t_b \sim t_c$ ）、 V_{th} 補償期間 P 3（時刻 $t_c \sim t_d$ ）、書込期間 P 4（時刻 $t_d \sim t_e$ ）、素子初期化期間 P 5（時刻 $t_e \sim t_f$ ）、および発光期間 P 6（時刻 $t_f \sim$ ）を備えて構成される。なお、書込期間 P 4 における電位 V_{iis} は、各有機 EL 素子 1 1 の発光輝度によって決まる任意の値であるため、図 4 では、当該電位が存在し得る範囲に斜線ハッチングが便宜的に付されている。

30

【 0 0 5 7 】

図 5 から図 9 は、画像表示装置 1 を駆動させる際に、各期間で発生する画素回路 3 1 における電流の流れを黒塗りの矢印で例示する図である。図 5 から図 9 では、画素回路 3 1 のうち、電流の流れに寄与する回路は太線で示され、電流の流れにほとんど寄与しない回路は細線で示されている。以下、図 4 および図 5 から図 9 を適宜参照しつつ、本発明の実施形態に係る画像表示装置 1 の駆動方法について説明する。

40

【 0 0 5 8 】

C_s 初期化期間 P 1 :

図 5 では、 C_s 初期化期間 P 1（以下適宜「期間 P 1」と略する）での画素回路 3 1 における電流の流れが例示されている。

【 0 0 5 9 】

期間 P 1 では、 V_{DD} 線 L_{vd} および V_{SS} 線 L_{vs} にそれぞれ所定の正の高電位 V_{DD} （例えば 1.5 V）が印加される。また、全走査信号線 L_{ss} に所定の正の高電位 V_{gH} （例えば 1.5 V）が印加される。更に、画像信号線 L_{is} に所定の基準電位（ここでは 0 V）が印加される。

50

【 0 0 6 0 】

このとき、走査信号線 L_{ss} における高電位 V_{gH} の印加により、制御電極 13g に高電位 V_{gH} に応じた正電位が印加され、 V_{th} 補償用トランジスタ 13 が導通状態となる。一方、 V_{DD} 線 L_{vd} と V_{SS} 線 L_{vs} とが略同電位であり、駆動トランジスタ 12 が非導通状態（すなわち OFF 状態）となる。したがって、期間 P1 では、図 5 で示されるように、 V_{DD} 線 L_{vd} から V_{th} 補償用トランジスタ 13 の一方および他方電極 13ds, 13sd を介してコンデンサ 14 に向けて電流が流れ、コンデンサ 14 に所定量の電荷（例えば、15V に応じた電荷量）が蓄積される。

【 0 0 6 1 】

なお、期間 P1 における時間経過とともにコンデンサ 14 に蓄積される電荷量が高まり、制御電極 12g に所定値を超える正電位が付与され、駆動トランジスタ 12 が導通状態となることもあり得る。しかし、 V_{DD} 線 L_{vd} と V_{SS} 線 L_{vs} とがともに同電位 V_{DD} に設定されているため、駆動トランジスタ 12 の一方電極 12ds と他方電極 12sd との間には電流が流れない。

【 0 0 6 2 】

準備期間 P2 :

図 6 では、準備期間 P2（以下適宜「期間 P2」と略する）での画素回路 31 における電流の流れが例示されている。

【 0 0 6 3 】

期間 P2 では、 V_{DD} 線 L_{vd} に負の所定電位 $-V_p$ （例えば $-7V$ ）が付与される。また、 V_{SS} 線 L_{vs} に所定の基準電位（ここでは $0V$ ）が付与される。また、全走査信号線 L_{ss} に所定の低電位 V_{gL} （例えば $-10V$ ）が付与される。更に、画像信号線 L_{is} に所定の高電位 V_{dH} （例えば $10V$ ）が印加される。

【 0 0 6 4 】

このとき、走査信号線 L_{ss} における低電位 V_{gL} の付与により、制御電極 13g にはほとんど正の電位が付与されないため、 V_{th} 補償用トランジスタ 13 が非導通状態となる。一方、画像信号線 L_{is} における高電位 V_{dH} の付与により、制御電極 12g に高電位 V_{dH} に応じた正電位（例えば $15 + 10 = 25V$ ）が付与され、駆動トランジスタ 12 が導通状態となる。

【 0 0 6 5 】

そして、 V_{DD} 線 L_{vd} よりも V_{SS} 線 L_{vs} の方が電位が V_p 高いため、図 6 で示されるように、 V_{SS} 線 L_{vs} から駆動トランジスタ 12 の他方および一方電極 12sd, 12ds を順次に介して、有機 EL 素子 11 に向けて電流が流れる。このとき、素子コンデンサ C_{o1} に V_{DD} 線 L_{vd} と V_{SS} 線 L_{vs} との間の電位差に応じた所定量の電荷（例えば $7V$ に応じた電荷）が蓄積される。

【 0 0 6 6 】

V_{th} 補償期間 P3 :

図 7 では、 V_{th} 補償期間 P3（以下適宜「期間 P3」と略する）での画素回路 31 における電流の流れが例示されている。

【 0 0 6 7 】

期間 P3 では、 V_{DD} 線 L_{vd} および V_{SS} 線 L_{vs} にそれぞれ所定の基準電位（ここでは $0V$ ）が付与される。また、全走査信号線 L_{ss} に高電位 V_{gH} が付与される。更に、画像信号線 L_{is} に高電位 V_{dH} （例えば $10V$ ）が付与される。

【 0 0 6 8 】

このとき、走査信号線 L_{ss} における高電位 V_{gH} の付与により、制御電極 13g に高電位 V_{gH} に応じた正電位が付与され、 V_{th} 補償用トランジスタ 13 が導通状態となる。また、期間 P3 の初期では、コンデンサ 14 に蓄積された電荷と画像信号線 L_{is} に付与された電位 V_{dH} により、駆動トランジスタ 12 が導通状態となる。

【 0 0 6 9 】

したがって、期間 P3 の初期では、図 7 で示されるように、コンデンサ 14 に蓄積され

10

20

30

40

50

た電荷に伴う電流が、コンデンサ 14 から V_{th} 補償用トランジスタ 13 の他方および一方電極 13 s d , 13 d s、更には駆動トランジスタ 12 の一方および他方電極 12 d s , 12 s d を順次に介して V_{SS} 線 L_{vs} に向けて流れる。また、素子コンデンサ C_{o1} に蓄積された電荷に伴う電流が、駆動トランジスタ 12 の一方および他方電極 12 d s , 12 s d を順次に介して V_{SS} 線 L_{vs} に向けて流れる。

【0070】

ところが、コンデンサ 14 に蓄積された電荷に伴う電流が、コンデンサ 14 から V_{SS} 線 L_{vs} に向けて流れていくにつれて、コンデンサ 14 に蓄積されている電荷が減少する。そして、駆動トランジスタ 12 の他方電極 12 s d に対する制御電極 12 g の電位（ゲート電圧） V_g が実質的に閾値 V_{th} まで減少すると、駆動トランジスタ 12 が非導通状態となる。このとき、コンデンサ 14 には、閾値 V_{th} に応じた電荷が蓄積された状態となる。このように、期間 P 3 では、閾値 V_{th} に応じた電荷がコンデンサ 14 に蓄積されて、画素毎に異なる閾値 V_{th} のばらつきが補償される。

10

【0071】

書込期間 P 4 :

図 8 では、書込期間 P 4（以下適宜「期間 P 4」と略する）での画素回路 31 における電流の流れが例示されている。

【0072】

期間 P 4 では、 V_{DD} 線 L_{vd} および V_{SS} 線 L_{vs} にそれぞれ基準電位 0 V が印加されるとともに、出力画像信号に応じた電荷の蓄積を行う処理（データ書込処理）の実施対象画素において、走査信号線 L_{ss} に高電位 V_{gH} が付与され、画像信号線 L_{is} に電位（ $V_{dH} - V_{data}$ ）が付与される。なお、電位 V_{data} は、出力画像信号の電位であり、画像を構成する画素の輝度の階調に対応する値に応じた電位である。

20

【0073】

このとき、走査信号線 L_{ss} における高電位 V_{gH} の付与により、制御電極 13 g に高電位 V_{gH} に応じた正電位が付与され、 V_{th} 補償用トランジスタ 13 が導通状態となる。一方、画像信号線 L_{is} に対して、期間 P 3 における電位 V_{dH} 以下の電位（ $V_{dH} - V_{data}$ ）が付与され、駆動トランジスタ 12 のゲート電圧 V_g が閾値 V_{th} 以下となるため、駆動トランジスタ 12 が非導通状態となる。

【0074】

30

したがって、期間 P 4 では、図 8 で示されるように、有機 EL 素子 11（すなわち素子コンデンサ C_{o1} ）から V_{th} 補償用トランジスタ 13 の一方および他方電極 13 d s , 13 s d を順次に介してコンデンサ 14 に向けて電流が流れる。その結果、コンデンサ 14 に既に蓄積された閾値 V_{th} に応じた電荷の上に電位 V_{data} に応じた電荷が加算されて蓄積される。すなわち、期間 P 4 においては、コンデンサ 14 に有機 EL 素子 11 の発光輝度に応じた電荷が蓄積される。換言すれば、期間 P 4 では、画素回路 31 において出力画像信号に応じた電荷がコンデンサ 14 に蓄積される。

【0075】

なお、コンデンサ 14 の一方電極 14 a の電位（すなわち駆動トランジスタ 12 のゲート電位）の変化量は、画像信号線 L_{is} の電位の変化量と、コンデンサ 14 の保持容量 C_s と素子コンデンサ C_{o1} の EL 素子容量 C_o との比（容量比）との積に依拠する。すなわち、本実施形態においては、画像信号線 L_{is} の電位が V_{dH} から V_{data} に変化する場合、駆動トランジスタ 12 のゲート電位が、 $(V_{data} - V_{dH}) \times C_s / (C_s + C_o)$ 変化する。例えば、 $V_{dH} = 10\text{ V}$ 、 $V_{data} = 5\text{ V}$ 、 $C_s : C_o = 1 : 2$ である場合には、画像信号線 L_{is} の電位が -5 V 変化し、駆動トランジスタ 12 のゲート電位 V_g は、有機 EL 素子 11 からコンデンサ 14 に対する電荷の移動により、 $(5 - 10) \times 1 / (1 + 2) = -5 / 3\text{ V}$ 変化する。このようにコンデンサ 14 に蓄積される電荷の移動により、画像信号線 L_{is} の電位の変化が駆動トランジスタ 12 のゲート電位に反映される。

40

【0076】

素子初期化期間 P 5 :

50

素子初期化期間 P 5 (以下適宜「期間 P 5」と略する)においては、 V_{DD} 線 L_{vd} および V_{SS} 線 L_{vs} にそれぞれ所定の負電位 $-V_p$ が付与される。また、全走査信号線 L_{ss} に低電位 V_{gL} が付与される。更に、画像信号線 L_{is} に高電位 V_{dH} が付与される。このとき、 V_{th} 補償用トランジスタ 1 3 が非導通状態となり、駆動トランジスタ 1 2 が導通状態となる。そして、 V_{DD} 線 L_{vd} と V_{SS} 線 L_{vs} との間に電位差がなく、 V_{SS} 線 L_{vs} が負電位 $-V_p$ に設定されているため、有機 EL 素子 1 1 (すなわち素子コンデンサ C_{o1}) に蓄積された電荷が、 V_{SS} 線 L_{vs} に抜けて、有機 EL 素子 1 1 に蓄積された電荷が一掃される。

【0077】

発光期間 P 6 :

図 9 では、発光期間 P 6 (以下適宜「期間 P 6」と略する)での画素回路 3 1 における電流の流れが例示されている。

10

【0078】

期間 P 6 では、 V_{DD} 線 L_{vd} に正の高電位 V_{DD} が付与される。また、 V_{SS} 線 L_{vs} に基準電位 0 V が付与される。また、全走査信号線 L_{ss} に低電位 V_{gL} が付与される。更に、画像信号線 L_{is} に高電位 V_{dH} が付与される。

【0079】

このとき、走査信号線 L_{ss} における低電位 V_{gL} の付与により、 V_{th} 補償用トランジスタ 1 3 が非導通状態となる。一方、画像信号線 L_{is} に対して高電位 V_{dH} が付与されるため、期間 P 4 においてコンデンサ 1 4 に蓄積された電荷量 (電位 V_{data} に応じた電荷量) に応じた電位分、ゲート電圧 V_g が閾値 V_{th} よりも高くなり、駆動トランジスタ 1 2 が導通状態となる。

20

【0080】

例えば、 $V_{data} = 5 V$ 、 $C_s : C_o = 1 : 2$ である場合には、期間 P 4 においてコンデンサ 1 4 に蓄積される電荷が、閾値 V_{th} よりも $5 / 3 V$ 低い電位 ($[V_{th} - 5 / 3] V$) に対応する。そして、期間 P 6 では、期間 P 4 よりも $V_{data} (= 5 V)$ 分高い電位が画像信号線 L_{is} に対して付与され、制御電極 1 2 g に対して、閾値 V_{th} よりも $10 / 3 V$ 高い電位 ($[V_{th} + 10 / 3] V = [V_{th} - (5 / 3) + 5] V$) が付与される。

【0081】

そして、 V_{DD} 線 L_{vd} が V_{SS} 線 L_{vs} よりも電位 V_{DD} 分、高電位であり、駆動トランジスタ 1 2 が電位 V_{data} に応じて一方電極 1 2 ds と他方電極 1 2 sd との間で電流が流れる状態となる。このため、図 9 で示されるように、有機 EL 素子 1 1 に対して電位 V_{data} に応じた電流が流れる。その結果、有機 EL ディスプレイ部 3 の全面に渡って配列された多数の有機 EL 素子 1 1 がそれぞれ電位 V_{data} に応じた輝度で同時に発光する。つまり、期間 P 6 では、各画素から出力画像信号に応じた輝度の光がそれぞれ出射される。

30

【0082】

このような期間 P 1 ~ P 6 が繰り返されることで、各有機 EL 素子 1 1 の発光が繰り返され、有機 EL ディスプレイ部 3 において出力画像信号に応じた動画像が表示される。

【0083】

< Y ドライバを構成するシフトレジスタ回路 >

以下、Y ドライバ回路 4 Y を構成するシフトレジスタ回路 4 0 0 について説明する。ここでは、まず、シフトレジスタ回路において該回路を貫通する電流 (貫通電流) を所謂 NOT 回路を用いて抑制する手法と該手法の問題点、および本実施形態に係るシフトレジスタ回路 4 0 0 に係る貫通電流を抑制する原理について順次に説明する。その後、シフトレジスタ回路 4 0 0 の構成、シフトレジスタ回路 4 0 0 を構成する各段の回路 (ブロック回路) の構成、各ブロック回路の状態の遷移とシフトレジスタ回路 4 0 0 における信号の流れ、およびシフトレジスタ回路 4 0 0 の動作について順次説明する。

40

【0084】

< NOT 回路を用いた貫通電流の抑制とその問題点 >

図 10 は、シフトレジスタ回路において貫通電流を抑制する一手法について説明するための図である。図 10 では、シフトレジスタ回路を構成する各段の回路 (ブロック回路)

50

BL_x の構成が示されている。

【0085】

図10で示されるように、ブロック回路 BL_x は、6つのn型のトランジスタ $Q_1 \sim Q_6$ およびNOT回路 C_{NOT} を備えて構成される。

【0086】

トランジスタ Q_1 のドレインが、データ信号 S_{DATA} が供給される接続部J1を介してNOT回路 C_{NOT} の入力側に対して電氣的に接続されている。また、トランジスタ Q_1 のゲートが、所定の正の電位を有するセット信号 S_{SET} が供給される接続部J2を介して、トランジスタ Q_2 のゲートに対して電氣的に接続されている。更に、トランジスタ Q_1 のソースが、接続部J5を介してトランジスタ Q_5 のゲートに対して電氣的に接続され、接続部J5, J3を順次に介してトランジスタ Q_3 のゲートおよびトランジスタ Q_4 のドレインに対してそれぞれ電氣的に接続されている。

10

【0087】

また、トランジスタ Q_2 のドレインがNOT回路 C_{NOT} の出力側に対して電氣的に接続されている。また、トランジスタ Q_2 のソースが接続部J6を介してトランジスタ Q_6 のゲートに対して電氣的に接続され、接続部J6, J4を順次に介してトランジスタ Q_4 のゲートおよびトランジスタ Q_3 のドレインに対してそれぞれ電氣的に接続されている。

【0088】

また、トランジスタ Q_5 のドレインが、クロック信号 S_{CLK} が供給される接続部J7に対して電氣的に接続されている。また、トランジスタ Q_5 のソースが、出力信号としてのアウト信号 S_{OUT} が出力される接続部J8を介して、トランジスタ Q_6 のドレインに対して電氣的に接続されている。そして、トランジスタ Q_3, Q_4, Q_6 の各ソースが、それぞれ接地されている。

20

【0089】

このようなブロック回路 BL_x では、トランジスタ Q_1, Q_2 の各ゲートにセット信号 S_{SET} が付与されると、トランジスタ Q_1, Q_2 がそれぞれドレインとソースとの間で電流が流れ得る状態(導通状態)、すなわちON状態となる。

【0090】

そして、トランジスタ Q_1 のドレインおよびNOT回路 C_{NOT} の入力側に所定の正の電位を有するデータ信号 S_{DATA} がそれぞれ付与されると、トランジスタ Q_3 のゲートにデータ信号 S_{DATA} に応じた電位が付与されてトランジスタ Q_3 が導通状態となるとともに、トランジスタ Q_4 のゲートが接地されて、トランジスタ Q_4 がドレインとソースとの間で電流が流れ得ない状態(非導通状態)、すなわちOFF状態となる。このとき、トランジスタ Q_1 が導通状態であり、且つトランジスタ Q_4 が非導通状態であるため、トランジスタ Q_5 のゲートにはデータ信号 S_{DATA} に応じた電位が付与されて、トランジスタ Q_5 が導通状態となる。更に、NOT回路 C_{NOT} によって、データ信号 S_{DATA} がトランジスタ Q_2 を介して接続部J6には付与されず、且つトランジスタ Q_3 が導通状態であるため、トランジスタ Q_6 のゲートは接地されて、トランジスタ Q_6 は非導通状態となる。

30

【0091】

このとき、トランジスタ Q_5 のドレインにクロック信号 S_{CLK} が付与されると、接続部J8からクロック信号 S_{CLK} に応じたアウト信号 S_{OUT} が出力される。

40

【0092】

一方、トランジスタ Q_1, Q_2 の各ゲートにセット信号 S_{SET} がそれぞれ付与されて、トランジスタ Q_1, Q_2 がそれぞれ導通状態とされた状態で、トランジスタ Q_1 のドレインおよびNOT回路 C_{NOT} の入力側にそれぞれ付与されるデータ信号 S_{DATA} の電位が所定の基準電位(例えば、0V)となると、トランジスタ Q_3, Q_5 がそれぞれ非導通状態となるとともに、トランジスタ Q_4, Q_6 がそれぞれ導通状態となる。このとき、接続部J8は接地されており、トランジスタ Q_5 のドレインにクロック信号 S_{CLK} が付与されても、接続部J8からクロック信号 S_{CLK} に応じたアウト信号 S_{OUT} は出力されない。

【0093】

50

このように、ブロック回路 $B L_x$ では、電氣的に直列に接続されている 2 つの n 型のトランジスタ Q_1 , Q_4 の間の電位と、電氣的に直列に接続されている 2 つの n 型のトランジスタ Q_2 , Q_3 の間の電位とが交互に切り替わることで、接続部 J_8 からクロック信号 S_{CLK} に応じたアウト信号 S_{OUT} が出力される状態と、該アウト信号 S_{OUT} が出力されない状態とに順次に設定される。そして、このブロック回路 $B L_x$ では、電氣的に直列に接続されている 2 つのトランジスタ Q_1 , Q_4 が同時に導通状態に設定されず、電氣的に直列に接続されている 2 つのトランジスタ Q_2 , Q_3 も同時に導通状態に設定されない。このため、2 つの電氣的に直列に接続されている 2 つのトランジスタを介して回路を貫通する電流（貫通電流）の発生が抑制される。

【0094】

しかしながら、ブロック回路 $B L_x$ では、NOT 回路 C_{NOT} において貫通電流が生じてしまう。以下、この問題点について述べる。

【0095】

図 11 は、 n 型のトランジスタを用いた NOT 回路 C_{NOT} の一般的な構成を示す図である。

【0096】

図 11 で示されるように、NOT 回路 C_{NOT} は、2 つの n 型のトランジスタ Q_{11} , Q_{12} を備えて構成される。具体的には、トランジスタ Q_{11} のドレインとゲートとが、相互に接続部 J_{12} を介して電氣的に接続されるとともに、該トランジスタ Q_{11} のドレインおよびゲートには、NOT 回路 C_{NOT} を能動化するための信号（能動化信号） S_{ENABLE} が接続部 J_{11} を介して入力される。また、トランジスタ Q_{11} のソースが接続部 J_{13} を介して、トランジスタ Q_{12} のドレインに対して電氣的に接続されている。更に、トランジスタ Q_{12} のゲートが、データ信号 S_{DATA} が入力されるように構成されるとともに、トランジスタ Q_{12} のソースが接地されている。

【0097】

この NOT 回路 C_{NOT} は、トランジスタ Q_{11} のドレインとゲートに対して所定の正の電位を有する能動化信号 S_{ENABLE} が常に付与された状態に設定される。そして、所定の正の電位を有するデータ信号 S_{DATA} がトランジスタ Q_{12} のゲートに対して付与されなければ、トランジスタ Q_{11} が導通状態に設定され、トランジスタ Q_{12} が非導通状態に設定されるため、能動化信号 S_{ENABLE} に応じた出力データ信号 $S_{DATAOUT}$ が接続部 J_{13} から出力されない。一方、データ信号 S_{DATA} がトランジスタ Q_{12} のゲートに対して付与されれば、トランジスタ Q_{11} , Q_{12} の双方が導通状態に設定されるため、能動化信号 S_{ENABLE} に応じた出力データ信号 $S_{DATAOUT}$ が接続部 J_{13} から出力される。

【0098】

しかしながら、接続部 J_{13} から出力データ信号 $S_{DATAOUT}$ を出力させるために、トランジスタ Q_{12} を導通状態に設定した場合には、電氣的に直列に接続されている 2 つのトランジスタ Q_{11} , Q_{12} が同時に導通状態に設定される。このため、NOT 回路 C_{NOT} において、能動化信号 S_{ENABLE} を入力する能動化信号線 L_{ENABLE} から 2 つのトランジスタ Q_{11} , Q_{12} を介した貫通電流が発生してしまう。

【0099】

そこで、本願の発明者らは、NOT 回路 C_{NOT} の代わりに、特別な構成を採用した電気回路を創出することで、電氣的に直列に接続されている 2 つのトランジスタにおける貫通電流の発生を抑制することを可能とした。

【0100】

< 貫通電流を抑制する原理 >

図 12 は、貫通電流を抑制する原理を説明するための図である。図 12 では、シフトレジスタ回路を構成する各段の回路（ブロック回路） $B L_y$ に関する構成が示されている。

【0101】

図 12 で示されるように、ブロック回路 $B L_y$ は、 n 型の T F T によってそれぞれ構成される 8 つの第 1 ~ 8 トランジスタ $T r_1$ ~ $T r_8$ を備えて構成されている。

10

20

30

40

50

【0102】

第1トランジスタ T_{r1} のドレインが、接続部C1において正の高電位を有する第1信号としての第1データ信号 S_{DP} を供給する第1信号線 L_{DP} と電氣的に接続されている。また、第1トランジスタ T_{r1} のゲートが、接続部C2を介して、第2トランジスタ T_{r2} のゲートに対して電氣的に接続される。そして、第1および第2トランジスタ T_{r1} 、 T_{r2} の各ゲートには所定の正の電位を有するセット信号 S_{SET} が供給される。また、第1トランジスタ T_{r1} のソースが、接続部C3を介して第7トランジスタ T_{r7} のソースに対して電氣的に接続され、接続部C3、C4を順次に介して第5トランジスタ T_{r5} のゲートに対して電氣的に接続され、接続部C3～C5を順次に介して第3トランジスタ T_{r3} のゲートおよび第4トランジスタ T_{r4} のドレインに対してそれぞれ電氣的に接続されている。 10

【0103】

また、第2トランジスタ T_{r2} のドレインが、接続部C6において正の高電位を有する第2信号としての第2データ信号 S_{DN} を供給する第2信号線 L_{DN} と電氣的に接続されている。また、第2トランジスタ T_{r2} のソースが、接続部C7を介して第8トランジスタ T_{r8} のソースに対して電氣的に接続され、接続部C7、C8を順次に介して第6トランジスタ T_{r6} のゲートに対して電氣的に接続され、接続部C7～C9を順次に介して第3トランジスタ T_{r3} のドレインおよび第4トランジスタ T_{r4} のゲートに対してそれぞれ電氣的に接続されている。 20

【0104】

また、第3および第4トランジスタ T_{r3} 、 T_{r4} の各ソースが、接続部C10、C11を順次に介して接地されている。 20

【0105】

また、第5トランジスタ T_{r5} のドレインが、接続部C12においてクロック信号 S_{CLK} を供給するクロック信号線 L_{CLK} と電氣的に接続されている。また、第5トランジスタ T_{r5} のソースが、アウト信号 S_{OUT} が出力される接続部C13を介して、第6トランジスタ T_{r6} のドレインに対して電氣的に接続されている。また、第6トランジスタ T_{r6} のソースが、接続部C11を介して接地されている。 20

【0106】

また、第7トランジスタ T_{r7} のドレインが、接続部C14において第2信号線 L_{DN} と電氣的に接続されている。また、第7トランジスタ T_{r7} のゲートが、接続部C15を介して第8トランジスタ T_{r8} のゲートに対して電氣的に接続されている。そして、第7および第8トランジスタ T_{r7} 、 T_{r8} の各ゲートには所定の正の電位を有するリセット信号 S_{RESET} が供給される。また、第8トランジスタ T_{r8} のドレインが、接続部C16において第1信号線 L_{DP} と電氣的に接続されている。 30

【0107】

そして、第1信号線 L_{DP} からブロック回路 B_{LY} に対する第1データ信号 S_{DP} の入力と、第2信号線 L_{DN} からブロック回路 B_{LY} に対する第2データ信号 S_{DN} の入力とが同時に行われないうように制御される。つまり、第1データ信号 S_{DP} と第2データ信号 S_{DN} とが異なるタイミングでブロック回路 B_{LY} に入力される。 40

【0108】

このようなブロック回路 B_{LY} では、接続部C2から第1および第2トランジスタ T_{r1} 、 T_{r2} の各ゲートに対してセット信号 S_{SET} が付与されると、第1および第2トランジスタ T_{r1} 、 T_{r2} がそれぞれ導通状態(ON状態)に設定される。

【0109】

第1および第2トランジスタ T_{r1} 、 T_{r2} がそれぞれ導通状態に設定されている際に、ブロック回路 B_{LY} に対して第1データ信号 S_{DP} が付与され、且つブロック回路 B_{LY} に対して第2データ信号 S_{DN} が付与されなければ、第3トランジスタ T_{r3} のゲートに第1データ信号 S_{DP} に応じた電位が付与されて、第3トランジスタ T_{r3} が導通状態に設定されるとともに、第4トランジスタ T_{r4} のゲートが接地されて、第4トランジスタ T_{r4} 50

が非導通状態に設定される。このとき、第1トランジスタ $T r 1$ が導通状態に設定され、且つ第4トランジスタ $T r 4$ が非導通状態に設定されるため、第5トランジスタ $T r 5$ のゲートに対して第1データ信号 S_{DP} に応じた電位が付与されて、第5トランジスタ $T r 5$ が導通状態となる。また、第2トランジスタ $T r 2$ には、第2データ信号 S_{DN} が付与されず、且つ第3トランジスタ $T r 3$ が導通状態であるため、第6トランジスタ $T r 6$ のゲートは接地されて、第6トランジスタ $T r 6$ が非導通状態となる。この状態で、第5トランジスタ $T r 5$ のドレインにクロック信号 S_{CLK} が付与されると、接続部 $C 1 3$ からクロック信号 S_{CLK} に応じたアウト信号 S_{OUT} が出力される。なお、セット信号 S_{SET} が付与されている状態において、第1データ信号 S_{DP} が流れてアウト信号 S_{OUT} が出力される状態を第1信号状態とする。

10

【0110】

そして、第1および第2トランジスタ $T r 1$ 、 $T r 2$ の各ゲートに対するセット信号 S_{SET} の付与が終了された後に、第7および第8トランジスタ $T r 7$ 、 $T r 8$ の各ゲートにリセット信号 S_{RESET} が付与されると、第7および第8トランジスタ $T r 7$ 、 $T r 8$ がそれぞれ導通状態（ON状態）となる。

【0111】

第7および第8トランジスタ $T r 7$ 、 $T r 8$ がそれぞれ導通状態に設定されている際に、ブロック回路 $B L_Y$ に対して第1データ信号 S_{DP} が付与され、且つブロック回路 $B L_Y$ に対して第2データ信号 S_{DN} が付与されなければ、第3および第5トランジスタ $T r 3$ 、 $T r 5$ がそれぞれ非導通状態に設定されるとともに、第4および第6トランジスタ $T r 4$ 、 $T r 6$ がそれぞれ導通状態となる。このとき、接続部 $C 1 3$ は接地されているため、第5トランジスタ $T r 5$ のドレインにクロック信号 S_{CLK} が付与されても、クロック信号 S_{CLK} に応じたアウト信号 S_{OUT} は接続部 $C 1 3$ から出力されない。なお、セット信号 S_{SET} が付与されている状態において、第2データ信号 S_{DN} が流れずアウト信号 S_{OUT} が出力されない状態を第2信号状態とする。

20

【0112】

このように、ブロック回路 $B L_Y$ では、例えば、セット信号 S_{SET} の入力と、リセット信号 S_{RESET} の入力とが適度な時間間隔を以て交互に行われることで、電氣的に直列に接続されている第1トランジスタ $T r 1$ （または第7トランジスタ $T r 7$ ）と第4トランジスタ $T r 4$ との間（例えば、接続部 $C 4$ ）の電位と、電氣的に直列に接続されている第2トランジスタ $T r 2$ （または第8トランジスタ $T r 8$ ）と第3トランジスタ $T r 3$ との間（例えば、接続部 $C 8$ ）の電位とが、交互に切り替わる。つまり、いわゆるラッチ回路に相当する電気回路が形成される。

30

【0113】

また、ブロック回路 $B L_Y$ に対するセット信号 S_{SET} の入力とリセット信号 S_{RESET} の入力とが順次に行われることで、接続部 $C 1 3$ からクロック信号 S_{CLK} に応じたアウト信号 S_{OUT} が出力される状態と出力されない状態とに順次に設定される。

【0114】

そして、このブロック回路 $B L_Y$ では、電氣的に直列に接続されている2つのトランジスタの全ての組合せ、例えば、第1トランジスタ $T r 1$ と第4トランジスタ $T r 4$ との組み合わせ、或いは第2トランジスタ $T r 2$ と第3トランジスタ $T r 3$ との組み合わせ等において、2つのトランジスタが同時に導通状態に設定されない。このため、電氣的に直列に接続されている2つのトランジスタを介した回路を貫通する電流（貫通電流）の発生が抑制される。

40

【0115】

なお、ここでは、ブロック回路 $B L_Y$ に対して第1データ信号 S_{DP} が付与され、且つブロック回路 $B L_Y$ に対して第2データ信号 S_{DN} が付与されない状態で、ブロック回路 $B L_Y$ に対するセット信号 S_{SET} の入力とリセット信号 S_{RESET} の入力とが交互に行われることで、接続部 $C 4$ の電位と接続部 $C 8$ の電位とが交互に切り替わる動作を挙げて説明したが、これに限られない。

50

【0116】

例えば、図13で示されるように、ブロック回路 B_{L_Y} から第7, 8トランジスタ T_{r7} , T_{r8} を取り除いたブロック回路 B_{L_Z} を採用して、ブロック回路 B_{L_Z} に対する第1データ信号 S_{DP} の入力と第2データ信号 S_{DN} の入力が交互に行われるようにしても良い。つまり、接続部 C_2 から第1, 2トランジスタ T_{r1} , T_{r2} の各ゲートに対してセット信号 S_{SET} が付与されている状態において、接続部 C_1 から第1トランジスタ T_{r1} を介して第3トランジスタ T_{r3} のゲートに対して第1データ信号 S_{DP} が付与されることで、第3トランジスタ T_{r3} が導通状態に設定されている状態(第1設定状態)と、接続部 C_6 から第2トランジスタ T_{r2} を介して第4トランジスタ T_{r4} のゲートに対して第2データ信号 S_{DN} が付与されることで、第4トランジスタ T_{r4} が導通状態に設定されている状態(第2設定状態)とに順次に設定されるような態様であっても良い。

10

【0117】

なお、上述した図12で示したブロック回路 B_{L_Y} の説明は、第1~8トランジスタ T_{r1} ~ T_{r8} をn型のトランジスタとして説明したが、第1~8トランジスタ T_{r1} ~ T_{r8} はp型のトランジスタであってもよい。p型のトランジスタであっても、電氣的に直列に接続されている2つのトランジスタを介した回路を貫通する電流(貫通電流)の発生が抑制される。同様に、図13で示したブロック回路 B_{L_Z} の第1~6トランジスタ T_{r1} ~ T_{r6} が、p型トランジスタであってもよい。

【0118】

<シフトレジスタ回路の構成>

20

<概略構成>

図14は、本発明の一実施形態に係る画像表示装置1のYドライバ回路4Yに適用されるシフトレジスタ回路400の概略構成を模式的に示す図である。

【0119】

図14で示されるように、シフトレジスタ回路400は、第0~nブロック回路 B_{L_0} ~ B_{L_n} 、第1クロック信号線 L_{CLKE} 、第2クロック信号線 L_{CLKO} 、第1信号線 L_{DP} 、第2信号線 L_{DN} 、第1モード信号線 L_{SL} 、第2モード信号線 L_{PL} 、および低電位線 L_{VL} を備えた電気回路である。

【0120】

第0~nブロック回路 B_{L_0} ~ B_{L_n} は、シフトレジスタ回路400の0~n段目のブロック回路に相当する電気回路であり、順次に配列されている。各ブロック回路 B_{L_0} ~ B_{L_n} は、第1~12端子部 T_1 ~ T_{12} 、クロック信号入力端子部 T_{IN} 、アウト信号出力端子部 T_{OUT} 、セット信号付与端子部 T_{SET} 、リセット信号付与端子部 T_{RESET} 、および第1~3低電位接続端子部 T_{L1} ~ T_{L3} をそれぞれ備えている。

30

【0121】

そして、第0~nブロック回路 B_{L_0} ~ B_{L_n} は、有機ELディスプレイ部3に配列されるn+1本の水平ラインに対して、走査信号に相当する第0~nアウト信号 S_{OUT_0} ~ S_{OUT_n} を各アウト信号出力端子部 T_{OUT} からそれぞれ出力する。換言すれば、各ブロック回路 B_{L_0} ~ B_{L_n} のアウト信号出力端子部 T_{OUT} が、対応する各水平ラインに含まれる複数の画素回路31に対して、それぞれ第0~nアウト信号 S_{OUT_0} ~ S_{OUT_n} を出力する。

40

【0122】

例えば、第0ブロック回路 B_{L_0} のアウト信号出力端子部 T_{OUT} が、1本目の水平ラインに含まれる複数の画素回路31に対して、アウト信号(第0アウト信号) S_{OUT_0} を出力する。また、第1ブロック回路 B_{L_1} のアウト信号出力端子部 T_{OUT} が、2本目の水平ラインに含まれる複数の画素回路31に対して、アウト信号(第1アウト信号) S_{OUT_1} を出力する。また、第2ブロック回路 B_{L_2} のアウト信号出力端子部 T_{OUT} が、3本目の水平ラインに含まれる複数の画素回路31に対して、アウト信号(第2アウト信号) S_{OUT_2} を出力する。更に、第nブロック回路 B_{L_n} のアウト信号出力端子部 T_{OUT} が、n+1本目の水平ラインに含まれる複数の画素回路31に対して、アウト信号(第nアウト信号) S_{OUT_n} を出力する。なお、本実施形態では、アウト信号出力端子部 T_{OUT} が、本発明の「信号出力部

50

」に相当する。

【0123】

第1クロック信号線 L_{CLKE} は、第0～nブロック回路 $B_{L_0} \sim B_{L_n}$ のうちの奇数番目にそれぞれ配列されている各ブロック回路 $B_{L_0}, B_{L_2}, B_{L_4}, \dots, B_{L_{n-1}}$ のクロック信号入力端子部 T_{1N} に対して電氣的に接続されている。そして、第1クロック信号線 L_{CLKE} は、奇数番目の各ブロック回路 $B_{L_0}, B_{L_2}, B_{L_4}, \dots, B_{L_{n-1}}$ のクロック信号入力端子部 T_{1N} に対して第1クロック信号 S_{CLKE} を付与する。なお、本実施形態では、第1クロック信号線 L_{CLKE} が、本発明の「第1入力信号線」に相当する。

【0124】

第2クロック信号線 L_{CLKO} は、第0～nブロック回路 $B_{L_0} \sim B_{L_n}$ のうちの偶数番目にそれぞれ配列されている各ブロック回路 $B_{L_1}, B_{L_3}, B_{L_5}, \dots, B_{L_n}$ のクロック信号入力端子部 T_{1N} に対して電氣的に接続されている。そして、第2クロック信号線 L_{CLKO} は、偶数番目の各ブロック回路 $B_{L_1}, B_{L_3}, B_{L_5}, \dots, B_{L_n}$ のクロック信号入力端子部 T_{1N} に対して第2クロック信号 S_{CLKO} を付与する。なお、本実施形態では、第2クロック信号線 L_{CLKO} が、本発明の「第2入力信号線」に相当する。更に、本実施形態では、クロック信号入力端子部 T_{1N} が、本発明の「入力信号付与部」に相当し、第1および第2クロック信号 S_{CLKE}, S_{CLKO} が、本発明の「入力信号」に相当する。

10

【0125】

第1信号線 L_{DP} は、各第0～nブロック回路 $B_{L_0} \sim B_{L_n}$ の第1, 4, 5端子部 T_1, T_4, T_5 に対してそれぞれ電氣的に接続されている。そして、第1信号線 L_{DP} は、各第1, 4, 5端子部 T_1, T_4, T_5 に対して第1データ信号 S_{DP} を付与する。なお、本実施形態では、第1端子部 T_1 が、本発明の「第1信号付与部」に相当し、第4端子部 T_4 が、本発明の「第4信号付与部」に相当し、第1データ信号 S_{DP} が、本発明の「第1信号」に相当する。

20

【0126】

第2信号線 L_{DN} は、各第0～nブロック回路 $B_{L_0} \sim B_{L_n}$ の第2, 3, 6端子部 T_2, T_3, T_6 に対してそれぞれ電氣的に接続されている。そして、第2信号線 L_{DN} は、各第2, 3, 6端子部 T_2, T_3, T_6 に対して第2データ信号 S_{DN} を付与する。なお、本実施形態では、第2端子部 T_2 が、本発明の「第2信号付与部」に相当し、第3端子部 T_3 が、本発明の「第3信号付与部」に相当し、第2データ信号 S_{DN} が、本発明の「第2信号」に相当する。

30

【0127】

第1モード信号線 L_{SL} は、各第0～nブロック回路 $B_{L_0} \sim B_{L_n}$ の第7～10端子部 $T_7 \sim T_{10}$ に対してそれぞれ電氣的に接続されている。そして、第1モード信号線 L_{SL} は、各第7～10端子部 $T_7 \sim T_{10}$ に対して第1モード信号 S_{SL} を付与する。

【0128】

第2モード信号線 L_{PL} は、各第0～nブロック回路 $B_{L_0} \sim B_{L_n}$ の第11, 12端子部 T_{11}, T_{12} に対してそれぞれ電氣的に接続されている。そして、第2モード信号線 L_{PL} は、各第11, 12端子部 T_{11}, T_{12} に対して第2モード信号 S_{PL} を付与する。

40

【0129】

低電位線 L_{VL} は、各第0～nブロック回路 $B_{L_0} \sim B_{L_n}$ の第1～3低電位接続端子部 $T_{L_1} \sim T_{L_3}$ に対してそれぞれ電氣的に接続されている。そして、低電位線 L_{VL} は、各第1～3低電位接続端子部 $T_{L_1} \sim T_{L_3}$ に対して所定の低電位（例えば、0Vまたは若干負の電位）を付与する。

【0130】

また、第0～nブロック回路 $B_{L_0} \sim B_{L_n}$ のうちの一端に配列されている第0ブロック回路 B_{L_0} のリセット信号付与端子部 T_{RESET} が、第0ブロック回路 B_{L_0} の次に配列されている第1ブロック回路 B_{L_1} のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。なお、本実施形態では、リセット信号付与端子部 T_{RESET} が、本発明の「リセット信号付与部」に相当する。

50

【0131】

また、第0～nブロック回路 $BL_0 \sim BL_n$ のうち他端に配列されている第nブロック回路 BL_n のセット信号付与端子部 T_{SET} が、第nブロック回路 BL_n の前に配列されている第n-1ブロック回路 BL_{n-1} のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。なお、本実施形態では、セット信号付与端子部 T_{SET} が、本発明の「セット信号付与部」に相当する。

【0132】

また、第0～nブロック回路 $BL_0 \sim BL_n$ のうち一端および他端に配列されている第0, nブロック回路 BL_0, BL_n を除く各ブロック回路 $BL_1 \sim BL_{n-1}$ では、それぞれ、セット信号付与端子部 T_{SET} が、前に配列されている各ブロック回路 $BL_0 \sim BL_{n-2}$ のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。例えば、図14で示されるように、第1ブロック回路 BL_1 のセット信号付与端子部 T_{SET} が、その前に配列されている第0ブロック回路 BL_0 のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。また、第2ブロック回路 BL_2 のセット信号付与端子部 T_{SET} が、その前に配列されている第1ブロック回路 BL_1 のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。

10

【0133】

また、各ブロック回路 $BL_1 \sim BL_{n-1}$ では、リセット信号付与端子部 T_{RESET} が、次に配列されている各ブロック回路 $BL_2 \sim BL_n$ のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。例えば、図14で示されるように、第1ブロック回路 BL_1 では、リセット信号付与端子部 T_{RESET} が、次に配列されている第2ブロック回路 BL_2 のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。

20

【0134】

更に、第0ブロック回路 BL_0 のセット信号付与端子部 T_{SET} には、外部からセット信号 S_{SET} が所定のタイミングで付与される。そして、第nブロック回路 BL_n のリセット信号付与端子部 T_{RESET} には、外部からリセット信号 S_{RESET} が所定のタイミングで付与される。

【0135】

次に、第0～nブロック回路 $BL_0 \sim BL_n$ のうち奇数番目の各ブロック回路 $BL_0, BL_2, BL_4, \dots, BL_{n-1}$ の構成、および偶数番目の各ブロック回路 $BL_1, BL_3, BL_5, \dots, BL_n$ の構成について順次に説明する。

30

【0136】

< 奇数番目のブロック回路 >

図15は、シフトレジスタ回路400を構成する奇数番目のブロック回路 $BL_0, BL_2, BL_4, \dots, BL_{n-1}$ の回路図である。なお、奇数番目のブロック回路 $BL_0, BL_2, BL_4, \dots, BL_{n-1}$ は、相互に同様なものであるため、図15では、その代表例として第2ブロック回路 BL_2 の回路図が示されている。

【0137】

図15で示されるように、第2ブロック回路 BL_2 は、第1～14トランジスタ $Tr_1 \sim Tr_{14}$ 、第1～12端子部 $T_1 \sim T_{12}$ 、クロック信号入力端子部 T_{IN} 、アウト信号出力端子部 T_{OUT} 、セット信号付与端子部 T_{SET} 、リセット信号付与端子部 T_{RESET} 、および第1～3低電位接続端子部 $T_{L1} \sim T_{L3}$ を備えて構成されている。

40

【0138】

第1トランジスタ Tr_1 は、第1、第2、第3電極 $E_1 \sim E_3$ を有し、ゲートとして機能する第3電極 E_3 に対する電位の付与に応じて第1電極 E_1 と第2電極 E_2 との間の電流が調整されるn型のTFETである。第1電極 E_1 は、第1端子部 T_1 を介して第1信号線 L_{DP} に対して電氣的に接続されている。第2電極 E_2 は、第9トランジスタ Tr_9 の第25電極 E_{25} に対して電氣的に接続されている。第3電極 E_3 は、セット信号付与端子部 T_{SET} および第2トランジスタ Tr_2 の第6電極 E_6 に対して電氣的に接続されている。つまり、第3および第6電極 E_3, E_6 には、セット信号付与端子部 T_{SET} によってセ

50

ット信号 S_{SET} が付与される。なお、本実施形態では、第 1 電極 E_1 がドレインとして機能し、第 2 電極 E_2 がソースとして機能する。

【0139】

第 2 トランジスタ Tr_2 は、第 4、第 5、第 6 電極 $E_4 \sim E_6$ を有し、ゲートとして機能する第 6 電極 E_6 に対する電位の付与に応じて第 4 電極 E_4 と第 5 電極 E_5 との間の電流が調整される n 型の T F T である。第 4 電極 E_4 は、第 2 端子部 T_2 を介して第 2 信号線 L_{DN} に対して電氣的に接続されている。第 5 電極 E_5 は、第 1 1 トランジスタ Tr_{11} の第 3 1 電極 E_{31} に対して電氣的に接続されている。第 6 電極 E_6 は、セット信号付与端子部 T_{SET} および第 1 トランジスタ Tr_1 の第 3 電極 E_3 に対して電氣的に接続されている。なお、本実施形態では、第 4 電極 E_4 がドレインとして機能し、第 5 電極 E_5 がソ

10

【0140】

第 3 トランジスタ Tr_3 は、第 7、第 8、第 9 電極 $E_7 \sim E_9$ を有し、ゲートとして機能する第 9 電極 E_9 に対する電位の付与に応じて第 7 電極 E_7 と第 8 電極 E_8 との間の電流が調整される n 型の T F T である。第 7 電極 E_7 は、第 4 トランジスタ Tr_4 の第 1 2 電極 E_{12} 、第 6 トランジスタ Tr_{16} の第 1 8 電極 E_{18} 、第 1 1 トランジスタ Tr_{11} の第 3 2 電極 E_{32} 、第 1 2 トランジスタ Tr_{12} の第 3 5 電極 E_{35} 、および第 1 4 トランジスタ Tr_{14} の第 4 1 電極 E_{41} に対してそれぞれ電氣的に接続されている。第 8 電極 E_8 は、第 2 低電位接続端子部 T_{L2} を介して低電位線 L_{VL} に対して電氣的に接続されている。第 9 電極 E_9 は、第 4 トランジスタ Tr_4 の第 1 0 電極 E_{10} 、第 5 トランジ

20

【0141】

第 4 トランジスタ Tr_4 は、第 1 0、第 1 1、第 1 2 電極 $E_{10} \sim E_{12}$ を有し、ゲートとして機能する第 1 2 電極 E_{12} に対する電位の付与に応じて第 1 0 電極 E_{10} と第 1 1 電極 E_{11} との間の電流が調整される n 型の T F T である。第 1 0 電極 E_{10} は、第 3 トランジスタ Tr_3 の第 9 電極 E_9 、第 5 トランジスタ Tr_5 の第 1 5 電極 E_{15} 、第 9 トランジスタ Tr_9 の第 2 6 電極 E_{26} 、第 1 0 トランジスタ Tr_{10} の第 2 9 電極 E_{29} 、および第 1 3 トランジスタ Tr_{13} の第 3 8 電極 E_{38} に対してそれぞれ電氣的に接続されている。第 1 1 電極 E_{11} は、第 1 低電位接続端子部 T_{L1} を介して低電位線 L_{VL} に対して電氣的に接続されている。第 1 2 電極 E_{12} は、第 3 トランジスタ Tr_3 の第 7 電極 E_7 、第 6 トランジスタ Tr_6 の第 1 8 電極 E_{18} 、第 1 1 トランジスタ Tr_{11} の第 3 2 電極 E_{32} 、第 1 2 トランジスタ Tr_{12} の第 3 5 電極 E_{35} 、および第 1 4 トランジスタ Tr_{14} の第 4 1 電極 E_{41} に対してそれぞれ電氣的に接続されている。なお、本実施形態では、第 1 0 電極 E_{10} がドレインとして機能し、第 1 1 電極 E_{11} がソ

30

【0142】

第 5 トランジスタ Tr_5 は、第 1 3、第 1 4、第 1 5 電極 $E_{13} \sim E_{15}$ を有し、ゲートとして機能する第 1 5 電極 E_{15} に対する電位の付与に応じて第 1 3 電極 E_{13} と第 1 4 電極 E_{14} との間の電流が調整される n 型の T F T である。第 1 3 電極 E_{13} は、クロック信号入力端子部 T_{IN} を介して第 1 クロック信号線 L_{CLKE} に対して電氣的に接続されている。つまり、クロック信号入力端子部 T_{IN} から第 1 3 電極 E_{13} に対して第 1 クロック信号が付与される。第 1 4 電極 E_{14} は、第 6 トランジスタ Tr_6 の第 1 6 電極 E_{16} およびアウト信号出力端子部 T_{OUT} に対してそれぞれ電氣的に接続されている。つまり、第 1 4 電極 E_{14} と第 1 6 電極 E_{16} とを電氣的に接続する配線に対してアウト信号 S_{OUT} (ここでは、第 2 アウト信号 S_{OUT2}) を出力するアウト信号出力端子部 T_{OUT} が電氣的に接続されている。第 1 5 電極 E_{15} は、第 3 トランジスタ Tr_3 の第 9 電極 E_9 、第 4 トランジスタ Tr_4 の第 1 0 電極 E_{10} 、第 9 トランジスタ Tr_9 の第 2 6 電極 E_{26} 、第

40

50

10 トランジスタ Tr_{10} の第 29 電極 E_{29} 、および第 13 トランジスタ Tr_{13} の第 38 電極 E_{38} に対してそれぞれ電氣的に接続されている。なお、本実施形態では、第 13 電極 E_{13} がドレインとして機能し、第 14 電極 E_{14} がソースとして機能する。

【0143】

第 6 トランジスタ Tr_6 は、第 16、第 17、第 18 電極 $E_{16} \sim E_{18}$ を有し、ゲートとして機能する第 18 電極 E_{18} に対する電位の付与に応じて第 16 電極 E_{16} と第 17 電極 E_{17} との間の電流が調整される n 型の T F T である。第 16 電極 E_{16} は、第 5 トランジスタ Tr_5 の第 14 電極 E_{14} およびアウト信号出力端子部 T_{OUT} に対してそれぞれ電氣的に接続されている。第 17 電極 E_{17} は、第 3 低電位接続端子部 T_{L3} を介して低電位線 L_{VL} に対して電氣的に接続されている。第 18 電極 E_{18} は、第 3 トランジスタ Tr_3 の第 7 電極 E_7 、第 4 トランジスタ Tr_4 の第 12 電極 E_{12} 、第 11 トランジスタ Tr_{11} の第 32 電極 E_{32} 、第 12 トランジスタ Tr_{12} の第 35 電極 E_{35} 、および第 14 トランジスタ Tr_{14} の第 41 電極 E_{41} に対してそれぞれ電氣的に接続されている。なお、本実施形態では、第 16 電極 E_{16} がドレインとして機能し、第 17 電極 E_{17} がソースとして機能する。

10

【0144】

第 7 トランジスタ Tr_7 は、第 19、第 20、第 21 電極 $E_{19} \sim E_{21}$ を有し、ゲートとして機能する第 21 電極 E_{21} に対する電位の付与に応じて第 19 電極 E_{19} と第 20 電極 E_{20} との間の電流が調整される n 型の T F T である。第 19 電極 E_{19} は、第 3 端子部 T_3 を介して第 2 信号線 L_{DN} に対して電氣的に接続されている。なお、第 3 端子部 T_3 は、第 2 端子部 T_2 と同様に第 2 信号線 L_{DN} に対して電氣的に接続されているため、第 2 端子部 T_2 と同電位に設定される。第 20 電極 E_{20} は、第 10 トランジスタ Tr_{10} の第 28 電極 E_{28} に対して電氣的に接続されている。第 21 電極 E_{21} は、リセット信号付与端子部 T_{RESET} および第 8 トランジスタ Tr_8 の第 24 電極 E_{24} に対して電氣的に接続されている。つまり、第 21 および第 24 電極 E_{21} 、 E_{24} には、リセット信号付与端子部 T_{RESET} によってリセット信号 S_{RESET} が付与される。なお、本実施形態では、第 19 電極 E_{19} がドレインとして機能し、第 20 電極 E_{20} がソースとして機能する。

20

【0145】

第 8 トランジスタ Tr_8 は、第 22、第 23、第 24 電極 $E_{22} \sim E_{24}$ を有し、ゲートとして機能する第 24 電極 E_{24} に対する電位の付与に応じて第 22 電極 E_{22} と第 23 電極 E_{23} との間の電流が調整される n 型の T F T である。第 22 電極 E_{22} は、第 4 端子部 T_4 を介して第 1 信号線 L_{DP} に対して電氣的に接続されている。なお、第 4 端子部 T_4 は、第 1 端子部 T_1 と同様に第 1 信号線 L_{DP} に対して電氣的に接続されているため、第 1 端子部 T_1 と同電位に設定される。第 23 電極 E_{23} は、第 12 トランジスタ Tr_{12} の第 34 電極 E_{34} に対して電氣的に接続されている。第 24 電極 E_{24} は、リセット信号付与端子部 T_{RESET} および第 7 トランジスタ Tr_7 の第 21 電極 E_{21} に対して電氣的に接続されている。なお、本実施形態では、第 22 電極 E_{22} がドレインとして機能し、第 23 電極 E_{23} がソースとして機能する。

30

【0146】

第 9 トランジスタ Tr_9 は、第 25、第 26、第 27 電極 $E_{25} \sim E_{27}$ を有し、ゲートとして機能する第 27 電極 E_{27} に対する電位の付与に応じて第 25 電極 E_{25} と第 26 電極 E_{26} との間の電流が調整される n 型の T F T である。第 25 電極 E_{25} は、第 1 トランジスタ Tr_1 の第 2 電極 E_2 に対して電氣的に接続されている。第 26 電極 E_{26} は、第 3 トランジスタ Tr_3 の第 9 電極 E_9 、第 4 トランジスタ Tr_4 の第 10 電極 E_{10} 、第 5 トランジスタ Tr_5 の第 15 電極 E_{15} 、第 10 トランジスタ Tr_{10} の第 29 電極 E_{29} 、および第 13 トランジスタ Tr_{13} の第 38 電極 E_{38} に対してそれぞれ電氣的に接続されている。つまり、第 2 電極 E_2 と、第 9、10、15 電極 E_9 、 E_{10} 、 E_{15} とが、第 25 および第 26 電極 E_{25} 、 E_{26} を介して電氣的に接続されている。第 27 電極 E_{27} は、第 7 端子部 T_7 を介して第 1 モード信号線 L_{SL} に対して電氣的に接続されている。なお、本実施形態では、第 25 電極 E_{25} がドレインとして機能し、第 2

40

50

6 電極 E 2 6 がソースとして機能する。

【 0 1 4 7 】

第 1 0 トランジスタ T r 1 0 は、第 2 8、第 2 9、第 3 0 電極 E 2 8 ~ E 3 0 を有し、ゲートとして機能する第 3 0 電極 E 3 0 に対する電位の付与に応じて第 2 8 電極 E 2 8 と第 2 9 電極 E 2 9 との間の電流が調整される n 型の T F T である。第 2 8 電極 E 2 8 は、第 7 トランジスタ T r 7 の第 2 0 電極 E 2 0 に対して電氣的に接続されている。第 2 9 電極 E 2 9 は、第 3 トランジスタ T r 3 の第 9 電極 E 9、第 4 トランジスタ T r 4 の第 1 0 電極 E 1 0、第 5 トランジスタ T r 5 の第 1 5 電極 E 1 5、第 9 トランジスタ T r 9 の第 2 6 電極 E 2 6、および第 1 3 トランジスタ T r 1 3 の第 3 8 電極 E 3 8 に対してそれぞれ電氣的に接続されている。つまり、第 2 0 電極 E 2 0 と、第 9、第 1 0、および第 1 5 電極 E 9, E 1 0, E 1 5 とが、第 2 8 および第 2 9 電極 E 2 8, E 2 9 を介して電氣的に接続されている。第 3 0 電極 E 3 0 は、第 9 端子部 T₉ を介して第 1 モード信号線 L_{SL} に対して電氣的に接続されている。なお、本実施形態では、第 2 8 電極 E 2 8 がドレインとして機能し、第 2 9 電極 E 2 9 がソースとして機能する。

10

【 0 1 4 8 】

第 1 1 トランジスタ T r 1 1 は、第 3 1、第 3 2、第 3 3 電極 E 3 1 ~ E 3 3 を有し、ゲートとして機能する第 3 3 電極 E 3 3 に対する電位の付与に応じて第 3 1 電極 E 3 1 と第 3 2 電極 E 3 2 との間の電流が調整される n 型の T F T である。第 3 1 電極 E 3 1 は、第 2 トランジスタ T r 2 の第 5 電極 E 5 に対して電氣的に接続されている。第 3 2 電極 E 3 2 は、第 3 トランジスタ T r 3 の第 7 電極 E 7、第 4 トランジスタ T r 4 の第 1 2 電極 E 1 2、第 6 トランジスタ T r 6 の第 1 8 電極 E 1 8、第 1 2 トランジスタ T r 1 2 の第 3 5 電極 E 3 5、および第 1 4 トランジスタ T r 1 4 の第 4 1 電極 E 4 1 に対してそれぞれ電氣的に接続されている。つまり、第 5 電極 E 5 と、第 7、第 1 2、および第 1 8 電極 E 7, E 1 2, E 1 8 とが、第 3 1 および第 3 2 電極 E 3 1, E 3 2 を介して電氣的に接続されている。第 3 3 電極 E 3 3 は、第 8 端子部 T₈ を介して第 1 モード信号線 L_{SL} に対して電氣的に接続されている。なお、本実施形態では、第 3 1 電極 E 3 1 がドレインとして機能し、第 3 2 電極 E 3 2 がソースとして機能する。

20

【 0 1 4 9 】

第 1 2 トランジスタ T r 1 2 は、第 3 4、第 3 5、第 3 6 電極 E 3 4 ~ E 3 6 を有し、ゲートとして機能する第 3 6 電極 E 3 6 に対する電位の付与に応じて第 3 4 電極 E 3 4 と第 3 5 電極 E 3 5 との間の電流が調整される n 型の T F T である。第 3 4 電極 E 3 4 は、第 8 トランジスタ T r 8 の第 2 3 電極 E 2 3 に対して電氣的に接続されている。第 3 5 電極 E 3 5 は、第 3 トランジスタ T r 3 の第 7 電極 E 7、第 4 トランジスタ T r 4 の第 1 2 電極 E 1 2、第 6 トランジスタ T r 6 の第 1 8 電極 E 1 8、第 1 1 トランジスタ T r 1 1 の第 3 2 電極 E 3 2、および第 1 4 トランジスタ T r 1 4 の第 4 1 電極 E 4 1 に対してそれぞれ電氣的に接続されている。つまり、第 2 3 電極 E 2 3 と、第 7、第 1 2、および第 1 8 電極 E 7, E 1 2, E 1 8 とが、第 3 4 および第 3 5 電極 E 3 4, E 3 5 を介して電氣的に接続されている。第 3 6 電極 E 3 6 は、第 1 0 端子部 T₁₀ を介して第 1 モード信号線 L_{SL} に対して電氣的に接続されている。なお、本実施形態では、第 3 4 電極 E 3 4 がドレインとして機能し、第 3 5 電極 E 3 5 がソースとして機能する。

30

40

【 0 1 5 0 】

第 1 3 トランジスタ T r 1 3 は、第 3 7、第 3 8、第 3 9 電極 E 3 7 ~ E 3 9 を有し、ゲートとして機能する第 3 9 電極 E 3 9 に対する電位の付与に応じて第 3 7 電極 E 3 7 と第 3 8 電極 E 3 8 との間の電流が調整される n 型の T F T である。第 3 7 電極 E 3 7 は、第 5 端子部 T₅ を介して第 1 信号線 L_{DP} に対して電氣的に接続されている。第 3 8 電極 E 3 8 は、第 3 トランジスタ T r 3 の第 9 電極 E 9、第 4 トランジスタ T r 4 の第 1 0 電極 E 1 0、第 5 トランジスタ T r 5 の第 1 5 電極 E 1 5、第 9 トランジスタ T r 9 の第 2 6 電極 E 2 6、および第 1 0 トランジスタ T r 1 0 の第 2 9 電極 E 2 9 に対してそれぞれ電氣的に接続されている。第 3 9 電極 E 3 9 は、第 1 1 端子部 T₁₁ を介して第 2 モード信号線 L_{PL} に対して電氣的に接続されている。なお、本実施形態では、第 3 7 電極 E 3 7 がド

50

ラインとして機能し、第 38 電極 E 38 がソースとして機能する。

【0151】

第 14 トランジスタ Tr 14 は、第 40、第 41、第 42 電極 E 40 ~ E 42 を有し、ゲートとして機能する第 42 電極 E 42 に対する電位の付与に応じて第 40 電極 E 40 と第 41 電極 E 41 との間の電流が調整される n 型の TFT である。第 40 電極 E 40 は、第 6 端子部 T₆ を介して第 2 信号線 L_{DN} に対して電氣的に接続されている。第 41 電極 E 41 は、第 3 トランジスタ Tr 3 の第 7 電極 E 7、第 4 トランジスタ Tr 4 の第 12 電極 E 12、第 6 トランジスタ Tr 6 の第 18 電極 E 18、第 11 トランジスタ Tr 11 の第 32 電極 E 32、および第 12 トランジスタ Tr 12 の第 35 電極 E 35 に対してそれぞれ電氣的に接続されている。第 42 電極 E 42 は、第 12 端子部 T₁₂ を介して第 2 モード信号線 L_{PL} に対して電氣的に接続されている。なお、本実施形態では、第 40 電極 E 40 がドレインとして機能し、第 41 電極 E 41 がソースとして機能する。

10

【0152】

< 偶数番目のブロック回路 >

図 16 は、シフトレジスタ回路 400 を構成する偶数番目のブロック回路 B L₁、B L₃、B L₅、・・・、B L_n の回路図である。なお、偶数番目のブロック回路 B L₁、B L₃、B L₅、・・・、B L_n は、相互に同様なものであるため、図 16 では、その代表例として第 3 ブロック回路 B L₃ の回路図が示されている。

【0153】

第 3 ブロック回路 B L₃ の構成は、第 2 ブロック回路 B L₂ の構成 (図 15) と比較して、第 5 トランジスタ Tr 5 の第 13 電極 E 13 の接続先が異なっている。具体的には、第 2 ブロック回路 B L₂ では、第 13 電極 E 13 がクロック信号入力端子部 T_{1N} を介して第 1 クロック信号線 L_{CLKE} に対して電氣的に接続されているのに対して、第 3 ブロック回路 B L₃ では、第 13 電極 E 13 がクロック信号入力端子部 T_{1N} を介して第 2 クロック信号線 L_{CLKO} に対して電氣的に接続されている。なお、第 3 ブロック回路 B L₃ のその他の構成については、第 2 ブロック回路 B L₂ と同様な構成となっている。このため、図 16 では、第 3 ブロック回路 B L₃ の構成のうち、第 2 ブロック回路 B L₂ と同様な構成については同じ符号を付しており、ここでは、それらの同様な構成についての説明を省略する。

20

【0154】

< 各ブロックの状態の遷移とシフトレジスタ回路における信号の流れ >

図 17 から図 19 は、シフトレジスタ回路 400 の各ブロック回路 B L₀ ~ B L_n の状態の遷移、およびシフトレジスタ回路 400 における信号の流れについて説明するための図である。

30

【0155】

図 17 では、第 7 ~ 10 端子部 T₇ ~ T₁₀ に対して第 1 モード信号 S_{SL} が入力され、第 11 および第 12 端子部 T₁₁、T₁₂ に対して第 2 モード信号 S_{PL} が入力されず、第 1、第 4、および第 5 端子部 T₁、T₄、T₅ に対して第 1 データ信号 S_{DP} が入力され、第 2、第 3、および第 6 端子部 T₂、T₃、T₆ に対して第 2 データ信号 S_{DN} が入力されていない状態 (第 1 シフトモード) における、各ブロック回路 B L₀ ~ B L_n の状態の遷移、およびシフトレジスタ回路 400 での信号の流れについて示されている。

40

【0156】

第 1 シフトモードでは、各ブロック回路 B L₀ ~ B L_n において、第 27、第 30、第 33、および第 36 電極 E 27、E 30、E 33、E 36 に対して、それぞれ第 1 モード信号 S_{SL} が付与されて、第 9 ~ 12 トランジスタ Tr 9 ~ Tr 12 が導通状態に設定され、第 13 および第 14 トランジスタ Tr 13、Tr 14 が非導通状態に設定される。つまり、各ブロック回路 B L₀ ~ B L_n が、図 12 で示したブロック回路 B L_γ と同様な電気回路となる。より具体的には、第 2 および第 20 電極 E 2、E 20 が、第 9、第 10、第 15 電極 E 9、E 10、E 15 に対してそれぞれ電氣的に接続され、第 5 および第 23 電極 E 5、E 23 が、第 7、第 12、第 18 電極 E 7、E 12、E 18 に対して電氣的に接続される。

50

【 0 1 5 7 】

図 1 8 では、第 7 ~ 1 0 端子部 $T_7 \sim T_{10}$ に対して第 1 モード信号 S_{SL} が入力され、第 1 1 および第 1 2 端子部 T_{11}, T_{12} に対して第 2 モード信号 S_{PL} が入力されず、第 1、第 4、および第 5 端子部 T_1, T_4, T_5 に対して第 1 データ信号 S_{DP} が入力されず、第 2、第 3、および第 6 端子部 T_2, T_3, T_6 に対して第 2 データ信号 S_{DN} が入力されている状態（第 2 シフトモード）における、各ブロック回路 $BL_0 \sim BL_n$ の状態の遷移、およびシフトレジスタ回路 4 0 0 での信号の流れについて示されている。

【 0 1 5 8 】

この第 2 シフトモードでは、第 1 シフトモードと同様に、各ブロック回路 $BL_0 \sim BL_n$ において、第 9 ~ 1 2 トランジスタ $Tr_9 \sim Tr_{12}$ が導通状態に設定されるとともに、第 1 3 および第 1 4 トランジスタ Tr_{13}, Tr_{14} が非導通状態に設定される。つまり、各ブロック回路 $BL_0 \sim BL_n$ が、図 1 2 で示したブロック回路 BL_Y と同様な電気回路となる。

10

【 0 1 5 9 】

図 1 9 では、第 7 ~ 1 0 端子部 $T_7 \sim T_{10}$ に対して第 1 モード信号 S_{SL} が入力されていない状態（同時出力モード）における、各ブロック回路 $BL_0 \sim BL_n$ の状態の遷移、およびシフトレジスタ回路 4 0 0 での信号の流れについて示されている。この同時出力モードでは、各ブロック回路 $BL_0 \sim BL_n$ において、第 9 ~ 1 2 トランジスタ $Tr_9 \sim Tr_{12}$ が非導通状態に設定されるとともに、第 3 9 および第 4 2 電極 E_{39}, E_{42} に対して、所定のタイミングで第 2 モード信号 S_{PL} が付与されることにより、第 1 3 および第 1 4 トランジスタ Tr_{13}, Tr_{14} が導通状態に設定される。

20

【 0 1 6 0 】

以下、図 1 7 から図 1 9 を適宜参照しつつ、第 1 シフトモード、第 2 シフトモード、および同時出力モードにおける各ブロック回路 $BL_0 \sim BL_n$ の状態の遷移とシフトレジスタ回路 4 0 0 における信号の流れとについて、順次説明する。

【 0 1 6 1 】

< 第 1 シフトモード >

第 1 シフトモードでは、所定のタイミングで、一端側の第 0 ブロック回路 BL_0 に対して、外部からセット信号 S_{SET} が付与される。その後、奇数番目の各ブロック回路 $BL_0, BL_2, BL_4, \dots, BL_{n-1}$ に対して第 1 クロック信号線 L_{CLKE} から第 1 クロック信号 S_{CLKE} が入力される状態（第 1 クロック信号入力状態）と、偶数番目の各ブロック回路 $BL_1, BL_3, BL_5, \dots, BL_n$ に対して第 2 クロック信号線 L_{CLKO} から第 2 クロック信号 S_{CLKO} が入力される状態（第 2 クロック信号入力状態）とに交互に設定される。

30

【 0 1 6 2 】

ここで、図 1 7 を参照しつつ、第 1 シフトモードにおけるシフトレジスタ回路 4 0 0 の具体的な動作について説明する。

【 0 1 6 3 】

図 1 7 で示されるように、第 1 シフトモードでは、 TG_{202} からの信号に応じたセット信号 S_{SET} が外部から一端側の第 0 ブロック回路 BL_0 のセット信号付与端子部 T_{SET} に対して付与されると、セット信号付与端子部 T_{SET} から第 3 および第 6 電極 E_3, E_6 に対してそれぞれセット信号 S_{SET} が付与される。このとき、第 1 および第 2 トランジスタ Tr_1, Tr_2 がそれぞれ導通状態に設定される。また、第 1 信号線 L_{DP} により第 1 端子部 T_1 から第 1 トランジスタ Tr_1 を介して第 9 電極 E_9 に対して第 1 データ信号 S_{DP} が付与され、第 3 トランジスタ Tr_3 が導通状態に設定される。また、第 1 2 電極 E_{12} に対しては第 1 および第 2 データ信号 S_{DP}, S_{DN} の何れも付与されず、第 4 トランジスタ Tr_4 が非導通状態に設定される。

40

【 0 1 6 4 】

なお、本実施形態では、各ブロック回路 $BL_0 \sim BL_n$ の第 3 トランジスタ Tr_3 が導通状態に設定されている状態が、本発明の「第 1 設定状態」に相当する。そして、この状態では、各ブロック回路 $BL_0 \sim BL_n$ が、第 3 トランジスタ Tr_3 が導通状態に設定され、

50

且つ第4トランジスタ T_r4 が非導通状態に設定されている状態（アウト信号出力許可状態）となる。

【0165】

アウト信号出力許可状態では、第5トランジスタ T_r5 が導通状態に設定され、且つ第6トランジスタ T_r6 が非導通状態に設定される。このとき、第1クロック信号線 L_{CLKE} から第0ブロック回路 B_{L0} に対する第1クロック信号 S_{CLKE} の入力にตอบสนองして、第0ブロック回路 B_{L0} のアウト信号出力端子部 T_{OUT} から第1クロック信号線 L_{CLKE} に応じたアウト信号 S_{OUT} （第0アウト信号 S_{OUT0} ）が出力される。第0ブロック回路 B_{L0} から出力される第0アウト信号 S_{OUT0} は、第0ブロック回路 B_{L0} の次に配列される第1ブロック回路 B_{L1} のセット信号付与端子部 T_{SET} に対して、セット信号 S_{SET} として付与される。

10

【0166】

第1ブロック回路 B_{L1} のセット信号付与端子部 T_{SET} に対して、第0ブロック回路 B_{L0} からセット信号 S_{SET} が付与されると、第1ブロック回路 B_{L1} がアウト信号出力許可状態に設定される。そして、第2クロック信号線 L_{CLKO} から第1ブロック回路 B_{L1} に対する第2クロック信号 S_{CLKO} の入力にตอบสนองして、第1ブロック回路 B_{L1} のアウト信号出力端子部 T_{OUT} から第2クロック信号線 L_{CLKO} に応じたアウト信号 S_{OUT} （第1アウト信号 S_{OUT1} ）が出力される。第1ブロック回路 B_{L1} から出力される第1アウト信号 S_{OUT1} は、該第1ブロック回路 B_{L1} の次に配列される第2ブロック回路 B_{L2} のセット信号付与端子部 T_{SET} に対して、セット信号 S_{SET} として付与される。

【0167】

20

また、第1ブロック回路 B_{L1} から出力される第1アウト信号 S_{OUT1} は、該第1ブロック回路 B_{L1} の前に配列される第0ブロック回路 B_{L0} のリセット信号付与端子部 T_{RESET} に対して、リセット信号 S_{RESET} として付与される。このとき、リセット信号付与端子部 T_{RESET} から第21および第24電極 E_{21} 、 E_{24} に対してそれぞれリセット信号 S_{RESET} が付与される。その結果、第7および第8トランジスタ T_r7 、 T_r8 がそれぞれ導通状態に設定される。そして、第1信号線 L_{DP} により第4端子部 T_4 から第8トランジスタ T_r8 を介して第12電極 E_{12} に対して第1データ信号 S_{DP} が付与され、第4トランジスタ T_r4 が導通状態に設定される。一方、第9電極 E_9 に対しては第1および第2データ信号 S_{DP} 、 S_{DN} の何れも付与されないため、第3トランジスタ T_r3 が非導通状態に設定される。

30

【0168】

なお、本実施形態では、各ブロック回路 $B_{L0} \sim B_{Ln}$ の第4トランジスタ T_r4 が導通状態に設定されている状態が、本発明の「第2設定状態」に相当する。そして、この状態では、各ブロック回路 $B_{L0} \sim B_{Ln}$ が、第3トランジスタ T_r3 が非導通状態に設定され、且つ第4トランジスタ T_r4 が導通状態に設定されている状態（アウト信号出力禁止状態）となる。

【0169】

アウト信号出力禁止状態では、第5トランジスタ T_r5 が非導通状態となり、第6トランジスタ T_r6 が導通状態となる。このとき、第1クロック信号線 L_{CLKE} から第0ブロック回路 B_{L0} に対して第1クロック信号 S_{CLKE} が入力されても、第0ブロック回路 B_{L0} のアウト信号出力端子部 T_{OUT} から第1クロック信号線 L_{CLKE} に応じたアウト信号 S_{OUT} （第0アウト信号 S_{OUT0} ）が出力されない。

40

【0170】

そして、上述したように、第1シフトモードでは、各ブロック回路 $B_{L0} \sim B_{Ln}$ は、第1クロック信号入力状態と、第2クロック信号入力状態とに順次に設定される。このため、シフトレジスタ回路400では、次のような動作が行われる。

【0171】

まず、外部からセット信号 S_{SET} が、第0ブロック回路 B_{L0} に対して入力されると、該第0ブロック回路 B_{L0} がアウト信号出力許可状態に設定される。そして、第0ブロック回路 B_{L0} に対して第1クロック信号 S_{CLKE} が入力されると、該第1クロック信号 S_{CLKE}

50

に応じた第0アウト信号 S_{OUT0} が第0ブロック回路 $B L_0$ から出力される。

【0172】

次に、第0アウト信号 S_{OUT0} が、セット信号 S_{SET} として第1ブロック回路 $B L_1$ に対して入力され、該第1ブロック回路 $B L_1$ がアウト信号出力許可状態に設定される。そして、第1ブロック回路 $B L_1$ に対して第2クロック信号 S_{CLK0} が入力されると、該第2クロック信号 S_{CLK0} に応じた第1アウト信号 S_{OUT1} が第1ブロック回路 $B L_1$ から出力される。

【0173】

その次に、第1アウト信号 S_{OUT1} が、セット信号 S_{SET} として第2ブロック回路 $B L_2$ に対して入力されるとともに、該第1アウト信号 S_{OUT1} が、リセット信号 S_{RESET} として第0ブロック回路 $B L_0$ に対して入力される。このとき、第2ブロック回路 $B L_2$ がアウト信号出力許可状態に設定されるとともに、第0ブロック回路 $B L_0$ がアウト信号出力禁止状態に設定される。そして、第2ブロック回路 $B L_2$ に対して第1クロック信号 S_{CLKE} が入力されると、該第1クロック信号 S_{CLKE} に応じた第2アウト信号 S_{OUT2} が第2ブロック回路 $B L_2$ から出力される。なお、第0ブロック回路 $B L_0$ はアウト信号出力禁止状態に設定されているため、第0ブロック回路 $B L_0$ に対して第1クロック信号 S_{CLKE} が入力されても、該第0ブロック回路 $B L_0$ から第0アウト信号 S_{OUT0} は出力されない。

【0174】

このような動作が繰り返されることで、前に配列されたブロック回路から出力されるアウト信号 S_{OUT} に応答して、第1～ n ブロック回路 $B L_1 \sim B L_n$ が一端側から他端側に向けて順次にアウト信号出力許可状態に設定される。そして、アウト信号出力許可状態に設定されたブロック回路は、次に配列されるブロック回路から出力されるアウト信号 S_{OUT} に応答して、アウト信号出力禁止状態に設定される。つまり、シフトレジスタ回路400では、各ブロック回路 $B L_0 \sim B L_n$ が、アウト信号出力許可状態とアウト信号出力禁止状態とに順次に設定される。

【0175】

第 n ブロック回路 $B L_n$ については、次に配列されるブロック回路が存在していない。このため、TG202からの信号に応じて所定のタイミングで外部からリセット信号 S_{RESET} が入力されることで、第 n ブロック回路 $B L_n$ がアウト信号出力許可状態からアウト信号出力禁止状態に設定される。但し、第1、第4、および第5端子部 T_1, T_4, T_5 に対して第1データ信号 S_{DP} が入力されず、且つ第2、第3、および第6端子部 T_2, T_3, T_6 に対して第2データ信号 S_{DN} が入力される状態に変更して、第7～10端子部 $T_7 \sim T_{10}$ に対して第1モード信号 S_{SL} が入力される状態から、第11および第12端子部 T_{11}, T_{12} に対して第2モード信号 S_{PL} が入力される状態に切り替えても、第 n ブロック回路 $B L_n$ をアウト信号出力許可状態からアウト信号出力禁止状態に設定することができる。

【0176】

そして、各ブロック回路 $B L_0 \sim B L_n$ は、次のブロック回路の更に次に配列されるブロック回路がアウト信号出力禁止状態からアウト信号出力許可状態に設定されるタイミングで、アウト信号出力許可状態からアウト信号出力禁止状態に設定される。つまり、第0～ n ブロック回路 $B L_0 \sim B L_n$ において、連続して配列され且つアウト信号出力許可状態に設定されている2つのブロック回路が、一端側から他端側に1つのブロック回路ずつ順次にシフトする。図17では、このシフトの方向が矢印 A_{SHIFT} で示されている。

【0177】

このようにして、第1シフトモードに設定されたシフトレジスタ回路400では、一端側に配列されている第0ブロック回路 $B L_0$ のセット信号付与端子部 T_{SET} に対して、外部からセット信号 S_{SET} が付与された後に、第1クロック信号入力状態と、第2クロック信号入力状態とに交互に設定され、第0～ n アウト信号 $S_{OUT0} \sim S_{OUTn}$ が順次に出力される。すなわち、第1シフトモードでは、シフトレジスタ回路400が、第0アウト信号 S_{OUT0} 、第1アウト信号 S_{OUT1} 、第2アウト信号 S_{OUT2} 、・・・、第 n アウト信号 S_{OUTn} の順に各アウト信号 $S_{OUT0} \sim S_{OUTn}$ を順次に出力する。そして、画像表示装置1では、1フレ

10

20

30

40

50

ーム分の画像の表示時に、この第0～nアウト信号 $S_{OUT0} \sim S_{OUTn}$ が順次に出力される動作が1回行われる。したがって、動画を構成する複数フレーム分の画像が順次に表示される際には、第0～nアウト信号 $S_{OUT0} \sim S_{OUTn}$ が順次に出力される動作が複数回繰り返して行われる。

【0178】

<第2シフトモード>

第2シフトモードでは、第1シフトモードと同様に、第1クロック信号入力状態と第2クロック信号入力状態とに交互に設定される。そして、所定のタイミングで、他端側の第nブロック回路 BL_n に対して、外部からリセット信号 S_{RESET} が付与される。

【0179】

但し、第1シフトモードでは、各ブロック回路 $BL_0 \sim BL_n$ に対して、第1信号線 L_{DP} から第1データ信号 S_{DP} が付与されるとともに、第2信号線 L_{DN} から第2データ信号 S_{DN} が付与されないのに対して、第2シフトモードでは、各ブロック回路 $BL_0 \sim BL_n$ に対して、第2信号線 L_{DN} から第2データ信号 S_{DN} が付与されるとともに、第1信号線 L_{DP} から第1データ信号 S_{DP} が付与されない。そして、第1シフトモードでは、シフトレジスタ回路400が、第0アウト信号 S_{OUT0} 、第1アウト信号 S_{OUT1} 、第2アウト信号 S_{OUT2} 、 \dots 、第nアウト信号 S_{OUTn} の順に各アウト信号 $S_{OUT0} \sim S_{OUTn}$ を順次に出力するのに対して、第2シフトモードでは、シフトレジスタ回路400が、第nアウト信号 S_{OUTn} 、第n-1アウト信号 S_{OUTn-1} 、第n-2アウト信号 S_{OUTn-2} 、 \dots 、第0アウト信号 S_{OUT0} の順に各アウト信号 $S_{OUT0} \sim S_{OUTn}$ を順次に出力する。

【0180】

ここで、図18を参照しつつ、第2シフトモードにおけるシフトレジスタ回路400の具体的な動作について説明する。

【0181】

図18で示されるように、第2シフトモードでは、TG202からの信号に応じたりセット信号 S_{RESET} が外部から他端側の第nブロック回路 BL_n のリセット信号付与端子部 T_{RESET} に対して付与されると、リセット信号付与端子部 T_{RESET} から第21および第24電極E21、E24に対してそれぞれリセット信号 S_{RESET} が付与される。このとき、第7および第8トランジスタTr7、Tr8がそれぞれ導通状態となる。そして、第2信号線 L_{DN} により第3端子部 T_3 から第7トランジスタTr7を介して第9電極E9に対して第2データ信号 S_{DN} が付与され、第3トランジスタTr3が導通状態に設定される。また、第12電極E12に対しては第1および第2データ信号 S_{DP} 、 S_{DN} の何れも付与されず、第4トランジスタTr4が非導通状態に設定される。すなわち、第nブロック回路 BL_n がアウト信号出力許可状態に設定される。

【0182】

このとき、第2クロック信号線 L_{CLKO} から第nブロック回路 BL_n に対する第2クロック信号 S_{CLKO} の入力に応答して、第nブロック回路 BL_n のアウト信号出力端子部 T_{OUT} から第2クロック信号 S_{CLKO} に応じたアウト信号 S_{OUT} （第nアウト信号 S_{OUTn} ）が出力される。第nブロック回路 BL_n から出力される第nアウト信号 S_{OUTn} は、第nブロック回路 BL_n の前に配列される第n-1ブロック回路 BL_{n-1} のリセット信号付与端子部 T_{RESET} に対して、リセット信号 S_{RESET} として付与される。

【0183】

第n-1ブロック回路 BL_{n-1} のリセット信号付与端子部 T_{RESET} に対して、第nブロック回路 BL_n からのリセット信号 S_{RESET} が付与されると、第n-1ブロック回路 BL_{n-1} がアウト信号出力許可状態に設定される。そして、第1クロック信号線 L_{CLKE} から第n-1ブロック回路 BL_{n-1} に対する第1クロック信号 S_{CLKE} の入力に応答して、第n-1ブロック回路 BL_{n-1} のアウト信号出力端子部 T_{OUT} から第1クロック信号 S_{CLKE} に応じたアウト信号 S_{OUT} （第n-1アウト信号 S_{OUTn-1} ）が出力される。第n-1ブロック回路 BL_{n-1} から出力される第n-1アウト信号 S_{OUTn-1} は、該第n-1ブロック回路 BL_{n-1} の前に配列される第n-2ブロック回路 BL_{n-2} のリセット信号付与端子部 T_{RESET} に対して

10

20

30

40

50

、リセット信号 S_{RESET} として付与される。

【0184】

また、第 $n - 1$ ブロック回路 $B_{L_{n-1}}$ から出力される第 $n - 1$ アウト信号 $S_{OUT_{n-1}}$ は、該第 $n - 1$ ブロック回路 $B_{L_{n-1}}$ の次に配列される第 n ブロック回路 B_{L_n} のセット信号付与端子部 T_{SET} に対して、セット信号 S_{SET} として付与される。このとき、セット信号付与端子部 T_{SET} から第 3 および第 6 電極 E_3 , E_6 に対してそれぞれセット信号 S_{SET} が付与される。このため、第 1 および第 2 トランジスタ T_{r1} , T_{r2} がそれぞれ導通状態となる。このとき、第 2 信号線 L_{DN} により第 2 端子部 T_2 から第 2 トランジスタ T_{r2} を介して第 1 2 電極 E_{12} に対して第 2 データ信号 S_{DN} が付与され、第 4 トランジスタ T_{r4} が導通状態に設定される。一方、第 9 電極 E_9 に対しては第 1 および第 2 データ信号 S_{DP} , S_{DN} の何れも付与されないため、第 3 トランジスタ T_{r3} が非導通状態に設定される。

10

【0185】

このとき、第 5 トランジスタ T_{r5} が非導通状態に設定され、且つ第 6 トランジスタ T_{r6} が導通状態に設定される。したがって、第 2 クロック信号線 L_{CLKO} から第 n ブロック回路 B_{L_n} に対して第 2 クロック信号 S_{CLKO} が入力されても、アウト信号出力端子部 T_{OUT} から第 2 クロック信号線 L_{CLKO} に応じたアウト信号 S_{OUT} (第 n アウト信号 S_{OUT_n}) が出力されない。すなわち、第 n ブロック回路 B_{L_n} がアウト信号出力禁止状態に設定される。

【0186】

そして、上述したように、第 2 シフトモードに設定されたシフトレジスタ回路 400 では、各ブロック回路 $B_{L_0} \sim B_{L_n}$ は、第 1 クロック信号入力状態と第 2 クロック信号入力状態とに順次に設定される。このため、シフトレジスタ回路 400 では、次のような動作が行われる。

20

【0187】

まず、リセット信号 S_{RESET} が、外部から第 n ブロック回路 B_{L_n} に対して入力されると、該第 n ブロック回路 B_{L_n} がアウト信号出力許可状態に設定される。そして、第 n ブロック回路 B_{L_n} に対して第 2 クロック信号 S_{CLKO} が入力されると、該第 2 クロック信号 S_{CLKO} に応じた第 n アウト信号 S_{OUT_n} が第 n ブロック回路 B_{L_n} から出力される。

【0188】

次に、第 n アウト信号 S_{OUT_n} が、リセット信号 S_{RESET} として第 $n - 1$ ブロック回路 $B_{L_{n-1}}$ に対して入力され、該第 $n - 1$ ブロック回路 $B_{L_{n-1}}$ がアウト信号出力許可状態に設定される。そして、第 $n - 1$ ブロック回路 $B_{L_{n-1}}$ に対して第 1 クロック信号 S_{CLKE} が入力されると、該第 1 クロック信号 S_{CLKE} に応じた第 $n - 1$ アウト信号 $S_{OUT_{n-1}}$ が第 $n - 1$ ブロック回路 $B_{L_{n-1}}$ から出力される。

30

【0189】

その次に、第 $n - 1$ アウト信号 $S_{OUT_{n-1}}$ が、リセット信号 S_{RESET} として第 $n - 2$ ブロック回路 $B_{L_{n-2}}$ に対して入力されるとともに、該第 $n - 1$ アウト信号 $S_{OUT_{n-1}}$ が、セット信号 S_{SET} として第 n ブロック回路 B_{L_n} に対して入力される。このとき、第 $n - 2$ ブロック回路 $B_{L_{n-2}}$ がアウト信号出力許可状態に設定されるとともに、第 n ブロック回路 B_{L_n} がアウト信号出力禁止状態に設定される。そして、第 $n - 2$ ブロック回路 $B_{L_{n-2}}$ に対して第 2 クロック信号 S_{CLKO} が入力されると、該第 2 クロック信号 S_{CLKO} に応じた第 $n - 2$ アウト信号 $S_{OUT_{n-2}}$ が第 $n - 2$ ブロック回路 $B_{L_{n-2}}$ から出力される。また、第 n ブロック回路 B_{L_n} はアウト信号出力禁止状態に設定されているため、第 n ブロック回路 B_{L_n} に対して第 2 クロック信号 S_{CLKO} が入力されても、該第 n ブロック回路 B_{L_n} から第 n アウト信号 S_{OUT_n} は出力されない。

40

【0190】

このような動作が繰り返されることで、次に配列されたブロック回路から出力されるアウト信号 S_{OUT} に応答して、第 $0 \sim n - 1$ ブロック回路 $B_{L_0} \sim B_{L_{n-1}}$ が他端側から一端側に向けて順次にアウト信号出力許可状態に設定される。そして、アウト信号出力許可状態に設定されたブロック回路は、前に配列されるブロック回路から出力されるアウト信号

50

S_{OUT} に応答して、アウト信号出力禁止状態に設定される。つまり、シフトレジスタ回路400では、各ブロック回路 $B L_0 \sim B L_n$ が、アウト信号出力許可状態とアウト信号出力禁止状態とに順次に設定される。

【0191】

なお、第0ブロック回路 $B L_0$ については、前に配列されるブロック回路が存在していない。このため、TG202からの信号に応じて所定のタイミングで外部からリセット信号 S_{SET} が入力されることで、第0ブロック回路 $B L_0$ がアウト信号出力許可状態からアウト信号出力禁止状態に設定される。但し、外部から第0ブロック回路 $B L_0$ に対してセット信号 S_{SET} を所定のタイミングで入力する代わりに、第7～10端子部 $T_7 \sim T_{10}$ に対して第1モード信号 S_{SL} が入力される状態から、第11および第12端子部 T_{11}, T_{12} に対して第2モード信号 S_{PL} が入力される状態に切り替えても、第0ブロック回路 $B L_0$ をアウト信号出力許可状態からアウト信号出力禁止状態に設定することができる。

10

【0192】

そして、各ブロック回路 $B L_0 \sim B L_n$ は、前のブロック回路の更に前に配列されるブロック回路がアウト信号出力禁止状態からアウト信号出力許可状態に設定されるタイミングで、アウト信号出力許可状態からアウト信号出力禁止状態に設定される。つまり、第0～ n ブロック回路 $B L_0 \sim B L_n$ において、連続して配列され且つアウト信号出力許可状態に設定されている2つのブロック回路が、他端側から一端側に1つのブロック回路ずつ順次にシフトする。図18では、このシフトの方向が矢印 $A r_{SHIFT}$ で示されている。

【0193】

このようにして、第2シフトモードに設定されたシフトレジスタ回路400では、他端側に配列されている第 n ブロック回路 $B L_n$ のリセット信号付与端子部 T_{RESET} に対して、外部からリセット信号 S_{RESET} が付与された後に、第2クロック信号入力状態と、第1クロック信号入力状態とに交互に設定され、第0～ n アウト信号 $S_{OUT0} \sim S_{OUTn}$ が順次に出力される。すなわち、第2シフトモードでは、シフトレジスタ回路400が、第 n アウト信号 S_{OUTn} 、第 $n-1$ アウト信号 S_{OUTn-1} 、第 $n-2$ アウト信号 S_{OUTn-2} 、・・・、第0アウト信号 S_{OUT0} の順に各アウト信号 $S_{OUT0} \sim S_{OUTn}$ を順次に出力する。

20

【0194】

<同時出力モード>

同時出力モードでは、第7～10端子部 $T_7 \sim T_{10}$ に対して第1モード信号 S_{SL} が入力されないため、第9～12トランジスタ $T r_9 \sim T r_{12}$ が非導通状態に設定されている。また、第11および第12端子部 T_{11}, T_{12} に対して第2モード信号 S_{PL} が、所定のタイミングで入力されることにより、全てのブロック回路 $B L_0 \sim B L_n$ において、第13および第14トランジスタ $T r_{13}, T r_{14}$ が導通状態に設定される。

30

【0195】

図19で示されるように、同時出力モードでは、各ブロック回路 $B L_0 \sim B L_n$ の第9～12トランジスタ $T r_9 \sim T r_{12}$ が非導通状態に設定され、第1信号線 L_{DP} から各ブロック回路 $B L_0 \sim B L_n$ に第1データ信号 S_{DP} が付与され、且つ第2信号線 L_{DN} から各ブロック回路 $B L_0 \sim B L_n$ に第2データ信号 S_{DN} が付与されていない状態で、第11および第12端子部 T_{11}, T_{12} に対して第2モード信号 S_{PL} が入力される。このとき、全てのブロック回路 $B L_0 \sim B L_n$ において、第13および第14トランジスタ $T r_{13}, T r_{14}$ が導通状態に設定され、第1信号線 L_{DP} から第13トランジスタ $T r_{13}$ を介して第9、第10、および第15電極 E_9, E_{10}, E_{15} に対して第1データ信号 S_{DP} が付与され、第2信号線 L_{DN} からは第14トランジスタ $T r_{14}$ を介して第7、第12、および第18電極 E_7, E_{12}, E_{18} に対して第2データ信号 S_{DN} が付与されない。その結果、各第3トランジスタ $T r_3$ が非導通状態に設定され、各第4トランジスタ $T r_4$ が導通状態に設定される。このため、全てのブロック回路 $B L_0 \sim B L_n$ において、第5トランジスタ $T r_5$ が導通状態に設定されるとともに、第6トランジスタ $T r_6$ が非導通状態に設定される。すなわち、全てのブロック回路 $B L_0 \sim B L_n$ が、同時にアウト信号出力許可状態に設定される。

40

50

【0196】

そして、所定のタイミングで、奇数番目の各ブロック回路 $BL_0, BL_2, BL_4, \dots, BL_{n-1}$ に対して第1クロック信号線 L_{CLKE} から第1クロック信号 S_{CLKE} が入力され、且つ偶数番目の各ブロック回路 $BL_1, BL_3, BL_5, \dots, BL_n$ に対して第2クロック信号線 L_{CLKO} から第2クロック信号 S_{CLKO} が入力される。このとき、奇数番目のブロック回路 $BL_0, BL_2, BL_4, \dots, BL_{n-1}$ から第1クロック信号 S_{CLKE} に応じたアウト信号 $S_{OUT0}, S_{OUT2}, S_{OUT4}, \dots, S_{OUT_{n-1}}$ が出力され、偶数番目のブロック回路 $BL_1, BL_3, BL_5, \dots, BL_n$ から第2クロック信号 S_{CLKO} に応じたアウト信号 $S_{OUT1}, S_{OUT3}, S_{OUT5}, \dots, S_{OUT_n}$ が出力される。すなわち、全てのブロック回路 $BL_0 \sim BL_n$ から、同時にアウト信号 $S_{OUT0} \sim S_{OUT_n}$ がそれぞれ出力される。

10

【0197】

また、全てのブロック回路 $BL_0 \sim BL_n$ において、第2モード信号 S_{PL} が入力され、第1信号線 L_{DP} から第13トランジスタ $Tr13$ を介して第9、第10、および第15電極 $E9, E10, E15$ に対して第1データ信号 S_{DP} が付与されず、且つ第2信号線 L_{DN} から第14トランジスタ $Tr14$ を介して第7、第12、および第18電極 $E7, E12, E18$ に対して第2データ信号 S_{DN} が付与されている場合には、第3トランジスタ $Tr3$ が非導通状態に設定され、第4トランジスタ $Tr4$ が導通状態に設定される。このとき、全てのブロック回路 $BL_0 \sim BL_n$ において、第5トランジスタ $Tr5$ が非導通状態に設定されるとともに、第6トランジスタ $Tr6$ が導通状態に設定される。すなわち、全てのブロック回路 $BL_0 \sim BL_n$ が、同時にアウト信号出力禁止状態に設定される。

20

【0198】

また、全てのブロック回路 $BL_0 \sim BL_n$ において、第2モード信号 S_{PL} が入力され、第1信号線 L_{DP} から第13トランジスタ $Tr13$ を介して第9、第10、および第15電極 $E9, E10, E15$ に対して第1データ信号 S_{DP} が付与されず、且つ第2信号線 L_{DN} から第14トランジスタ $Tr14$ を介して第7、第12、および第18電極 $E7, E12, E18$ に対して第2データ信号 S_{DN} も付与されていない場合には、アウト信号出力端子部 T_{OUT} の電位が流動的な状態（フローティング状態）となり、第0～nアウト信号 $S_{OUT0} \sim S_{OUT_n}$ の電位も流動的な電位 V_{HiZ} となる。

【0199】

更に、全てのブロック回路 $BL_0 \sim BL_n$ に対して、第2モード信号 S_{PL} が入力され、第1データ信号 S_{DP} が付与されず、第2データ信号 S_{DN} が付与され、且つ第1および第2クロック信号 S_{CLKE}, S_{CLKO} が入力されない状態に設定されることで、全てのブロック回路 $BL_0 \sim BL_n$ からアウト信号 $S_{OUT0} \sim S_{OUT_n}$ が出力されない状態（静止状態）に設定される。

30

【0200】

なお、全てのブロック回路 $BL_0 \sim BL_n$ に対して、第1信号線 L_{DP} からの第1データ信号 S_{DP} の付与と、第2信号線 L_{DN} からの第2データ信号 S_{DN} の付与とが同時に行われることは、禁止される。仮に、全てのブロック回路 $BL_0 \sim BL_n$ に対して、第1および第2データ信号 S_{DP}, S_{DN} が同時に付与されれば、第1および第2信号線 L_{DP}, L_{DN} から低電位線 L_{VL} に向けて貫通電流が流れてしまう。

40

【0201】

<シフトレジスタ回路の動作>

上述したように、図4で示された期間 $P1 \sim P6$ が繰り返されることで、各有機EL素子11の発光が繰り返されて、有機ELディスプレイ部3において出力画像信号に応じた動画像が表示される。そして、第0～n走査信号線 L_{SS} の電位 $V_{Is0} \sim V_{Isn}$ 、すなわちYドライバ回路4Yからの出力に着目すると、第0～n走査信号線 L_{SS} の電位 $V_{Is0} \sim V_{Isn}$ が順次に高電位 V_{gH} となる期間 $P4$ と、全ての第0～n走査信号線 L_{SS} の電位 $V_{Is0} \sim V_{Isn}$ が低電位 V_{gL} となる期間 $P2, P5, P6$ と、全ての第0～n走査信号線 L_{SS} の電位 $V_{Is0} \sim V_{Isn}$ が高電位 V_{gH} となる期間 $P1, P3$ とがある。そして、シフトレジスタ回路400が同時出力モードに設定されていれば、全ての第0～n走査信号線 L_{SS} の電位 V_{Is0}

50

～ V_{1s_n} を低電位 V_{gL} および高電位 V_{gH} に設定することが可能である。

【0202】

このため、本実施形態に係る画像表示装置1では、有機ELディスプレイ部3において出力画像信号に応じた動画像を表示する際には、Yドライバ回路4Yを構成するシフトレジスタ回路400が期間P4に対応して第1シフトモードに設定される期間(第1シフトモード期間) T_{SHIFT} と、該シフトレジスタ回路400が期間P1～P3, P5, P6に対応して同時出力モードに設定される期間(同時出力モード期間) T_{PARA} とが交互に繰り返される。つまり、シフトレジスタ回路400は、第1モード信号線 L_{SL} から各ブロック回路 $B_{L_0} \sim B_{L_n}$ に対して第1モード信号 S_{SL} が付与されている状態と、第1モード信号線 L_{SL} から各ブロック回路 $B_{L_0} \sim B_{L_n}$ に対して第1モード信号 S_{SL} が付与されていない状態とに交互に設定される。

10

【0203】

図20は、有機ELディスプレイ部3において出力画像信号に応じた動画像を表示する際におけるシフトレジスタ回路400の動作に係るタイミングチャートである。なお、図20は、第1シフトモード期間 T_{SHIFT} と同時出力モード期間 T_{PARA} とが複数回繰り返されるうちの、1回分の第1シフトモード期間 T_{SHIFT} (時刻 $t_2 \sim t_{17}$ の期間)と同時出力モード期間 T_{PARA} (時刻 $t_{20} \sim t_{25}$ の期間)とに着目したものである。

【0204】

図20では、横軸が時刻を示しており、上から順に、(a)外部から第0ブロック回路 B_{L_0} へのセット信号 S_{SET} (以下「先頭セット信号 S_{SETL} 」と称する)、(b)各ブロック回路 $B_{L_0} \sim B_{L_n}$ における第1クロック信号 S_{CLKE} 、(c)各ブロック回路 $B_{L_0} \sim B_{L_n}$ における第2クロック信号 S_{CLKO} 、(d)各ブロック回路 $B_{L_0} \sim B_{L_n}$ における第1データ信号 S_{DP} 、(e)各ブロック回路 $B_{L_0} \sim B_{L_n}$ における第2データ信号 S_{DN} 、(f)各ブロック回路 $B_{L_0} \sim B_{L_n}$ における第1モード信号 S_{SL} 、(g)各ブロック回路 $B_{L_0} \sim B_{L_n}$ における第2モード信号 S_{PL} 、(h)第0アウト信号 S_{OUT0} 、(i)第1アウト信号 S_{OUT1} 、(j)第2アウト信号 S_{OUT2} 、(k)第3アウト信号 S_{OUT3} 、(l)第 $n-1$ アウト信号 $S_{OUT_{n-1}}$ 、および(m)第 n アウト信号 S_{OUT_n} の入力または出力タイミングについてそれぞれ示されている。図20では、各信号が入力または出力されている状態(High状態)が「1」、各信号が入力または出力されていない状態(Low状態)が「0」で示されている。なお、各信号の入力は、TG202からの信号に応じて制御される。

20

30

【0205】

図20で示されるように、まず、時刻 t_1 において、第0ブロック回路 B_{L_0} へ先頭セット信号 S_{SETL} が入力されておらず、各ブロック回路 $B_{L_0} \sim B_{L_n}$ に第1クロック信号 S_{CLKE} 、第2クロック信号 S_{CLKO} 、第1データ信号 S_{DP} 、および第1モード信号 S_{SL} が入力されておらず、且つ各ブロック回路 $B_{L_0} \sim B_{L_n}$ に第2データ信号 S_{DN} および第2モード信号 S_{PL} が入力されている状態から、各ブロック回路 $B_{L_0} \sim B_{L_n}$ に第2モード信号 S_{PL} が入力されていない状態(Low状態)に設定される。このとき、その他の信号の入力の状態は維持される。なお、以下の時間経過に対する信号の入出力の状態変化については、述べてられていない信号は、原則として、直前の信号の入出力の状態が維持されているものとする。

40

【0206】

時刻 t_2 では、各ブロック回路 $B_{L_0} \sim B_{L_n}$ に第1データ信号 S_{DP} および第1モード信号 S_{SL} が入力されている状態(High状態)に設定されるとともに、各ブロック回路 $B_{L_0} \sim B_{L_n}$ に第2データ信号 S_{DN} が入力されていない状態(Low状態)に設定される。このとき、シフトレジスタ回路400が第1シフトモードに設定される。

【0207】

時刻 $t_3 \sim t_4$ では、第0ブロック回路 B_{L_0} に対して先頭セット信号 S_{SETL} が入力されている状態(High状態)に設定される。このとき、第0ブロック回路 B_{L_0} がアウト信号出力許可状態に設定される。

50

【0208】

時刻 $t_5 \sim t_6$ では、各ブロック回路 $BL_0 \sim BL_n$ に第1クロック信号 S_{CLK_E} が入力されている状態 (High 状態) に設定される。このとき、第0ブロック回路 BL_0 から第1クロック信号 S_{CLK_E} に応じた第0アウト信号 S_{OUT_0} が出力される。そして、第0アウト信号 S_{OUT_0} が第1ブロック回路 BL_1 に対するセット信号 S_{SET} として、該第1ブロック回路 BL_1 に対して入力され、該第1ブロック回路 BL_1 がアウト信号出力許可状態に設定される。なお、時刻 t_6 では、各ブロック回路 $BL_0 \sim BL_n$ に第1クロック信号 S_{CLK_E} が入力されていない状態 (Low 状態) に設定される。

【0209】

時刻 $t_7 \sim t_8$ では、各ブロック回路 $BL_0 \sim BL_n$ に第2クロック信号 S_{CLK_O} が入力されている状態 (High 状態) に設定される。このとき、第1ブロック回路 BL_1 から第2クロック信号 S_{CLK_O} に応じた第1アウト信号 S_{OUT_1} が出力される。そして、第1アウト信号 S_{OUT_1} が第2ブロック回路 BL_2 に対するセット信号 S_{SET} として、該第2ブロック回路 BL_2 に対して入力され、該第2ブロック回路 BL_2 がアウト信号出力許可状態に設定される。また、第1アウト信号 S_{OUT_1} が第0ブロック回路 BL_0 に対するリセット信号 S_{RESET} として、該第0ブロック回路 BL_0 に対して入力され、該第0ブロック回路 BL_0 がアウト信号出力禁止状態に設定される。なお、時刻 t_8 では、各ブロック回路 $BL_0 \sim BL_n$ に第2クロック信号 S_{CLK_O} が入力されていない状態 (Low 状態) に設定される。

【0210】

時刻 $t_9 \sim t_{10}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第1クロック信号 S_{CLK_E} が入力されている状態 (High 状態) に設定される。このとき、第2ブロック回路 BL_2 から第1クロック信号 S_{CLK_E} に応じた第2アウト信号 S_{OUT_2} が出力される。そして、第2アウト信号 S_{OUT_2} が第3ブロック回路 BL_3 に対するセット信号 S_{SET} として、該第3ブロック回路 BL_3 に対して入力され、該第3ブロック回路 BL_3 がアウト信号出力許可状態に設定される。また、第2アウト信号 S_{OUT_2} が第1ブロック回路 BL_1 に対するリセット信号 S_{RESET} として、該第1ブロック回路 BL_1 に対して入力され、該第1ブロック回路 BL_1 がアウト信号出力禁止状態に設定される。なお、時刻 t_{10} では、各ブロック回路 $BL_0 \sim BL_n$ に第1クロック信号 S_{CLK_E} が入力されていない状態 (Low 状態) に設定される。

【0211】

時刻 $t_{11} \sim t_{12}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第2クロック信号 S_{CLK_O} が入力されている状態 (High 状態) に設定される。このとき、第3ブロック回路 BL_3 から第2クロック信号 S_{CLK_O} に応じた第3アウト信号 S_{OUT_3} が出力される。そして、第3アウト信号 S_{OUT_3} が第4ブロック回路 BL_4 に対するセット信号 S_{SET} として、該第4ブロック回路 BL_4 に対して入力され、該第4ブロック回路 BL_4 がアウト信号出力許可状態に設定される。また、第3アウト信号 S_{OUT_3} が第2ブロック回路 BL_2 に対するリセット信号 S_{RESET} として、該第2ブロック回路 BL_2 に対して入力され、該第2ブロック回路 BL_2 がアウト信号出力禁止状態に設定される。なお、時刻 t_{12} では、各ブロック回路 $BL_0 \sim BL_n$ に第2クロック信号 S_{CLK_O} が入力されていない状態 (Low 状態) に設定される。

【0212】

そして、時刻 $t_8 \sim t_{12}$ における動作と同様な動作が繰り返されて、第4 ~ $n - 2$ ブロック回路 $BL_4 \sim BL_{n-2}$ において、番号順に第4 ~ $n - 2$ アウト信号 $S_{OUT_4} \sim S_{OUT_{n-2}}$ が順次出力される。

【0213】

次に、時刻 $t_{13} \sim t_{14}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第1クロック信号 S_{CLK_E} が入力されている状態 (High 状態) に設定される。このとき、第 $n - 1$ ブロック回路 BL_{n-1} から第1クロック信号 S_{CLK_E} に応じた第 $n - 1$ アウト信号 $S_{OUT_{n-1}}$ が出力される。そして、第 $n - 1$ アウト信号 $S_{OUT_{n-1}}$ が第 n ブロック回路 BL_n に対するセット信号 S_{SET} として、該第 n ブロック回路 BL_n に対して入力され、該第 n ブロック回路 BL_n がアウト信号出力許可状態に設定される。また、第 $n - 1$ アウト信号 $S_{OUT_{n-1}}$ が第 $n - 2$ ブロック回路 BL_{n-2} に対するリセット信号 S_{RESET} として、該第 $n - 2$ ブロック回路 BL_{n-2} に

10

20

30

40

50

対して入力され、該第 $n - 2$ ブロック回路 $B L_{n-2}$ がアウト信号出力禁止状態に設定される。なお、時刻 t_{14} では、各ブロック回路 $B L_0 \sim B L_n$ に第 1 クロック信号 S_{CLKE} が入力されていない状態 (Low 状態) に設定される。

【0214】

時刻 $t_{15} \sim t_{16}$ では、各ブロック回路 $B L_0 \sim B L_n$ に第 2 クロック信号 S_{CLKO} が入力されている状態 (High 状態) に設定される。このとき、第 n ブロック回路 $B L_n$ から第 2 クロック信号 S_{CLKO} に応じた第 n アウト信号 S_{OUTn} が出力される。そして、第 n アウト信号 S_{OUTn} が第 $n - 1$ ブロック回路 $B L_{n-1}$ に対するリセット信号 S_{RESET} として、該第 $n - 1$ ブロック回路 $B L_{n-1}$ に対して入力され、該第 $n - 1$ ブロック回路 $B L_{n-1}$ がアウト信号出力禁止状態に設定される。なお、時刻 t_{16} では、各ブロック回路 $B L_0 \sim B L_n$ に第 2 クロック信号 S_{CLKO} が入力されていない状態 (Low 状態) に設定される。

10

【0215】

時刻 t_{17} では、各ブロック回路 $B L_0 \sim B L_n$ に第 1 データ信号 S_{DP} および第 1 モード信号 S_{SL} が入力されていない状態 (Low 状態) に設定されるとともに、各ブロック回路 $B L_0 \sim B L_n$ に第 2 データ信号 S_{DN} が入力されている状態 (High 状態) に設定される。このとき、シフトレジスタ回路 400 が第 1 シフトモードに設定されている状態から解除される。

【0216】

時刻 $t_{18} \sim t_{19}$ では、各ブロック回路 $B L_0 \sim B L_n$ に第 2 モード信号 S_{PL} が入力されている状態 (High 状態) に設定される。このとき、全てのブロック回路 $B L_0 \sim B L_n$ から第 0 ~ n アウト信号 $S_{OUT0} \sim S_{OUTn}$ が出力されない静止状態にシフトレジスタ回路 400 が設定される。なお、時刻 t_{19} では、各ブロック回路 $B L_0 \sim B L_n$ に第 2 モード信号 S_{PL} が入力されていない状態 (Low 状態) に設定される。

20

【0217】

時刻 t_{20} では、各ブロック回路 $B L_0 \sim B L_n$ に第 1 データ信号 S_{DP} が入力されている状態 (High 状態) に設定されるとともに、各ブロック回路 $B L_0 \sim B L_n$ に第 2 データ信号 S_{DN} が入力されていない状態 (Low 状態) に設定される。このとき、シフトレジスタ回路 400 が同時出力モードに設定される。

【0218】

時刻 $t_{21} \sim t_{22}$ では、各ブロック回路 $B L_0 \sim B L_n$ に第 2 モード信号 S_{PL} が入力されている状態 (High 状態) に設定される。このとき、各ブロック回路 $B L_0 \sim B L_n$ に第 1 データ信号 S_{DP} が入力されている状態 (High 状態) に設定されているため、全てのブロック回路 $B L_0 \sim B L_n$ が、アウト信号出力可能状態に設定される。なお、時刻 t_{22} では、各ブロック回路 $B L_0 \sim B L_n$ に第 2 モード信号 S_{PL} が入力されていない状態 (Low 状態) に設定される。

30

【0219】

時刻 $t_{23} \sim t_{24}$ では、各ブロック回路 $B L_0 \sim B L_n$ に第 1 および第 2 クロック信号 S_{CLKE} , S_{CLKO} が入力されている状態 (High 状態) に設定される。このとき、第 0 ~ n ブロック回路 $B L_0 \sim B L_n$ から第 1 または第 2 クロック信号 S_{CLKE} , S_{CLKO} に応じた第 0 ~ n アウト信号 $S_{OUT0} \sim S_{OUTn}$ が出力される。なお、図 20 では、同時出力モード期間 T_{PARA} において、第 0 ~ n ブロック回路 $B L_0 \sim B L_n$ から第 0 ~ n アウト信号 $S_{OUT0} \sim S_{OUTn}$ が 1 回出力される例が示されているが、有機 EL ディスプレイ部 3 において出力画像信号に応じた動画像の各フレームを表示する際には、図 4 で示された期間 P_1 , P_3 において全ての第 0 ~ n 走査信号線 L_{SS} の電位 $V_{Is0} \sim V_{Isn}$ が高電位 V_{gH} となることに対応するように、第 0 ~ n ブロック回路 $B L_0 \sim B L_n$ から第 0 ~ n アウト信号 $S_{OUT0} \sim S_{OUTn}$ が 2 回出力される。また、時刻 t_{24} では、各ブロック回路 $B L_0 \sim B L_n$ に第 1 および第 2 クロック信号 S_{CLKE} , S_{CLKO} が入力されていない状態 (Low 状態) に設定される。

40

【0220】

時刻 t_{25} では、各ブロック回路 $B L_0 \sim B L_n$ に第 1 データ信号 S_{DP} が入力されていない状態 (Low 状態) に設定されるとともに、各ブロック回路 $B L_0 \sim B L_n$ に第 2 デー

50

タ信号 S_{DN} および第 2 モード信号 S_{PL} が入力されている状態 (High 状態) に設定される。このとき、シフトレジスタ回路 400 が同時出力モードに設定されている状態から解除され、第 0 ~ n ブロック回路 $BL_0 \sim BL_n$ から第 0 ~ n アウト信号 $S_{OUT0} \sim S_{OUTn}$ が出力されない静止状態にシフトレジスタ回路 400 が設定される。

【0221】

以上のような時刻 $t_1 \sim t_{25}$ におけるシフトレジスタ回路 400 の動作が繰り返されることで、有機 EL ディスプレイ部 3 において出力画像信号に応じた動画像が表示される。

【0222】

図 21 および図 22 は、図 20 で示されたシフトレジスタ回路 400 の動作に係るタイミングチャートよりも、より詳細な動作を示したタイミングチャートである。

10

【0223】

図 21 は、図 20 で示された時刻 $t_1 \sim t_{18}$ を含む期間の動作に係るタイミングチャートに、各ブロック回路 $BL_0 \sim BL_n$ における第 5 および第 6 トランジスタ Tr_5, Tr_6 のゲートの電位 (第 5 および第 6 ゲート電位) $Tr_5_{GATE0} \sim Tr_5_{GATEn}, Tr_6_{GATE0} \sim Tr_6_{GATEn}$ の変化を加えたタイミングチャートである。また、図 22 は、図 20 で示された時刻 $t_{17} \sim t_{25}$ を含む期間の動作に係るタイミングチャートに、各ブロック回路 $BL_0 \sim BL_n$ における第 5 および第 6 ゲート電位 $Tr_5_{GATE0} \sim Tr_5_{GATEn}, Tr_6_{GATE0} \sim Tr_6_{GATEn}$ の変化を加えたタイミングチャートである。

【0224】

なお、図 21 および図 22 では、第 5 および第 6 ゲート電位 $Tr_5_{GATE0} \sim Tr_5_{GATEn}, Tr_6_{GATE0} \sim Tr_6_{GATEn}$ が低電位 (例えば 0 V 近傍) である状態 (低電位状態) が「L」で示され、高電位 (例えば 10 V 近傍) である状態 (高電位状態) が「H」で示され、高電位よりも高い極大電位 (例えば 20 V 近傍) である状態 (極大電位状態) が「SH」で示されている。

20

【0225】

上述したように、図 21 および図 22 で示されるタイミングチャートは、図 20 で示されたタイミングチャートと比較して、第 5 および第 6 ゲート電位 $Tr_5_{GATE0} \sim Tr_5_{GATEn}, Tr_6_{GATE0} \sim Tr_6_{GATEn}$ の変化が追加されたものである。このため、以下では、図 20 で示されたタイミングチャートと同様な動作については、説明を省略し、追加された第 5 および第 6 ゲート電位 $Tr_5_{GATE0} \sim Tr_5_{GATEn}, Tr_6_{GATE0} \sim Tr_6_{GATEn}$ の変化

30

【0226】

図 21 で示されるように、時刻 t_3 では、第 0 ブロック回路 BL_0 に対して先頭セット信号 S_{SETL} が入力されている状態 (High 状態) に設定される。この設定に応じて、第 0 ブロック回路 BL_0 の第 5 ゲート電位 Tr_5_{GATE0} が、低電位状態から高電位状態に移行するとともに、該第 0 ブロック回路 BL_0 の第 6 ゲート電位 Tr_6_{GATE0} が、高電位状態から低電位状態に移行する。つまり、第 0 ブロック回路 BL_0 がアウト信号出力可能状態に設定される。

【0227】

時刻 $t_5 \sim t_6$ では、各ブロック回路 $BL_0 \sim BL_n$ に第 1 クロック信号 S_{CLKE} が入力されている状態 (High 状態) に設定される。このとき、第 0 ブロック回路 BL_0 において、第 5 トランジスタ Tr_5 のドレインとゲートとの間の浮遊容量により、第 5 ゲート電位 Tr_5_{GATE0} が高電位状態から極大電位状態に移行する。更に、このとき、第 0 ブロック回路 BL_0 から第 1 クロック信号 S_{CLKE} に応じた第 0 アウト信号 S_{OUT0} が出力される。

40

【0228】

また、時刻 t_5 では、第 0 アウト信号 S_{OUT0} がセット信号 S_{SET} として第 1 ブロック回路 BL_1 に対して入力され、第 1 ブロック回路 BL_1 の第 5 ゲート電位 Tr_5_{GATE1} が、低電位状態から高電位状態に移行するとともに、該第 1 ブロック回路 BL_1 の第 6 ゲート電位 Tr_6_{GATE1} が高電位状態から低電位状態に移行する。つまり、第 1 ブロック回路 BL_1 がアウト信号出力可能状態に設定される。

50

【0229】

時刻 $t_7 \sim t_8$ では、各ブロック回路 $BL_0 \sim BL_n$ に第2クロック信号 S_{CLKO} が入力されている状態 (High 状態) に設定される。このとき、第1ブロック回路 BL_1 において、第5トランジスタ Tr_5 のドレインとゲートとの間の浮遊容量により、第5ゲート電位 Tr_5_{GATE1} が高電位状態から極大電位状態に移行する。更に、このとき、第1ブロック回路 BL_1 から第2クロック信号 S_{CLKO} に応じた第1アウト信号 S_{OUT1} が出力される。

【0230】

また、時刻 t_7 では、第1アウト信号 S_{OUT1} がセット信号 S_{SET} として第2ブロック回路 BL_2 に対して入力され、第2ブロック回路 BL_2 の第5ゲート電位 Tr_5_{GATE2} が、低電位状態から高電位状態に移行するとともに、該第2ブロック回路 BL_2 の第6ゲート電位 Tr_6_{GATE2} が高電位状態から低電位状態に移行する。つまり、第2ブロック回路 BL_2 がアウト信号出力可能状態に設定される。

10

【0231】

更に、時刻 t_7 では、第1アウト信号 S_{OUT1} がリセット信号 S_{RESET} として第0ブロック回路 BL_0 に対して入力され、第0ブロック回路 BL_0 の第5ゲート電位 Tr_5_{GATE0} が、高電位状態から低電位状態に移行するとともに、該第0ブロック回路 BL_0 の第6ゲート電位 Tr_6_{GATE0} が、低電位状態から高電位状態に移行する。つまり、第0ブロック回路 BL_0 がアウト信号出力可能状態からアウト信号出力禁止状態に設定される。

【0232】

時刻 $t_9 \sim t_{10}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第1クロック信号 S_{CLKE} が入力されている状態 (High 状態) に設定される。このとき、第2ブロック回路 BL_2 において、第5トランジスタ Tr_5 のドレインとゲートとの間の浮遊容量により、第5ゲート電位 Tr_5_{GATE2} が高電位状態から極大電位状態に移行する。更に、このとき、第2ブロック回路 BL_2 から第1クロック信号 S_{CLKE} に応じた第2アウト信号 S_{OUT2} が出力される。

20

【0233】

また、時刻 t_9 では、第2アウト信号 S_{OUT2} がセット信号 S_{SET} として第3ブロック回路 BL_3 に対して入力され、該第3ブロック回路 BL_3 の第5ゲート電位 Tr_5_{GATE3} が低電位状態から高電位状態に移行するとともに、該第3ブロック回路 BL_3 の第6ゲート電位 Tr_6_{GATE3} が高電位状態から低電位状態に移行する。つまり、第3ブロック回路 BL_3 がアウト信号出力可能状態に設定される。

30

【0234】

更に、時刻 t_9 では、第2アウト信号 S_{OUT2} がリセット信号 S_{RESET} として第1ブロック回路 BL_1 に対して入力され、該第1ブロック回路 BL_1 の第5ゲート電位 Tr_5_{GATE1} が高電位状態から低電位状態に移行するとともに、第1ブロック回路 BL_1 の第6ゲート電位 Tr_6_{GATE1} が低電位状態から高電位状態に移行する。つまり、第1ブロック回路 BL_1 がアウト信号出力可能状態からアウト信号出力禁止状態に設定される。

【0235】

時刻 $t_{11} \sim t_{12}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第2クロック信号 S_{CLKO} が入力されている状態 (High 状態) に設定される。このとき、第3ブロック回路 BL_3 において、第5トランジスタ Tr_5 のドレインとゲートとの間の浮遊容量により、第5ゲート電位 Tr_5_{GATE3} が高電位状態から極大電位状態に移行する。更に、このとき、第3ブロック回路 BL_3 から第2クロック信号 S_{CLKO} に応じた第3アウト信号 S_{OUT3} が出力される。

40

【0236】

また、時刻 t_{11} では、第3アウト信号 S_{OUT3} がセット信号 S_{SET} として第4ブロック回路 BL_4 に対して入力され、該第4ブロック回路 BL_4 の第5ゲート電位 Tr_5_{GATE4} が低電位状態から高電位状態に移行するとともに、該第4ブロック回路 BL_4 の第6ゲート電位 Tr_6_{GATE4} が高電位状態から低電位状態に移行する。つまり、第4ブロック回路 BL_4 がアウト信号出力可能状態に設定される。

50

【0237】

更に、時刻 t_{11} では、第3アウト信号 S_{OUT3} がリセット信号 S_{RESET} として第2ブロック回路 BL_2 に対して入力され、該第2ブロック回路 BL_2 の第5ゲート電位 Tr_{5_GATE2} が高電位状態から低電位状態に移行するとともに、該第2ブロック回路 BL_2 の第6ゲート電位 Tr_{6_GATE2} が低電位状態から高電位状態に移行する。つまり、第2ブロック回路 BL_2 がアウト信号出力可能状態からアウト信号出力禁止状態に設定される。

【0238】

そして、時刻 $t_8 \sim t_{12}$ における動作と同様な動作が繰り返されて、第4～ $n-2$ ブロック回路 $BL_4 \sim BL_{n-2}$ が番号順にアウト信号出力可能状態に設定され、第4～ $n-2$ アウト信号 $S_{OUT4} \sim S_{OUT_{n-2}}$ が順次に出力される。

10

【0239】

次に、時刻 $t_{13} \sim t_{14}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第1クロック信号 S_{CLKE} が入力されている状態 (High状態) に設定される。このとき、第 $n-1$ ブロック回路 BL_{n-1} において、第5トランジスタ Tr_5 のドレインとゲートとの間の浮遊容量により、第5ゲート電位 $Tr_{5_GATE_{n-1}}$ が高電位状態から極大電位状態に移行する。更に、このとき、第 $n-1$ ブロック回路 BL_{n-1} から第1クロック信号 S_{CLKE} に応じた第 $n-1$ アウト信号 $S_{OUT_{n-1}}$ が出力される。

【0240】

また、時刻 t_{13} では、第 $n-1$ アウト信号 $S_{OUT_{n-1}}$ がセット信号 S_{SET} として第 n ブロック回路 BL_n に対して入力され、該第 n ブロック回路 BL_n の第5ゲート電位 $Tr_{5_GATE_n}$ が低電位状態から高電位状態に移行するとともに、該第 n ブロック回路 BL_n の第6ゲート電位 $Tr_{6_GATE_n}$ が高電位状態から低電位状態に移行する。つまり、第 n ブロック回路 BL_n がアウト信号出力可能状態に設定される。

20

【0241】

更に、時刻 t_{13} では、第 $n-1$ アウト信号 $S_{OUT_{n-1}}$ がリセット信号 S_{RESET} として第 $n-2$ ブロック回路 BL_{n-2} に対して入力され、該第 $n-2$ ブロック回路 BL_{n-2} の第5ゲート電位 $Tr_{5_GATE_{n-2}}$ が高電位状態から低電位状態に移行するとともに、第 $n-2$ ブロック回路 BL_{n-2} の第6ゲート電位 $Tr_{6_GATE_{n-2}}$ が低電位状態から高電位状態に移行する。つまり、第 $n-2$ ブロック回路 BL_{n-2} がアウト信号出力可能状態からアウト信号出力禁止状態に設定される。

30

【0242】

時刻 $t_{15} \sim t_{16}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第2クロック信号 S_{CLKO} が入力されている状態 (High状態) に設定される。このとき、第 n ブロック回路 BL_n において、第5トランジスタ Tr_5 のドレインとゲートとの間の浮遊容量により、第5ゲート電位 $Tr_{5_GATE_n}$ が高電位状態から極大電位状態に移行する。更に、このとき、第 n ブロック回路 BL_n から第2クロック信号 S_{CLKO} に応じた第 n アウト信号 S_{OUT_n} が出力される。

【0243】

また、時刻 t_{15} では、第 n アウト信号 S_{OUT_n} がリセット信号 S_{RESET} として第 $n-1$ ブロック回路 BL_{n-1} に対して入力され、該第 $n-1$ ブロック回路 BL_{n-1} の第5ゲート電位 $Tr_{5_GATE_{n-1}}$ が高電位状態から低電位状態に移行するとともに、第 $n-1$ ブロック回路 BL_{n-1} の第6ゲート電位 $Tr_{6_GATE_{n-1}}$ が低電位状態から高電位状態に移行する。つまり、第 $n-1$ ブロック回路 BL_{n-1} がアウト信号出力可能状態からアウト信号出力禁止状態に設定される。

40

【0244】

また、時刻 t_{17} では、各ブロック回路 $BL_0 \sim BL_n$ に第1データ信号 S_{DP} および第1モード信号 S_{SL} が入力されていない状態 (Low状態) に設定されるとともに、各ブロック回路 $BL_0 \sim BL_n$ に第2データ信号 S_{DN} が入力されている状態 (High状態) に設定される。このとき、シフトレジスタ回路400が第1シフトモードに設定されている状態から解除される。

50

【0245】

次に、図22で示されるように、時刻 t_{18} では、各ブロック回路 $BL_0 \sim BL_n$ に第2モード信号 S_{PL} が入力されている状態(High状態)に設定される。このとき、第 n ブロック回路 BL_n の第5ゲート電位 $Tr5_{GATE_n}$ が高電位状態から低電位状態に移行するとともに、該第 n ブロック回路 BL_n の第6ゲート電位 $Tr6_{GATE_n}$ が低電位状態から高電位状態に移行する。よって、第 n ブロック回路 BL_n がアウト信号出力可能状態からアウト信号出力禁止状態に設定される。

【0246】

時刻 $t_{21} \sim t_{22}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第2モード信号 S_{PL} が入力されている状態(High状態)に設定される。このとき、第1データ信号 S_{DP} が入力されている状態(High状態)に設定されている。このため、全てのブロック回路 $BL_0 \sim BL_n$ において、各第5ゲート電位 $Tr5_{GATE_0} \sim Tr5_{GATE_n}$ が低電位状態から高電位状態に移行するとともに、各第6ゲート電位 $Tr6_{GATE_0} \sim Tr6_{GATE_n}$ が高電位状態から低電位状態に移行する。つまり、全てのブロック回路 $BL_0 \sim BL_n$ がアウト信号出力可能状態に設定される。

10

【0247】

時刻 $t_{23} \sim t_{24}$ では、各ブロック回路 $BL_0 \sim BL_n$ に第1および第2クロック信号 S_{CLKE} 、 S_{CLKO} が入力されている状態(High状態)に設定される。このとき、全てのブロック回路 $BL_0 \sim BL_n$ において、第5トランジスタ $Tr5$ のドレインとゲートとの間の浮遊容量により、第5ゲート電位 $Tr5_{GATE_0} \sim Tr5_{GATE_n}$ が高電位状態から極大電位状態に移行する。更に、このとき、各ブロック回路 $BL_0 \sim BL_n$ から第1または第2クロック信号 S_{CLKE} 、 S_{CLKO} に応じた第0～ n アウト信号 $S_{OUT_0} \sim S_{OUT_n}$ がそれぞれ出力される。

20

【0248】

また、時刻 t_{25} では、各ブロック回路 $BL_0 \sim BL_n$ に第1データ信号 S_{DP} が入力されていない状態(Low状態)に設定されるとともに、各ブロック回路 $BL_0 \sim BL_n$ に第2データ信号 S_{DN} および第2モード信号 S_{PL} が入力されている状態(High状態)に設定される。このとき、全てのブロック回路 $BL_0 \sim BL_n$ において、第5ゲート電位 $Tr5_{GATE_0} \sim Tr5_{GATE_n}$ が高電位状態から低電位状態に移行するとともに、第6ゲート電位 $Tr6_{GATE_0} \sim Tr6_{GATE_n}$ が低電位状態から高電位状態に移行する。つまり、全てのブロック回路 $BL_0 \sim BL_n$ がアウト信号出力可能状態からアウト信号出力禁止状態に設定される。

30

【0249】

以上のように、本発明の一実施形態に係る画像表示装置1では、各ブロック回路 $BL_0 \sim BL_n$ において、第1トランジスタ $Tr1$ の第2電極 E_2 と、第3トランジスタ $Tr3$ の第9電極 E_9 および第4トランジスタ $Tr4$ の第10電極 E_{10} とがそれぞれ電氣的に接続され、第2トランジスタ $Tr2$ の第5電極 E_5 と、第3トランジスタ $Tr3$ の第7電極 E_7 および第4トランジスタ $Tr4$ の第12電極 E_{12} とがそれぞれ電氣的に接続されている。また、第1トランジスタ $Tr1$ の第3電極 E_3 および第2トランジスタ $Tr2$ の第6電極 E_6 にセット信号 S_{SET} を付与するセット信号付与端子部 T_{SET} と、第1トランジスタ $Tr1$ の第1電極 E_1 に第1データ信号 S_{DP} を付与する第1端子部 T_1 と、第2トランジスタ $Tr2$ の第4電極 E_4 に第2データ信号 S_{DN} を付与する第2端子部 T_2 とが設けられている。

40

【0250】

そして、セット信号 S_{SET} が第3および第6電極 E_3 、 E_6 に付与されている場合には、第1端子部 T_1 から第1電極 E_1 に対する第1データ信号 S_{DP} の付与と、第2端子部 T_2 から第4電極 E_4 に対する第2データ信号 S_{DN} の付与とが同時に行われない。その結果、第1端子部 T_1 から第1および第4トランジスタ $Tr1$ 、 $Tr4$ を介した電流の発生と、第2端子部 T_2 から第2および第3トランジスタ $Tr2$ 、 $Tr3$ を介した電流の発生とを抑制しつつ、第1トランジスタ $Tr1$ と第4トランジスタ $Tr4$ との間の電位の状態と、

50

第2トランジスタ T_{r2} と第3トランジスタ T_{r3} との間の電位の状態とを交互に切り替えることができる。したがって、消費電力の増大を抑制しつつ、2つのn型のトランジスタの間の電位を切り替えることができる。

【0251】

また、シフトレジスタ回路400が第1シフトモードに設定されている場合には、各ブロック回路 $BL_0 \sim BL_n$ では、セット信号 S_{SET} が第3および第6電極 E_3 、 E_6 に付与されている状態において、第1端子部 T_1 から第1トランジスタ T_{r1} を介して第9、第10、および第15電極 E_9 、 E_{10} 、 E_{15} に対して第1データ信号 S_{DP} が付与されることで、第3トランジスタ T_{r3} が導通状態に設定され、第4トランジスタ T_{r4} が非導通状態に設定される。このとき、第5トランジスタ T_{r5} が導通状態に設定されるとともに、第6トランジスタ T_{r6} が非導通状態に設定される。すなわち、アウト信号出力許可状態に設定される。その結果、各ブロック回路 $BL_0 \sim BL_n$ から第1および第2クロック信号 S_{CLKE} 、 S_{CLKO} に応じたアウト信号 S_{OUT} が出力される。このため、第0～nブロック回路 $BL_0 \sim BL_n$ における第1および第2クロック信号 S_{CLKE} 、 S_{CLKO} に応じたアウト信号 S_{OUT} の出力を制御することができる。

10

【0252】

更に、各ブロック回路 $BL_0 \sim BL_n$ では、第7トランジスタ T_{r7} の第19電極 E_{19} が、第2端子部 T_2 と同電位に設定される第3端子部 T_3 に対して電氣的に接続され、第7トランジスタ T_{r7} の第20電極 E_{20} が、第9および第10電極 E_9 、 E_{10} に対して電氣的に接続されている。また、第8トランジスタ T_{r8} の第22電極 E_{22} が、第1端子部 T_1 と同電位に設定される第4端子部 T_4 に対して電氣的に接続され、第8トランジスタ T_{r8} の第23電極 E_{23} が、第7および第12電極 E_7 、 E_{12} に対して電氣的に接続されている。更に、第7トランジスタ T_{r7} の第21電極 E_{21} および第8トランジスタ T_{r8} の第24電極 E_{24} に対してリセット信号 S_{RESET} を付与するリセット信号付与端子部 T_{RESET} が設けられている。

20

【0253】

このような構成において、セット信号付与端子部 T_{SET} から第3および第6電極 E_3 、 E_6 に対するセット信号 S_{SET} の付与と、リセット信号付与端子部 T_{RESET} から第21および第24電極 E_{21} 、 E_{24} に対するリセット信号 S_{RESET} の付与とが順次に行われる。そして、リセット信号付与端子部 T_{RESET} から第21および第24電極 E_{21} 、 E_{24} に対してそれぞれリセット信号 S_{RESET} が付与されている状態において、第4端子部 T_4 から第8トランジスタ T_{r8} を介して第12電極 E_{12} に対して第1データ信号 S_{DP} が付与されることで、第4トランジスタ T_{r4} が導通状態に設定されている状態（第2設定状態）に設定される。このため、第1および第2端子部 T_1 、 T_2 における電位を変更することなく、各ブロック回路 $BL_0 \sim BL_n$ を第1設定状態と第2設定状態とに順次に切り替えること、すなわちアウト信号出力許可状態とアウト信号出力禁止状態とに順次に切り替えることができる。

30

【0254】

また、本発明の一実施形態に係るシフトレジスタ回路400では、各ブロック回路 $BL_0 \sim BL_n$ の第1および第4端子部 T_1 、 T_4 が共通して第1信号線 L_{DP} に対して電氣的に接続され、各ブロック回路 $BL_0 \sim BL_n$ の第2および第3端子部 T_2 、 T_3 が共通して第2信号線 L_{DN} に対して電氣的に接続されている。また、順次に配列された複数のブロック回路 $BL_0 \sim BL_n$ のうち、奇数番目の各ブロック回路 BL_0 、 BL_2 、 BL_4 、 \dots 、 BL_{n-1} のクロック信号入力端子部 T_{IN} が、第1クロック信号線 L_{CLKE} に対してそれぞれ電氣的に接続されている。また、複数のブロック回路 $BL_0 \sim BL_n$ のうち、偶数番目の各ブロック回路 BL_1 、 BL_3 、 BL_5 、 \dots 、 BL_n のクロック信号入力端子部 T_{IN} が、第2クロック信号線 L_{CLKO} に対してそれぞれ電氣的に接続されている。また、最も一端側に配列されている第0ブロック回路 BL_0 のリセット信号付与端子部 T_{RESET} が、次に配列されている第1ブロック回路 BL_1 のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。また、最も他端側に配列されている第nブロック回路 BL_n のセット信号付与端子部 T_{SET}

40

50

が、前に配列されている第 $n - 1$ ブロック回路 $B L_{n-1}$ のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。更に、複数のブロック回路 $B L_0 \sim B L_n$ のうちの両端のブロック回路 $B L_0, B L_n$ を除く第 $1 \sim n - 1$ ブロック回路 $B L_1 \sim B L_{n-1}$ では、それぞれ各セット信号付与端子部 T_{SET} が、各ブロック回路 $B L_1 \sim B L_{n-1}$ の前に配列されている各ブロック回路 $B L_0 \sim B L_{n-2}$ のアウト信号出力端子部 T_{OUT} に対して電氣的に接続され、且つ各リセット信号付与端子部 T_{RESET} が、各ブロック回路 $B L_1 \sim B L_{n-1}$ の次に配列されている各ブロック回路 $B L_2 \sim B L_n$ のアウト信号出力端子部 T_{OUT} に対して電氣的に接続されている。

【0255】

このような構成において、第1データ信号 S_{DP} が各第1電極 E_1 および各第2電極 E_2 に対して付与され、且つ第2データ信号 S_{DN} が各第4電極 E_4 および各第9電極 E_9 に対して付与されていない状態で、一端側の第0ブロック回路 $B L_0$ にセット信号 S_{SET} が入力された後に、第1および第2クロック信号線 L_{CLKE}, L_{CLKO} からの第1および第2クロック信号 S_{CLKE}, S_{CLKO} が各ブロック回路 $B L_0 \sim B L_n$ に対して交互に供給されることにより、一端側の第0ブロック回路 $B L_0$ から他端側の第 n ブロック回路 $B L_n$ に向けて、第1設定状態すなわちアウト信号出力許可状態に設定されているブロック回路が順次にシフトする。このため、シフトレジスタ回路400において、消費電力の増大を抑制しつつ、シフトレジスタの機能を実現することができる。

【0256】

一般的に、TFTをアモルファスのシリコンによって構成する場合には、アモルファスのシリコンにおけるキャリア移動度の低さから、CMOS (Complementary Metal Oxide Semiconductor) の製作が難しく、所謂NMOS (negative channel Metal Oxide Semiconductor) によって構成されるTFTを利用する必要がある。前段からのセット信号が後段に順次に伝達されていくシフトレジスタ回路は、前段からのセット信号が後段に伝達される度に減衰する傾向にある。特に、撮像素子および表示素子の高精細化の要請に伴って、シフトレジスタ回路の段数が増加し、後ろの方の段では、セット信号が顕著に減衰する。

【0257】

本実施形態に係るシフトレジスタ回路400は、TFTをアモルファスのシリコンによって構成した場合であっても、セット信号を順次シフトさせるために、外部からデータ信号を供給し、データ信号の供給により内部に電荷を蓄積させてTFTをオン/オフさせることにより、セット信号を順次シフトさせる。その結果、セット信号が前段から後段に向けて、減衰傾向が非常に小さいセット信号を供給し続けることができる。

【0258】

また、シフトレジスタ回路400を含むYドライバ回路4Yでは、第1トランジスタ $T r_1$ の第2電極 E_2 と、第3トランジスタ $T r_3$ の第9電極 E_9 、第4トランジスタ $T r_4$ の第10電極 E_{10} 、および第5トランジスタ $T r_5$ の第15電極 E_{15} とが、第9トランジスタ $T r_9$ の第25および第26電極 E_{25}, E_{26} を介して電氣的に接続される。また、第7トランジスタ $T r_7$ の第20電極 E_{20} と、第9電極 E_9 、第10電極 E_{10} 、および第15電極 E_{15} とが、第10トランジスタ $T r_{10}$ の第28および第29電極 E_{28}, E_{29} を介して電氣的に接続される。

【0259】

更に、第2トランジスタ $T r_2$ の第5電極 E_5 と、第3トランジスタ $T r_3$ の第7電極 E_7 、第4トランジスタ $T r_4$ の第12電極 E_{12} 、および第6トランジスタ $T r_6$ の第18電極 E_{18} とが、第11トランジスタ $T r_{11}$ の第31および第32電極 E_{31}, E_{32} を介して電氣的に接続される。また、第8トランジスタ $T r_8$ の第23電極 E_{23} と、第7電極 E_7 、第12電極 E_{12} 、および第18電極 E_{18} とが、第11トランジスタ $T r_{11}$ の第31および第32電極 E_{31}, E_{32} を介して電氣的に接続される。また、第13トランジスタ $T r_{13}$ の第37電極 E_{37} が、第1信号線 L_{DP} に対して電氣的に接続され、第13トランジスタ $T r_{13}$ の第38電極 E_{38} が、第3トランジスタ $T r_3$ の

第9電極E₉、第4トランジスタTr₄の第10電極E₁₀、および第5トランジスタTr₅の第15電極E₁₅に対して電氣的に接続される。また、第14トランジスタTr₁₄の第40電極E₄₀が、第2信号線L_{DN}に対して電氣的に接続され、第14トランジスタTr₁₄の第41電極E₄₁が、第7電極E₇、第12電極E₁₂、および第18電極E₁₈に対して電氣的に接続される。そして、第27、第30、第33、および第36電極E₂₇、E₃₀、E₃₃、E₃₆に対して第1モード信号線L_{SL}が接続され、第39および第42電極E₃₉、E₄₂に対して第2モード信号線L_{PL}が接続される。

【0260】

このような構成において、第27、第30、第33、および第36電極E₂₇、E₃₀、E₃₃、E₃₆に対する第1モード信号S_{SL}の付与の有無により、各ブロック回路B_{L₀}~B_{L_n}については、第9~12トランジスタTr₉~Tr₁₂がそれぞれ導通状態に設定されている状態と、第9~12トランジスタTr₉~Tr₁₂がそれぞれ非導通状態に設定されている状態とに交互に設定される。このため、Yドライバ回路4Yでは、シフトレジスタの機能と、第0~nブロック回路B_{L₀}~B_{L_n}から同時にアウト信号S_{OUT}が出力される機能が実現される。また、第0~nブロック回路B_{L₀}~B_{L_n}から同時にアウト信号S_{OUT}が出力される場合でも、貫通電流の発生が抑制される。したがって、本発明の実施形態に係る画像表示装置1のように、複数の画素回路31を同時に点灯させる方式の画像表示装置に適用される各ブロック回路B_{L₀}~B_{L_n}を含むYドライバ回路4Yにおいて、n型のトランジスタを用いた場合でも、消費電力の増大を抑制することができる。

【0261】

このように、本発明の一実施形態に係る各ブロック回路B_{L₀}~B_{L_n}では、電気回路において貫通電流の発生が抑制される。そして、各ブロック回路B_{L₀}~B_{L_n}を含む、シフトレジスタ回路400、Yドライバ回路4Y、および画像表示装置1においても、電気回路において貫通電流の発生が抑制される。その結果、この貫通電流の発生の抑制により、各ブロック回路B_{L₀}~B_{L_n}、シフトレジスタ回路400、Yドライバ回路4Y、および画像表示装置1において、消費電力を低減することができる。特に、アモルファスのシリコンを用いたn型のトランジスタを採用する場合は、電気回路において、例えば、従来技術と比較して約60%の消費電力の低減を図ることができる。

【0262】

<変形例>

本発明は上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更、改良等が可能である。

【0263】

例えば、上記一実施形態に係るシフトレジスタ回路400では、第1および第2シフトモードにおいて、各ブロック回路B_{L₀}~B_{L_n}が、図12で示されたブロック回路B_{L_y}の構成となるように設定されることで、シフトレジスタの機能を実現したが、これに限られない。例えば、各ブロック回路B_{L₀}~B_{L_n}が、図13で示されたブロック回路B_{L_z}の構成となるように設定されることで、シフトレジスタの機能を実現しても良い。

【0264】

また、上記一実施形態では、画像表示装置1が有機EL素子の発光を利用した有機EL装置であったが、これに限られない。例えば、発光素子として無機材料で構成された発光ダイオード(LED)が採用された画像表示装置等であっても良い。

【0265】

また、上記一実施形態では、画像表示装置1に適用されるYドライバ回路4Yを例示して説明したが、これに限られない。例えば、本発明の実施形態に係るYドライバ回路4Yの構成を、各種ドライバ回路に適用しても良い。

【0266】

また、上記一実施形態では、Yドライバ回路4Yに適用されるシフトレジスタ回路400を例示して説明したが、これに限られない。例えば、本発明の一実施形態に係るシフトレジスタ回路400の構成を、各種シフトレジスタ回路に適用しても良い。つまり、図

10

20

30

40

50

12で示したブロック回路 $B L_Y$ は、Yドライバ回路4Y又はシフトレジスタ回路400にのみ適用できる回路でなく、各種ドライバ回路又は各種シフトレジスタ回路に適用することができる。

【0267】

また、上記一実施形態では、シフトレジスタ回路400に適用される各ブロック回路 $B L_0 \sim B L_n$ の構成を示して説明したが、これに限られない。例えば、本発明の一実施形態に係る各ブロック回路 $B L_0 \sim B L_n$ の構成を、電氣的に直列に接続されている2つのn型のトランジスタの間の電位を該2つのトランジスタの導通状態によって切り替える各種電気回路に適用しても良い。

【図面の簡単な説明】

10

【0268】

【図1】本発明の一実施形態に係る画像表示装置の機能的な構成を示す図である。

【図2】本発明の一実施形態に係る画像表示装置を構成する1画素分の画素回路の構成例を示す図である。

【図3】画素回路で発生する寄生容量を模式的に示す図である。

【図4】有機ELディスプレイ部の駆動波形を示すタイミングチャートである。

【図5】Cs初期化期間での画素回路における電流の流れを例示する図である。

【図6】準備期間での画素回路における電流の流れを例示する図である。

【図7】Vth補償期間での画素回路における電流の流れを例示する図である。

【図8】書込期間での画素回路における電流の流れを例示する図である。

20

【図9】発光期間での画素回路における電流の流れを例示する図である。

【図10】シフトレジスタ回路において貫通電流を抑制する一手法について説明するための図である。

【図11】NMOSを用いたNOT回路を示す図である。

【図12】貫通電流を抑制する原理を説明するための図である。

【図13】貫通電流を抑制する原理を説明するための図である。

【図14】Yドライバに適用されるシフトレジスタ回路の構成を示す模式図である。

【図15】シフトレジスタ回路を構成する奇数番目のブロック回路の回路図である。

【図16】シフトレジスタ回路を構成する偶数番目のブロック回路の回路図である。

【図17】第1シフトモードに係るシフトレジスタ回路の動作を示す図である。

30

【図18】第2シフトモードに係るシフトレジスタ回路の動作を示す図である。

【図19】同時出力モードに係るシフトレジスタ回路の動作を示す図である。

【図20】シフトレジスタ回路の動作に係るタイミングチャートである。

【図21】シフトレジスタ回路の動作に係るタイミングチャートである。

【図22】シフトレジスタ回路の動作に係るタイミングチャートである。

【図23】従来技術に係るシフトレジスタの1段分の構成を示す図である。

【符号の説明】

【0269】

1 画像表示装置

2 制御部

40

3 有機ELディスプレイ部

4 X Xドライバ回路

4 Y Yドライバ回路

11 有機EL素子

31 画素回路

400 シフトレジスタ回路

$B L_0 \sim B L_n$ 第0～nブロック回路

E1～E42 第1～42電極

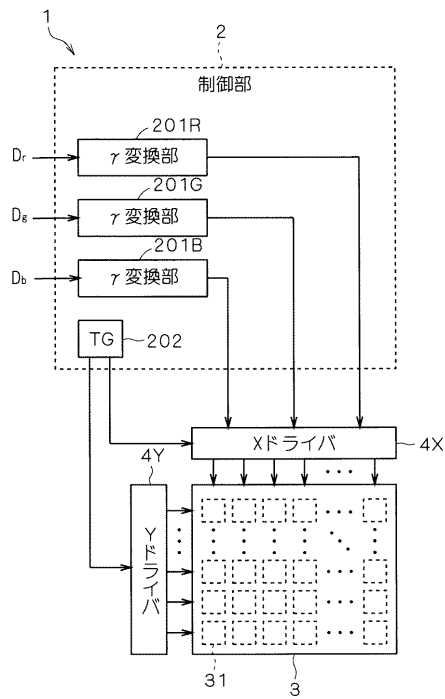
L_{CLKE} 第1クロック信号線

L_{CLKO} 第2クロック信号線

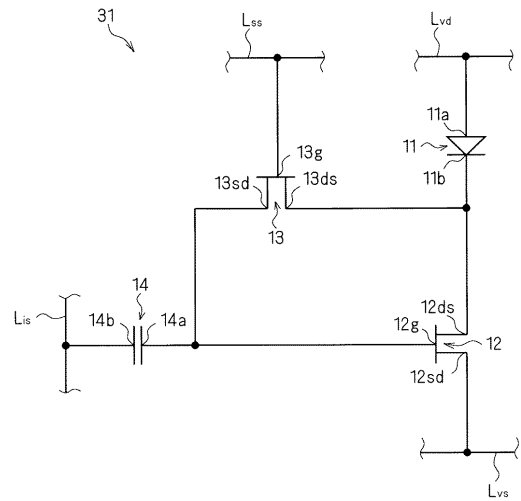
50

- L_{DN} 第2信号線
- L_{DP} 第1信号線
- L_{PL} 第2モード信号線
- L_{SL} 第1モード信号線
- L_{VL} 低電位線
- T_{r1} ~ T_{r14} 第1 ~ 14トランジスタ
- T₁ ~ T₁₂ 第1 ~ 12端子部
- T_{IN} クロック信号入力端子部
- T_{L1} ~ T_{L3} 第1 ~ 3低電位接続端子部
- T_{OUT} アウト信号出力端子部
- T_{RESET} リセット信号付与端子部
- T_{SET} セット信号付与端子部

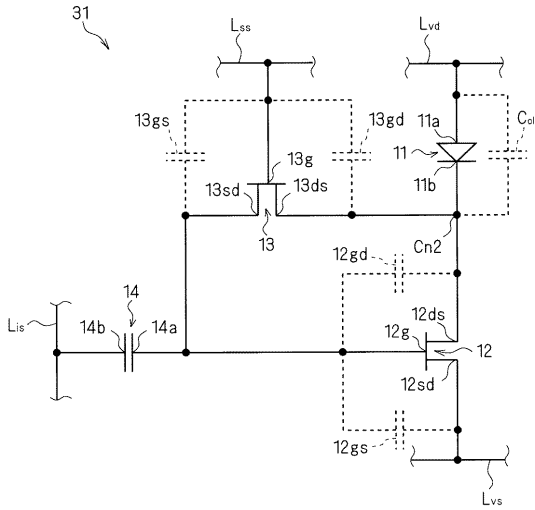
【図1】



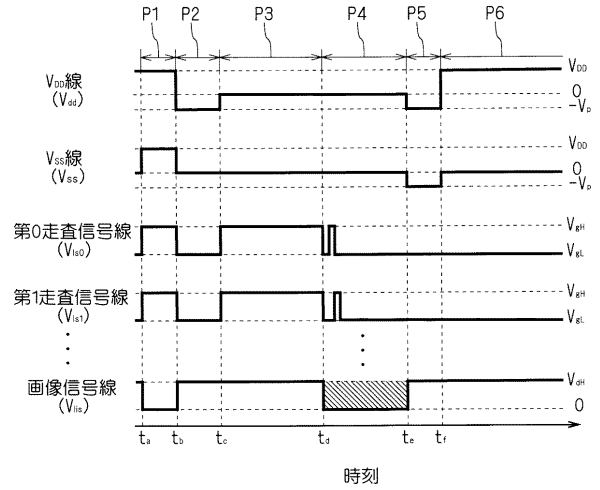
【図2】



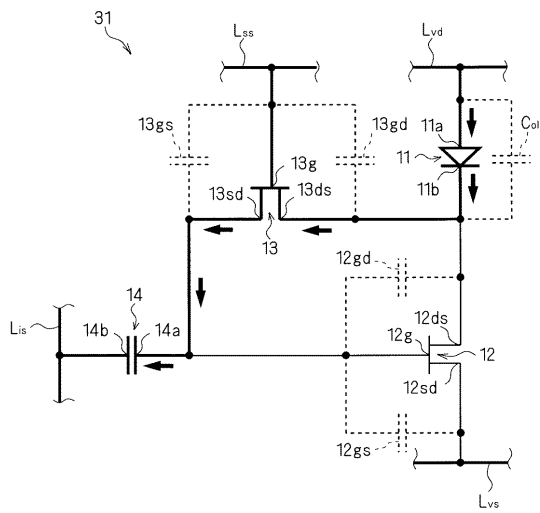
【 図 3 】



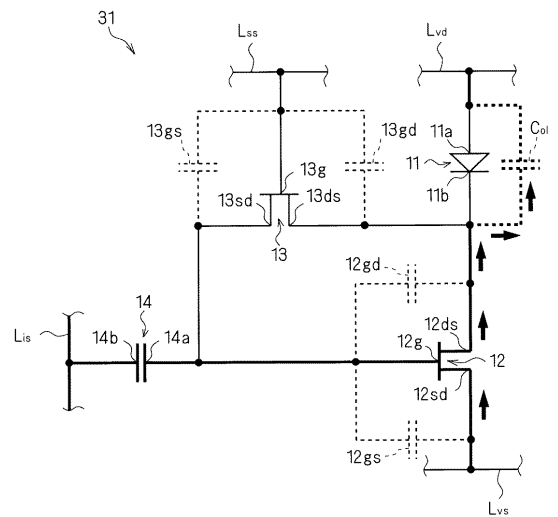
【 図 4 】



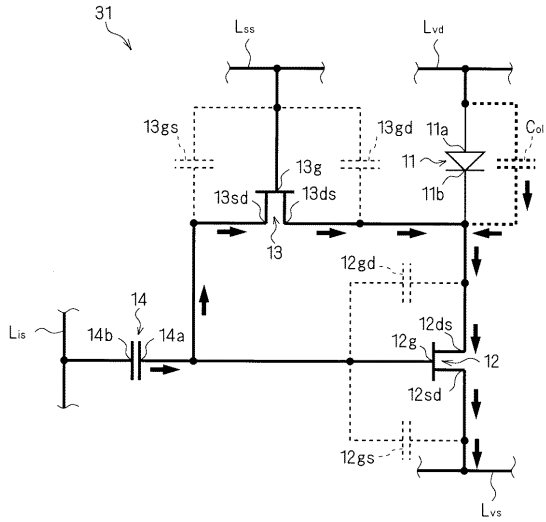
【 図 5 】



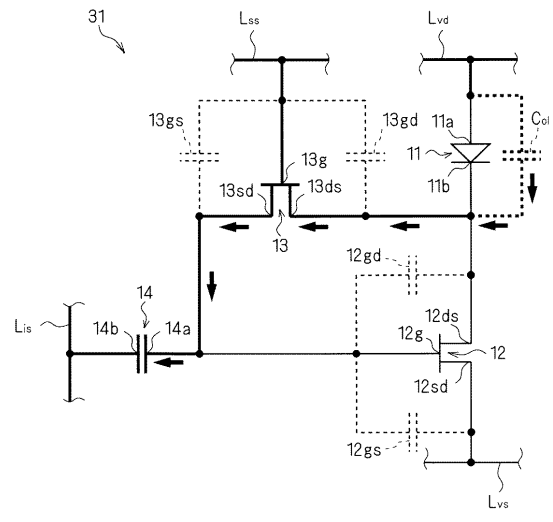
【 図 6 】



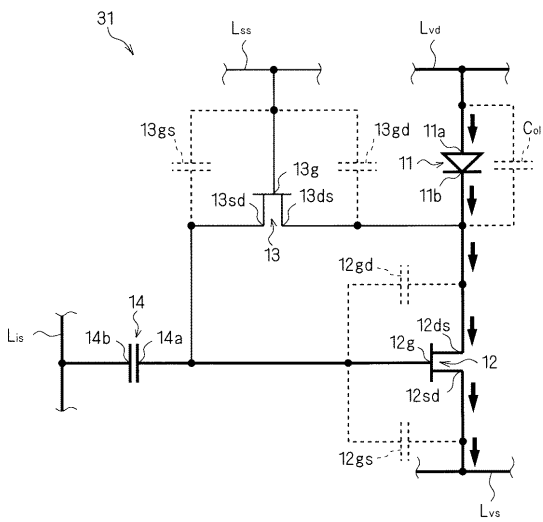
【図7】



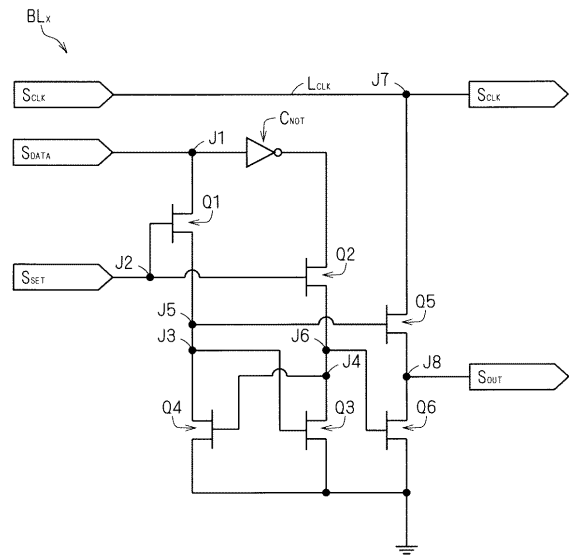
【図8】



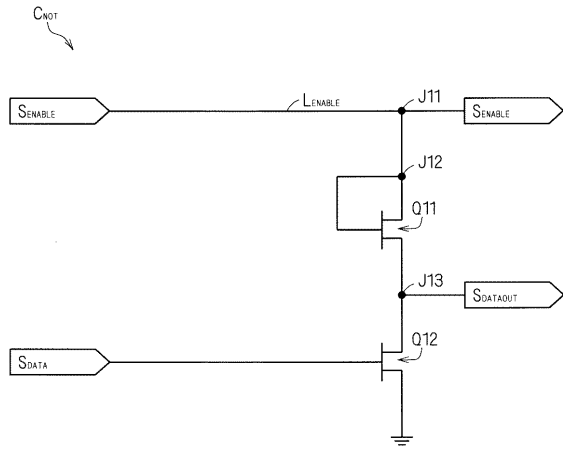
【図9】



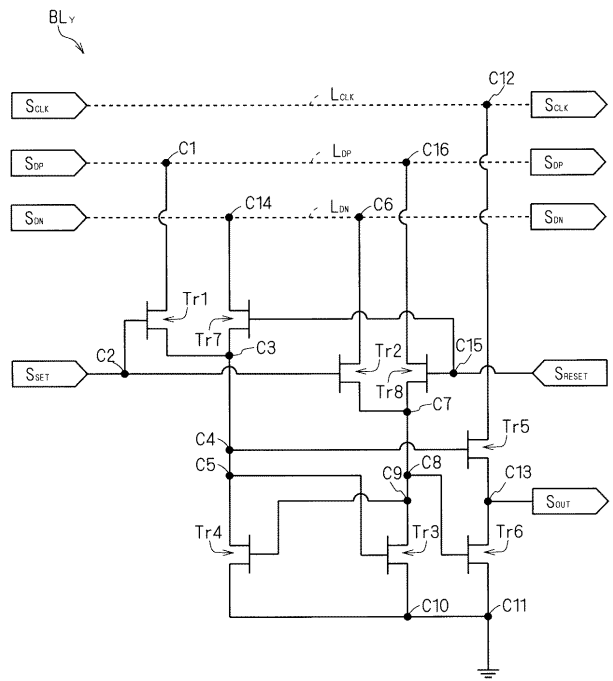
【図10】



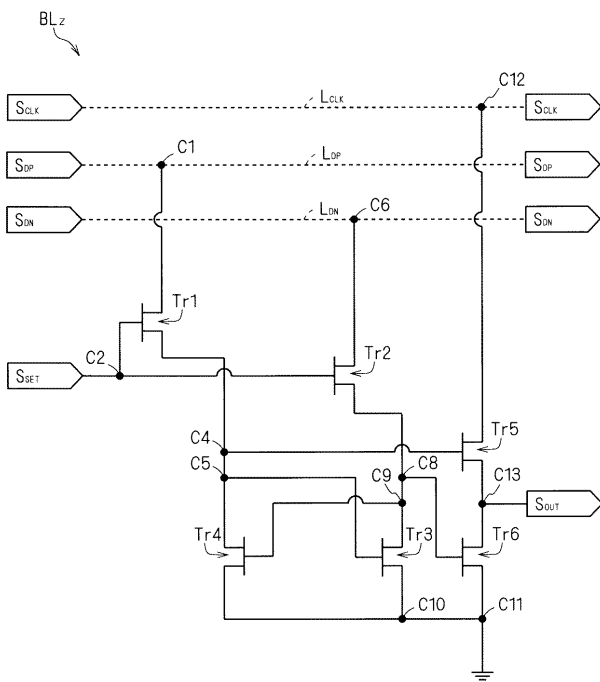
【 図 1 1 】



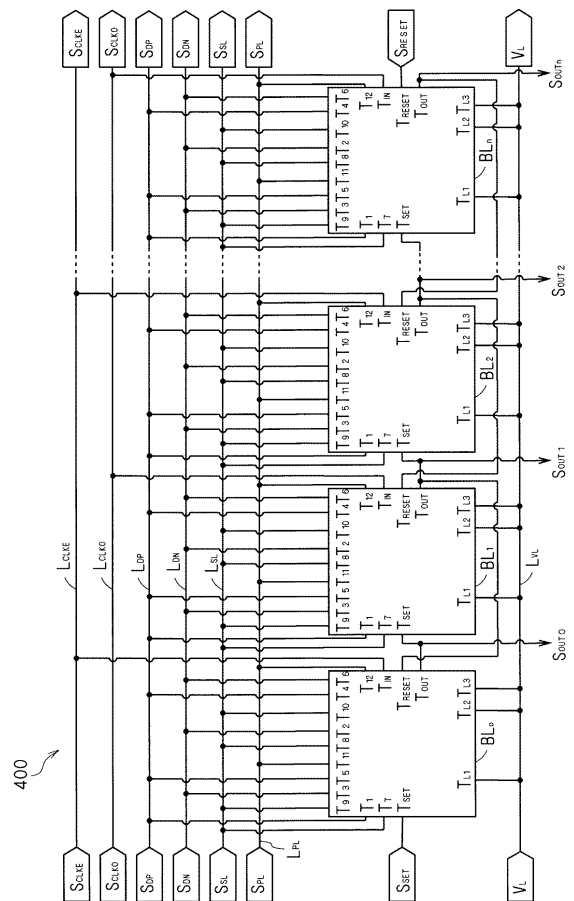
【 図 1 2 】



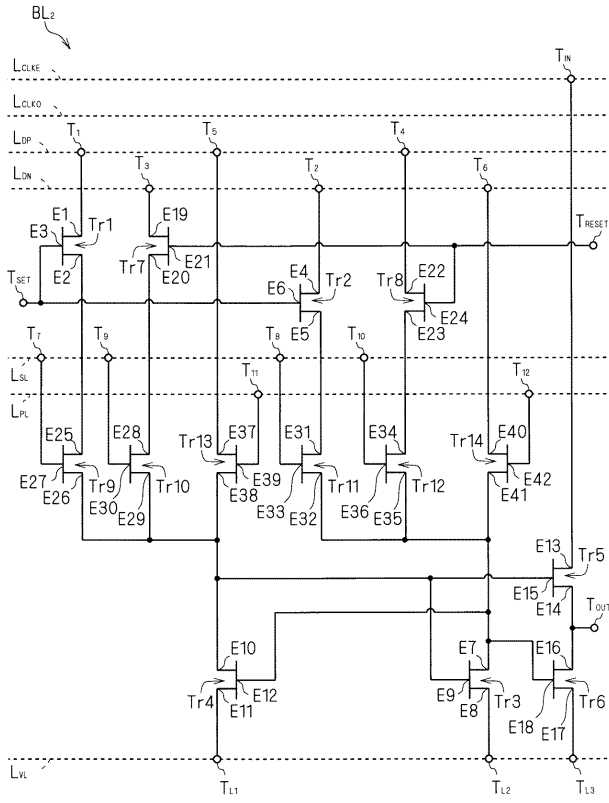
【 図 1 3 】



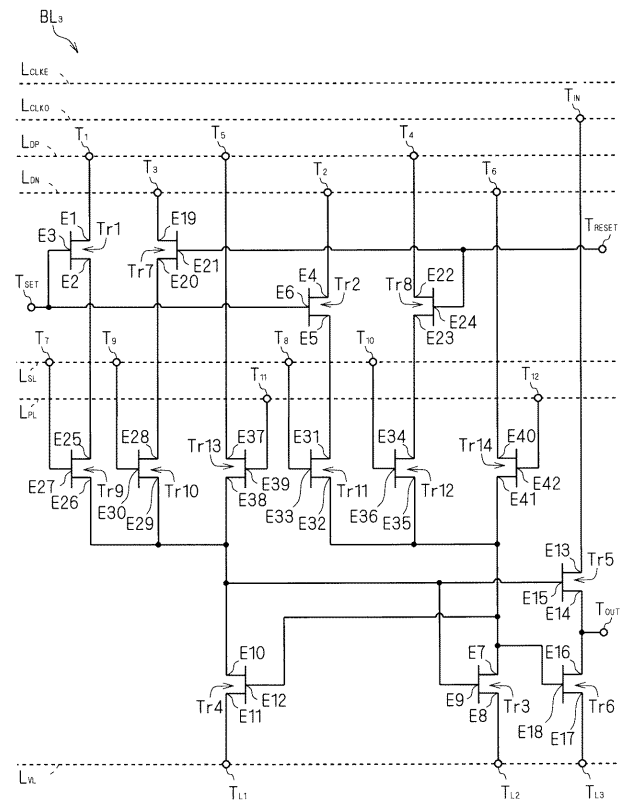
【 図 1 4 】



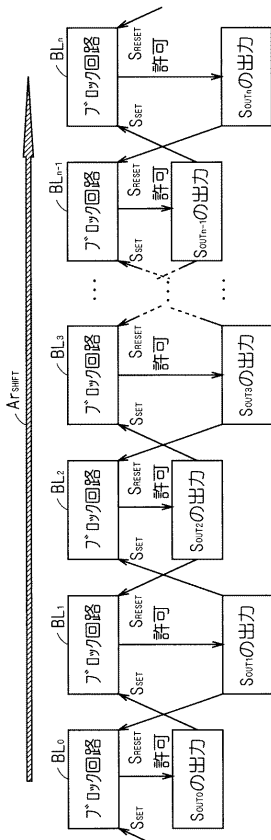
【図 15】



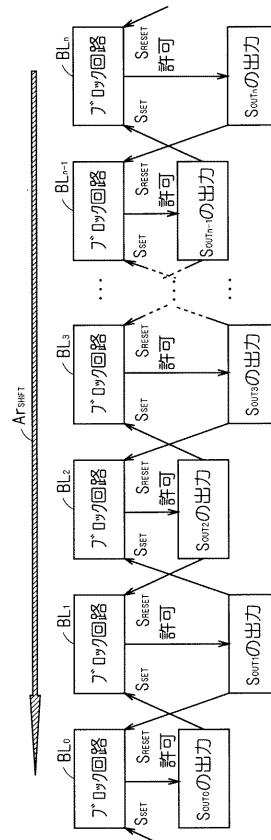
【図 16】



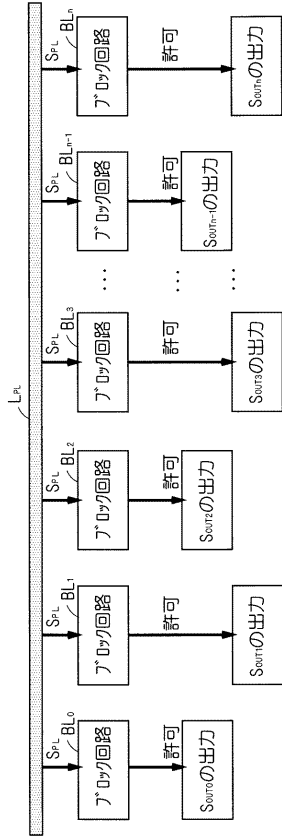
【図 17】



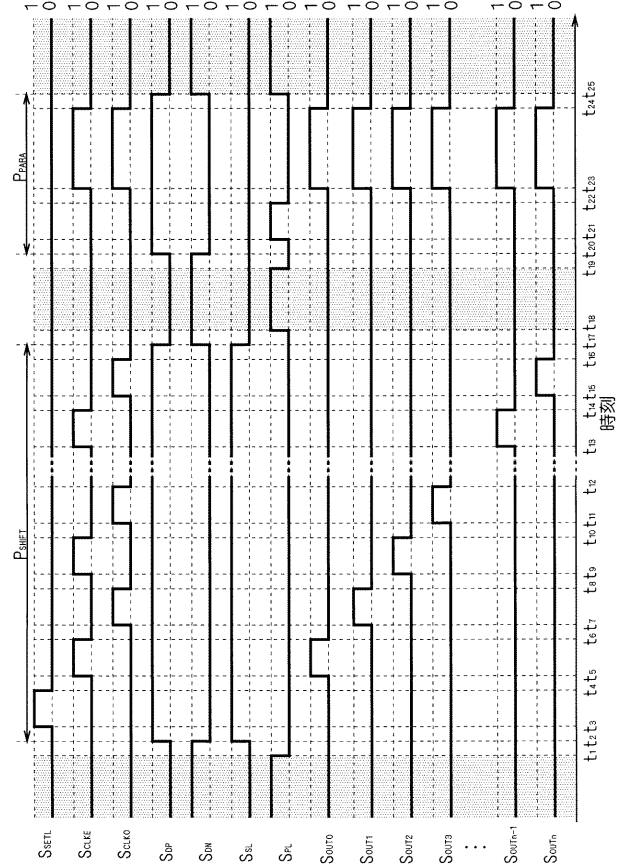
【図 18】



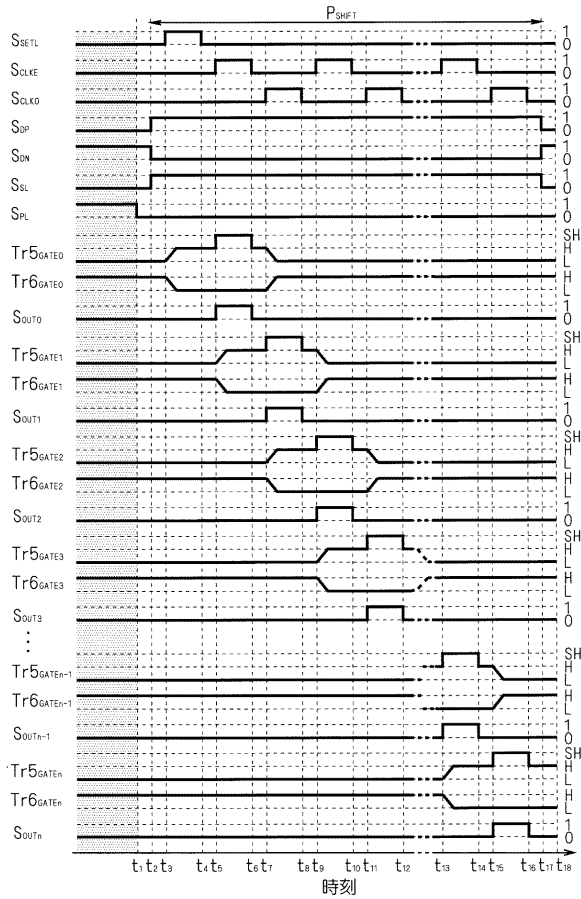
【図 19】



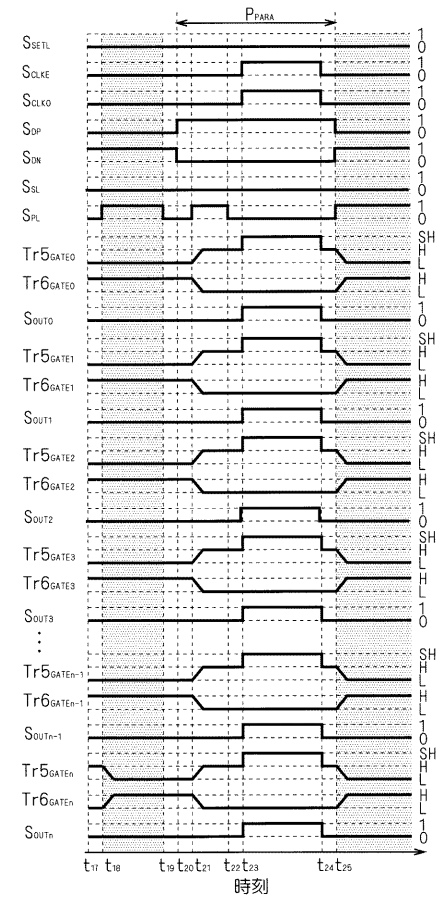
【図 20】



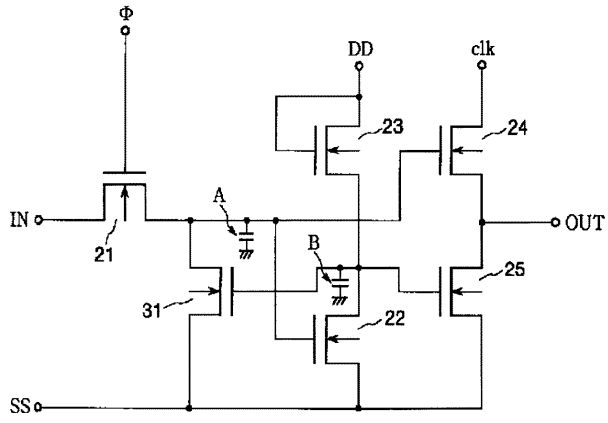
【図 21】



【図 22】



【 図 2 3 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/30	J
	G 1 1 C 19/00	J
	G 1 1 C 19/28	D

(72)発明者 原 将人

神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所大和事業所内

(72)発明者 高杉 親知

神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所大和事業所内

Fターム(参考) 5C080 AA06 BB05 CC03 DD26 EE29 FF11 JJ02 JJ03 JJ04
5J034 AB03 CB01 DB01 DB08