



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월04일
(11) 등록번호 10-2140783
(24) 등록일자 2020년07월28일

(51) 국제특허분류(Int. Cl.)
G11C 11/401 (2006.01) G11C 11/406 (2006.01)
G11C 11/4063 (2006.01)
(21) 출원번호 10-2013-0069200
(22) 출원일자 2013년06월17일
심사청구일자 2018년06월18일
(65) 공개번호 10-2014-0146711
(43) 공개일자 2014년12월29일
(56) 선행기술조사문헌
US05278796 A*
US07233538 B1*
US20050105367 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
조민희
경기 수원시 영통구 태장로 45, 203동 802호 (망포동, 망포마을현대2차아파트)
야마다 사토루
서울 강남구 남부순환로 2803, 106동 1803호 (도곡동, 삼성래미안아파트)
(74) 대리인
리엔목특허법인
(뒷면에 계속)

전체 청구항 수 : 총 7 항

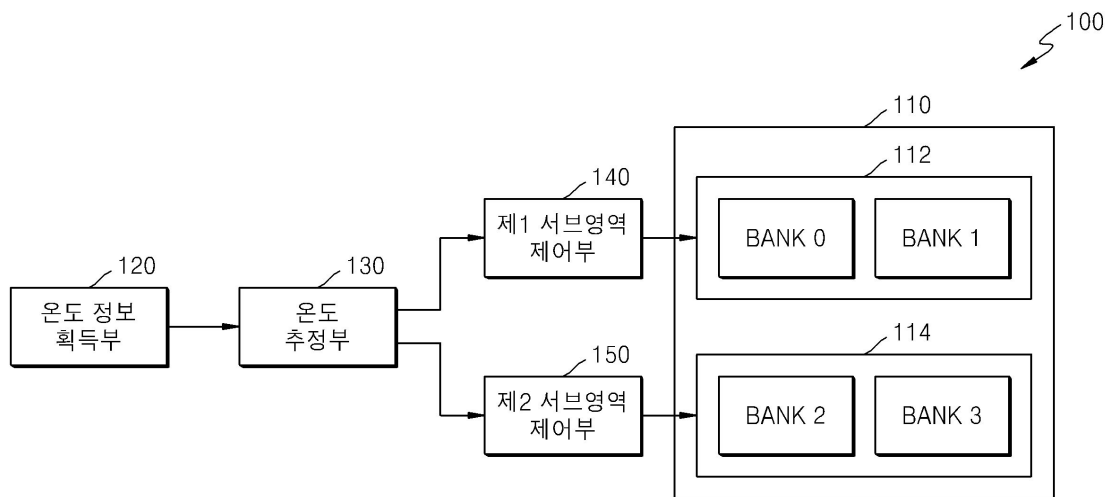
심사관 : 손윤식

(54) 발명의 명칭 반도체 메모리 장치 및 반도체 패키지

(57) 요약

본 발명적 사상에 따른 반도체 메모리 장치가 제공된다. 상기 반도체 메모리 장치는 메모리부, 온도 정보 획득부, 온도 추정부, 및 제1 및 제2 서브 영역 제어부를 포함한다. 상기 메모리 부는 제1 메모리 셀을 포함하는 제1 메모리 서브 영역과 제2 메모리 셀을 포함하는 제2 메모리 서브 영역을 포함한다. 상기 온도 정보 획득부는 온도 정보를 획득한다. 상기 온도 추정부는 상기 온도 정보를 기초로 상기 제1 메모리 서브 영역의 제1 온도와 상기 제2 메모리 서브 영역의 제2 온도를 추정한다. 상기 제1 서브 영역 제어부는 상기 제1 온도를 기초로 상기 제1 메모리 서브 영역을 제어하고, 상기 제2 서브 영역 제어부는 상기 제2 온도를 기초로 상기 제2 메모리 서브 영역을 제어한다.

대표도



(72) 발명자

신상호

경기 용인시 수지구 성북1로164번길 20, 101동 20
2호 (성북동, 벼들치마을성북자이1차)

이성삼

경기도 용인시 수지구 진산로34번길 24 106동
2004호 (풍덕천동, 수진진산마을푸르지오)

명세서

청구범위

청구항 1

제1 메모리 셀을 포함하는 제1 메모리 서브 영역과 제2 메모리 셀을 포함하는 제2 메모리 서브 영역을 포함하는 메모리부;

온도 정보를 획득하는 온도 정보 획득부;

상기 온도 정보를 기초로 상기 제1 메모리 서브 영역의 제1 온도와 상기 제2 메모리 서브 영역의 제2 온도를 추정하는 온도 추정부;

상기 제1 온도를 기초로 상기 제1 메모리 서브 영역을 제어하는 제1 서브 영역 제어부; 및

상기 제2 온도를 기초로 상기 제2 메모리 서브 영역을 제어하는 제2 서브 영역 제어부를 포함하고,

상기 제1 서브 영역 제어부는 상기 제1 온도에 대응하는 제1 리프레쉬 주기로 상기 제1 메모리 셀을 리프레쉬하고,

상기 제2 서브 영역 제어부는 상기 제2 온도에 대응하는 제2 리프레쉬 주기로 상기 제2 메모리 셀을 리프레쉬하고,

상기 제1 온도가 상기 제2 온도보다 높을 경우, 상기 제1 리프레쉬 주기는 상기 제2 리프레쉬 주기보다 짧게 설정되고,

상기 제1 서브 영역은 m개의 리프레쉬 어드레스를 가지고, 상기 제2 메모리 서브 영역은 n개의 리프레쉬 어드레스를 가지고, m과 n은 1보다 큰 자연수이며,

상기 제1 서브 영역 제어부는,

상기 제1 온도에 대응하여 상기 제1 리프레쉬 주기 동안 m개의 펄스를 갖는 제1 펄스 신호를 생성하는 제1 발진기,

상기 제1 펄스 신호에 응답하여 리프레쉬가 수행될 상기 제1 메모리 서브 영역의 리프레쉬 어드레스를 나타내는 제1 리프레쉬 어드레스를 생성하는 제1 어드레스 카운터, 및

상기 제1 펄스 신호에 응답하여 상기 제1 리프레쉬 어드레스에 대응하는 메모리 셀들을 리프레쉬하는 제1 리프레쉬 회로를 포함하고,

상기 제2 서브 영역 제어부는,

상기 제2 온도에 대응하여 상기 제2 리프레쉬 주기 동안 n개의 펄스를 갖는 제2 펄스 신호를 생성하는 제2 발진기,

상기 제2 펄스 신호에 응답하여 리프레쉬가 수행될 상기 제2 메모리 서브 영역의 리프레쉬 어드레스를 나타내는 제2 리프레쉬 어드레스를 생성하는 제2 어드레스 카운터, 및

상기 제2 펄스 신호에 응답하여 상기 제2 리프레쉬 어드레스에 대응하는 메모리 셀들을 리프레쉬하는 제2 리프레쉬 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제1 항에 있어서,

상기 제1 서브 영역은 m 개의 리프레쉬 어드레스를 가지고, 상기 제2 메모리 서브 영역은 n 개의 리프레쉬 어드레스를 가지고, m 과 n 은 1보다 큰 자연수이며,

상기 제1 서브 영역 제어부는,

제3 펄스 신호를 수신하고 상기 제3 펄스 신호로부터 상기 제1 리프레쉬 주기 동안 m 개의 펄스를 갖는 제1 펄스 신호를 출력하는 제1 펄스 신호 생성 회로;

상기 제1 펄스 신호에 응답하여 리프레쉬가 수행될 상기 제1 메모리 서브 영역의 리프레쉬 어드레스를 나타내는 제1 리프레쉬 어드레스를 생성하는 제1 어드레스 카운터; 및

상기 제1 펄스 신호에 응답하여 상기 제1 리프레쉬 어드레스에 대응하는 메모리 셀들을 리프레쉬하는 제1 리프레쉬 회로를 포함하고,

상기 제2 서브 영역 제어부는,

제3 펄스 신호를 수신하고 상기 제3 펄스 신호로부터 상기 제2 리프레쉬 주기 동안 n 개의 펄스를 갖는 제2 펄스 신호를 출력하는 제2 펄스 신호 생성 회로;

상기 제2 펄스 신호에 응답하여 리프레쉬가 수행될 상기 제2 메모리 서브 영역의 리프레쉬 어드레스를 나타내는 제2 리프레쉬 어드레스를 생성하는 제2 어드레스 카운터; 및

상기 제2 펄스 신호에 응답하여 상기 제2 리프레쉬 어드레스에 대응하는 메모리 셀들을 리프레쉬하는 제2 리프레쉬 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제8 항에 있어서,

상기 제3 펄스 신호를 생성하는 내부 발진기를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제8 항에 있어서,

상기 제3 펄스 신호는 외부 장치로부터 수신되는 리프레쉬 명령에 응답하여 생성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

제1 항에 있어서,

상기 제1 서브 영역 제어부는 상기 제1 온도에 대응하는 제1 제어 전압으로 상기 제1 메모리 셀을 제어하고, 상기 제2 서브 영역 제어부는 상기 제2 온도에 대응하는 제2 제어 전압으로 상기 제2 메모리 셀을 제어하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

제11 항에 있어서,

상기 제1 온도가 상기 제2 온도보다 높을 경우, 상기 제1 메모리 셀에 인가되는 상기 제1 제어 전압은 상기 제2 메모리 셀에 인가되는 상기 제2 제어 전압보다 낮은 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

제11 항에 있어서,

상기 제1 및 제2 메모리 셀은 각각 트랜지스터 및 커패시터를 포함하고,

상기 제1 및 제2 제어 전압은 대응하는 메모리 셀이 활성화되도록 상기 대응하는 메모리 셀의 상기 트랜지스터의 게이트에 인가되는 턴 온 전압, 및 상기 대응하는 메모리 셀이 비활성화되도록 상기 대응하는 메모리 셀의 상기 트랜지스터의 게이트에 인가되는 턴 오프 전압을 각각 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치 및 반도체 메모리 장치를 포함하는 반도체 패키지에 관한 것으로서, 더욱 구체적으로는 메모리 서브 영역 별로 온도에 따라 독립적으로 제어될 수 있는 반도체 메모리 장치 및 이를 포함하는 반도체 패키지에 관한 것이다.

배경 기술

[0002] DRAM이나 플래시 메모리 등과 같은 반도체 메모리 장치는 동작 온도에 따라 전기적 특성이 달라진다. 휘발성 메모리 장치의 경우 온도가 올라갈수록 누설 전류가 커지므로 리프레시 주기를 짧게 해야 한다. 또한, 온도가 올라갈수록 트랜지스터의 문턱 전압은 올라가므로, 이 트랜지스터를 제어하는 전압도 변경될 필요가 있다. 반도체 메모리 장치의 용량이 커짐에 따라 반도체 메모리 장치가 차지하는 면적이 늘어나면서 위치에 따라 동작 온도의 차이가 발생할 수 있다. 특히 반도체 메모리 장치가 어플리케이션 프로세서와 함께 하나의 패키지 내에 탑재될 경우, 상대적으로 동작 온도가 높은 어플리케이션 프로세서와의 거리에 따라 위치에 따른 동작 온도의

차이는 커지게 된다. 그럼에도 어느 하나의 대표 온도를 기준으로 반도체 메모리 장치를 제어할 경우, 대표 온도보다 동작 온도가 높은 영역에서는 데이터가 유실되고 대표 온도보다 동작 온도가 낮은 영역에서는 빈번한 리프레쉬 동작이나 불필요하게 높은 제어 전압으로 인하여 전력이 낭비되는 문제가 발생한다. 이를 방지하기 위해 여러 개의 온도 센서를 반도체 메모리 장치 내에 설치하는 것은 공간적인 면에서 비효율적이다.

발명의 내용

해결하려는 과제

[0003] 따라서, 본 발명이 이루고자 하는 기술적 과제는 크기를 증가시키지 않으면서 전력 소모를 줄이고 신뢰성을 유지할 수 있는 반도체 메모리 장치 및 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 기술적 과제를 달성하기 위한 본 발명적 사상의 일 양상에 따른 반도체 메모리 장치는 메모리부, 온도 정보 획득부, 온도 추정부, 및 제1 및 제2 서브 영역 제어부를 포함한다. 상기 메모리 부는 제1 메모리 셀을 포함하는 제1 메모리 서브 영역과 제2 메모리 셀을 포함하는 제2 메모리 서브 영역을 포함한다. 상기 온도 정보 획득부는 온도 정보를 획득한다. 상기 온도 추정부는 상기 온도 정보를 기초로 상기 제1 메모리 서브 영역의 제1 온도와 상기 제2 메모리 서브 영역의 제2 온도를 추정한다. 상기 제1 서브 영역 제어부는 상기 제1 온도를 기초로 상기 제1 메모리 서브 영역을 제어하고, 상기 제2 서브 영역 제어부는 상기 제2 온도를 기초로 상기 제2 메모리 서브 영역을 제어한다.

[0005] 상기 반도체 메모리 장치의 일 예에 따르면, 상기 온도 정보 획득부는 상기 반도체 메모리 장치의 대표 온도를 검출하고 상기 대표 온도에 대응하는 상기 온도 정보를 생성하는 온도 센서를 포함할 수 있다.

[0006] 상기 반도체 메모리 장치의 다른 예에 따르면, 상기 온도 정보 획득부는 외부 장치로부터 상기 온도 정보를 수신할 수 있다.

[0007] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 및 제2 온도는 각각 상기 제1 및 제2 메모리 서브 영역의 위치에 기초하여 결정될 수 있다.

[0008] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 온도 추정부는 상기 온도 정보로부터 상기 제1 온도 및 상기 제2 온도를 추정하기 위한 관계 정보를 저장하는 레지스터를 포함할 수 있다.

[0009] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 온도 정보는 제1 온도 정보 및 제2 온도 정보를 포함할 수 있다. 상기 온도 추정부는 상기 제1 및 제2 온도 정보로부터 상기 제1 온도를 추정하기 위한 제1 관계 정보, 및 상기 제1 및 제2 온도 정보로부터 상기 제2 온도를 추정하기 위한 제2 관계 정보를 저장하는 레지스터를 포함할 수 있다.

[0010] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 서브 영역 제어부는 상기 제1 온도에 대응하는 제1 리프레쉬 주기로 상기 제1 메모리 셀을 리프레쉬하고, 상기 제2 서브 영역 제어부는 상기 제2 온도에 대응하는 제2 리프레쉬 주기로 상기 제2 메모리 셀을 리프레쉬할 수 있다. 상기 제1 온도가 상기 제2 온도보다 높을 경우, 상기 제1 리프레쉬 주기는 상기 제2 리프레쉬 주기보다 짧을 수 있다.

[0011] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 서브 영역은 m개의 리프레쉬 어드레스를 가지고, 상기 제2 메모리 서브 영역은 n개의 리프레쉬 어드레스를 가질 수 있으며, 이때, m과 n은 1보다 큰 자연수일 수 있다. 상기 제1 서브 영역 제어부는 상기 제1 온도에 대응하여 상기 제1 리프레쉬 주기 동안 m개의 펄스를 갖는 제1 펄스 신호를 생성하는 제1 발진기, 상기 제1 펄스 신호에 응답하여 리프레쉬가 수행될 상기 제1 메모리 서브 영역의 리프레쉬 어드레스를 나타내는 제1 리프레쉬 어드레스를 생성하는 제1 어드레스 카운터, 및 상기 제1 펄스 신호에 응답하여 상기 제1 리프레쉬 어드레스에 대응하는 메모리 셀들을 리프레쉬하는 제1 리프레쉬 회로를 포함할 수 있다. 또한, 상기 제2 서브 영역 제어부는 상기 제2 온도에 대응하여 상기 제2 리프레쉬 주기 동안 n개의 펄스를 갖는 제2 펄스 신호를 생성하는 제2 발진기, 상기 제2 펄스 신호에 응답하여 리프레쉬가 수행될 상기 제2 메모리 서브 영역의 리프레쉬 어드레스를 나타내는 제2 리프레쉬 어드레스를 생성하는 제2 어드레스 카운터, 및 상기 제2 펄스 신호에 응답하여 상기 제2 리프레쉬 어드레스에 대응하는 메모리 셀들을 리프레쉬하는 제2 리프레쉬 회로를 포함할 수 있다.

[0012] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 서브 영역은 m개의 리프레쉬 어드레스를 가지고, 상

기 제2 메모리 서브 영역은 n 개의 리프레쉬 어드레스를 가질 수 있으며, 이때, m 과 n 은 1보다 큰 자연수일 수 있다. 상기 제1 서브 영역 제어부는 제3 펄스 신호를 수신하고 상기 제3 펄스 신호로부터 상기 제1 리프레쉬 주기 동안 m 개의 펄스를 갖는 제1 펄스 신호를 출력하는 제1 펄스 신호 생성 회로, 상기 제1 펄스 신호에 응답하여 리프레쉬가 수행될 상기 제1 메모리 서브 영역의 리프레쉬 어드레스를 나타내는 제1 리프레쉬 어드레스를 생성하는 제1 어드레스 카운터, 및 상기 제1 펄스 신호에 응답하여 상기 제1 리프레쉬 어드레스에 대응하는 메모리 셀들을 리프레쉬하는 제1 리프레쉬 회로를 포함할 수 있다. 또한, 상기 제2 서브 영역 제어부는 제3 펄스 신호를 수신하고 상기 제3 펄스 신호로부터 상기 제2 리프레쉬 주기 동안 n 개의 펄스를 갖는 제2 펄스 신호를 출력하는 제2 펄스 신호 생성 회로, 상기 제2 펄스 신호에 응답하여 리프레쉬가 수행될 상기 제2 메모리 서브 영역의 리프레쉬 어드레스를 나타내는 제2 리프레쉬 어드레스를 생성하는 제2 어드레스 카운터, 및 상기 제2 펄스 신호에 응답하여 상기 제2 리프레쉬 어드레스에 대응하는 메모리 셀들을 리프레쉬하는 제2 리프레쉬 회로를 포함할 수 있다.

- [0013] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 및 제2 펄스 신호 생성 회로는 상기 제3 펄스 신호의 펄스들의 일부 또는 전부를 통과시키는 제1 및 제2 스킵 회로를 각각 포함할 수 있다.
- [0014] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제3 펄스 신호의 펄스 주파수는 상기 제1 펄스 신호의 펄스 주파수와 상기 제2 펄스 신호의 펄스 주파수 중 높은 펄스 주파수와 동일하거나 이보다 높을 수 있다.
- [0015] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제3 펄스 신호를 생성하는 내부 발진기를 더 포함할 수 있다.
- [0016] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제3 펄스 신호는 외부 장치로부터 수신되는 리프레쉬 명령에 응답하여 생성될 수 있다.
- [0017] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 서브 영역 제어부는 상기 제1 온도에 대응하는 제1 제어 전압으로 상기 제1 메모리 셀을 제어하고, 상기 제2 서브 영역 제어부는 상기 제2 온도에 대응하는 제2 제어 전압으로 상기 제2 메모리 셀을 제어할 수 있다.
- [0018] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 온도가 상기 제2 온도보다 높을 경우, 상기 제1 메모리 셀에 인가되는 상기 제1 제어 전압은 상기 제2 메모리 셀에 인가되는 상기 제2 제어 전압보다 낮을 수 있다.
- [0019] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 및 제2 메모리 셀은 각각 트랜지스터 및 커패시터를 포함할 수 있다. 상기 제1 및 제2 제어 전압은 각각 대응하는 메모리 셀이 활성화되도록 상기 대응하는 메모리 셀의 상기 트랜지스터의 게이트에 인가되는 턴 온 전압, 및 상기 대응하는 메모리 셀이 비활성화되도록 상기 대응하는 메모리 셀의 상기 트랜지스터의 게이트에 인가되는 턴 오프 전압을 포함할 수 있다.
- [0020] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 서브 영역 제어부는 상기 제1 제어 전압을 생성하는 제1 전압 발생부를 포함하고, 상기 제2 서브 영역 제어부는 상기 제2 제어 전압을 생성하는 제2 전압 발생부를 포함할 수 있다.
- [0021] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 제1 메모리 서브 영역은 상기 제1 메모리 셀이 배열된 제1 메모리 बैं크에 대응되고, 상기 제2 메모리 서브 영역은 상기 제2 메모리 셀이 배열된 제2 메모리 बैं크에 대응될 수 있다.
- [0022] 상기 반도체 메모리 장치의 또 다른 예에 따르면, 상기 메모리부는 복수의 메모리 बैं크를 포함하고, 상기 반도체 메모리 장치는 상기 복수의 메모리 बैं크에 각각 대응하는 복수의 बैं크 제어부를 포함하며, 상기 온도 추정부는 상기 온도 정보를 기초로 상기 복수의 메모리 बैं크 각각의 온도를 추정하며, 상기 복수의 बैं크 제어부의 각각은 상기 온도 추정부에 의해 추정된 대응하는 메모리 बैं크의 온도를 기초로 상기 대응하는 메모리 बैं크의 메모리 셀들을 제어할 수 있다.
- [0023] 상기 기술적 과제를 달성하기 위한 본 발명적 사상의 일 양상에 따른 반도체 메모리 장치는 복수의 메모리 बैं크를 포함하는 메모리부, 대표 온도를 검출하는 온도 감지부, 상기 대표 온도를 기초로 상기 복수의 메모리 बैं크 각각의 온도를 추정하는 온도 추정부, 및 상기 온도 추정부에서 추정한 상기 복수의 메모리 बैं크 각각의 온도에 대응하는 리프레쉬 주기로 대응하는 메모리 बैं크의 메모리 셀들을 리프레쉬하는 복수의 리프레쉬부를 포함한다.
- [0024] 상기 기술적 과제를 달성하기 위한 본 발명적 사상의 일 양상에 따른 반도체 패키지는 적어도 하나의 반도체 메모리 칩을 포함한다. 상기 적어도 하나의 반도체 메모리 칩은 제1 메모리 서브 영역과 제2 메모리 서브 영역을

포함하는 메모리부, 온도 정보를 획득하는 온도 정보 획득부, 상기 온도 정보를 기초로 상기 제1 메모리 서브 영역의 제1 온도와 상기 제2 메모리 서브 영역의 제2 온도를 추정하는 온도 추정부, 상기 제1 온도를 기초로 상기 제1 메모리 서브 영역의 메모리 셀들을 제어하는 제1 서브 영역 제어부, 및 상기 제2 온도를 기초로 상기 제2 메모리 서브 영역의 메모리 셀들을 제어하는 제2 서브 영역 제어부를 포함한다.

[0025] 상기 반도체 패키지의 일 예에 따르면, 상기 적어도 하나의 반도체 메모리 칩의 상부 또는 하부에 배치되고, 상기 온도 정보를 생성하는 적어도 하나의 어플리케이션 프로세서 칩을 더 포함할 수 있다. 상기 온도 정보 획득부는 상기 적어도 하나의 어플리케이션 프로세서 칩으로부터 상기 온도 정보를 수신할 수 있다.

[0026] 상기 반도체 패키지의 다른 예에 따르면, 상기 적어도 하나의 반도체 메모리 칩에 리프레쉬 명령들을 전송하는 메모리 컨트롤러를 더 포함할 수 있다. 상기 제1 서브 영역 제어부는 상기 리프레쉬 명령들의 일부 또는 전부에 응답하여 상기 제1 온도에 대응하는 제1 리프레쉬 주기로 상기 제1 메모리 서브 영역의 메모리 셀들을 리프레쉬할 수 있다. 또한, 상기 제2 서브 영역 제어부는 상기 리프레쉬 명령들의 일부 또는 전부에 응답하여 상기 제2 온도에 대응하는 제2 리프레쉬 주기로 상기 제2 메모리 서브 영역의 메모리 셀들을 리프레쉬할 수 있다.

[0027] 상기 반도체 패키지의 또 다른 예에 따르면, 상기 적어도 하나의 반도체 메모리 칩의 상부 또는 하부에 배치된 적어도 하나의 어플리케이션 프로세서 칩을 더 포함할 수 있다. 상기 적어도 하나의 반도체 메모리 칩과 상기 적어도 하나의 어플리케이션 프로세서 칩은 상기 적어도 하나의 반도체 메모리 칩과 적어도 하나의 어플리케이션 프로세서 칩 중 적어도 하나를 관통하는 관통 비아(Through Silicon Via; TSV)를 통해 서로 통신할 수 있다.

[0028] 상기 기술적 과제를 달성하기 위한 본 발명적 사상의 일 양상에 따른 반도체 패키지는 어플리케이션 프로세서 칩, 상기 어플리케이션 프로세서 칩의 상부 또는 하부에 배치되는 반도체 메모리 칩; 및 상기 어플리케이션 프로세서 칩 및 상기 반도체 메모리 칩 중 적어도 하나에 설치된 적어도 하나의 온도 센서를 포함한다. 상기 반도체 메모리 칩은 복수의 메모리 뱅크, 상기 적어도 하나의 온도 센서로부터 온도 정보를 획득하는 온도 정보 획득부, 상기 온도 정보를 기초로 상기 복수의 메모리 뱅크 각각의 온도를 추정하는 온도 추정부, 및 각각 대응하는 메모리 뱅크의 추정된 상기 온도를 기초로 상기 대응하는 메모리 뱅크를 제어하는 복수의 메모리 뱅크 제어부를 포함한다.

발명의 효과

[0029] 본 발명의 기술적 사상에 따른 반도체 메모리 장치 및 반도체 패키지는 온도 센서를 추가로 설치하지 않고도 반도체 메모리 장치의 메모리 서브 영역 별로 온도에 따라 독립적으로 제어함으로써, 높은 신뢰도를 유지하고 면적을 증가시키지 않으면서도, 전력 소비를 감소시킬 수 있다.

[0030] 또한, 본 발명의 기술적 사상에 따른 반도체 메모리 장치 및 반도체 패키지는 내부에 설치된 온도 센서를 제거하고도 반도체 메모리 장치의 메모리 서브 영역 별로 온도에 따라 독립적으로 제어함으로써, 높은 신뢰도를 유지하고 면적을 줄이면서도, 전력 소비를 감소시킬 수 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 도시한다.
- 도 2는 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 도시한다.
- 도 3은 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 도시한다.
- 도 4는 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 도시한다.
- 도 5는 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 도시한다.
- 도 6은 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 도시한다.
- 도 7은 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 도시한다.
- 도 8은 본 발명적 사상의 다양한 실시예들에 따른 반도체 패키지의 개략적인 단면도를 도시한다.
- 도 9는 본 발명적 사상의 다양한 실시예들에 따른 반도체 패키지의 개략적인 단면도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0032] 본 명세서에 제시되는 본 발명의 사상에 따른 실시예들은 본 기술 분야에서 통상의 지식을 가진 자에게 본 발명

의 사상을 더욱 완전하게 설명하기 위하여 제공되는 것이다. 본 명세서에 제시되는 실시예들은 여러 다른 형태로 변형될 수 있으며, 본 발명의 범위가 본 명세서에 제시되는 실시예들로 한정되지 않는다. 본 발명의 범위는 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [0033] 첨부된 도면들을 설명하면서 유사한 구성요소에 대해 유사한 참조 부호를 사용한다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확한 이해를 돕기 위하여 실제보다 확대하거나 축소하여 도시될 수 있다.
- [0034] 본 명세서에서 사용된 용어는 오로지 특정한 실시예를 설명하기 위해 사용된 것이며, 본 발명을 한정하려는 의도로 사용된 것이 아니다. 단수의 표현은 문맥상 명백히 다른 경우를 제외하고는 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 나열된 특징들의 존재를 특정하는 것이지, 하나 이상의 다른 특징들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 본 명세서에서, 용어 "및/또는"은 열거된 특징들 중 어느 하나 및 하나 이상의 모든 조합들을 포함하기 위해 사용된다. 본 명세서에서, "제1", "제2" 등의 용어가 다양한 특징들을 설명하기 위하여 하나의 특징을 다른 특징과 구별하기 위한 의도로만 사용되며, 이러한 특징들은 이들 용어에 의해 한정되지 않는다. 아래의 설명에서 제1 특징이 제2 특징과 연결, 결합 또는 접속된다고 기재되는 경우, 이는 제1 특징과 제2 특징 사이에 제3 특징이 개재될 수 있다는 것을 배제하지 않는다.
- [0035] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 이하, 본 명세서에 첨부된 도면을 참조하여 본 발명의 사상에 따른 다양한 실시예들을 상세히 설명한다.
- [0037] 도 1은 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 도시한다.
- [0038] 도 1을 참조하면, 반도체 메모리 장치(100)는 메모리부(110), 온도 정보 획득부(120), 온도 추정부(130), 제1 서브 영역 제어부(140) 및 제2 서브 영역 제어부(150)를 포함한다.
- [0039] 반도체 메모리 장치(100)는 DRAM(Dynamic Random Access Memory)과 같은 휘발성 메모리 장치 또는 플래시 메모리 장치와 같은 비휘발성 메모리 장치일 수 있다. 반도체 메모리 장치(100)는 단독으로 패키징되거나 동일 종류의 반도체 메모리 장치들이 적층된 반도체 메모리 패키지를 구성할 수 있다. 또한, 반도체 메모리 장치(100)는 예컨대 어플리케이션 프로세서 칩과 같은 다른 종류의 반도체 칩들 및/또는 다른 종류의 반도체 메모리 칩들과 함께 패키징된 반도체 통합 패키지의 일 구성요소일 수도 있다. 이 때, 상기 반도체 통합 패키지는 시스템 온 칩(System on chip), 패키지 온 패키지(package on package), 또는 시스템 인 패키지(System in package) 형태일 수 있다.
- [0040] 메모리부(110)는 제1 메모리 서브 영역(112) 및 제2 메모리 서브 영역(114)을 포함할 수 있다. 도 1에 예시적으로 도시된 바와 같이, 제1 메모리 서브 영역(112)에는 제1 및 제2 메모리 뱅크(BANK0, BANK1)가 포함되고, 제2 메모리 서브 영역(114)에는 제3 및 제4 메모리 뱅크(BANK2, BANK3)가 포함될 수 있다. 이러한 구성은 오로지 예시적이며, 메모리부(110)는 더 많은 개수의 메모리 서브 영역들을 포함할 수 있고, 하나의 메모리 서브 영역이 하나의 메모리 뱅크에 대응되거나, 하나의 메모리 뱅크가 둘 이상의 메모리 서브 영역으로 구분될 수도 있다. 또한, 도 1에는 메모리부(110)가 4개의 메모리 뱅크를 포함하는 것으로 도시되어 있지만, 이 역시 예시적이며, 메모리부(110)는 더 많거나 더 적은 개수의 메모리 뱅크들을 포함할 수도 있다. 또한, 반도체 메모리 장치(100)가 둘 이상의 반도체 메모리 칩이 적층된 구조를 갖는 경우, 제1 메모리 서브 영역(112)과 제2 메모리 서브 영역(114)은 서로 다른 층에 위치할 수도 있다. 메모리부(110)에 포함되는 메모리 서브 영역들(112, 114)은 적어도 일부의 측면에서 서로 독립적으로 제어될 수 있다.
- [0041] 제1 메모리 서브 영역(112)에는 제1 메모리 셀을 포함하는 복수의 메모리 셀들이 배열되고, 제2 메모리 서브 영역(114)에는 제2 메모리 셀을 포함하는 복수의 메모리 셀들이 배열된다.
- [0042] 온도 정보 획득부(120)는 온도 정보를 획득한다. 상기 온도 정보는 반도체 메모리 장치(100)의 특정 부분의 온도일 수 있다. 예컨대, 반도체 메모리 장치(100)는 예컨대 반도체 메모리 장치(100)의 중심과 같은 특정 위치에 설치된 온도 센서를 포함할 수 있다. 상기 온도 센서는 반도체 메모리 장치(100)의 온도를 검출하여 상기

온도 정보를 출력할 수 있다.

- [0043] 종래에는 반도체 메모리 장치(100)에 설치된 온도 센서는 반도체 메모리 장치(100)의 대표 온도를 검출한다. 반도체 메모리 장치(100)는 상기 대표 온도에 기초하여 제어된다. 그러나, 반도체 메모리 장치(100)의 내부에는 온도 구배가 발생할 수 있다.
- [0044] 특히, 어플리케이션 프로세서 칩과 함께 패키징 반도체 통합 패키지의 경우, 일반적으로 반도체 메모리 장치보다 면적이 작은 어플리케이션 프로세서 칩의 온도가 더 높기 때문에, 상기 어플리케이션 프로세서 칩에 인접한 부분의 온도는 상대적으로 높다. 반대로 상기 어플리케이션 프로세서 칩에서 먼 부분의 온도는 상대적으로 낮다. 실제로 반도체 메모리 장치의 위치에 따라 최대 대략 20℃ 정도의 온도 차이가 발생할 수 있다.
- [0045] 그럼에도 불구하고, 상기 대표 온도에 기초하여 반도체 메모리 장치의 전체 영역을 제어할 경우, 반도체 메모리 장치는 최적의 동작 상태를 유지할 수 없다. 예컨대, 대표 온도보다 높은 온도를 갖는 부분은 낮은 온도를 기초로 제어됨에 따라, 데이터 손실과 같은 문제가 발생할 수 있다.
- [0046] 또한, 대표 온도보다 낮은 온도를 갖는 부분은 높은 온도를 기초로 제어됨에 따라, 불필요하게 리프레쉬 주기를 짧게 설정될 수 있고, 이는 불필요한 전력 소모를 낳을 수 있다. 실제 온도보다 대략 6.5℃ 정도 높은 온도를 기초로 리프레쉬 동작을 수행할 경우, 대략 10% 정도의 전력이 추가적으로 소모된다.
- [0047] 상기 온도 정보는 반도체 메모리 장치(100)에 인접한 외부의 온도일 수도 있다. 예컨대, 온도 정보 획득부(120)는 반도체 메모리 장치(100)와 통신 가능하게 연결되는 외부 장치로부터 상기 온도 정보를 수신하는 방식으로 상기 온도 정보를 획득할 수 있다.
- [0048] 온도 정보 획득부(120)는 복수의 온도 정보를 획득할 수도 있다. 예컨대, 온도 정보 획득부(120)는 외부의 제1 장치로부터 제1 온도 정보를 수신하고, 외부의 제2 장치로부터 제2 온도 정보를 수신할 수 있다. 다른 예에 따르면, 온도 정보 획득부(120)는 내부의 온도 센서를 이용하여 제1 온도 정보를 획득하고, 외부 장치로부터 제2 온도 정보를 수신할 수도 있다.
- [0049] 온도 추정부(130)는 온도 정보 획득부(120)에서 획득된 상기 온도 정보를 기초로, 제1 메모리 서브 영역(112)의 제1 온도와 제2 메모리 서브 영역(114)의 제2 온도를 추정한다. 상술한 바와 같이, 반도체 메모리 장치(100)의 내부에는 온도 구배가 발생할 수 있기 때문에, 서로 다른 곳에 배치된 제1 메모리 서브 영역(112)과 제2 메모리 서브 영역(114)의 온도는 서로 다를 수 있다.
- [0050] 예컨대, 상대적으로 많은 열을 발산하는 어플리케이션 프로세서 칩이 제1 메모리 서브 영역(112)의 상부 또는 하부에 배치될 경우, 제1 메모리 서브 영역(112)의 온도는 제2 메모리 서브 영역(114)의 온도보다 높을 수 있다. 이 경우, 메모리부(110)의 중앙에 설치된 온도 센서가 90℃를 나타내더라도, 실제로 제1 메모리 서브 영역(112)의 온도는 95℃이고 제2 메모리 서브 영역(114)의 온도는 85℃일 수 있다.
- [0051] 메모리 셀들은 온도에 따라 전기적 특성은 달라진다. 휘발성 메모리 장치의 경우, 온도가 올라갈수록 메모리 셀의 전하 누설은 커지게 되며, 데이터 손실을 방지하기 위해 리프레쉬 주기를 더 짧게 해야 한다. 예컨대, 온도가 95℃일 경우, 온도가 85℃일 때보다 리프레쉬 주기를 반으로 줄여야 할 수 있다. 그럼에도 불구하고, 온도 센서에 의해 측정된 90℃를 기준으로 리프레쉬 주기를 설정할 경우, 95℃의 제1 메모리 서브 영역(112)에 포함되는 메모리 셀들에 저장된 데이터는 손실될 수 있고, 85℃의 제2 메모리 서브 영역(114)에 포함되는 메모리 셀들에 대해서는 불필요하게 빈번하게 리프레쉬가 수행되기 때문에 전력이 낭비된다.
- [0052] 또한, 메모리 셀의 트랜지스터의 전기적 특성도 온도의 변화에 따라 달라지게 된다. 온도가 낮아지면 트랜지스터의 문턱 전압이 높아지므로, 트랜지스터를 턴 온시키기 위한 제어 전압은 높게 설정되어야 한다. 이 경우, 온도가 높은 영역에 위치한 메모리 셀은 불필요하게 높은 제어 전압이 사용됨으로써 전력 낭비가 초래될 수 있다.
- [0053] 따라서, 각 메모리 서브 영역 별로 정확한 온도를 측정하고, 이를 기초로 메모리 서브 영역들을 독립적으로 제어할 필요가 있다. 그러나 이를 위해 각 메모리 서브 영역 별로 온도 센서를 설치할 경우, 면적이 증가하는 문제가 발생한다.
- [0054] 온도 추정부(130)는 온도 정보 획득부(120)에서 취득한 온도 정보를 기초로, 메모리부(110) 내의 각 메모리 서브 영역의 온도를 추정할 수 있다. 추정된 온도는 해당 메모리 서브 영역에서 가장 온도가 높은 부분의 온도일 수 있다.

- [0055] 온도 추정부(130)는 각 메모리 서브 영역의 온도를 추정하기 위한 정보를 저장하는 레지스터를 포함할 수 있다. 상기 레지스터에는 상기 온도 정보와 각 메모리 서브 영역의 온도의 관계에 관한 관계 정보가 저장될 수 있다. 상기 정보는 함수의 형태로 저장되거나, 룩업 테이블의 형태로 저장될 수도 있다.
- [0056] 온도 추정부(130)는 상기 레지스터에 저장된 관계 정보를 이용하여, 상기 온도 정보로부터 제1 메모리 서브 영역(112)의 제1 온도와 제2 메모리 서브 영역(114)의 제2 온도를 추정할 수 있다. 온도 추정부(130)에 의해 추정된 제1 온도 및 제2 온도는 상기 레지스터에 저장될 수 있다.
- [0057] 온도 정보 획득부(120)는 미리 정해진 시간 주기마다 상기 온도 정보를 갱신할 수 있으며, 온도 추정부(130)는 갱신된 상기 온도 정보를 기초로 제1 메모리 서브 영역(112)의 제1 온도와 제2 메모리 서브 영역(114)의 제2 온도를 다시 추정할 수 있다.
- [0058] 제1 서브 영역 제어부(140)는 상기 제1 온도를 기초로 상기 제1 메모리 서브 영역(112)에 포함되는 메모리 셀들을 제어할 수 있다. 또한, 제2 서브 영역 제어부(150)는 상기 제2 온도를 기초로 상기 제2 메모리 서브 영역(114)에 포함되는 메모리 셀들을 제어할 수 있다. 제1 서브 영역 제어부(140)와 제2 서브 영역 제어부(150)에 의하여 제1 메모리 서브 영역(112)과 제2 메모리 서브 영역(114)은 서로 독립적으로 동작할 수 있다.
- [0059] 예컨대, 제1 메모리 서브 영역(112)에 포함되는 메모리 셀들은 상기 제1 온도에 대응하는 제1 리프레쉬 주기로 리프레쉬되고, 제2 메모리 서브 영역(114)에 포함되는 메모리 셀들은 상기 제2 온도에 대응하는 제2 리프레쉬 주기로 리프레쉬될 수 있다. 또한, 제1 메모리 서브 영역(112)에는 상기 제1 온도에 대응하는 제1 제어 전압이 인가되고, 제2 메모리 서브 영역(114)에는 상기 제2 온도에 대응하는 제2 제어 전압이 인가될 수 있다.
- [0060] 도 2는 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 예시적으로 도시한다.
- [0061] 도 2를 참조하면, 반도체 메모리 장치(200)는 제1 내지 제4 메모리 बैं크(211-214), 상기 제1 내지 제4 메모리 बैं크(211-214)를 각각 온도에 따라 독립적으로 제어하는 제1 내지 제4 बैं크 제어부(241-244), 온도 센서(220), 및 온도 추정부(230)를 포함한다.
- [0062] 반도체 메모리 장치(200)는 4개의 메모리 बैं크(211-214)를 포함하는 것으로 도시되어 있지만, 이는 예시적이며, 더 많은 개수 또는 더 적은 개수의 메모리 बैं크를 포함할 수 있다.
- [0063] 도 2에서는 용이한 이해를 위해, 메모리 बैं크 각각이 온도에 따라 독립적으로 제어되는 것으로 도시되어 있지만, 이 역시 예시적이며, 둘 이상의 메모리 बैं크로 이루어진 메모리 서브 영역들의 각각이 온도에 따라 독립적으로 제어될 수도 있고, 하나의 메모리 बैं크 내의 일부의 영역들 각각이 독립적으로 제어될 수도 있다. 아래의 설명에서 용이한 이해를 위해 반도체 메모리 장치(200)는 4개의 메모리 बैं크를 포함하고, 메모리 बैं크 별로 온도에 따라 독립적으로 제어되는 것으로 가정하여 설명한다.
- [0064] 제1 내지 제4 메모리 बैं크들(211-214)은 각각 복수의 워드 라인, 복수의 비트 라인, 및 상기 복수의 워드 라인과 상기 복수의 비트 라인이 교차하는 지점에 배치되는 메모리 셀들을 포함한다. 또한, 제1 내지 제4 메모리 बैं크들(211-214)은 각각 로우 어드레스에 대응하는 워드 라인을 선택하기 위한 로우 디코더 및 컬럼 어드레스에 대응하는 비트 라인을 선택하기 위한 컬럼 디코더를 포함한다. 본 기술분야의 당업자들은 메모리 बैं크들(211-214)의 아키텍처에 대하여 이해하고 있을 것이므로, 본 명세서에서 자세하게 설명하지 않는다.
- [0065] 반도체 메모리 장치(200)는 반도체 메모리 장치(200)의 대표 온도를 검출하는 온도 센서(220)를 포함할 수 있다. 온도 센서(220)는 도 1에 도시된 반도체 메모리 장치(100)의 온도 정보 획득부(120)에 대응할 수 있다. 온도 센서(220)에 의해 검출된 대표 온도는 상기 온도 정보에 대응할 수 있다. 온도 센서(220)는 온도 감지부로 지칭될 수 있다.
- [0066] 온도 센서(220)는 반도체 메모리 장치(200)의 중앙부에 배치되거나, 반도체 메모리 장치(200)에서 가장 온도가 높은 위치에 배치될 수 있다.
- [0067] 온도 센서(220)는 온도 센서(220)가 위치한 위치의 온도에 대응되는 온도 데이터를 생성할 수 있다. 다른 예에 따르면, 온도 센서(220)는 특정 위치의 온도에 대응되는 전압 신호 또는 전류 신호를 생성할 수 있다. 이 경우, 온도 센서(220)는 온도에 따라 전류량이 변하는 전기 소자, 예컨대 다이오드 또는 트랜지스터로 구성될 수 있다.

- [0068] 온도 센서(220)는 반도체 메모리 장치(200) 내에 오직 하나만 존재할 수 있다. 상술한 바와 같이, 반도체 메모리 장치(200) 내에 복수의 온도 센서(220)를 설치할 경우, 면적이 커지는 문제가 발생한다.
- [0069] 온도 추정부(230)는 상기 대표 온도를 기초로 각 메모리 뱅크들(211-214)의 온도를 추정할 수 있다. 상기 대표 온도로부터 제1 내지 제4 메모리 뱅크들(211-214)의 온도를 추정하기 위한 관계 정보들은 레지스터(232)에 저장될 수 있다. 상기 관계 정보는 함수의 형태일 수도 있고, 룩업 테이블의 형태일 수도 있다.
- [0070] 예컨대, 상기 관계 정보는 함수의 형태로 다음과 같이 정의될 수 있다.
- [0071] $t_1 = a_1 t_r + b_1$
- [0072] $t_2 = a_2 t_r + b_2$
- [0073] $t_3 = a_3 t_r + b_3$
- [0074] $t_4 = a_4 t_r + b_4$
- [0075] 여기서, t_1 내지 t_4 은 각각 제1 내지 제4 메모리 뱅크(211-214)의 추정된 온도이고, t_r 은 온도 센서(220)에 의해 검출된 반도체 메모리 장치(200)의 대표 온도이다. 계수들(a_1 내지 a_4 , b_1 내지 b_4)은 제1 내지 제4 메모리 뱅크(211-214)의 위치에 따라 결정될 수 있다. 상기 계수들(a_1 내지 a_4 , b_1 내지 b_4)은 제1 내지 제4 메모리 뱅크(211-214)의 위치, 반도체 메모리 장치(200) 주변의 열 환경, 반도체 메모리 장치(200)를 구성하는 물질들의 열 전도도 등을 고려하여 열역학을 이용하여 계산될 수도 있고, 실험에 의해 대표 온도(t_r)과 제1 내지 제4 메모리 뱅크(211-214)의 온도(t_1-t_4)의 관계를 분석함으로써 도출될 수도 있다.
- [0076] 일반적으로, 대표 온도(t_r)와 추정 온도들(t_1-t_4)는 대략 정비례하는 관계가 있으므로, 계수들(a_1 내지 a_4)은 양(positive)의 값을 가질 수 있다. 또한, 계수들(b_1 내지 b_4)은 반도체 메모리 장치(200) 주변의 열 환경에 의해 정해질 수 있다. 예컨대, 반도체 메모리 장치(200)에 비해 발열량이 많은 어플리케이션 프로세서 칩이 제1 메모리 뱅크(211)의 상부 또는 하부에 배치되는 경우, 계수(b_1)는 양의 값을 가질 수 있고, 계수(b_4)는 음의 값을 가질 수 있다. 또한, 제1 어플리케이션 프로세서 칩이 제1 메모리 뱅크(211)의 상부 또는 하부에 배치되고, 제2 어플리케이션 프로세서 칩이 제4 메모리 뱅크(214)의 상부 또는 하부에 배치되고, 계수들(b_1 , b_4)는 양의 값을 가질 수 있고, 계수들(b_1 , b_4)는 음의 값을 가질 수 있다.
- [0077] 레지스터(232)는 계수들(a_1 내지 a_4 , b_1 내지 b_4)을 저장할 수 있으며, 온도 추정부(230)는 계수들(a_1 내지 a_4 , b_1 내지 b_4)을 이용하여 각각 제1 내지 제4 메모리 뱅크(211-214)의 온도(t_1-t_4)를 추정할 수 있다. 또한, 예컨대, 상기 관계 정보는 대표 온도(t_r)의 범위에 따라 다음과 같이 비선형적으로 정의될 수도 있다.
- [0078] If $t_r < 70$, $t_1 = a_1 t_r + b_1$
- [0079] If $t_r \geq 70$, $t_1 = c_1 t_r + d_1$
- [0080] 상기 관계식들은 모두 예시적이며, 2차 함수나, 지수 함수 등과 같은 다른 함수를 이용하여 정의될 수도 있다. 예컨대, 가장 간단하게 각 메모리 뱅크의 추정 온도와 대표 온도의 오프셋이 레지스터(232)에 저장될 수도 있다.
- [0081] 온도 추정부(230)는 레지스터(232)에 저장된 상기 관계 정보를 이용하여 제1 내지 제4 메모리 뱅크(211-214) 각각의 온도(t_1-t_4)를 추정할 수 있다.
- [0082] 예컨대, 상기 관계 정보가 룩업 테이블의 형태로 저장되는 경우, 대표 온도(t_r)에 따른 메모리 뱅크들(211-214)의 추정 온도들(t_1-t_4)이 테이블로 저장될 수 있다.
- [0083] 상기 관계 정보는 반도체 메모리 장치(200)의 캘리브레이션 공정 또는 테스트 공정 중에 조절될 수 있다.
- [0084] 제1 내지 제4 뱅크 제어부(241-244)의 각각은 대응하는 추정 온도(t_1-t_4)에 기초하여 대응하는 제1 내지 제4 메

모리 뱅크(211-214)를 각각 독립적으로 제어할 수 있다.

- [0085] 온도 추정부(230)는 추정 온도(t_1-t_4)에 대응하는 디지털 신호들을 각각 생성하고, 제1 내지 제4 뱅크 제어부(241-244)는 대응하는 디지털 신호를 수신하고, 상기 디지털 신호가 나타내는 추정 온도(t_1-t_4)에 따라 대응하는 제1 내지 제4 메모리 뱅크(211-214)를 제어할 수 있다. 이 때, 상기 디지털 신호들은 별도의 배선을 통해 제1 내지 제4 뱅크 제어부(241-244)에 각각 전송될 수 있다. 또한, 상기 디지털 신호들은 시간 분할 방식으로 제1 내지 제4 뱅크 제어부(241-244)에 전송될 수도 있다
- [0086] 다른 예에 따르면, 온도 추정부(230)는 추정 온도(t_1-t_4)에 대응하는 아날로그 신호들을 각각 생성할 수 있다. 상기 아날로그 신호들은 추정 온도(t_1-t_4)에 비례(또는 반비례)하는 전압 신호 또는 전류 신호일 수 있다. 예컨대, 온도 추정부(230)는 온도 센서(220)가 설치된 위치의 온도에 대응하여 출력되는 온도 센서(220)의 전압 신호 또는 전류 신호를 입력 받고, 상기 전압 신호 또는 전류 신호를 기초로 추정 온도(t_1-t_4)에 비례(또는 반비례)하는 전압 신호 또는 전류 신호를 출력하는 회로를 포함할 수 있다.
- [0087] 상기 회로는 입력 전압 신호를 분배하여 복수의 출력 전압 신호를 생성하는 전압 분배기를 포함할 수 있다. 상기 전압 분배기는 직렬 연결된 가변 저항들을 포함할 수 있다. 다른 예에 따르면, 상기 회로는 입력 전류 신호를 기초로 복수의 출력 전류 신호를 생성하는 커런트 미러 회로를 포함할 수 있다.
- [0088] 제1 내지 제4 뱅크 제어부(241-244)는 대응하는 아날로그 신호를 수신하고, 상기 아날로그 신호가 나타내는 추정 온도(t_1-t_4)에 따라 대응하는 제1 내지 제4 메모리 뱅크(211-214)를 제어할 수 있다.
- [0089] 다른 예에 따르면, 온도 추정부(230)는 레지스터(232)에 추정 온도(t_1-t_4)에 관한 정보를 저장하고, 제1 내지 제4 뱅크 제어부(241-244)가 레지스터(232)에 저장된 추정 온도(t_1-t_4)에 관한 정보를 독출하고, 추정 온도(t_1-t_4)에 따라 대응하는 제1 내지 제4 메모리 뱅크(211-214)를 제어할 수도 있다. 상기 추정 온도(t_1-t_4)에 관한 정보는 별도의 레지스터(미 도시)에 저장될 수도 있다.
- [0090] 제1 내지 제4 뱅크 제어부들(241-244)은 추정 온도(t_1-t_4)에 대응하는 제어 전압으로 제1 내지 제4 메모리 뱅크(211-214)를 각각 제어하고, 추정 온도(t_1-t_4)에 대응하는 리프레쉬 주기로 제1 내지 제4 메모리 뱅크(211-214)의 메모리 셀들의 리프레쉬 동작을 각각 제어할 수 있다.
- [0091] 예컨대, 제1 내지 제4 뱅크 제어부들(241-244)이 제1 내지 제4 메모리 뱅크(211-214)의 리프레쉬 동작을 각각 제어하는 경우, 어떤 온도에서 어떤 리프레쉬 주기로 메모리 셀을 리프레쉬해야 하는 지에 관한 리프레쉬 정보는 레지스터(232)에 저장될 수 있다. 상기 리프레쉬 정보는 함수의 형태로 저장되거나, 룩업 테이블의 형태로 저장될 수 있다. 제1 내지 제4 뱅크 제어부들(241-244)은 레지스터(232)에 저장된 상기 리프레쉬 정보를 이용하여 대응하는 제1 내지 제4 메모리 뱅크(211-214)의 추정 온도(t_1-t_4)에 대응하는 리프레쉬 주기들을 결정하고, 상기 리프레쉬 주기들에 따라 리프레쉬 동작을 수행할 수 있다. 상기 리프레쉬 정보는 제1 내지 제4 뱅크 제어부들(241-244) 각각에 포함되는 별도의 레지스터(미 도시)에 저장될 수도 있다.
- [0092] 다른 예에 따르면, 온도 추정부(130)는 추정 온도(t_1-t_4)에 관한 정보 외에, 또는 추정 온도(t_1-t_4)에 관한 정보를 대신하여, 추정 온도(t_1-t_4)에 대응하는 리프레쉬 주기들에 관한 정보를 제1 내지 제4 뱅크 제어부들(241-244)에게 각각 제공할 수도 있다.
- [0093] 또 다른 예에 따르면, 제1 내지 제4 뱅크 제어부들(241-244)은 추정 온도(t_1-t_4)에 대응하는 아날로그 신호를 수신하고, 상기 아날로그 신호에 기초하여 상기 리프레쉬 주기를 조절할 수 있는 회로를 각각 포함할 수 있다.
- [0094] 따라서, 제1 내지 제4 메모리 뱅크(211-214)의 추정 온도(t_1-t_4)가 서로 다를 경우, 제1 내지 제4 메모리 뱅크(211-214)의 리프레쉬 주기도 모두 다를 수 있다.
- [0095] 예컨대, 제1 메모리 뱅크(211)의 추정 온도(t_1)가 95℃이고, 제2 및 제3 메모리 뱅크(212, 213)의 추정 온도(t_2, t_3)가 90℃이고, 제4 메모리 뱅크(214)의 추정 온도(t_4)가 85℃일 경우, 제1 메모리 뱅크(211)의 메모리 셀들은 3.2μs마다 리프레쉬되고, 제2 및 제3 메모리 뱅크(212, 213)의 메모리 셀들은 4.8μs마다 리프레쉬되고, 제4 메모리 뱅크(214)의 메모리 셀들은 6.4μs마다 리프레쉬될 수 있다. 상기 수치들은 모두 예시적이다.

- [0096] 도 3은 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 예시적으로 도시한다.
- [0097] 도 3을 참조하면, 반도체 메모리 장치(300)는 제1 내지 제4 메모리 बैं크(311-314), 제1 내지 제4 बैं크 제어부(341-344), 통신부(320), 및 온도 추정부(330)를 포함한다. 반도체 메모리 장치(300)는 도 2에 도시된 반도체 메모리 장치(200)와 유사하며, 실질적으로 동일한 구성요소에 대해서는 반복하여 설명하지 않고, 도 2에 관한 설명을 참조한다.
- [0098] 반도체 메모리 장치(300)는 통신부(320)를 통해 반도체 장치(302)와 통신할 수 있다. 반도체 장치(302)는 반도체 메모리 장치(300)와 인접하게 배치되어, 반도체 메모리 장치(300)의 온도에 영향을 끼칠 수 있다. 반도체 메모리 장치(300)와 반도체 장치(302)는 서로 적층되어 하나의 반도체 통합 패키지를 구성할 수 있다.
- [0099] 도 3에 예시적으로 도시된 바와 같이, 반도체 장치(302)는 제1 어플리케이션 프로세서 유닛(303)과 제2 어플리케이션 프로세서 유닛(305)을 포함할 수 있다. 반도체 장치(302)는 더 적거나 더 많은 개수의 어플리케이션 프로세서 유닛들을 포함할 수도 있다. 도 3에는 제1 어플리케이션 프로세서 유닛(303)과 제2 어플리케이션 프로세서 유닛(305)이 반도체 장치(302)에 포함되어 하나의 반도체 칩을 구성하는 도시되어 있지만, 이는 예시적이며, 제1 어플리케이션 프로세서 유닛(303)과 제2 어플리케이션 프로세서 유닛(305)은 별도의 반도체 칩 또는 반도체 패키지로 구성될 수도 있다.
- [0100] 제1 어플리케이션 프로세서 유닛(303)은 예컨대 중앙 프로세서 유닛(CPU, Central Processing Unit)일 수 있다. 제2 어플리케이션 프로세서 유닛(305)은 예컨대 그래픽 프로세서 유닛(GPU, Graphics Processing Unit)일 수 있다. 아래의 설명에서 제1 어플리케이션 프로세서 유닛(303)과 제2 어플리케이션 프로세서 유닛(305)을 각각 CPU(303)와 GPU(305)로 지칭하여 설명한다. 반도체 장치(302)는 CPU(303)를 포함하는 CPU 블록과 GPU(305)를 포함하는 GPU 블록을 포함하는 하나의 반도체 칩으로 구성될 수 있으며, 도 3에 도시된 바와 같이, 상기 CPU 블록과 상기 GPU 블록은 서로 이격하여 배치될 수 있다. 일반적으로 CPU 블록의 전력 소모량이 GPU 블록의 전력 소모량보다 많기 때문에, 반도체 장치(302)에도 온도 구배가 생긴다. 즉, 반도체 장치(302)에서 상기 CPU 블록이 배치된 위치에서 온도가 가장 높을 수 있다.
- [0101] 반도체 장치(302)는 CPU(303)와 GPU(305)가 반도체 메모리 장치(300)의 메모리 영역에 액세스하기 위한 메모리 컨트롤러(307)를 포함할 수 있다. 도 3에서 메모리 컨트롤러(307)가 반도체 장치(302) 내에 배치하는 것으로 도시되어 있지만, 다른 반도체 장치(302)에 위치하거나 반도체 메모리 장치(300) 내에 위치할 수도 있다. 즉, 메모리 컨트롤러(307)도 별도의 반도체 칩 또는 반도체 패키지로 구성될 수 있다.
- [0102] CPU(303)와 GPU(305)는 메모리 컨트롤러(307)를 이용하여 반도체 메모리 장치(300)에 리프레쉬 명령을 전송할 수 있다.
- [0103] 어플리케이션 프로세서 유닛을 포함하는 반도체 장치(302)는 반도체 메모리 장치(300)보다 전력 소모도 많고 많은 열을 발산하는 것이 일반적이다. 따라서, CPU(303)나 GPU(305)에 대해서는 온도 관리가 중요하다. CPU(303)와 GPU(305)는 적절한 온도 관리를 위해 내부 온도를 측정할 수 있는 제1 온도 센서(304) 및 제2 온도 센서(306)를 각각 포함할 수 있다.
- [0104] 반도체 메모리 장치(300)와 반도체 장치(302)가 서로 인접하게 배치될 경우, 반도체 메모리 장치(300)의 온도는 반도체 장치(302)의 온도에 의해 영향을 받게 된다.
- [0105] 반도체 메모리 장치(300)는 CPU(303)의 제1 온도 센서(304)에서 검출된 제1 AP 온도에 관한 정보, 및 GPU(305)의 제2 온도 센서(306)에서 검출된 제2 AP 온도에 관한 정보를 얻을 수 있다. 반도체 메모리 장치(300)는 메모리 컨트롤러(307)와 통신부(320)를 통해 제1 및 제2 AP 온도에 관한 데이터를 수신할 수 있다. 다른 예에 따르면, 반도체 메모리 장치(300)는 제1 및 제2 AP 온도에 대응하는 전류 또는 전압 신호의 형태로 제1 및 제2 AP 온도에 관한 정보를 얻을 수도 있다.
- [0106] 본 예에서, 통신부(320)는 메모리 컨트롤러(307)를 통해 제1 및 제2 AP 온도에 관한 정보를 수신하고, 각각 제1 및 제2 참조 온도로서 온도 추정부(330)에 제공할 수 있다.
- [0107] 온도 추정부(330)는 제1 및 제2 참조 온도를 기초로 각 메모리 बैं크들(311-314)의 온도를 추정할 수 있다. 제1 및 제2 참조 온도로부터 각 메모리 बैं크들(311-314)의 제1 및 제4 온도를 추정하기 위한 관계 정보가 레지스터

(332)에 저장될 수 있다. 상기 관계 정보는 함수의 형태로 저장되거나 룩업 테이블의 형태로 저장될 수 있다.

[0108] 예컨대, 상기 관계 정보가 함수의 형태일 경우, 관계 함수는 다음과 같을 수 있다.

[0109] $t_1 = a_1 t_{r1} + b_1 t_{r2} + c_1$

[0110] $t_2 = a_2 t_{r1} + b_2 t_{r2} + c_2$

[0111] $t_3 = a_3 t_{r1} + b_3 t_{r2} + c_3$

[0112] $t_4 = a_4 t_{r1} + b_4 t_{r2} + c_4$

[0113] 여기서, t_1 내지 t_4 는 제1 내지 제4 메모리 बैं크(311-314)의 추정 온도이고, t_{r1} 은 제1 참조 온도고, t_{r2} 은 제2 참조 온도이다. 계수들(a_1 - a_4 , b_1 - b_4 , c_1 - c_4)는 제1 내지 제4 메모리 बैं크(311-314)의 위치, 및 CPU(303)과 GPU(305)의 위치에 따라 결정될 수 있다. 계수들(a_1 - a_4 , b_1 - b_4 , c_1 - c_4)은 반도체 메모리 장치(300)를 구성하는 물질의 열 전도도, 제1 내지 제4 메모리 बैं크(311-314)과 CPU(303)과 GPU(305) 사이의 거리, 발열량 등을 고려하여 열역학을 이용하여 계산될 수도 있다. 다른 예에 따르면, 계수들(a_1 - a_4 , b_1 - b_4 , c_1 - c_4)은 실험에 의해 제1 및 제2 참조 온도(t_{r1} , t_{r2})와 제1 내지 제4 메모리 बैं크(211-214)의 온도(t_1 - t_4)의 관계를 분석함으로써 도출될 수도 있다.

[0114] 예컨대, CPU(303)은 제1 메모리 बैं크(311)에 가장 인접하고 제4 메모리 बैं크(314)에 가장 멀게 배치되고, GPU(305)는 제4 메모리 बैं크(314)에 가장 인접하고 제1 메모리 बैं크(311)에 가장 멀게 배치될 경우, 계수들(a_1 - a_4) 중에서 계수(a_1)가 가장 크고, 계수(a_4)는 가장 작을 수 있다. 또한, 계수들(b_1 - b_4) 중에서 계수(b_1)가 가장 작고, 계수(b_4)는 가장 클 수 있다. t_{r1} 은 CPU(303)의 내부 온도를 나타내는 제1 참조 온도고, t_{r2} 은 GPU(305)의 내부 온도를 나타내는 제2 참조 온도이며, 제1 내지 제4 메모리 बैं크들(311-314)의 온도는 일반적으로 제1 참조 온도(t_{r1})와 제2 참조 온도(t_{r2})보다 낮을 것이므로, 계수들(c_1 - c_4)는 일반적으로 음의 값을 가질 수 있다.

[0115] 레지스터(332)는 계수들(a_1 - a_4 , b_1 - b_4 , c_1 - c_4)을 저장할 수 있다.

[0116] 상기 관계 함수는 예시적이며, 고차 다항식 함수나 비선형 함수와 같은 다양한 함수의 형태를 가질 수도 있다. 또한, 상기 관계식은 제1 참조 온도(t_{r1})와 제2 참조 온도(t_{r2})에 관한 함수로 정의되어 있지만, 상기 관계 함수는 예컨대, 제1 내지 제3 참조 온도(t_{r1} , t_{r2} , t_{r3})에 관한 함수로 정의될 수 있으며, 이 때, 제3 참조 온도(t_{r3})는 또 다른 어플리케이션 프로세서 유닛 또는 다른 종류의 메모리 유닛으로부터 제공될 수 있다.

[0117] 또한, 상기 관계 함수는 제1 내지 제2 참조 온도(t_{r1} , t_{r2})와 대표 온도(t_r)에 관한 함수로 정의될 수 있다. 이 때, 제1 내지 제2 참조 온도(t_{r1} , t_{r2})는 외부 장치로부터 제공되고, 대표 온도(t_r)는 반도체 메모리 장치(300)의 내부에 설치된 온도 센서로부터 제공될 수 있다.

[0118] 예컨대, CPU(303)가 제1 메모리 बैं크(311) 상에 적층되고, GPU(305)가 제4 메모리 बैं크(314) 상에 적층되는 경우, CPU(303)의 온도가 120°C이고, GPU(305)의 온도가 70°C일 경우, 상기 관계 함수를 이용하여 제1 메모리 बैं크(311)의 제1 온도(t_1)는 85°C로 추정되고, 제2 및 제3 메모리 बैं크(312, 313)의 제2 및 제3 온도(t_2 , t_3)는 75°C로 추정되고, 제4 메모리 बैं크(314)의 제4 온도(t_4)는 65°C로 추정될 수 있다.

[0119] 제1 내지 제4 बैं크 제어부(341-344) 각각은 대응하는 추정 온도(t_1 - t_4)에 기초하여 제1 내지 제4 메모리 बैं크(311-314)를 제어할 수 있다.

[0120] 제1 내지 제4 बैं크 제어부(341-344)가 제1 내지 제4 메모리 बैं크(311-314) 각각에 포함되는 메모리 셀들의 리프레쉬 동작을 제어하는 경우, 반도체 메모리 장치(300)는 메모리 컨트롤러(307)를 통해 리프레쉬 명령들을 수신할 수 있다. 리프레쉬 명령들은 CPU(303) 및/또는 GPU(305)로부터 송신될 것일 수 있다. 제1 내지 제4 बैं크 제어부(341-344)는 상기 리프레쉬 명령들에 응답하여 대응하는 메모리 बैं크(311-314)의 메모리 셀들을 리프레쉬할 수 있다. 제1 내지 제4 बैं크 제어부(341-344)는 추정 온도(t_1 - t_4)에 대응하는 리프레쉬 주기로 메모리 셀들을 리프레쉬 하기 위해, 리프레쉬 명령들의 일부를 스킵할 수 있다.

- [0121] 예를 들어, 1000번의 리프레쉬 동작이 수행되어야 각 메모리 뱅크(311-314)에 포함되는 모든 메모리 셀들이 리프레쉬된다고 가정한다. 즉, 한 번의 리프레쉬 동작이 하나의 워드 라인에 연결된 메모리 셀들에 대해 수행될 경우, 각 메모리 뱅크(311-314)는 1000개의 워드 라인을 포함하는 것을 가정한다.
- [0122] 본 명세서에서, 메모리 셀에 저장된 데이터가 손실되지 않도록, 하나의 메모리 셀이 리프레쉬 되어야 하는 시간을 리프레쉬 주기(또는 리프레쉬 간격)라고 지칭한다. 또한, 각 메모리 뱅크(311-314) 내의 모든 메모리 셀들이 리프레쉬 되기 위해서는 한 리프레쉬 주기 내에 1000번의 리프레쉬 동작이 수행되어야 한다. 따라서, 리프레쉬 동작은 리프레쉬 주기를 리프레쉬 동작의 횟수로 나눈 시간마다 수행되어야 한다. 이 때, 리프레쉬 주기를 리프레쉬 동작의 횟수로 나눈 시간은 리프레쉬 사이클 또는 리프레쉬 사이클 시간이라고 지칭한다.
- [0123] 상술한 예에 따라, 제1 메모리 뱅크(311)의 메모리 셀들은 $3.2\mu\text{s}$ 의 제1 리프레쉬 주기로 리프레쉬되어야 하고, 제2 및 제3 메모리 뱅크(312, 313)의 메모리 셀들은 $4.8\mu\text{s}$ 의 제2 및 제3 리프레쉬 주기로 리프레쉬되어야 하고, 제4 메모리 뱅크(314)의 메모리 셀들은 $6.4\mu\text{s}$ 의 제4 리프레쉬 주기로 리프레쉬되어야 하는 것으로 가정한다.
- [0124] 이 경우, 제1 메모리 뱅크(311)에서 3.2ns 의 제1 리프레쉬 사이클 시간마다 리프레쉬 동작이 수행되어야, $3.2\mu\text{s}$ 의 제1 리프레쉬 주기 내에 제1 메모리 뱅크(311) 내의 모든 메모리 셀들이 리프레쉬 될 수 있다. 또한, 제2 및 제3 메모리 뱅크(312, 313)에는 4.8ns 의 제2 및 제3 리프레쉬 사이클 시간마다 리프레쉬 동작이 수행되어야 하고, 제4 메모리 뱅크(314)에는 6.4ns 의 제4 리프레쉬 사이클 시간마다 리프레쉬 동작이 수행되어야 한다.
- [0125] 즉, 제1 뱅크 제어부(341)는 3.2ns 의 제1 리프레쉬 사이클 시간마다 제1 메모리 뱅크(311)의 워드 라인들을 순차적으로 활성화시키고, 제2 및 제3 뱅크 제어부(342, 343)는 4.8ns 의 제2 및 제3 리프레쉬 사이클 시간마다 제2 및 제3 메모리 뱅크(312, 313)의 워드 라인들을 각각 순차적으로 활성화시키고, 제4 뱅크 제어부(344)는 6.4ns 의 제4 리프레쉬 사이클 시간마다 제4 메모리 뱅크(314)의 워드 라인들을 순차적으로 활성화시켜야 한다.
- [0126] 따라서, 제1 내지 제4 뱅크 제어부(341-344)는 최소한 가장 짧은 리프레쉬 사이클 시간인 3.2ns 와 동일한 시간마다 리프레쉬 명령들을 수신해야 한다. 이를 위해서, 메모리 컨트롤러(307)는 3.2ns 마다 리프레쉬 명령들을 전송할 수 있다. 메모리 컨트롤러(307)는 통신부(320)를 통해 추정 온도(t_1-t_4) 중에서 가장 높은 추정 온도에 관한 정보를 수신할 수 있으며, 상기 가장 높은 추정 온도에 대응한 리프레쉬 사이클 시간마다 리프레쉬 명령들을 전송할 수 있다.
- [0127] 이 경우, 제1 뱅크 제어부(341)는 모든 리프레쉬 명령들에 응답하여 리프레쉬 동작을 수행할 수 있다. 제1 뱅크 제어부(341) 내의 모든 메모리 셀들은 $3.2\mu\text{s}$ 의 제1 리프레쉬 주기 내에 모두 리프레쉬 될 수 있다.
- [0128] 제2 및 제3 뱅크 제어부(342, 343)는 3개의 리프레쉬 명령들 중 하나의 리프레쉬 명령을 스킵하고 나머지 2개의 리프레쉬 명령에 응답하여 리프레쉬 동작을 수행할 수 있다. 제2 및 제3 뱅크 제어부(342, 343)는 1000번의 리프레쉬 동작을 수행하기 위해서는 1500개의 리프레쉬 명령을 수신해야 하므로 $6.4\mu\text{s}$ 의 시간이 소요된다. 즉, 제2 및 제3 뱅크 제어부(342, 343) 내의 모든 메모리 셀들은 $4.8\mu\text{s}$ 의 제2 및 제3 리프레쉬 주기 내에 모두 리프레쉬 될 수 있다.
- [0129] 제4 뱅크 제어부(344)는 2개의 리프레쉬 명령들 중 하나의 리프레쉬 명령에만 응답하여 리프레쉬 동작을 수행할 수 있다. 제4 뱅크 제어부(344)는 1000번의 리프레쉬 동작을 수행하기 위해서는 2000개의 리프레쉬 명령을 수신해야 하므로 $6.4\mu\text{s}$ 의 시간이 소요된다. 따라서, 제4 메모리 뱅크(314) 내의 모든 메모리 셀들은 $6.4\mu\text{s}$ 의 제4 리프레쉬 주기 내에 모두 리프레쉬될 수 있다.
- [0130] 메모리 컨트롤러(307)는 3.2ns 보다 짧은 시간, 예컨대, 1.6ns 또는 2.4ns 마다 리프레쉬 명령들을 전송할 수도 있다. 이 경우, 제1 내지 제4 뱅크 제어부(341-344)는 수신된 리프레쉬 명령들 중 일부의 리프레쉬 명령들에만 응답하여 리프레쉬 동작을 수행할 수 있다.
- [0131] 예컨대, 메모리 컨트롤러(307)가 2.4ns 마다 리프레쉬 명령들을 전송할 경우, 제1 뱅크 제어부(341)는 1/3의 리프레쉬 명령들을 스킵하고 나머지 2/3의 리프레쉬 명령들에 응답하여 리프레쉬 동작을 수행할 수 있다. 또한, 제2 및 제3 뱅크 제어부(342, 343)는 1/2의 리프레쉬 명령들을 스킵하고 나머지 1/2의 리프레쉬 명령들에만 응답하여 리프레쉬 동작을 수행할 수 있다. 제4 뱅크 제어부(344)는 2/3의 리프레쉬 명령들을 스킵하고 나머지 1/3의 리프레쉬 명령들에 응답하여 리프레쉬 동작을 수행할 수 있다.
- [0132] 제1 내지 제4 뱅크 제어부(341-344)는 대응하는 메모리 뱅크(311-314)의 추정 온도(t_1-t_4)에 기초하여 리프레쉬 명령을 스킵하는 스킵 비율 또는 리프레쉬 명령을 통과하는 통과 비율을 결정할 수 있다. 또한, 제1 내지 제4

뱅크 제어부(341-344)의 각각은 수신된 리프레쉬 명령들의 일부를 상기 스킵 비율로 스킵하고 나머지 리프레쉬 명령들을 통과시키는 스킵 회로를 포함할 수 있다.

- [0133] 도 4는 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 예시적으로 도시한다.
- [0134] 도 4를 참조하면, 반도체 메모리 장치(400)는 제1 및 제2 메모리 서브 영역(411, 412), 제1 및 제2 서브 영역 제어부(441, 442), 온도 정보 획득부(420) 및 온도 추정부(430)를 포함한다. 반도체 메모리 장치(400)는 도 1 내지 도 3에 도시된 반도체 메모리 장치(100-300)들과 적어도 부분적으로 유사하며, 실질적으로 동일한 구성요소에 대해서는 반복하여 설명하지 않고 도 1 내지 도 3을 참조로 설명된 부분을 참조한다.
- [0135] 도 4에 도시된 반도체 메모리 장치(400)는 DRAM (Dynamic Random Access Memory)이며, 반도체 메모리 장치(400)는 셀프 리프레쉬 모드로 동작할 수 있다.
- [0136] 일반적으로, 리프레쉬 동작은 오토 리프레쉬(auto refresh) 동작과 셀프 리프레쉬(self refresh) 동작을 포함한다. 오토 리프레쉬 동작은 외부 장치로부터 입력되는 리프레쉬 명령에 응답하여 수행되고, 셀프 리프레쉬 동작은 주기적으로 그리고 자동적으로 내부에서 발생하는 리프레쉬 신호에 의해 수행된다. 일반적으로, 셀프 리프레쉬 동작은 전력 소모를 줄이기 위하여 스텐바이 시간에 수행된다.
- [0137] 제1 및 제2 메모리 서브 영역(411, 412)은 복수의 워드 라인(WL) 및 복수의 비트 라인(BL)을 포함하며, 복수의 워드 라인(WL)과 복수의 비트 라인(BL)이 교차하는 위치에 배치되는 메모리 셀들(MC)을 포함할 수 있다. 도 4에 도시된 바와 같이, 제1 메모리 서브 영역(411)은 제1 메모리 셀(MC1)을 포함하고, 제2 메모리 서브 영역(412)은 제2 메모리 셀(MC2)을 포함한다. 도 4에는 제1 및 제2 메모리 서브 영역(411, 412)만이 도시되어 있지만, 이는 용이한 이해를 위해 예시적으로 제시된 것이며, 더 많은 개수의 메모리 서브 영역이 반도체 메모리 장치(400)에 포함될 수 있다.
- [0138] 아래의 설명에서, 제1 메모리 서브 영역(411)은 m개의 워드 라인(WL)을 가지고, 제2 메모리 서브 영역(412)은 n개의 워드 라인(WL)을 갖는 것으로 가정하고 설명한다. m과 n은 1보다 큰 자연수이며, 서로 다를 수도 있고 동일할 수도 있다. 즉, 제1 메모리 서브 영역(411) 내의 메모리 셀들은 m회의 리프레쉬 동작에 의해 모두 리프레쉬되고, 제2 메모리 서브 영역(412) 내의 메모리 셀들은 n회의 리프레쉬 동작에 의해 모두 리프레쉬되는 것으로 가정한다. 즉, 본 예에서 한 번의 리프레쉬 동작에 의해 1개의 워드 라인(WL)에 연결된 메모리 셀들이 리프레쉬되는 것으로 가정한다. 그러나, 본 발명은 이러한 예로 한정되지 않으며, 한 번의 리프레쉬 동작에 의해 복수 개의 워드 라인(WLs)에 연결된 메모리 셀들이 모두 리프레쉬되는 경우에도 본 발명적 사상이 적용될 수 있다.
- [0139] 예컨대, 제1 및 제2 메모리 서브 영역(411, 412)이 동일한 크기를 갖는 메모리 뱅크에 대응되는 경우, m과 n은 서로 동일할 수 있다. 그러나, 제1 및 제2 메모리 서브 영역(411, 412)의 크기는 동일한 것으로 한정되지 않으며, 예컨대, 제1 메모리 서브 영역(411)은 메모리 뱅크의 일부이고 제2 메모리 서브 영역(412)은 상기 메모리 뱅크의 나머지 일부일 수도 있다. 또한, 제1 메모리 서브 영역(411)은 2개의 메모리 뱅크를 포함하고, 제2 메모리 서브 영역(412)은 1개의 메모리 뱅크를 포함할 수도 있다. 아래의 예에서, n은 2000이고 m은 1000인 것으로 가정하여 설명한다.
- [0140] 온도 정보 획득부(420)는 온도 정보를 획득할 수 있다. 상기 온도 정보는 반도체 메모리 장치(400) 내부에 설치된 온도 센서로부터 얻은 반도체 메모리 장치(400)의 대표 온도이거나, 외부 장치로부터 전송된 참조 온도일 수도 있다.
- [0141] 온도 추정부(430)는 상기 온도 정보를 기초로 제1 메모리 서브 영역(411)의 제1 온도(t_1)와 제2 메모리 서브 영역(412)의 제2 온도(t_2)를 추정할 수 있다. 본 예에서, 제1 추정 온도(t_1)는 85°C이고 제2 추정 온도(t_2)는 75°C인 것으로 가정한다. 또한, 85°C일 경우의 리프레쉬 주기는 3.2 μ s이고, 75°C일 경우의 리프레쉬 주기는 6.4 μ s인 것으로 가정한다. 상기 수치는 모두 예시적이다.
- [0142] 제1 서브 영역 제어부(441)는 제1 발진기(451), 제1 어드레스 카운터(461) 및 제1 리프레쉬 회로(471)를 포함할 수 있다. 또한, 제2 서브 영역 제어부(442)는 제2 발진기(452), 제2 어드레스 카운터(462) 및 제2 리프레쉬 회로(472)를 포함할 수 있다. 제1 및 제2 서브 영역 제어부(441, 442)는 제1 및 제2 리프레쉬부로 각각 지칭될

수 있다.

- [0143] 제1 발진기(451)는 제1 추정 온도(t_1)에 대응하여 제1 리프레쉬 주기(예컨대, $3.2\mu s$) 동안 2000개의 펄스를 갖는 제1 펄스 신호(P1)를 생성한다. 또한, 제2 발진기(452)는 제2 추정 온도(t_2)에 대응하여 제2 리프레쉬 주기(예컨대, $6.4\mu s$) 동안 1000개의 펄스를 갖는 제2 펄스 신호(P2)를 생성한다. 제1 펄스 신호(P1)는 1.6ns의 제1 리프레쉬 사이클 시간마다 펄스를 갖는 신호이고, 제2 펄스 신호(P2)는 6.4ns의 제2 리프레쉬 사이클 시간마다 펄스를 갖는 신호일 수 있다.
- [0144] 제1 어드레스 카운터(461)는 제1 발진기(451)에서 생성된 제1 펄스 신호(P1)에 응답하여 제1 메모리 서브 영역(411)의 리프레쉬 어드레스를 하나씩 증가시킴으로써, 리프레쉬가 수행될 리프레쉬 어드레스를 나타내는 제1 리프레쉬 어드레스를 생성할 수 있다. 제1 리프레쉬 어드레스가 가장 마지막 리프레쉬 어드레스일 경우, 다음 리프레쉬 어드레스는 가장 처음의 리프레쉬 어드레스가 될 수 있다. 본 명세서에서, 리프레쉬 어드레스는 리프레쉬 펄스 신호의 펄스에 응답하여 리프레쉬 수행될 메모리 셀들을 선택하기 위한 어드레스로서, 하나의 펄스에 응답하여 하나의 워드 라인이 선택될 경우, 상기 리프레쉬 어드레스는 로우 어드레스에 대응될 수 있다.
- [0145] 제1 리프레쉬 회로(471)는 제1 발진기(451)에서 생성된 제1 펄스 신호(P1)에 응답하여 제1 어드레스 카운터(461)에서 지정한 제1 리프레쉬 어드레스에 대응되는 메모리 셀들을 리프레쉬할 수 있다. 본 예에서, 제1 리프레쉬 회로(471)는 제1 추정 온도(t_1)(예컨대, $85^\circ C$)에 대응하는 제1 리프레쉬 주기(예컨대, $3.2\mu s$) 내에 제1 서브 영역 제어부(441) 내의 메모리 셀들을 모두 리프레쉬 할 수 있다. 그 결과, 제1 메모리 서브 영역(411)의 메모리 셀들은 제1 추정 온도(t_1)(예컨대, $85^\circ C$)에 대응하여 $3.2\mu s$ 마다 리프레쉬될 수 있다.
- [0146] 제2 어드레스 카운터(462)는 제2 발진기(452)에서 생성된 제2 펄스 신호(P2)에 응답하여 제2 메모리 서브 영역(412)의 리프레쉬 어드레스를 하나씩 증가시킴으로써, 리프레쉬가 수행될 리프레쉬 어드레스를 나타내는 제2 리프레쉬 어드레스를 생성할 수 있다.
- [0147] 제2 리프레쉬 회로(472)는 제2 발진기(452)에서 생성된 제2 펄스 신호(P2)에 응답하여 제2 어드레스 카운터(462)에서 지정한 제2 리프레쉬 어드레스에 대응되는 메모리 셀들을 리프레쉬할 수 있다. 본 예에서, 제2 리프레쉬 회로(472)는 제2 추정 온도(t_1)(예컨대, $75^\circ C$)에 대응하는 제2 리프레쉬 주기(예컨대, $6.4\mu s$) 내에 제2 서브 영역 제어부(442) 내의 메모리 셀들을 모두 리프레쉬 할 수 있다. 그 결과, 제2 메모리 서브 영역(412)의 메모리 셀들은 제2 추정 온도(t_1)(예컨대, $75^\circ C$)에 대응하여 $6.4\mu s$ 마다 리프레쉬될 수 있다.
- [0148] 이와 같이, 제1 메모리 서브 영역(411)과 제2 메모리 서브 영역(412)의 메모리 셀들은 그 온도에 따라 다른 리프레쉬 주기로 리프레쉬될 수 있다. 따라서, 온도가 상대적으로 높은 제1 메모리 서브 영역(411)의 메모리 셀들에서 데이터 손실이 발생하는 것을 방지할 수 있으며, 온도가 상대적으로 낮은 제2 메모리 서브 영역(412)의 메모리 셀들에 대하여 불필요하게 빈번한 리프레쉬 동작이 수행됨으로써 전력이 낭비되는 것을 방지할 수 있다.
- [0149] 도 5는 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 예시적으로 도시한다.
- [0150] 도 5를 참조하면, 반도체 메모리 장치(500)는 제1 및 제2 메모리 서브 영역(511, 512), 제1 및 제2 서브 영역 제어부(541, 542), 온도 정보 획득부(520), 온도 추정부(530) 및 내부 발진기(580)를 포함한다. 반도체 메모리 장치(500)는 도 4에 도시된 반도체 메모리 장치(400)들과 적어도 부분적으로 유사하며, 실질적으로 동일한 구성 요소에 대해서는 반복하여 설명하지 않고 도 4를 참조로 설명된 부분을 참조한다.
- [0151] 도 5의 반도체 메모리 장치(500)는 DRAM (Dynamic Random Access Memory)이며, 반도체 메모리 장치(500)는 셀프 리프레쉬 모드로 동작할 수 있다.
- [0152] 제1 및 제2 메모리 서브 영역(511, 512)은 도 4에 도시된 제1 및 제2 메모리 서브 영역(411, 412)과 실질적으로 동일할 수 있다. 아래의 설명에서, 도 4의 실시예를 설명하기 위해 사용하였던 예들 및 전제하였던 가정이 동일하게 적용된다.
- [0153] 온도 정보 획득부(520)는 온도 정보를 획득할 수 있다. 상술한 바와 같이, 상기 온도 정보는 반도체 메모리 장치(400) 내부에 설치된 온도 센서로부터 얻은 반도체 메모리 장치(400)의 대표 온도이거나, 외부 장치로부터 전

송된 참조 온도일 수도 있다.

- [0154] 온도 추정부(530)는 상기 온도 정보를 기초로 제1 메모리 서브 영역(511)의 제1 온도(t_1)과 제2 메모리 서브 영역(512)의 제2 온도(t_2)를 추정할 수 있다.
- [0155] 내부 발진기(580)는 제3 펄스 신호(P3)를 생성할 수 있다. 제3 펄스 신호(P3)는 고정된 주기를 갖는 펄스 신호 또는 온도에 따라 가변하는 주기를 갖는 펄스 신호일 수도 있다.
- [0156] 제1 서브 영역 제어부(541)는 제1 펄스 신호 생성 회로(551), 제1 어드레스 카운터(561) 및 제1 리프레쉬 회로(571)를 포함할 수 있다. 또한, 제2 서브 영역 제어부(542)는 제2 펄스 신호 생성 회로(552), 제2 어드레스 카운터(562) 및 제2 리프레쉬 회로(572)를 포함할 수 있다.
- [0157] 제1 펄스 신호 생성 회로(551)와 제2 펄스 신호 생성 회로(552)는 내부 발진기(580)로부터 생성된 제3 펄스 신호(P3)를 수신하고, 제3 펄스 신호(P3)로부터 제1 및 제2 펄스 신호(P1, P2)를 각각 생성할 수 있다.
- [0158] 제1 펄스 신호 생성 회로(551)와 제2 펄스 신호 생성 회로(552)는 수신한 제3 펄스 신호(P3)의 펄스들의 일부를 스킵하고 나머지 펄스들을 통과시켜 제1 및 제2 펄스 신호(P1, P2)를 각각 생성하는 제1 및 제2 스킵 회로를 포함할 수 있다. 제3 펄스 신호(P3)의 펄스 주파수가 제1 펄스 신호(P1)의 펄스 주파수 또는 제2 펄스 신호(P2)의 펄스 주파수와 동일할 경우, 대응하는 상기 스킵 회로는 비활성화되어 제3 펄스 신호(P3)의 펄스들의 전부를 통과시켜 대응하는 펄스 신호(P1 또는 P2)를 생성할 수 있다.
- [0159] 본 실시예와 도 6의 실시예에서, 펄스 주파수는 단위 시간당 펄스의 발생 개수를 의미한다. 통상적으로 펄스 신호는 전 구간에 걸쳐 주기가 일정한 주기 신호를 의미하지만, 본 실시예에서는 주기적인 펄스 신호의 펄스들 중 일부의 펄스들을 스킵하여 제1 및 제2 펄스 신호(P1, P2)를 생성하므로, 펄스들 사이의 시간 간격은 일정하지 않을 수 있다. 예컨대, 일정한 간격(T)으로 입력되는 5개의 펄스에서 2개를 스킵하고 3개를 통과시킬 경우, 출력되는 펄스 신호의 펄스들의 시간 간격은 T 또는 2T로 서로 상이할 수 있다. 이러한 관점에서, 펄스 주파수를 펄스 주기의 역수로 제한적으로 해석되어서는 안 된다는 점에 주의하여야 한다. 다만, 본 실시예와 도 6의 실시예에서 정의하는 펄스 주파수는 평균 펄스 주기의 역수에 대응한다.
- [0160] 또한, 이러한 관점에서 리프레쉬 사이클 또는 리프레쉬 사이클 시간도 일정하지 않을 수 있으며, 본 실시예와 도 6의 실시예에서 리프레쉬 사이클 또는 리프레쉬 사이클 시간은 평균적인 리프레쉬 사이클 또는 리프레쉬 사이클 시간을 의미한다.
- [0161] 다른 예에 따르면, 제1 펄스 신호 생성 회로(551)와 제2 펄스 신호 생성 회로(552)는 수신한 제3 펄스 신호(P3)의 주파수를 소정 비율로 각각 증배하는 제1 및 제2 주파수 증배기(frequency multiplier)를 포함할 수 있다. 이 때, 제3 펄스 신호(P3)의 펄스 주파수는 제1 펄스 신호(P1)의 펄스 주파수와 제2 펄스 신호(P2)의 펄스 주파수 중 낮은 펄스 주파수와 동일하거나 이보다 낮을 수 있다. 상기 제1 및 제2 주파수 증배기의 증배 비율은 제1 및 제2 추정 온도(t_1, t_2)에 따라 각각 결정될 수 있다.
- [0162] 제1 메모리 서브 영역(411)의 메모리 셀들이 제1 추정 온도(t_1)(예컨대, 85°C)의 온도에 대응하여 제1 리프레쉬 주기(예컨대, 3.2 μ s)마다 리프레쉬되기 위해서는, 제1 펄스 신호(P1)는 1.6ns의 제1 리프레쉬 사이클 시간마다 펄스를 가져야 한다. 즉, 제1 펄스 신호(P1)의 펄스 주파수는 625MHz이어야 한다.
- [0163] 또한, 제2 메모리 서브 영역(412)의 메모리 셀들이 제2 추정 온도(t_2)(예컨대, 75°C)의 온도에 대응하여 제2 리프레쉬 주기(예컨대, 6.4 μ s)마다 리프레쉬되기 위해서는, 제2 펄스 신호(P2)는 6.4ns의 제2 리프레쉬 사이클 시간마다 펄스를 가져야 한다. 즉, 제2 펄스 신호(P2)의 펄스 주파수는 156.25MHz이어야 한다.
- [0164] 제1 및 제2 펄스 신호 생성 회로(551, 561)가 상기 제1 및 제2 스킵 회로를 각각 포함하는 경우, 제1 및 제2 펄스 신호(P1, P2)는 제3 펄스 신호(P3)의 펄스들의 일부 또는 전부를 통과시켜서 생성되므로, 제3 펄스 신호(P3)의 펄스 주파수는 적어도 625MHz이어야 할 것이다.
- [0165] 다른 예에 따라서, 제1 및 제2 펄스 신호 생성 회로(551, 561)가 상기 제1 및 제2 주파수 증배기를 각각 포함하는 경우, 제1 및 제2 펄스 신호(P1, P2)는 제3 펄스 신호(P3)로부터 주파수 증배를 통해 생성되므로, 제3 펄스 신호(P3)의 펄스 주파수는 최대로 156.25MHz이어야 할 것이다.
- [0166] 내부 발진기(580)는 온도 정보 획득부(520)로부터 각 메모리 서브 영역들의 추정 온도(t_1, t_2)를 수신하고, 상기

추정 온도(t_1 , t_2)를 기초로 소정의 펄스 주파수를 갖는 제3 펄스 신호(P3)를 생성할 수 있다. 다른 예에 따르면, 온도 정보 획득부(520)는 각 메모리 서브 영역들의 온도를 온도 레지스터(미 도시)에 저장할 수 있으며, 내부 발진기(580)는 상기 온도 레지스터로부터 각 메모리 서브 영역들의 추정 온도(t_1 , t_2)를 독출하고, 상기 추정 온도(t_1 , t_2)를 기초로 소정의 펄스 주파수를 갖는 제3 펄스 신호(P3)를 생성할 수 있다.

[0167] 제1 및 제2 펄스 신호 생성 회로(551, 561)가 상기 제1 및 제2 스킵 회로로 각각 구성되는 경우, 내부 발진기(580)는 각 메모리 서브 영역들의 추정 온도(t_1 , t_2) 중에서 가장 높은 온도를 기초로 제3 펄스 신호(P3)의 펄스 주파수를 결정할 수 있다. 상기 스킵 회로는 펄스들 중 일부를 스킵하므로 제3 펄스 신호(P3)의 펄스 주파수보다 높은 펄스 주파수를 갖는 펄스 신호는 상기 스킵 회로에 의해 생성될 수 없다. 그러나, 본 발명은 이에 한정되지 않는다. 제1 및 제2 펄스 신호 생성 회로(551, 561)가 상기 제1 및 제2 주파수 증배기로 각각 구성되는 경우, 내부 발진기(580)는 각 메모리 서브 영역들의 추정 온도(t_1 , t_2) 중에서 가장 낮은 온도를 기초로 제3 펄스 신호(P3)의 펄스 주파수를 결정할 수 있다. 상기 주파수 증배기는 펄스 주파수를 증배하므로, 제3 펄스 신호(P3)의 펄스 주파수보다 높은 펄스 주파수를 갖는 펄스 신호가 생성될 수 있다.

[0168] 다른 예에 따르면, 온도 정보 획득부(520)는 내부 발진기(580)를 제어할 수 있다. 온도 정보 획득부(520)는 각 메모리 서브 영역들의 추정 온도(t_1 , t_2)를 기초로 내부 발진기(580)가 출력하는 제3 펄스 신호(P3)의 펄스 주파수를 제어할 수 있다. 예컨대, 제1 및 제2 펄스 신호 생성 회로(551, 561)가 상기 제1 및 제2 스킵 회로로 각각 구성되는 경우, 온도 정보 획득부(520)는 추정 온도(t_1 , t_2) 중 가장 높은 온도가 더 높아질 경우, 제3 펄스 신호(P3)의 펄스 주파수를 높이도록 내부 발진기(580)를 제어할 수 있다.

[0169] 아래의 설명에서 제1 및 제2 펄스 신호 생성 회로(551, 561)가 상기 제1 및 제2 스킵 회로(551, 561)로 각각 구성되는 것으로 가정하여 설명한다. 그러나, 아래에 제시된 설명들도 유사한 방식으로 제1 및 제2 펄스 신호 생성 회로(551, 561)가 상기 제1 및 제2 주파수 증배기로 각각 구성되는 구성에도 적용될 수 있다.

[0170] 제3 펄스 신호(P3)가 추정 온도(t_1 , t_2)에 의해 가변되지 않는 고정된 주기를 갖는 펄스 신호일 수도 있다. 예컨대, 제3 펄스 신호(P3)는 1,350MHz의 펄스 주파수를 갖는 펄스 신호일 수 있다. 이 경우, 제1 스킵 회로(551)는 제3 펄스 신호(P3)의 펄스들 중 1/2의 펄스들을 스킵하고 나머지 1/2의 펄스들만 통과시킴으로써, 625MHz의 펄스 주파수를 갖는 제1 펄스 신호(P1)를 생성할 수 있다. 또한, 제2 스킵 회로(552)는 제3 펄스 신호(P3)의 펄스들 중 7/8의 펄스들을 스킵하고 나머지 1/8의 펄스들만 통과시킴으로써, 156.25MHz의 펄스 주파수를 갖는 제2 펄스 신호(P2)를 생성할 수 있다.

[0171] 제3 펄스 신호(P3)가 고정된 주기를 갖는 펄스 신호일 경우, 제3 펄스 신호(P3)의 펄스 주파수는 반도체 메모리 장치(500)의 최대 동작 가능 온도에 대응하는 리프레쉬 주기로 메모리 서브 영역의 메모리 셀들을 리프레쉬할 수 있을 정도로 결정될 수 있다.

[0172] 제3 펄스 신호(P3)는 추정 온도(t_1 , t_2)에 따라 가변하는 주기를 갖는 펄스 신호일 수 있으며, 이 경우 제3 펄스 신호(P3)의 펄스 주파수는 복수의 메모리 서브 영역들의 추정 온도(t_1 , t_2) 중에서 가장 높은 추정 온도에 해당하는 리프레쉬 주기로 해당 메모리 서브 영역의 메모리 셀들을 리프레쉬할 수 있는 정도로 결정될 수 있다. 본 예에서, 제1 메모리 서브 영역(511)의 온도가 제2 메모리 서브 영역(512)보다 높으므로, 제1 메모리 서브 영역(511)의 메모리 셀들을 리프레쉬 할 수 있도록, 제3 펄스 신호(P3)의 펄스 주파수는 제1 펄스 신호(P1)의 펄스 주파수와 동일하게 결정될 수 있다.

[0173] 제1 스킵 회로(551)는 온도 추정부(530)에서 추정된 제1 추정 온도(t_1)에 대응하여 제3 펄스 신호(P3)의 펄스들을 스킵하는 비율을 결정할 수 있다. 또한, 제2 스킵 회로(552)는 온도 추정부(530)에서 추정된 제2 추정 온도(t_2)에 대응하여 제3 펄스 신호(P3)의 펄스들을 스킵하는 비율을 결정할 수 있다. 온도와 스킵 비율 간의 관계는 레지스터(미 도시)에 저장될 수 있으며, 상기 레지스터는 제1 및 제2 스킵 회로(551, 552)에 포함되거나, 온도 추정부(530)에 포함될 수 있다. 온도 추정부(530)에 상기 레지스터가 포함되는 경우, 온도 추정부(530)는 제1 및 제2 추정 온도(t_1 , t_2)와 함께, 또는 제1 및 제2 추정 온도(t_1 , t_2) 대신에, 상기 스킵 비율을 제1 및 제2 스킵 회로(551, 552)에 각각 제공할 수 있다.

[0174] 제1 어드레스 카운터(561)는 제1 스킵 회로(551)에서 생성된 제1 펄스 신호(P1)에 응답하여 제1 메모리 서브 영역(511)의 리프레쉬 어드레스를 하나씩 증가시킴으로써, 리프레쉬가 수행될 리프레쉬 어드레스를 나타내는 제1

리프레쉬 어드레스를 생성할 수 있으며, 제1 리프레쉬 회로(571)는 제1 펄스 신호(P1)에 응답하여 제1 어드레스 카운터(561)에서 지정한 제1 리프레쉬 어드레스에 대응되는 메모리 셀들을 리프레쉬할 수 있다.

- [0175] 또한, 제2 어드레스 카운터(562)는 제2 스킵 회로(552)에서 생성된 제2 펄스 신호(P2)에 응답하여 제2 메모리 서브 영역(512)의 리프레쉬 어드레스를 하나씩 증가시킴으로써, 리프레쉬가 수행될 리프레쉬 어드레스를 나타내는 제2 리프레쉬 어드레스를 생성할 수 있으며, 제2 리프레쉬 회로(572)는 제2 펄스 신호(P2)에 응답하여 제2 어드레스 카운터(562)에서 지정한 제2 리프레쉬 어드레스에 대응되는 메모리 셀들을 리프레쉬할 수 있다.
- [0176] 제1 메모리 서브 영역(511)과 제2 메모리 서브 영역(512)의 메모리 셀들은 그 온도에 따라 다른 리프레쉬 주기로 리프레쉬될 수 있다. 따라서, 온도가 상대적으로 높은 제1 메모리 서브 영역(511)의 메모리 셀들에서 데이터 손실이 발생하는 것을 방지할 수 있으며, 온도가 상대적으로 낮은 제2 메모리 서브 영역(512)의 메모리 셀들에 불필요하게 빈번한 리프레쉬 동작을 수행함으로써 전력이 낭비되는 것을 방지할 수 있다.
- [0177] 도 6은 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 예시적으로 도시한다.
- [0178] 도 6을 참조하면, 반도체 메모리 장치(600)는 제1 및 제2 메모리 서브 영역(611, 612), 제1 및 제2 서브 영역 제어부(641, 642), 온도 정보 획득부(620), 온도 추정부(630) 및 커맨드 디코더(680)를 포함한다. 반도체 메모리 장치(600)는 도 5에 도시된 반도체 메모리 장치(500)들과 적어도 부분적으로 유사하며, 실질적으로 동일한 구성요소에 대해서는 반복하여 설명하지 않고 도 5를 참조로 설명된 부분을 참조한다.
- [0179] 도 6의 반도체 메모리 장치(600)는 DRAM (Dynamic Random Access Memory)이며, 반도체 메모리 장치(600)는 오토 리프레쉬 모드로 동작할 수 있다.
- [0180] 제1 및 제2 메모리 서브 영역(611, 612)은 도 4에 도시된 제1 및 제2 메모리 서브 영역(411, 412)과 실질적으로 동일할 수 있다. 아래의 설명에서, 도 4의 실시예를 설명하기 위해 사용하였던 예들 및 전제하였던 가정이 동일하게 적용된다.
- [0181] 온도 정보 획득부(620)는 온도 정보를 획득할 수 있다. 상술한 바와 같이, 상기 온도 정보는 반도체 메모리 장치(400) 내부에 설치된 온도 센서로부터 얻은 반도체 메모리 장치(400)의 대표 온도이거나, 외부 장치로부터 전송된 참조 온도일 수도 있다.
- [0182] 온도 추정부(630)는 상기 온도 정보를 기초로 제1 메모리 서브 영역(611)의 제1 온도(t_1)과 제2 메모리 서브 영역(612)의 제2 온도(t_2)를 추정할 수 있다.
- [0183] 커맨드 디코더(680)는 예컨대, 도 3에 도시된 CPU(303), GPU(305), 또는 메모리 컨트롤러(307)와 같은 외부 장치(미 도시)로부터 전송된 커맨드(CMD)를 기초로, 상기 커맨드(CMD)에 대응하는 커맨드 신호를 생성할 수 있다.
- [0184] 상기 외부 장치는 반도체 메모리 장치(600)에 데이터를 기록하고 반도체 메모리 장치(600)로부터 데이터를 독출할 뿐만 아니라, 반도체 메모리 장치(600)의 리프레쉬를 제어할 수 있다. 상기 외부 장치는 반도체 메모리 장치(600)에 리프레쉬 명령을 제공할 수 있으며, 반도체 메모리 장치(600)는 상기 리프레쉬 명령에 응답하여 리프레쉬 동작을 수행할 수 있다. 반도체 메모리 장치(600)는 리프레쉬 명령에 응답하여 리프레쉬 카운터를 이용하여 리프레쉬할 리프레쉬 어드레스를 지정하고 상기 지정된 리프레쉬 어드레스에 해당하는 메모리 셀들에 대하여 리프레쉬 동작을 수행할 수 있다.
- [0185] 커맨드 디코더(680)는 상기 외부 장치로부터 전송된 리프레쉬 명령에 응답하여 생성되는 펄스를 갖는 제3 펄스 신호(P3)를 생성할 수 있다. 상기 외부 장치는 반도체 메모리 장치(600)의 MRS(Mode Register Setting, 690) 상태에 따라, 고정된 주기로 리프레쉬 명령을 제공하거나, 온도에 따라 가변하는 주기로 리프레쉬 명령을 제공할 수도 있다.
- [0186] MRS(690)에는 반도체 메모리 장치(600)의 리프레쉬 동작 모드에 관한 정보가 저장될 수 있다. 또한, MRS(690)에는 반도체 메모리 장치(600)의 온도에 관한 정보, 또는 상기 온도에 대응하는 리프레쉬 주기에 관한 정보가 저장될 수 있다.
- [0187] 온도 추정부(630)는 메모리 서브 영역들의 추정 온도들 중에서 가장 높은 추정 온도를 MRS(690)에 저장할 수 있다. 또는, 상기 가장 높은 추정 온도에 대응하는 리프레쉬 주기에 관한 정보가 MRS(690)에 저장될 수 있다.

- [0188] 상기 외부 장치는 상기 MRS(690)에 저장된 가장 높은 추정 온도에 관한 정보를 기초로 리프레쉬 주기를 결정하고, 상기 리프레쉬 주기에 따라 리프레쉬 명령을 제공할 수 있다.
- [0189] 제3 펄스 신호(P3)는 상기 리프레쉬 명령에 응답하여 펄스를 가질 수 있다.
- [0190] 제1 서브 영역 제어부(641)는 제1 펄스 신호 생성 회로(651), 제1 어드레스 카운터(661) 및 제1 리프레쉬 회로(671)를 포함할 수 있다. 또한, 제2 서브 영역 제어부(642)는 제2 펄스 신호 생성 회로(652), 제2 어드레스 카운터(662) 및 제2 리프레쉬 회로(672)를 포함할 수 있다.
- [0191] 제1 및 제2 서브 영역 제어부(641, 642)는 도 5를 참조로 설명된 제1 및 제2 서브 영역 제어부(541, 542)와 실질적으로 동일할 수 있다.
- [0192] 제1 펄스 신호 생성 회로(651)와 제2 펄스 신호 생성 회로(652)는 커맨드 디코더(680)에서 생성된 제3 펄스 신호(P3)를 수신하고, 제3 펄스 신호(P3)를 기초로 제1 및 제2 펄스 신호(P1, P2)를 각각 생성할 수 있다. 제1 및 제2 펄스 신호 생성 회로(651, 652)는 상기 제1 및 제2 스킵 회로로 각각 구성되거나, 상기 제1 및 제2 주파수 증배기로 각각 구성될 수 있다. 제1 및 제2 펄스 신호 생성 회로(651, 652)가 상기 제1 및 제2 스킵 회로(651, 652)로 각각 구성되는 경우, 제1 스킵 회로(651)는 온도 추정부(630)에서 추정된 제1 추정 온도(t_1)에 대응하여 제3 펄스 신호(P3)의 펄스들을 스킵하는 비율을 결정할 수 있다. 또한, 제2 스킵 회로(652)는 온도 추정부(630)에서 추정된 제2 추정 온도(t_2)에 대응하여 제3 펄스 신호(P3)의 펄스들을 스킵하는 비율을 결정할 수 있다.
- [0193] 제1 어드레스 카운터(661)는 제1 스킵 회로(651)에서 생성된 제1 펄스 신호(P1)에 응답하여 제1 메모리 서브 영역(611)의 리프레쉬 어드레스를 하나씩 증가시킴으로써, 리프레쉬가 수행될 리프레쉬 어드레스를 나타내는 제1 리프레쉬 어드레스를 생성할 수 있으며, 제1 리프레쉬 회로(671)는 제1 펄스 신호(P1)에 응답하여 제1 어드레스 카운터(661)에서 지정한 제1 리프레쉬 어드레스에 대응되는 메모리 셀들을 리프레쉬할 수 있다.
- [0194] 또한, 제2 어드레스 카운터(662)는 제2 스킵 회로(652)에서 생성된 제2 펄스 신호(P2)에 응답하여 제2 메모리 서브 영역(612)의 리프레쉬 어드레스를 하나씩 증가시킴으로써, 리프레쉬가 수행될 리프레쉬 어드레스를 나타내는 제2 리프레쉬 어드레스를 생성할 수 있으며, 제2 리프레쉬 회로(672)는 제2 펄스 신호(P2)에 응답하여 제2 어드레스 카운터(662)에서 지정한 제2 리프레쉬 어드레스에 대응되는 메모리 셀들을 리프레쉬할 수 있다.
- [0195] 도 7은 본 발명적 사상의 다양한 실시예들에 따른 반도체 메모리 장치의 개략적인 블록도를 예시적으로 도시한다.
- [0196] 도 7을 참조하면, 반도체 메모리 장치(700)는 제1 및 제2 메모리 서브 영역(711, 712), 제1 및 제2 서브 영역 제어부(741, 742), 온도 정보 획득부(720), 및 온도 추정부(730)를 포함한다. 반도체 메모리 장치(600)는 도 1 내지 도 6에 도시된 반도체 메모리 장치들(100-600)과 적어도 부분적으로 유사하며, 실질적으로 동일한 구성요소에 대해서는 반복하여 설명하지 않고 도 1 내지 도 6을 참조로 설명된 부분을 참조한다.
- [0197] 도 7에 반도체 메모리 장치(700)는 DRAM(Dynamic Random Access Memory)인 것으로 도시되어 있지만, 이는 예시적이며 도 7에 설명되는 본 발명적 사상은 플래시 메모리 장치 등과 같은 다른 종류의 반도체 메모리 장치에도 동일하게 적용될 수 있다.
- [0198] 제1 및 제2 메모리 서브 영역(711, 712) 각각은 복수의 워드 라인(WL), 복수의 비트 라인(BL), 및 메모리 셀(MC)을 포함한다. 메모리 셀(MC)은 트랜지스터(Tr)와 커패시터(C)를 포함할 수 있다. 트랜지스터(Tr)의 게이트는 워드 라인(WL)에 연결되고, 워드 라인(WL)에 턴 온 전압이 인가되면, 비트 라인(BL)은 커패시터(C)와 전기적으로 연결된다. 트랜지스터(Tr)는 문턱 전압(V_t)을 가지며, 문턱 전압(V_t)보다 큰 턴 온 전압이 게이트에 인가되면, 채널이 형성되고, 문턱 전압(V_t)보다 작은 턴 오프 전압이 게이트에 인가되면 채널이 형성되지 않는다. 트랜지스터(Tr)의 문턱 전압(V_t)은 온도에 따라 변한다. 온도가 올라가면, 문턱 전압(V_t)은 내려가고, 온도가 올라가면 문턱 전압(V_t)은 올라간다. 따라서, 온도가 올라가면 낮은 전압을 인가해도 트랜지스터(Tr)는 턴 온될 수 있고, 온도가 낮아지면, 높은 전압을 인가해야 트랜지스터(Tr)가 턴 온될 수 있다.
- [0199] 온도 정보 획득부(720)는 온도 정보를 획득할 수 있다. 온도 추정부(730)는 상기 온도 정보를 기초로 제1 메모리 서브 영역(611)의 제1 온도(t_1)과 제2 메모리 서브 영역(612)의 제2 온도(t_2)를 추정할 수 있다.

- [0200] 제1 서브 영역 제어부(741)는 제1 전압 발생기(751)를 포함하고, 제2 서브 영역 제어부(742)는 제2 전압 발생기(752)를 포함할 수 있다.
- [0201] 제1 전압 발생기(751)는 워드 라인(WL)에 인가되는 전압을 생성할 수 있으며, 구체적으로 트랜지스터(Tr)를 턴 온 시키기 위한 턴 온 전압 및 트랜지스터(Tr)를 턴 오프 시키기 위한 턴 오프 전압을 생성할 수 있다. 턴 온 전압은 해당 메모리 셀을 활성화하고자 하는 경우에 인가되고, 턴 오프 전압은 해당 메모리 셀을 비활성화시키고자 하는 경우에 인가된다. 예컨대, 해당 메모리 셀에 데이터를 저장하거나 상기 메모리 셀로부터 데이터를 판독하거나 상기 메모리 셀을 리프레쉬하고자 하는 경우에, 상기 턴 온 전압은 상기 해당 메모리 셀이 연결된 워드 라인(WL)에 인가된다. 이 경우, 다른 워드 라인(WL)에 연결된 메모리 셀들은 비활성화되어야 하므로, 상기 다른 워드 라인(WL)에는 턴 오프 전압이 인가된다.
- [0202] 제1 전압 발생기(751)는 온도 추정부(730)에서 추정된 제1 추정 온도(t_1)에 기초하여 제1 턴 온 전압 및 제1 턴 오프 전압을 포함하는 제1 제어 전압을 생성할 수 있다. 제1 턴 온 전압과 제1 턴 오프 전압은 제1 서브 영역 제어부(741)의 워드 라인들에 인가되는 전압이다. 제1 제어 전압은 제1 추정 온도(t_1)가 높아질수록 낮아진다.
- [0203] 제2 전압 발생기(752)는 온도 추정부(730)에서 추정된 제2 추정 온도(t_2)에 기초하여 제2 턴 온 전압 및 제2 턴 오프 전압을 포함하는 제2 제어 전압을 생성할 수 있다. 제2 턴 온 전압과 제2 턴 오프 전압은 제2 서브 영역 제어부(742)의 워드 라인들에 인가되는 전압이다. 제2 제어 전압은 제2 추정 온도(t_2)가 높아질수록 낮아진다. 따라서, 제1 추정 온도(t_1)가 제2 추정 온도(t_2)보다 높을 경우, 상기 제1 제어 전압은 상기 제2 제어 전압보다 낮을 수 있다.
- [0204] 다른 예에 따르면, 제1 전압 발생기(751)는 온도 추정부(730)에서 추정된 제1 추정 온도(t_1)에 기초하여 제1 메모리 서브 영역(711)에 인가되는 제1 벌크 전압을 생성할 수 있다. 또한, 제2 전압 발생기(752)는 온도 추정부(730)에서 추정된 제2 추정 온도(t_2)에 기초하여 제2 메모리 서브 영역(712)에 인가되는 제2 벌크 전압을 생성할 수 있다. 이 경우, 상기 제1 벌크 전압과 상기 제2 벌크 전압의 바이어스 경로는 서로 분리되어야 한다. 또한, 제1 및 제2 전압 발생기(751, 752)는 벌크 바이어스 감지기 및 전압 펄핑 회로를 각각 포함할 수 있다.
- [0205] 따라서, 반도체 메모리 장치(700)는 메모리 서브 영역들에 온도의 차이가 있더라도 해당 온도에 적합한 제어 전압을 인가함으로써, 데이터 신뢰성을 높이고 전력 소모를 감소시킬 수 있다.
- [0206] 도 7의 제1 및 제2 서브 영역 제어부(741, 742)가 제1 및 제2 전압 발생기(751, 752)를 각각 포함하는 것으로 도시되어 있지만, 도 4 내지 도 6에 제시된 제1 및 제2 서브 영역 제어부(441, 442, 541, 542, 641, 642)들도 각각 제1 및 제2 전압 발생기(751, 752)를 포함할 수 있다.
- [0207] 도 8은 본 발명적 사상의 다양한 실시예들에 따른 반도체 패키지의 개략적인 단면도를 예시적으로 도시한다.
- [0208] 도 8을 참조하면, 반도체 패키지(800)는 베이스 기판(810), 베이스 기판(810)의 상부에 배치된 반도체 칩(820), 및 반도체 칩(820)의 상부에 배치된 적어도 하나의 반도체 메모리 칩(830)을 포함한다.
- [0209] 베이스 기판(810)은 인쇄 회로 기판(PCB; printed circuit board)일 수 있다.
- [0210] 반도체 칩(820)은 CPU 블록과 GPU 블록을 포함하는 어플리케이션 프로세서 유닛 또는 마이크로 프로세서(MPU; microprocessor unit)를 포함할 수 있다. 반도체 칩(820)은 도 3을 참조로 앞에서 설명된 반도체 장치(302)에 대응될 수 있다.
- [0211] 반도체 메모리 칩(830)은 제1 메모리 서브 영역과 제2 메모리 서브 영역을 포함하는 메모리부, 온도 정보를 획득하는 온도 정보 획득부, 상기 온도 정보를 기초로 상기 제1 메모리 서브 영역의 제1 온도와 상기 제2 메모리 서브 영역의 제2 온도를 추정하는 온도 추정부, 상기 제1 온도를 기초로 상기 제1 메모리 서브 영역의 메모리 셀들을 제어하는 제1 서브 영역 제어부, 및 상기 제2 온도를 기초로 상기 제2 메모리 서브 영역의 메모리 셀들을 제어하는 제2 서브 영역 제어부를 포함할 수 있다.
- [0212] 또한, 반도체 메모리 칩(830)은 복수의 메모리 뱅크를 포함하는 메모리부, 대표 온도를 검출하는 온도 감지부, 상기 대표 온도를 기초로 상기 복수의 메모리 뱅크 각각의 온도를 추정하는 온도 추정부, 및 상기 온도 추정부에서 추정된 상기 복수의 메모리 뱅크 각각의 온도에 대응하는 리프레쉬 주기로 대응하는 메모리 뱅크의 메모리

셀들을 리프레쉬하는 복수의 리프레쉬부를 포함할 수 있다.

- [0213] 반도체 칩(820)이 온도 센서를 포함하거나, 반도체 메모리 칩(830)이 온도 센서를 포함하거나, 반도체 칩(820)과 반도체 메모리 칩(830) 모두 온도 센서를 포함할 수 있다.
- [0214] 반도체 메모리 칩(830)은 복수의 메모리 뱅크, 상기 온도 센서로부터 온도 정보를 획득하는 온도 정보 획득부, 상기 온도 정보를 기초로 상기 복수의 메모리 뱅크 각각의 온도를 추정하는 온도 추정부, 및 각각 대응하는 메모리 뱅크의 추정된 상기 온도를 기초로 상기 대응하는 메모리 뱅크를 제어하는 복수의 메모리 뱅크 제어부를 포함할 수 있다.
- [0215] 반도체 메모리 칩(830)은 도 1 내지 도 7을 참조로 앞에서 설명된 반도체 메모리 장치(100, 200, 300, 400, 500, 600, 700)에 대응될 수 있다.
- [0216] 반도체 칩(820)과 반도체 메모리 칩(830)이 베이스 기판(810) 상에 적층된 후, 레진(840) 등으로 반도체 패키지(800)의 상부를 도포할 수 있다.
- [0217] 도 8에 예시적으로 도시된 바와 같이, 반도체 메모리 칩(830)의 입출력 범프들(835)을 통하여 반도체 메모리 칩(830)과 베이스 기판(810)이 전기적으로 연결될 수 있다. 이는 예시적이며, 와이어 본딩 방식에 의해 반도체 메모리 칩(830)과 베이스 기판(810)이 전기적으로 연결될 수도 있다. 또한, 반도체 칩(820)의 마이크로 입출력 범프들(825)을 통하여 반도체 칩(820)과 베이스 기판(810)이 전기적으로 연결될 수 있다. 이는 예시적이며, 와이어 본딩 방식에 의해 반도체 칩(820)과 베이스 기판(810)이 전기적으로 연결될 수도 있다. 베이스 기판(810)의 하면에는 외부 장치와의 전기적 연결을 위한 범프(815)가 형성될 수 있다.
- [0218] 도 8에서 반도체 칩(820)이 반도체 메모리 칩(830)의 하부에 배치되는 것으로 도시되어 있지만, 이는 예시적이며, 반도체 메모리 칩(830)이 반도체 칩(820)의 하부에 배치될 수도 있다. 또한, 반도체 칩(820)이 베이스 기판(810)을 통해 반도체 메모리 칩(830)에 연결되는 것으로 도시되어 있지만, 이 역시 예시적이며, 반도체 칩(820)과 반도체 메모리 칩(830)은 입출력 범프들 또는 본딩 와이어 등을 이용하여 직접 연결될 수도 있다.
- [0219] 또한, 도 8에서 반도체 칩(820)과 반도체 메모리 칩(830)이 각각 하나씩인 것으로 도시되어 있지만, 이 역시 예시적이며, 반도체 패키지(800)는 복수의 반도체 칩(820) 또는 복수의 반도체 메모리 칩(830)을 포함할 수 있다.
- [0220] 도 9는 본 발명적 사상의 다양한 실시예들에 따른 반도체 패키지의 개략적인 단면도를 예시적으로 도시한다.
- [0221] 도 9를 참조하면, 반도체 패키지(900)는 베이스 기판(910), 베이스 기판(910)의 상부에 배치된 반도체 칩(920), 및 반도체 칩(920)의 상부에 배치된 적어도 하나의 반도체 메모리 칩(930)을 포함한다.
- [0222] 베이스 기판(910), 반도체 칩(920), 및 반도체 메모리 칩(930)은 각각 도 8에 도시된 베이스 기판(810), 반도체 칩(820), 및 반도체 메모리 칩(830)에 대응되며, 이들에 대하여 반복하여 설명하지 않는다.
- [0223] 베이스 기판(910) 상에 반도체 칩(920)과 반도체 메모리 칩(930)이 적층된 후, 레진(940) 등으로 반도체 패키지(900)의 상부를 도포할 수 있다.
- [0224] 도 8에 예시적으로 도시된 바와 같이, 반도체 칩(920)은 반도체 칩(920)을 관통하는 관통 비아(950)(Through Silicon Via; TSV)를 포함할 수 있다. 반도체 칩(920)과 베이스 기판(910)은 반도체 칩(920)의 관통 비아(950)에 연결되는 마이크로 입출력 범프들(925)을 통해 전기적으로 연결될 수 있다. 반도체 메모리 칩(930)은 반도체 칩(920)의 관통 비아(950)에 연결되는 마이크로 입출력 범프들(935)을 통해 반도체 칩(920)에 전기적으로 연결될 수 있다. 또한, 반도체 메모리 칩(930)은 상기 관통 비아(950)를 통해 베이스 기판(910)에도 전기적으로 연결될 수 있다. 관통 비아(950)를 통해 베이스 기판(910), 반도체 칩(920), 및 반도체 메모리 칩(930)이 전기적으로 연결되는 경우, 베이스 기판(910)과 반도체 메모리 칩(930) 사이의 인터페이스 부하 저항이 감소되어 원활한 신호 전송이 구현될 수 있다. 베이스 기판(810)의 하면에는 외부 장치와의 전기적 연결을 위한 범프(815)가 형성될 수 있다.
- [0225] 도 9에서 반도체 칩(820)이 반도체 메모리 칩(830)의 하부에 배치되는 것으로 도시되어 있지만, 이는 예시적이며, 반도체 메모리 칩(830)이 반도체 칩(820)의 하부에 배치될 수도 있다. 이 경우, 관통 비아(950)는 반도체 메모리 칩(830)에 형성될 수 있다.
- [0226] 도 8에서 반도체 메모리 장치들(100-700)이 PoP(Package on Package) 방식으로 패키징된 반도체 패키지(800)가

도시되고, 도 9에서 반도체 메모리 장치들(100-700)이 관통 비아를 이용한 반도체 패키지(900)가 도시된다. 그 외에도, 본 발명적 사상에 따른 반도체 메모리 장치들(100-700)은 Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다.

[0227] 본 발명은 첨부된 도면들을 참조하여 앞에서 제시된 실시예들로 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다.

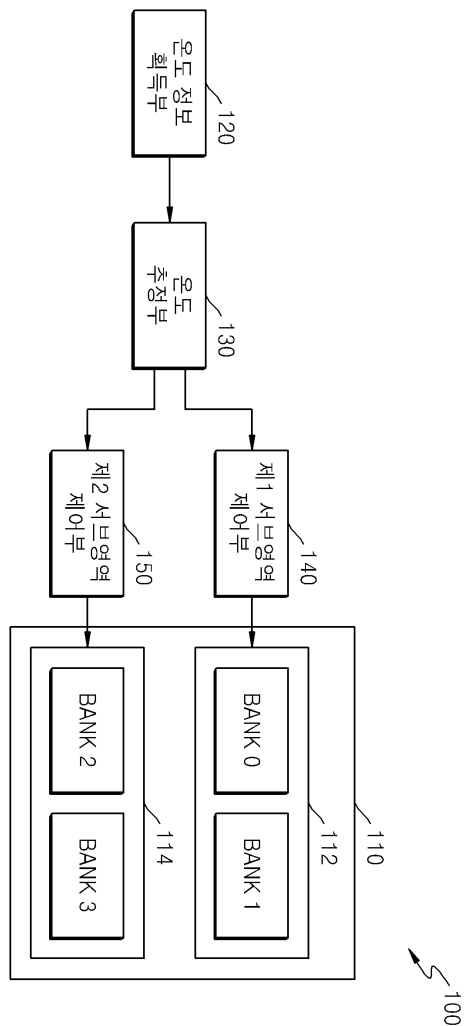
부호의 설명

- [0228] 100, 200, 300, 400, 500, 600, 700: 반도체 메모리 장치
- 110: 메모리부
- 112: 제1 메모리 서브 영역
- 114: 제2 메모리 서브 영역
- 120: 온도 정보 획득부
- 130: 온도 추정부
- 140: 제1 서브 영역 제어부
- 150: 제2 서브 영역 제어부
- 211-214, 311-314: 제1 내지 제4 메모리 뱅크
- 220: 온도 센서
- 230, 330: 온도 추정부
- 232, 332: 레지스터
- 241-244, 341-344: 제1 내지 제4 메모리 뱅크 제어부
- 302: 반도체 장치
- 303: 제1 어플리케이션 프로세서 유닛(CPU)
- 304: 제1 온도 센서
- 305: 제2 어플리케이션 프로세서 유닛(GPU)
- 306: 제2 온도 센서
- 307: 메모리 컨트롤러
- 320: 통신부
- 411-412, 511-512, 611-612, 711-712: 제1 및 제2 메모리 서브 영역
- 420, 520, 620, 720: 온도 정보 획득부
- 430, 530, 630, 730: 온도 추정부
- 441-442, 541-542, 641-642, 741-742: 제1 및 제2 서브 영역 제어부

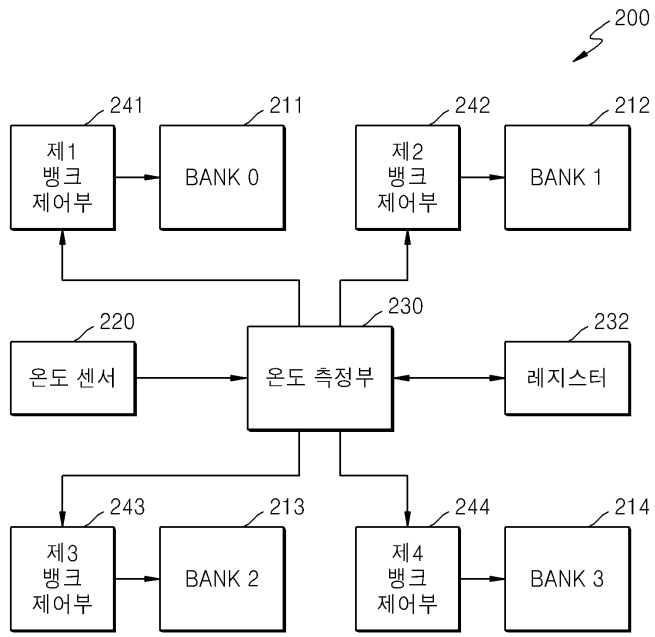
- 451-452: 제1 및 제2 발진기
- 461-462, 561-562, 661-662: 제1 및 제2 어드레스 카운터
- 471-472, 571-572, 671-672: 제1 및 제2 리프레쉬 회로
- 551-552, 651-652: 제1 및 제2 펄스 신호 생성 회로
- 580: 내부 발진기
- 680: 커맨드 디코더
- 690: MRS
- 751-752: 제1 및 제2 전압 발생기
- 800, 900: 반도체 패키지
- 810, 910: 베이스 기판
- 820, 920: 반도체 칩
- 830, 930: 반도체 메모리 칩
- 950: 관통 비아

도면

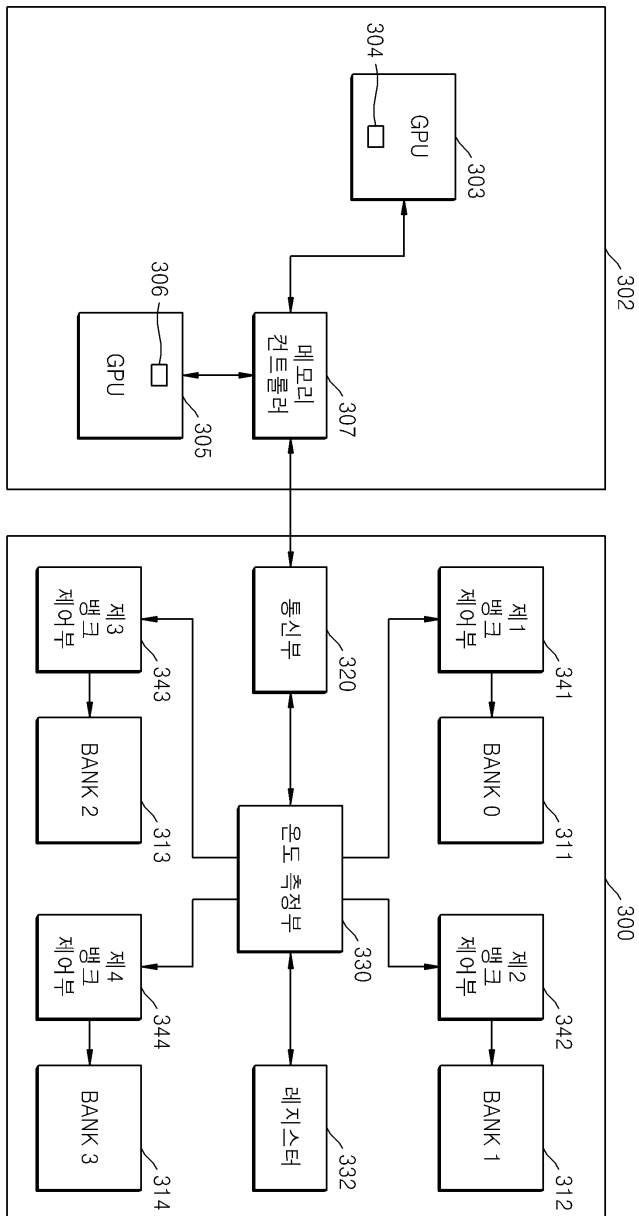
도면1



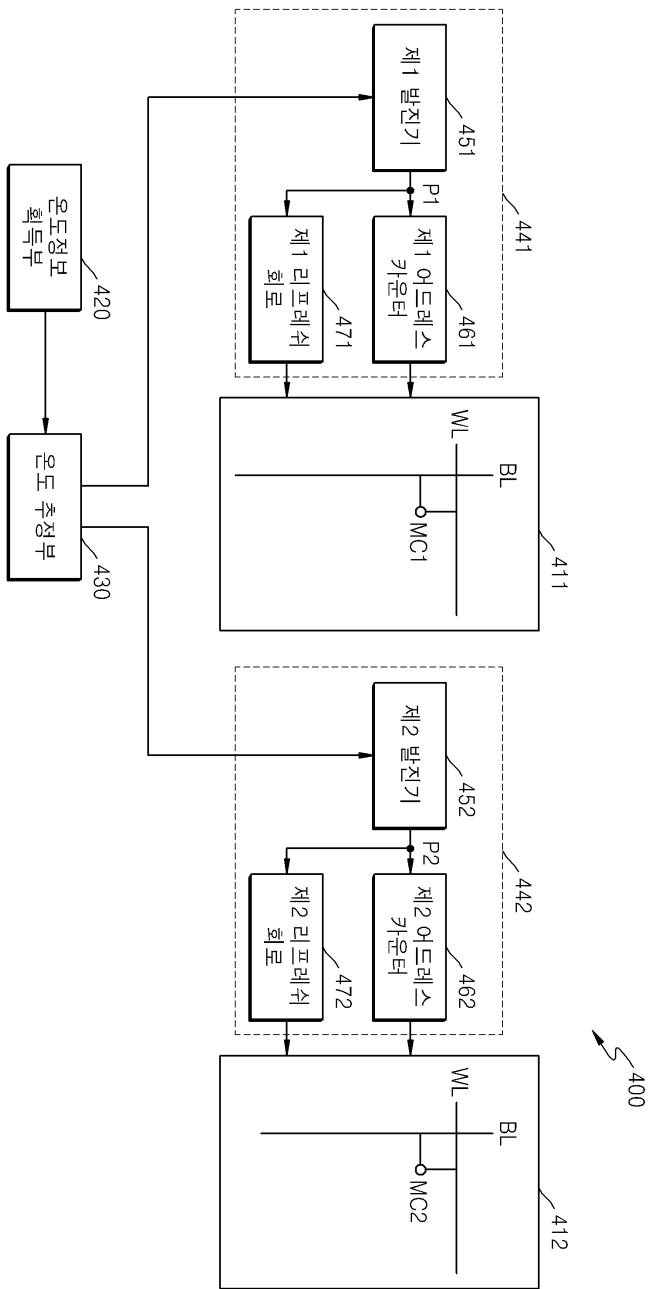
도면2



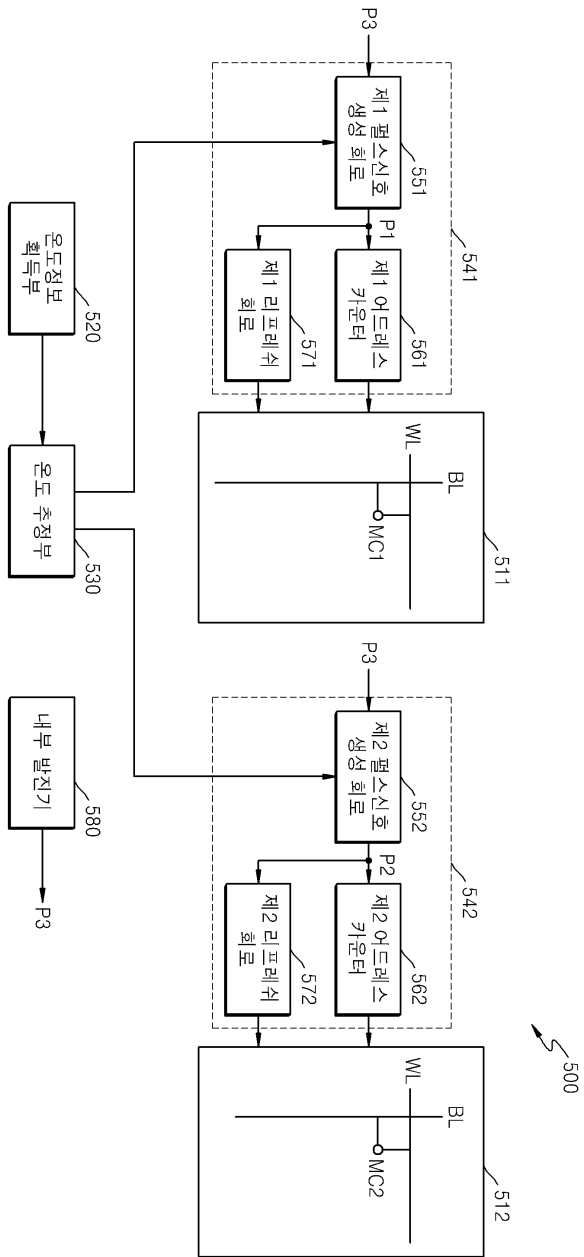
도면3



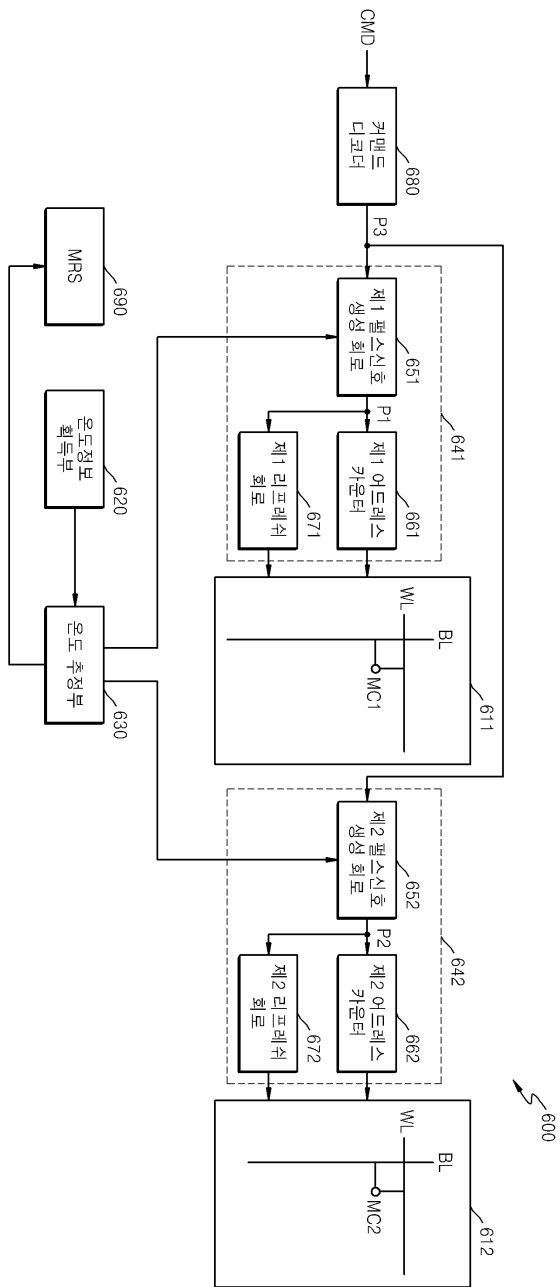
도면4



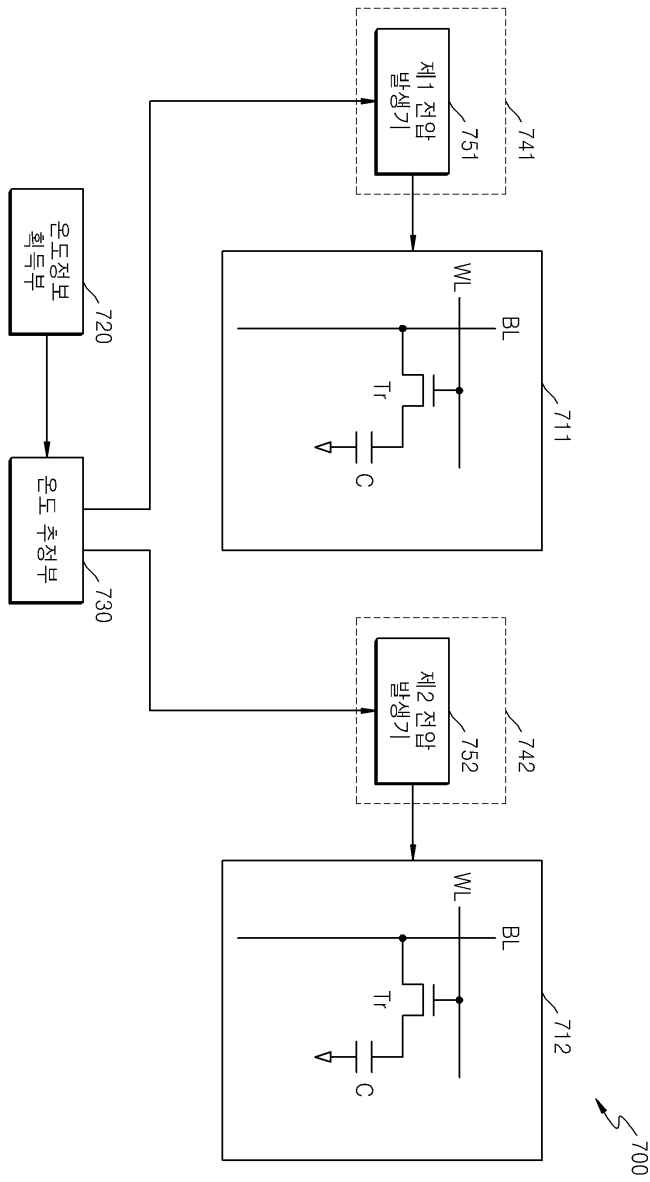
도면5



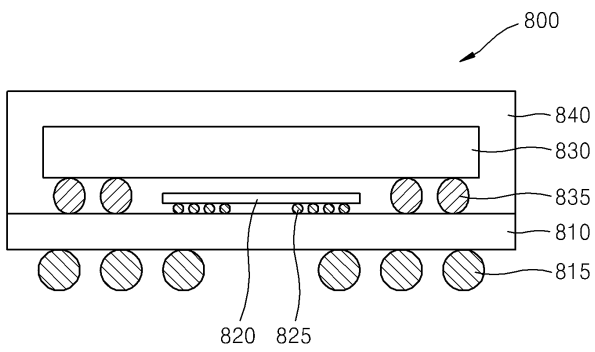
도면6



도면7



도면8



도면9

