



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0057257  
(43) 공개일자 2009년06월04일

- |   |   |
|---|---|
| <p>(51) Int. Cl.<br/><i>H01L 29/786</i> (2006.01)</p> <p>(21) 출원번호 10-2009-7005461</p> <p>(22) 출원일자 2009년03월17일<br/>심사청구일자 2009년03월17일<br/>번역문제출일자 2009년03월17일</p> <p>(86) 국제출원번호 PCT/JP2007/065114<br/>국제출원일자 2007년07월26일</p> <p>(87) 국제공개번호 WO 2008/023553<br/>국제공개일자 2008년02월28일</p> <p>(30) 우선권주장<br/>JP-P-2006-226698 2006년08월23일 일본(JP)</p> | <p>(71) 출원인<br/>캐논 가부시끼가이샤<br/>일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고</p> <p>(72) 발명자<br/>이타가키 나호<br/>일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고 캐논 가부시끼가이샤 나이</p> <p>덴 토루<br/>일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고 캐논 가부시끼가이샤 나이<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>권태복, 이종근</p> |
|---|---|

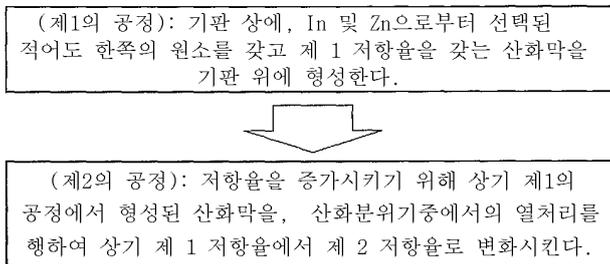
전체 청구항 수 : 총 14 항

**(54) 아모르포스 산화물 반도체막을 사용한 박막트랜지스터의 제조 방법**

**(57) 요약**

아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법이며, 상기 활성층을 형성하는 공정은, 도입 산소분압이  $1 \times 10^{-3}$  Pa이하의 분위기중에서 상기 산화막을 형성하는 제1의 공정과, 상기 제1의 공정후, 산화 분위기중에서 상기 산화막을 열처리하는 제2의 공정을 포함한다.

**대표도** - 도6



(72) 발명자

**카지 노부유키**

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2  
고 캐논 가부시끼가이샤 나이

**하야시 료**

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2  
고 캐논 가부시끼가이샤 나이

**사노 마사후미**

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2  
고 캐논 가부시끼가이샤 나이

## 특허청구의 범위

### 청구항 1

In 및 Zn 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법으로서,

도입 산소분압이  $1 \times 10^{-3}$  Pa이하의 분위기중에서 상기 산화막을 형성하는 제1의 공정과,

산화 분위기중에서 상기 산화막을 열처리하는 제2의 공정으로 이루어진, 상기 활성층을 형성하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

### 청구항 2

In 및 Zn 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법으로서,

제1의 저항율을 갖는 상기 산화막을 형성하는 제1의 공정과,

산화 분위기중에서 열처리에 의해, 상기 산화막의 저항율을 제2의 저항율로 변화시키는 제2의 공정을 포함하고,

상기 제2의 저항율이, 상기 제1의 저항율보다도 높은 것을 특징으로 하는 박막트랜지스터의 제조 방법.

### 청구항 3

In 및 Zn 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법으로서,

제1의 활성화 에너지를 갖는 상기 산화막을 형성하는 제1의 공정과,

산화 분위기중에서 열처리에 의해, 상기 산화막의 활성화 에너지를 제2의 활성화 에너지로 변화시키는 제2의 공정을 포함하고,

상기 제2의 활성화 에너지가, 상기 제1의 활성화 에너지보다도 높은 것을 특징으로 하는 박막트랜지스터의 제조 방법.

### 청구항 4

제 2 항 및 제 3 항에 있어서,

상기 제1의 공정의 분위기중의 도입 산소분압이  $1 \times 10^{-3}$  Pa이하인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

### 청구항 5

제 2 항에 있어서,

상기 제1의 저항율이  $1 \times 10^{-4} \Omega \text{cm}$ 이상  $1 \Omega \text{cm}$ 이하이고, 상기 제2의 저항율이  $1 \Omega \text{cm}$ 이상  $1 \times 10^4 \Omega \text{cm}$ 이하인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

### 청구항 6

제 3 항에 있어서,

상기 제1의 활성화 에너지가 실온에서 0 meV이상 50meV이하이고, 상기 제2의 활성화 에너지가 실온에서 50meV이상 400meV이하인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

### 청구항 7

제 1 항 내지 제 3 항에 있어서,

상기 제2의 공정은, 구성 원소에 산소를 포함하는 기체를 포함하는 분위기중에서 250℃이상 450℃이하의 온도범위에서 처리하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

**청구항 8**

제 1 항 내지 제 3 항에 있어서,

상기 제2의 공정은, 상기 아모르포스 산화물 반도체막에 산소 라디칼 또는 오존을 조사하는 공정을 포함하고, 150℃ 이상 450℃이하의 온도범위에서 열처리를 행하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

**청구항 9**

제 1 항 내지 제 3 항에 있어서,

상기 제2의 공정은, 상기 아모르포스 산화물 반도체막에 오존을 포함하는 분위기중에서 자외선 조사하는 공정을 포함하고, 150℃ 이상 450℃이하의 온도범위에서 열처리를 행하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

**청구항 10**

제 1 항 내지 제 3 항에 있어서,

상기 아모르포스 산화물 반도체막은, Ga 및 Sn 중 적어도 하나를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

**청구항 11**

제 1 항 내지 제 3 항에 있어서,

상기 아모르포스 산화물 반도체막은, In/(In+Zn)의 원자조성비가 30원자%이상 45원자%이하인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

**청구항 12**

In 및 Zn 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법으로서,

상기 활성층을 형성하는 제1의 공정과,

산화 분위기중에서 열처리를 행하는 제2의 공정과,

상기 활성층 위에 산화물 절연체층을 형성하는 제3의 공정을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

**청구항 13**

제 1 항 내지 제 3 항에 있어서,

상기 제1의 공정의 상기 활성층을 형성하는 온도는, 상기 제2의 공정의 열처리 온도 이하인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

**청구항 14**

제 12 항에 있어서,

상기 제3의 공정의 산화물 절연체층을 형성하는 온도는, 상기 제2의 공정의 열처리 온도 이하인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

**명세서**

(기술분야)

<1>

- <2> 본 발명은, 아모르포스(amorphous) 산화물 반도체막을 사용한 박막트랜지스터의 제조 방법에 관한 것이다.
- <3> (배경기술)
- <4> 최근, 금속 산화물 반도체박막을 사용한 반도체소자가 주목되고 있다. 일본특허출원 공개번호 2000-150900호에 기재된 것처럼, 상기 박막은, 저온에서 형성될 수 있고, 또 광학 밴드갭이 크게 가시광선에 대하여 투명한 특징을 갖고 있다. 그래서, 플라스틱 기판, 필름 기판 등의 위에 유연한 투명 박막트랜지스터(TFT)를 형성하는 것이 가능하다.
- <5> TFT활성층으로서 사용하는 산화물 반도체막은, 그 막의 전기 특성을 제어하기 위해서, 산소 가스를 도입한 분위기중에서 성막되는 것이 일반적이다. 예를 들면, 채널층에 In-Ga-Zn-O로 구성되는 n형 산화물 반도체를 사용하고, 소스 및 드레인 전극으로서 ITO를 사용한 박막트랜지스터(TFT)가 W02005-088726 A1에 기재되어 있고, 이 TFT에서는 In-Ga-Zn-O성막 분위기중의 산소분압을 제어함으로써, 캐리어 농도가 제어되고, 높은 캐리어 이동도가 얻어진다.
- <6> 추가로, 일본특허출원 공개번호 2006-165529호 및 2006-165532호에는, 상기 산화물 반도체막을 활성층으로서 사용한 반도체 디바이스에 있어서, 산화 분위기에서 그 활성층을 어닐링하는 기술이 개시되어 있다.
- <7> 그렇지만, 상기 특허문헌들에 개시되어 있는 산화물 반도체막은, 예를 들면 상기 W02005-088726 A1에 나타낸 것처럼, TFT활성층으로서 사용 가능한 In-Ga-Zn-O막을 얻을 수 있는 산소 분압(최적산소분압)의 범위는 좁다. 또한, 이 최적산소분압의 값이, 성막 조건에 따라 변화된다고 하는 문제점이 있었다. 또한, 본 발명자들이 산소를 도입한 분위기중에서 스퍼터링법에 의해 In-Ga-Zn-O막을 성막할 때, 형성된 In-Ga-Zn-O막의 전기 특성이, 타겟으로부터의 거리에 따라서도 변하는 것을 찾았다. 이것은 타겟으로부터의 거리에 의존하여, 기상중에 존재하는 산소분자의 해리도가 크게 변화되어버리기 때문이라고 생각된다.
- <8> 추가로, 성막 분위기중에 산소를 도입해서 In-Ga-Zn-O막을 제작하고, 이것을 채널층이라고 하는 TFT는, 원래 In-Ga-Zn-O막이 가지는 물성으로부터 예측되는 것 같은 트랜지스터 특성을 얻는 것이 어렵다. 구체적으로는, 서브쓰레시홀드 영역의 서브쓰레시홀드 특성과 전계 효과 이동도 등의, TFT특성을 더욱 향상시킬 필요가 있다.
- <9> 또한, 게이트 전극에 전압 12V, 소스 및 드레인 전극에 전압 12V의 DC 스트레스를 400초 인가할 때, TFT의 온 특성의 저하, 및 임계값 전압의 변동 등의 특성의 변화가 생겨, DC 스트레스에 대하여 영향을 받는다. TFT 특성 저하의 주된 원인은, 성막 분위기중에 산소가 도입된 것에 의해 생성된 산소 이온이 반도체막에 데미지를 주는 것에 의한 것이라고 생각된다. 구체적으로는, 스퍼터링법을 사용하여 성막하는 경우, 분위기중에 산소를 도입하면, 타겟 표면에서 생성된 산소 부이온의 양이 증가하고, 그에 따라, 기판에 입사하는 고에너지 산소 부이온의 양이 증가하여, 막질의 열화가 생겨버리는 것을 생각할 수 있다.
- <10> 또한, 본 발명자들은, In-Ga-Zn-O계의 아모르포스 산화물 박막을 채널층으로서 사용한 박막트랜지스터(TFT)를 제작해 검토한 결과, 해당 TFT는 분위기에 대하여 민감해서, 동작시와 보관시의 분위기에 의해 TFT의 특성이 변화되는 것을 찾아냈다.
- <11> 제작한 소자를 진공 챔버내에 설치하고, 챔버를 진공으로 하면서 전기전도도를 측정할 때, 압력저하와 함께 측정치가 서서히 감소한다고 하는 현상이 보였다. 일반적인 분위기하에서 측정된 경우에, 전기전도도의 측정치는 안정한 것으로 보였다.
- <12> 분위기에 의한 전기전도의 변화는 예를 들면, ZnO, 산화인듐 주석 (ITO)등에서도 보여지고; 분위기중의 물과 다른 가스 분자의 도전성 산화물에 및 이 도전성 산화물로부터 흡착 및 탈리에 의한 것이라고 생각되고 있다. 분위기 변화에 의한 전기전도도 변화가 생기는 것에 의해 TFT동작이 불안정해져, 소자로서의 신뢰성을 얻을 수 없다고 하는 문제가 생겼었다.
- <13> 또한, 본 발명자들은, In-Ga-Zn-O계의 아모르포스 산화물 박막 위에 산화물 절연체를 스퍼터링법에 의해 형성할 경우, 산소를 포함하지 않는 분위기에서 성막을 행하면 산화물 반도체의 전기 특성이 크게 변화되어 버려 양호한 TFT특성을 얻을 수 없는 문제를 찾아냈다.
- <14> 본 발명은 상기 문제를 해결하는 것이며, 그 목적은, 프로세스 마진이 넓고, 특성이 뛰어나며, 또한 신뢰성이 높은 산화물 박막트랜지스터의 제조 방법을 제공하는 데에 있다.
- <15> 또한, 본 발명의 다른 목적은, 분위기 변화에 의한 TFT특성 불안정성을 해결하여서 신뢰성이 높은 박막

트랜지스터의 제조 방법을 제공하는 데에 있다.

- <16> 또한, 본 발명의 또 다른 목적은, In-Ga-Zn-O계의 아모르포스 산화물 박막 위에 산화물 절연체를 형성할 경우에, 산화물 반도체의 전기 특성을 변화시키지 않는 박막트랜지스터의 제조 방법을 제공하는 데에 있다.
- <17> (발명의 개시)
- <18> 본 발명은 상기 과제를 해결하는데 있고, 본 발명의 요지는, In과 Zn 중 적어도 한쪽의 원소를 포함한 아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법으로서,
- <19> 도입 산소분압이  $1 \times 10^{-3}$  Pa이하의 분위기중에서 상기 산화막을 형성하는 제1의 공정과,
- <20> 산화 분위기중에서 상기 산화막을 열처리하는 제2의 공정으로 이루어진, 상기 활성층을 형성하는 공정을 포함하는 제조 방법이다.
- <21> 또한, 본 발명의 일 국면은, In 및 Zn 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법으로서,
- <22> 제1의 저항율을 갖는 상기 산화막을 형성하는 제1의 공정과,
- <23> 산화 분위기중에서 열처리에 의해, 상기 산화막의 저항율을 제2의 저항율로 변화시키는 제2의 공정을 포함하고,
- <24> 상기 제2의 저항율이, 상기 제1의 저항율보다도 높은, 박막트랜지스터의 제조 방법이다.
- <25> 또한, 본 발명의 다른 국면은, In 및 Zn 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법으로서,
- <26> 제1의 활성화 에너지를 갖는 상기 산화막을 형성하는 제1의 공정과,
- <27> 산화 분위기중에서 열처리에 의해, 상기 산화막의 활성화 에너지를 제2의 활성화 에너지로 변화시키는 제2의 공정을 포함하고,
- <28> 상기 제2의 활성화 에너지가, 상기 제1의 활성화 에너지보다도 높은, 박막트랜지스터의 제조 방법이다.
- <29> 아울러, 본 발명의 또 다른 국면은, In 및 Zn 중 적어도 한쪽의 원소를 포함하는 아모르포스 산화물 반도체막으로 이루어진 활성층을 구비한 박막트랜지스터의 제조 방법으로서,
- <30> 상기 활성층을 형성하는 제1의 공정과,
- <31> 산화 분위기중에서 열처리를 행하는 제2의 공정과,
- <32> 상기 활성층 위에 산화물 절연체층을 형성하는 제3의 공정을 포함하는 박막트랜지스터의 제조 방법이다.

**도면의 간단한 설명**

- <33> 도 1은 본 발명의 박막트랜지스터의 일 실시 예를 나타낸 도면(단면도)이다.
- <34> 도 2는 실시 예1에서 제조된 박막트랜지스터의 전달 특성을 나타낸 그래프이다.
- <35> 도 3a는 DC바이어스 스트레스 인가 전후에, 실시 예1에서 작성된 박막트랜지스터의 전달 특성을 나타낸 그래프이다.
- <36> 도 3b는 DC바이어스 스트레스 인가 전후에, 비교 예1에서 작성된 박막트랜지스터의 전달 특성을 나타낸 그래프이다.
- <37> 도 4는 실시 예6에서 작성된 박막트랜지스터의 전달 특성을 나타낸 그래프이다.
- <38> 도 5a는 DC바이어스 스트레스 인가 전후에, 실시 예6에서 작성된 박막트랜지스터의 전달 특성을 나타낸 그래프이다.
- <39> 도 5b는 DC바이어스 스트레스 인가 전후에, 비교 예5에서 작성된 박막트랜지스터의 전달 특성을 나타낸 그래프이다.

- <40> 도 6은 본 발명의 박막트랜지스터의 제조 방법에서 채널층을 형성하는 공정을 나타낸 도면이다.
- <41> 도 7은 역스태거형 TFT의 단면도이다.
- <42> 도 8은 In-Ga-Zn-O계 아모르포스 산화물 막형성시 전자 캐리어 농도와 산소 분압간의 관계를 나타낸 그래프이다.
- <43> 도 9는 본 발명에서 실시한 열처리를 행한 TFT와 행하지 않은 TFT의 전달 특성을 나타낸 그래프이다.
- <44> 도 10은 보호층의 형성 전후에, 본 발명에서 실시한 열처리를 행한 TFT의 전달 특성을 나타낸 그래프이다.
- <45> 도 11은 보호층의 형성 전후에, 본 발명에서 실시한 열처리를 행하지 않은 TFT의 전달 특성을 나타낸 그래프이다.
- <46> 도 12는 본 발명에서 실시한 보호층을 형성하지 않고 작성한 TFT의 대기와 진공에서의 전달 특성을 나타낸 그래프이다.
- <47> 도 13은 본 발명에서 실시한 보호층을 산소 함유 분위기에서 형성한 TFT와, 본 발명에서 실시한 Ar 분위기에서 형성한 보호층을 갖는 TFT의 전달 특성을 나타낸 그래프이다.
- <48> 도 14는 스테거형 TFT의 단면도이다.
- <49> (발명을 실시하기 위한 최선의 형태)
- <50> 이후, 도면을 참조하면서 본 발명의 실시예들에 관하여 설명한다.
- <51> 도 1은 본 실시예에서 제작한 TFT소자 구조의 모식도를 나타낸다. 이 TFT소자는, 기판(10) 위에 채널층(11)을 설치하고, 해당 채널층(11) 위에 소스 전극(12), 드레인 전극(13), 게이트 절연막(14), 게이트 전극(15)을 설치함으로써 구성된다.
- <52> 본 발명에 적용할 수 있는 반도체소자의 구성은, 이러한 스테거형 (톱 게이트형)구조의 TFT에 한정되지 않고; 예를 들면 게이트 전극 위에 게이트 절연막과 반도체 채널층을 순차적으로 설치한 역스태거형(보텀 게이트형) 구조의 TFT이어도 좋다.
- <53> 본 발명자들의 지견에 의하면, In 및 Zn 중 적어도 한쪽의 원소를 포함하는 산화막 반도체층을 활성층(채널층이라고도 한다)으로서 사용한 박막트랜지스터에 있어서는, 그 트랜지스터의 조성에도 의존하지만, 이하의 특성을 충족시키는 것이 바람직하다. 구체적으로, 전기저항율(제2의 저항율)이 약  $1\Omega\text{cm}$  이상  $10\text{k}\Omega\text{cm}(1\times 10^4\Omega\text{cm})$  이하, 혹은 실온에서의 활성화 에너지(제2의 활성화 에너지)가 약 50meV 이상 400meV 이하의 반절연성의 산화막을 적용하면, 양호한 TFT특성을 얻을 수 있다. 여기에서, 활성화 에너지란, 전기전도율의 아레니우스(Arrhenius) 플롯으로부터 얻어진 산화물 반도체막의 활성화 에너지이다. 예를 들면, 전기저항율이  $1\Omega\text{cm}$  이하이거나, 활성화 에너지가 50meV 이하일 경우, 노멀리(normally) 오프 트랜지스터를 구성할 수 없고, 또한 온-오프비를 크게 할 수 없고, 극단적일 경우에는, 게이트 전압의 인가에 의해서도, 소스 및 드레인 전극간의 전류가 온 또는 오프되지 않아, 트랜지스터 동작을 억제할 수 없다. 한편, 전기저항율이  $10\text{k}\Omega\text{cm}$  이상이거나, 활성화 에너지가 400meV 이상인 경우, 온 전류를 크게 할 수 없게 되고, 극단적일 경우에는, 게이트 전압의 인가에 의해서도, 소스 및 드레인 전극간의 전류가 온 또는 오프하지 않아, 트랜지스터 동작을 억제할 수 없는 경우도 있다.
- <54> 산화물의 전기저항율과 캐리어 농도는 성막시의 도입 산소분압에 의해 제어될 수 있다. 이것이 의미하는 것은, 산소분압을 제어함으로써 주로 박막중의 산소결손량을 제어하고, 이에 따라 전자 캐리어 농도를 제어한다. 도 8은, In-Ga-Zn-O계 산화물박막을 스퍼터링법으로 성막했을 때, 캐리어 농도의 산소 분압 의존성의 일례를 도시한 그래프이다. 그러나, 본 발명의 금속 산화막은, 도 6에 나타나 있는 바와 같이, 우선, TFT활성층으로서 저저항이 되는 조건에서 막을 형성하고(제1의 공정), 그 후에 이렇게 얻어진 막에 대하여, 산화 분위기중에서의 열처리를 행함으로써, 저항율의 제어가 행해진다(제2의 공정).
- <55> 이하, 본 발명에 있어서의 채널층의 형성 방법에 대해서 상세하게 설명한다.
- <56> 우선, 유리 등의 기판(10)을 준비하고, 스퍼터링법, 펄스레이저 증착법, 원자층 증착법 및 전자빔 증착법의 기상법, 또는 그러한 조합 등에 의해 금속 산화막을 성막한다. 이러한 성막에서(제1의 공정), 금속 산화막의 전기저항율이, TFT채널층으로서 양호한 특성을 나타내는데 필요한 저항율보다도 낮아지는 조건으로 성막한다. 기본적으로, 상기 금속 산화막은, 그 조건이 사용되는 금속 산화막의 조성과 성막 장치에

의존하지만, 도입 산소분압을  $1 \times 10^{-3}$  Pa이하의 범위내에 설정함에 의해 실현된다. 특히, 도입 산소분압이 0 Pa 일 때, 이러한 금속 산화막은 용이하게 실현될 수 있다. 따라서, 본 발명의 도입 산소분압은 이상적으로는 0Pa이며, 하한은 없다.

<57> 여기서 도입 산소분압이란, 유량제어장치에 의해 성막 장치내에 의도적으로 도입된 산소의 분압을 가리키고, 성막 장치 내벽등으로부터 불가피하게 방출되는 산소, 성막 장치의 리크 때문에 외부에서 진입하는 산소, 또는 타겟으로부터 방출되는 산소등의 소위 콘데미네이션으로 인한 산소는 포함하지 않는다. 물론, 잔류 산소 가스압이 상기 도입 산소분압의 상한을 초과해버리는 조건하에서는, 본 발명의 이로인 효과를 얻는 것이 어렵게 되어버리기 때문에, 본 발명에서 사용하는 성막 장치의 배압은  $1 \times 10^{-3}$  Pa이하인 것이 바람직하다. 이때, 상기 유량제어장치로서, 예를 들면, 매스 플로우 콘트롤러가 사용될 수 있다.

<58> 이 때, 금속 산화막의 저항율(제1 저항율)이  $1 \Omega \text{cm}$ 이하, 혹은 실온부근에서의 활성화 에너지(제1 활성화 에너지)가 50meV이하가 되는 조건으로 성막하는 것이, TFT소자의 성능 및 안정성이라고 하는 관점에서 바람직하다. 이때, 상기 성막 후의 금속 산화막의 저항율의 하한으로서는, 산화막의 조성과 성막 조건에 의존하지만, 예를 들면,  $1 \times 10^{-4} \Omega \text{cm}$ 이상이며, 또 활성화 에너지의 하한으로서는, 예를 들면 0 meV다. 따라서, 본 발명의 제1 저항율은  $1 \times 10^{-4} \Omega \text{cm}$ 이상  $1 \Omega \text{cm}$ 이하이고, 본 발명의 제1의 활성화 에너지는 0 meV이상 50meV이하인 것이 바람직하다.

<59> 그 후, 이와 같이 제작된 금속 산화막에 대하여, 산화 분위기중에서 열처리를 행하고(제2의 공정), 채널층을 형성한다. 이 경우에, 금속 산화막이 TFT채널층으로서 양호한 특성을 나타내는 것을 가능하게 하는 상기 저항율을 갖도록 열처리조건을 설정한다. 효과적으로 저항율을 제어하기 위해서는, 산소, 오존, 수증기 또는 질소산화물의 구성 원소로서 산소를 포함하는 분위기중의 온도 범위를  $250^\circ\text{C}$ 이상  $450^\circ\text{C}$ 이하, 바람직하게는  $250^\circ\text{C}$  이상  $350^\circ\text{C}$ 이하로 열처리를 행하는 것이 좋다. 또한, 오존 조사와 산소 반경방향 조사를 사용하는 것도 효과적이고, 이 경우 열처리 온도는  $150^\circ\text{C}$ 까지 하강시킬 수 있다. 이 경우에, 오존중 자외선조사를 행하는 것도 바람직한 형태다.

<60> 상기 방법에 따라 채널층을 형성했을 경우, 금속 산화물 반도체막 성막 후의 열처리에 의해 전기저항율이 결정되기 때문에, 성막 분위기중의 산소분압을 정밀하게 제어할 필요가 없다. 또한, 상기 금속 산화막은, 저저항율이 되는 조건, 즉, 성막 분위기중의 산소 라디칼과 고에너지 산소 부이온의 양이 적은 성막 분위기에서 형성된다. 이에 따라서, 제작된 막의 전기 특성이 타겟으로부터의 거리의 함수로서 크게 변해되지 않아, 프로세스 마진을 확대할 수 있다. 특히, 스퍼터링법에 의해 금속 산화막을 형성했을 경우에, 상기 효과가 현저해지고; 이것은 기상에 있어서의 분자성 가스의 해리도가 다른 기상법과 비교해서 높기 때문에 생각된다.

<61> 다음에, 본 발명의 산화물 절연체 보호층을 형성하는(제3의 공정) 제조 방법에 대해서 이하에 설명한다.

<62> 도 7에 나타내는 역스태거형(보텀 게이트형) TFT를 참조하여 제3의 공정을 설명한다. 이때, TFT의 구조로서는 스태거형(탑 게이트형) TFT를 사용해도 된다.

<63> 역스태거형 TFT의 경우, 산화물 절연체로 이루어진 게이트 절연층은 채널층 밑에 형성되기 때문에, 산소함유 분위기에서 스퍼터링법에 의해 형성할 필요는 없다. 그러나, 산화물 절연체 보호층은 채널층 위에 형성하기 때문에, 산소함유 분위기에서 스퍼터링법에 의해 형성해야 한다.

<64> 또한, 스태거형 TFT의 경우, 산화물 절연체로 이루어진 게이트 절연층은 채널층 위에 형성하기 때문에, 산소함유 분위기에 스퍼터링법에 의해 형성해야 한다.

<65> 도 7은, 기관(10), 게이트 전극(11), 게이트 절연층(12), 채널층(13), 소스 전극(14), 드레인 전극(15) 및 보호층(16)을 개략적으로 나타낸 단면도이다.

<66> (게이트 절연층)

<67> 본 발명에 있어서, 게이트 절연층에는  $\text{SiO}_2$ 를 사용하는 것이 바람직하다. 또는,  $\text{SiO}_2$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$  및  $\text{TiO}_2$  중 적어도 1종을 포함하는 재료를 게이트 절연층에 사용하는 것도 바람직하다; 이들 산화물을 적층한 막 중 어떠한 막을 사용해도 된다.

<68> 게이트 절연층(12)의 성막법으로서는, 스퍼터링법, 펄스레이저 증착법 및 전자빔 증착법등의 기상법을

사용하는 것이 좋다. 그러나, 성막법은 이것들의 방법에 한정되는 것이 아니다.

<69> (전극)

<70> 소스 전극, 드레인 전극 및 게이트 전극의 재료는, 양호한 전기전도성과 채널층에의 전기적 접촉을 가능하게 하는 것이면, 특별히 제약되지 않는다. 예를 들면,  $In_2O_3:Sn$ 과  $ZnO$ 으로 각각 이루어진 투명 도전막과, Au, Pt, Al 및 Ni의 금속막을 사용할 수 있다. 또한, 채널층 혹은 절연층과 전극과의 사이에, 밀착성 향상을 위한 Ti, Ni, Cr등으로 이루어진 층이 있어도 된다.

<71> (기판)

<72> 기판으로서는, 채널층의 열처리조건 등에 따라, 유리 기판, 금속기판, 플라스틱 기판, 플라스틱 필름 등을 사용할 수 있다.

<73> (활성층(채널층))

<74> 활성층(채널층)은 In, Ga 및 Zn 중 적어도 1개를 함유하는 아모르포스 산화물로 제조된다.

<75> 활성층(채널층)의 성막법으로서는, 스퍼터링법, 펄스레이저 증착법 및 전자빔 증착법등의 기상법을 사용하는 것이 좋다. 그러나, 성막법은 이것들의 방법에 한정되는 것이 아니다.

<76> 활성층(채널층)의 성막 온도는 산화물 절연체층으로 이루어진 보호층을 형성하기 전에 행하는 열처리 온도 이하로 한다.

<77> 열처리 온도는 유리전이온도 이하인 것이 바람직하고, 본 발명에서는 150℃이상 450℃이하인 것이 바람직하다. 이 열처리는, 200℃이상 350℃이하로 행하는 편이 낫다.

<78> 열처리는 활성층(채널층) 위에 형성하는 소스 전극 및 드레인 전극을 형성하기 전 또는 형성한 후에 행해도 된다.

<79> (보호층)

<80> 보호층으로서는, 적어도 1종의 금속 원소를 포함하는 금속 산화막을 사용한다. 금속 산화물 중에서, 이하에 열거된 적어도 1종을 포함하는 금속 산화막을 보호층으로 사용하는 것이 바람직하다:

<81>  $SiO_2$ ,  $Al_2O_3$ ,  $Ga_2O_3$ ,  $In_2O_3$ , MgO, CaO, SrO, BaO, ZnO,  $Nb_2O_5$ ,  $Ta_2O_5$ ,  $TiO_2$ ,  $ZrO_2$ ,  $HfO_2$ ,  $CeO_2$ ,  $Li_2O$ ,  $Na_2O$ ,  $K_2O$ ,  $Rb_2O$ ,  $Sc_2O_3$ ,  $Y_2O_3$ ,  $La_2O_3$ ,  $Nd_2O_3$ ,  $Sm_2O_3$ ,  $Gd_2O_3$ ,  $Dy_2O_3$ ,  $Er_2O_3$  및  $Yb_2O_3$ .

<82> 이와는 달리, 이들 금속 산화물과 아울러, 실리콘 산질화물( $SiO_xN_y$ )을 사용해도 된다.

<83> 상기 금속산화물 또는  $SiO_xN_y$ 를 보호층으로서 TFT 위에 형성하는 방법으로서, CVD법, 스퍼터링법등을 사용할 수 있다. 스퍼터링법으로 보호층을 형성할 경우에는, 스퍼터링 동안에는 산소함유 분위기에서 성막을 행한다. 이것은, 예를 들면 Ar가스 분위기에서 보호층을 형성한 소자가 보호층을 성막하기 전과 비교하여 TFT특성이 열화되기 때문이다. TFT 특성의 열화의 원인은, 보호층을 형성하는 동안 활성층(채널층)의 계면으로부터 산소가 빠지는 것에 의해 캐리어가 생성되어, 활성층(채널층)의 저항이 낮아지는 것이 생각된다. 그 때문에, 보호층을 스퍼터링하는 동안은 산소함유 분위기에서 성막해야 한다. 산소 함유량은 총 스퍼터링 가스중의 10% 내지 80%인 것이 바람직하고, 더 바람직하게는 30%이상 60%이하이다.

<84> (TFT특성)

<85> 도 2는 본 발명의 TFT의 전형적인 전달 특성( $V_g$ - $I_d$ 특성)을 나타낸다. 소스와 드레인 전극간에 6V의 전압 $V_d$ 를 인가했을 때, 게이트 전압 $V_g$ 을 -5V~12V의 사이에서 소인함으로써, 소스와 드레인 전극간의 전류 $I_d$ 를 제어할 수 있다(온 및 오프할 수 있다). 금속 산화막 성막시의 도입 산소량으로 저항율을 제어하는 종래의 방법으로 제작된 TFT와 비교하여, 온 전류가 높고, 그 얻어진 전계 효과 이동도가 높다. 종래의 방법에서 제작된 TFT와 비교하여, S 값이 5 내지 10배수 감소되고, 서브쓰레시홀드 영역의 서브쓰레시홀드 특성이 크게 개선되고 있다.

<86> 다음에, 본 발명의 TFT에 대하여, DC 바이어스 스트레스 시험을 행했다. 도 3a 및 3b는,  $V_g=12V$ ,  $V_d=12V$ 의 DC스트레스를 400초 인가한 전후에 있어서의, 본 발명의 전형적인 TFT 전달 특성의 변화를 나타낸다. 종래의 TFT에서는, DC스트레스에 의해 온 전류가 저하하거나, 임계전압이 수V 변동하거나 하는 등, 현저한 특성

의 열화가 생겼지만, 본 발명의 TFT에서는 임계전압의 변동이 대단히 작고, DC스트레스에 대하여 영향을 받기 어려운 것을 안다.

<87> 이것은, 채널층으로서 사용하는 금속 산화막이 저저항이 되는 조건에서 성막하고, 플라즈마 데미지가 적은 채널층 형성이 실현되고 있기 때문이라고 생각된다.

<88> 특히, 임계산란이 없고, 계면특성이 뛰어나기 때문에 높은 캐리어 이동도를 갖는 아모르포스 산화물을 채널층에 사용한 TFT에 본 발명을 적용하면, 전계 효과 이동도가 크고, 특성이 우수한 TFT를 실현할 수 있다. 이 경우에, Ga와 Sn 중 적어도 1종의 원소를 산화막에 포함하는 것에 의해, 아모르포스 상이 안정화된다. 추가로, 아모르포스 상 안정화라고 하는 관점에서는, 열처리시의 산화 분위기중의 온도를 450℃이하로 하는 것이 바람직하다고 말할 수가 있다.

<89> 여기에서, 아모르포스란, 측정 대상 박막에, 입사각도 약 0.5도의 저입사각에 의한 X선 회절을 행했을 경우에 명료한 회절 피크가 검출되지 않는(즉, 할로(halo) 패턴이 관측되는) 것으로 확인될 수 있다. 이때, 본 발명은, 상기한 재료를 박막트랜지스터의 채널층에 사용할 경우에, 해당 채널층이 미결정 상태의 구성 재료를 포함하는 경우를 배제하지 않는다.

<90> 추가로, 본 발명자들의 지견에 의하면, In 및 Zn을 포함하게 구성되어, In/(In+Zn)의 원자 조성비가 30 원자%이상 45원자%이하가 되는 아모르포스 산화물을 사용하는 것도 바람직한 실시예다. 특히, TFT가 이러한 채널층을 갖는 경우에, 이동도가 크고, DC 스트레스에 대한 영향이 거의 없는 TFT를 실현할 수 있다.

<91> (실시 예)

<92> 이하, 실시 예들을 참조하여 본 발명을 더 상세하게 설명한다.

<93> (실시 예1)

<94> 본 발명의 TFT소자의 일 실시예를 도 1을 사용하여 설명한다.

<95> 우선, 유리 기판(10)에, 채널층(11)으로서, In-Ga-Zn-O막을 형성했다.

<96> 본 실시예에서는, 아르곤 분위기중에서의 스퍼터링 성막 및 대기중에서의 열처리를 함으로써, In-Ga-Zn-O막을 형성했다.

<97> 타겟(재료원)으로서, 2인치 사이즈의 InGaZnO<sub>4</sub> 조성을 갖는 소결체를 사용하고, 투입 RF파워는 100W이었다. 타겟과 기판간의 거리는 약 9cm이다. In-Ga-Zn-O막은, 3.5×10<sup>-1</sup>Pa의 아르곤 분위기중에서 형성되어, 도입 산소분압은 0 Pa로 했다. 성막시의 기판 온도는 25℃이다.

<98> 다음에, 스퍼터링법에 의해 제작된 In-Ga-Zn-O막을 300℃의 대기 분위기중에서 1시간 열처리를 행했다. 이 얻어진 막에 대하여, 4 탐침 측정을 행한 바, 상기 열처리전의 In-Ga-Zn-O막의 저항율 및 활성화 에너지가 각각 약 0.03Ωcm 및 0meV이었던 것에 대해, 열처리 후의 값은 각각 약 500Ωcm 및 200meV이었다. 추가로, 300℃의 열처리 후, 막면에 대해 낮은 입사각 X선 회절(박막법, 입사각: 0.5도)을 행한 바, 어떠한 명료한 회절 피크도 검출되지 않아서, 상기 제작된 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 또한, 분광 엘립소메트릭 측정을 행하고, 패턴의 해석을 행한 결과, 박막의 평균 자승 거칠기(Rrms)는 약 0.5nm이며, 막두께는 약 50nm인 것을 알았다. X선 형광(XRF)분석의 결과, 박막의 금속 조성비는 In:Ga:Zn=1.1:1.1:0.9이었다.

<99> 다음에, 전자빔 가열증착법을 사용하여, 채널층에 가까운 측으로부터, 약 5nm의 두께를 갖는 Ti층과, 약 40nm의 막두께를 갖는 Au층을 순차로 적층한 후, 포토리소그래피법과 리프트 오프법을 사용하여 소스 전극(12)과 드레인 전극(13)을 형성했다. 다음에, 게이트 절연막(14)으로서 사용하는 SiO<sub>2</sub>막을 전자빔증착법에 의해 약 90nm성막한 후, 그 게이트 절연막(14) 위에 Ti층과 Au층을 순차로 적층하고, 포토리소그래피법과 리프트 오프법에 의해 게이트 전극(15)을 형성했다. 채널길이는 50μm이고, 채널 폭은 200μm이었다.

<100> (비교 예1)

<101> 채널층을 제외하고는 상기 실시 예1과 같은 구성을 사용하였다. In-Ga-Zn-O막은, 3.5×10<sup>-1</sup>Pa의 아르곤 산소 혼합 가스 분위기중에서 스퍼터링법에 의해 성막되고, 이 때의 도입 산소분압은 5×10<sup>-3</sup>Pa이다. 타겟으로서, 2인치 사이즈의 InGaZnO<sub>4</sub>조성을 갖는 소결체를 사용하였다. In-Ga-Zn-O막두께는 약 50nm, 성막시의 기판온도는 25℃이다. 본 비교 예1에서는, 아르곤 산소 혼합 가스 분위기중에서의 스퍼터링 성막만으로 In-Ga-Zn-O막

을 형성하고, 성막 후 300℃ 대기 분위기중에 있어서의 열처리는 행하지 않았다. 이렇게 얻어진 막에 대하여, 4 탐침 측정을 행한 바, In-Ga-Zn-O막의 저항율은 약 700Ωcm이었다. 또한, X선 회절에 의해, 상기 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 형광 X선(XRF)분석의 결과, 박막의 금속 조성비는 In:Ga:Zn=1.1:1.1:0.9이었다.

<102> (비교 예2)

<103> 채널층을 제외하고는 상기 실시 예1과 같은 구성을 사용하였다. In-Ga-Zn-O막은,  $3.5 \times 10^{-1}$ Pa의 아르곤 산소 혼합 가스 분위기중에서 스퍼터링법에 의해 성막되고, 이 때의 도입 산소분압은  $5 \times 10^{-3}$ Pa다. 타겟으로서는, 2인치 사이즈의 InGaZnO<sub>4</sub>조성을 갖는 소결체를 사용하였다. In-Ga-Zn-O막두께는 약 50nm, 성막시의 기판온도는 25℃이다. 본 비교 예2에서는, 아르곤 산소 혼합 가스 분위기중에서의 스퍼터링 성막에 의해 In-Ga-Zn-O막을 성막한 후, 300℃ 대기 분위기중에 있어서의 열처리를 행하였다. 이렇게 얻어진 막에 대하여, 4 탐침 측정을 행한 바, In-Ga-Zn-O막의 저항율은 약 500Ωcm이었다. 또한, X선 회절에 의해, 상기 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 형광X선(XRF)분석의 결과, 박막의 금속 조성비는 In:Ga:Zn=1.1:1.1:0.9이었다.

<104> (TFT소자의 특성평가)

<105> 도 2는, 본 실시예에서 제작한 TFT소자를 실온하에서 측정했을 때의, Vd=6V에 있어서의 Id-Vg특성(전달 특성)을 나타낸 그래프이다. 비교 예1과 비교하여, 온 전류가 커서, Vg=10V에서, Id= $1 \times 10^{-4}$ A 정도의 전류가 흘렀다. 또한, 출력특성으로부터 전계 효과 이동도를 산출한 바, 포화 영역에 있어서 약  $7.8 \text{cm}^2/\text{Vs}$ 의 전계 효과 이동도를 얻을 수 있고, 비교 예1과 비교하여, 약 20% 높은 값을 얻었다. 또한, S값이 약 0.28V/decade이고, 비교 예1과 비교하여, 서브쓰레시홀드 영역의 서브쓰레시홀드 특성이 크게 개선되었다. 또 서브쓰레시홀드 영역의 서브쓰레시홀드 특성은 비교 예2와 비교해도 크게 개선되어, 그 S값은 비교 예2와 비교하여, 약 1/2의 값을 보이고 있었다. 추가로, 트랜지스터의 온-오프비도,  $10^9$ 를 초과하는 높은 값을 보이고 있는 것을 알았다.

<106> 다음에, 본 실시예에서 제작한 TFT에 대하여, DC 바이어스 스트레스 시험을 행했다. 도 3a 및 3b는, Vg=12V, Vd=12V의 DC스트레스를 400초 인가한 전후에 있어서의, TFT전달 특성의 변화를 나타낸다. 도 3a 및 3b는 본 실시예와 비교 예1에서 각각 제작된 TFT에서의 DC바이어스 스트레스 시험 결과를 나타낸 것이다. 비교 예1의 TFT에서는, DC스트레스에 의해 온 전류가 저하하고 임계전압이 수V 변동하는, 현저한 특성의 열화가 생겼다. 또한, 비교 예2의 TFT는, 비교 예1에 비교하면 특성의 열화가 보다 작지만, 1V 정도의 임계전압의 쉬프트가 관측되었다. 한편, 본 실시예의 TFT에서는 임계전압의 변동도 0.3V정도만큼 대단히 작아, DC스트레스에 대하여 영향을 받기 어려운 것을 알았다.

<107> (실시 예2)

<108> 본 발명에 있어서의 TFT소자의 일 실시예를 도 1을 참조하여 설명한다.

<109> 우선, 유리 기판(10)에, 채널층(11)으로서, In-Ga-Zn-O막을 형성했다.

<110> 본 실시예에서는, 아르곤 분위기중에서의 스퍼터링법 및 산소분위기중에서의 열처리를 함으로써, In-Ga-Zn-O막을 형성했다.

<111> 타겟(재료원)으로서는, 2인치 사이즈의 InGaZnO<sub>4</sub>조성을 갖는 소결체를 사용하고, 투입 RF파워는 100W로 하였다. 타겟과 기판간의 거리는 약 9cm이다. In-Ga-Zn-O막은,  $3.5 \times 10^{-1}$ Pa의 아르곤 분위기중에서 성막되고, 도입 산소분압은 0 Pa로 했다. 성막시의 기판온도는 25℃이었다.

<112> 다음에, 스퍼터링법에 의해 제작된 In-Ga-Zn-O막을 280℃의 산소분위기중에서 30분동안 열처리를 행했다. 이렇게 하여 얻어진 막에 대하여, 4 탐침 측정을 행한 바, 상기 열처리전에 있어서의 In-Ga-Zn-O막의 저항율 및 활성화 에너지가 각각 약 0.03Ωcm 및 0meV이었던 것에 대해, 열처리 후의 대응한 값은 각각 약 720Ωcm 및 210meV이었다.

<113> 추가로, 280℃의 열처리 후에 막면에 대해, 저입사각 X선 회절(박막법, 입사각: 0.5도)을 행한 바, 어떠한 명료한 회절 피크도 검출되지 않아서, 상기 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 또한, 분광 엘립소메트릭 측정을 행하고, 패턴의 해석을 행한 결과, 박막의 평균 자승 거칠기(Rrms)는 약 0.5nm이

며, 막두께는 약 50nm인 것을 알았다. 형광X선(XRF)분석의 결과, 박막의 금속 조성비는 In:Ga:Zn=1.1:1.1:0.9이었다.

<114> 다음에, 전자빔 가열증착법을 사용하여, 채널층에 가까운 측으로부터, 약 5nm의 막두께를 갖는 Ti층과, 약 40nm의 막두께를 갖는 Au층을 순차로 적층하고, 포토리소그래피법과 리프트 오프법에 의해, 소스 전극(12) 및 드레인 전극(13)을 형성했다. 다음에, 게이트 절연막(14)으로서 사용하는 SiO<sub>2</sub>막을 전자빔증착법에 의해 약 90nm성막한 후, 그 게이트 절연막(14) 위에 Ti층과 Au층을 순차로 적층하고, 포토리소그래피법과 리프트 오프법에 의해 게이트 전극(15)을 형성했다. 채널길이는 50 $\mu$ m이고, 채널 폭은 200 $\mu$ m이었다.

<115> (TFT소자의 특성평가)

<116> 실온에서 TFT소자의 특성을 평가하였다. 이에 따라서, 본 실시예에서 제작한 TFT에서는 비교 예1과 비교하여, 온 전류가 커서, V<sub>g</sub>=10V일 때, I<sub>d</sub>=1 $\times$ 10<sup>-4</sup>A정도의 전류가 흘렀다. 또한, 출력특성으로부터 전계 효과 이동도를 산출한 바, 포화 영역에 있어서 약 7.8cm<sup>2</sup>/Vs의 전계 효과 이동도를 얻었고, 비교 예1과 비교하여, 약 20% 높은 값을 얻었다. 또한, S값이 약 0.23V/decade이고, 비교 예1과 비교하여, 서브쓰레시홀드 영역의 서브쓰레시홀드 특성이 크게 개선되었다. 추가로, 트랜지스터의 온-오프비도, 10<sup>9</sup>를초과하는 높은 값을 보이고 있는 것을 알았다.

<117> 다음에, 본 실시예에서 제작한 TFT에 대하여, DC 바이어스 스트레스 시험을 행했다. 비교 예1의 TFT에서는, DC스트레스에 의해 온 전류가 저하하고, 임계전압이 수V 변동하는, 현저한 특성의 열화가 생겼다. 한편, 본 실시예의 TFT에서는 임계전압의 변동도 0.2V정도만큼 대단히 작아, DC스트레스에 대하여 영향을 받기 어려운 것을 알았다.

<118> (실시 예3)

<119> 본 발명에 있어서의 TFT소자의 일 실시예를 도 1을 참조하여 설명한다.

<120> 우선, 유리 기판(10)에, 채널층(11)으로서, In-Ga-Zn-O막을 형성했다.

<121> 본 실시예에서는, 아르곤 산소 혼합 가스 분위기중에서의 스퍼터링 및 대기중에서의 열처리를 함으로써, In-Ga-Zn-O막을 형성했다.

<122> 타겟으로서, 2인치 사이즈의 InGaZnO<sub>4</sub>조성을 갖는 소결체를 사용하고, 투입 RF파워는 100W로 하였다. 타겟과 기판간의 거리는 약 9cm이다. In-Ga-Zn-O막은, 3.5 $\times$ 10<sup>-1</sup>Pa의 아르곤 산소 혼합 가스 분위기중에서 성막되고, 도입 산소분압은 8 $\times$ 10<sup>-4</sup>Pa로 했다. 성막시의 기판온도는 25 $^{\circ}$ C이었다.

<123> 다음에, 스퍼터링법에 의해 제작된 In-Ga-Zn-O막을 250 $^{\circ}$ C의 대기 분위기중에서 20분동안 열처리를 행했다. 이렇게 얻어진 막에 대하여, 4 탐침 측정을 행한 바, 상기 열처리전에 있어서의 In-Ga-Zn-O막의 저항율 및 활성화 에너지가 각각 약 0.1 $\Omega$ cm 및 5meV이었던 것에 대해, 열처리 후의 값은 각각 약 600 $\Omega$ cm 및 206meV이었다.

<124> 또한, 250 $^{\circ}$ C의 열처리 후에, 막면에 대해 저입사각 X선회절(박막법, 입사각: 0.5도)을 행한 바, 어떠한 명료한 회절 피크도 검출되지 않아, 상기 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 또한, 분광 엘립소메트릭측정을 행하고, 패턴의 해석을 행한 결과, 박막의 평균 자승 거칠기(Rrms)는 약 0.5nm이며, 막두께는 약 50nm인 것을 알았다. 형광X선 (XRF)분석의 결과, 박막의 금속 조성비는 In:Ga:Zn=1.1:1.1:0.9이었다.

<125> 다음에, 전자빔 가열증착법을 사용하여, 채널층에 가까운 측으로부터, 약 5nm의 막두께를 갖는 Ti층과, 약 40nm의 막두께를 갖는 Au층을 순차로 적층하고, 포토리소그래피법과 리프트 오프법에 의해, 소스 전극(12) 및 드레인 전극(13)을 형성했다. 다음에, 게이트 절연막(14)으로서 사용하는 SiO<sub>2</sub>막을 전자빔증착법에 의해 약 90nm성막한 후, 그 게이트 절연막(14) 위에 Ti층과 Au층을 순차로 적층하고, 포토리소그래피법과 리프트 오프법에 의해 게이트 전극(15)을 형성했다. 채널길이는 50 $\mu$ m이고, 채널 폭은 200 $\mu$ m이었다.

<126> (TFT소자의 특성평가)

<127> 실온에서 TFT소자의 특성을 평가했다. 이에 따라, 본 실시예에서 제작한 TFT에서는 비교 예1과 비교하여 온 전류가 커서, V<sub>g</sub>=10V일 때, I<sub>d</sub>=7 $\times$ 10<sup>-5</sup>A정도의 전류가 흘렀다. 또한, 출력특성으로부터 전계 효과 이동도를

산출한 바, 포화 영역에 있어서 약  $7.1\text{cm}^2/\text{Vs}$ 의 전계 효과 이동도를 얻었고, 비교 예1과 비교하여, 약 10% 높은 값을 얻었다. 또한, S값이 약  $0.32\text{V}/\text{decade}$ 이고, 비교 예1과 비교하여, 서브쓰레시홀드 영역의 서브쓰레시홀드 특성이 크게 개선되었다. 또 트랜지스터의 온-오프비도,  $10^9$ 을 초과하는 높은 값을 보이고 있는 것을 알았다.

<128> 다음에, 본 실시예에서 제작한 TFT에 대하여, DC 바이어스 스트레스 시험을 행했다. 비교 예1의 TFT에서는, DC스트레스에 의해 온 전류가 저하하고 임계전압이 수V 변동하는, 현저한 특성의 열화가 생겼다. 한편, 본 실시예의 TFT에서는 임계전압의 변동도 0.5V정도만큼 대단히 작아서, DC스트레스에 대하여 영향을 받기 어려운 것을 알았다.

<129> (실시 예4)

<130> 본 발명에 있어서의 TFT소자의 일 실시예를 도 1을 참조하여 설명한다.

<131> 우선, 유리 기판(10)에, 채널층(11)으로서, In-Ga-Zn-O막을 형성했다.

<132> 본 실시예에서는, 아르곤 분위기중에서의 스퍼터링 및 대기중에서의 열처리를 함으로써, In-Ga-Zn-O막을 형성했다.

<133> 타겟으로서, In:Ga:Zn=30:15:55의 금속 조성비를 갖는 2인치 사이즈의 In-Ga-Zn-O소결체를 사용하고, 투입 RF파워는 100W로 하였다. 타겟과 기판간의 거리는 약 9cm이다. In-Ga-Zn-O막은,  $3.5 \times 10^{-1}$ Pa의 아르곤 분위기중에서 성막되고, 성막시의 기판온도는  $25^\circ\text{C}$ 이었다.

<134> 다음에, 스퍼터링법에 의해 제작된 In-Ga-Zn-O막을  $300^\circ\text{C}$ 의 대기 분위기중에서 1시간동안 열처리를 행했다.

<135> 이 얻어진 막에 대하여, 4 탐침 측정을 행한 바, 열처리전에 있어서의 In-Ga-Zn-O막의 저항율 및 활성화 에너지가 각각 약  $0.01\Omega\text{cm}$  및  $0\text{meV}$ 이었다. 한편,  $300^\circ\text{C}$  대기 분위기중에서의 열처리 후의 대응한 값은 각각 약  $300\Omega\text{cm}$  및  $190\text{meV}$ 이었다.

<136> 또한, In-Ga-Zn-O막 열처리 후에, 막면에 저입사각 X선회절(박막법, 입사각:  $0.5^\circ$ )을 행한 바, 어떠한 명료한 회절 피크도 검출되지 않고, 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 또한, 분광 엘립소메트릭 측정을 행하고, 패턴의 해석을 행한 결과, 박막의 평균 자승 거칠기(Rrms)는 약  $0.5\text{nm}$ 이며, 막두께는 약  $50\text{nm}$ 인 것을 알았다. 형광X선(XRF) 분석의 결과, 박막의 금속 조성비는 약 In:Ga:Zn=36:10:54이었다.

<137> (비교 예3)

<138> 채널층을 제외하고는, 상기 실시 예4와 같은 구성을 채용하였다. In-Ga-Zn-O막은,  $3.5 \times 10^{-1}$ Pa의 아르곤 산소 혼합 가스 분위기중에서 스퍼터링법에 의해 성막되고, 이 때의 도입 산소분압은  $1 \times 10^{-2}$ Pa다. 타겟으로서, In:Ga:Zn=30:15:55의 금속 조성비를 갖는 In-Ga-Zn-O소결체를 사용하였다. In-Ga-Zn-O막두께는 약  $50\text{nm}$ 이고, 성막시의 기판온도는  $25^\circ\text{C}$ 이었다. 본비교 예3에서는, 아르곤 산소 혼합 가스 분위기중에서의 스퍼터링에 의해서만 In-Ga-Zn-O막을 형성하고, 성막 후의  $300^\circ\text{C}$  대기 분위기중에서 열처리는 행하지 않았다. 이 얻어진 막에 대하여 4 탐침 측정을 행한 바, 저항율은 약  $500\Omega\text{cm}$ 이었다. 추가로, X선회절에 의해, 상기 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 형광X선(XRF)분석의 결과, 박막의 금속조성비는 In:Ga:Zn=35:9:56이었다.

<139> (TFT소자의 특성평가)

<140> 실온에서 TFT소자의 특성을 평가했다. 이에 따라서, 본 실시예에서 제작한 TFT에서는 비교 예3과 비교해 온 전류가 커서,  $V_g=10\text{V}$ 일 때,  $I_d=2.5 \times 10^{-4}\text{A}$ 정도의 전류가 흐르고 있었다. 또한, 출력특성으로부터 전계 효과 이동도를 산출한 바, 포화 영역에 있어서 약  $14.5\text{cm}^2/\text{Vs}$ 의 전계 효과 이동도를 얻었고, 비교 예3과 비교하여, 약 25% 높은 값을 얻었다. 또한, S값이 약  $0.16\text{V}/\text{decade}$ 만큼 작은 값을 나타내고 있어, 서브쓰레시홀드 영역에 있어서 양호한 서브쓰레시홀드 특성을 보이고 있었다. 또한, 트랜지스터의 온-오프비도,  $10^9$ 을 초과하는 높은 값을 얻을 수 있었다.

<141> 다음에, 본 실시예에서 제작한 TFT에 대하여, DC 바이어스 스트레스 시험을 행했다. 비교 예3의 TFT에서는, DC스트레스에 의해 온 전류가 저하하고, 임계전압이 약 1V 변동하는, 특성의 열화가 생긴 것에 대해, 본

실시예의 TFT에서는 온 전류나 임계전압의 변동은 관측되지 않고, DC스트레스에 대하여 거의 영향을 받지 않는 것을 알았다.

- <142> (실시 예5)
- <143> 본 발명에 있어서의 TFT소자의 일 실시예를 도 1을 참조하여 설명한다.
- <144> 우선, 플라스틱 기판(10)에, 채널층(11)으로서, In-Ga-Zn-O막을 형성했다.
- <145> 본 실시예에서는, 아르곤 분위기중에서의 스퍼터링 및 오존중 자외 조사 분위기에서의 열처리를 함으로써, In-Ga-Zn-O막을 형성했다.
- <146> 타겟으로서는, In:Ga:Zn=30:15:55의 금속조성비를 갖는 2인치 사이즈의 In-Ga-Zn-O소결체를 사용하고, 투입 RF파워는 100W로 하였다. 타겟과 기판간의 거리는 약 9cm이다. In-Ga-Zn-O막은,  $3.5 \times 10^{-1}$ Pa의 아르곤 분위기중에서 성막되고, 성막시의 기판온도는 25℃이었다.
- <147> 다음에, 스퍼터링법에 의해 제작된 In-Ga-Zn-O막을 200℃의 오존중 자외선 조사 분위기에서 1시간동안 열처리를 행했다.
- <148> 그 얻어진 막에 대하여, 4 탐침 측정을 행한 바, 열처리전에 있어서의 In-Ga-Zn-O막의 저항율이 약 0.01Ωcm이었던 것에 대해, 200℃ 오존중 자외선 조사 분위기에서의 열처리 후에 있어서의 저항율은 약 900Ωcm이었다. 추가로, In-Ga-Zn-O막 열처리 후에, 막면에 저입사각 X선회절(박막법, 입사각:0.5도)을 행한 바, 어떠한 명료한 회절 피크도 검출되지 않고, 상기 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 또한, 분광 엘립소메트릭 측정을 행하고, 패턴의 해석을 행한 결과, 박막의 평균 자승 거칠기(Rrms)는 약 0.5nm이며, 막두께는 약 50nm인 것을 알았다. 형광X선(XRF)분석의 결과, 박막의 금속 조성비는 약 In:Ga:Zn=36:10:54이었다.
- <149> (비교 예4)
- <150> 채널층을 제외하고는 상기 실시 예5와 같은 구성을 채용하였다. In-Ga-Zn-O막은,  $3.5 \times 10^{-1}$ Pa의 아르곤 산소 혼합 가스 분위기중에서 스퍼터링법에 의해 성막되고, 이 때의 도입 산소분압은  $1 \times 10^{-2}$ Pa다. 타겟으로서는, In:Ga:Zn=30:15:55의 금속조성비를 갖는 In-Ga-Zn-O 소결체를 사용하였다. In-Ga-Zn-O막두께는 약 50nm이고, 성막시의 기판온도는 25℃이었다. 본 비교 예4에서는, 아르곤 산소 혼합 가스 분위기중에서의 스퍼터링에 의해서만 In-Ga-Zn-O막을 형성하고, 성막 후의, 200℃ 오존중 자외선 조사 분위기에 있어서의 열처리는 행하지 않았다. 얻어진 막에 대하여 4 탐침측정을 행한 바, 저항율은 약 500Ωcm이었다. 또한, X선회절에 의해, 상기 제작한 In-Ga-Zn-O막은 아모르포스 막인 것이 확인되었다. 형광X선(XRF)분석의 결과, 박막의 금속조성비는 In:Ga:Zn=35:9:56이었다.
- <151> (TFT소자의 특성평가)
- <152> 실온에서 TFT소자의 특성을 평가하였다. 이에 따라서, 포화 영역에 있어서 약  $6.5 \text{cm}^2/\text{Vs}$ 의 전계 효과 이동도를 얻었고, 비교 예4와 비교하여, 약 25% 높은 값을 얻었다. 또한, 트랜지스터의 온-오프비도,  $10^9$ 을 초과하는 높은 값을 얻었다.
- <153> 다음에, 본 실시예에서 제작한 TFT에 대하여, DC 바이어스 스트레스 시험을 행했다. 비교 예4의 TFT에서는, DC스트레스에 의해 온 전류가 저하하고 임계전압이 수V 변동하는, 특성의 열화가 생긴 것에 대해, 본 실시예의 TFT에서는 임계전압의 변동도 1V이하만큼 작아, DC스트레스에 대하여 영향을 받기 어려운 것을 알았다.
- <154> (실시 예6)
- <155> 본 발명에 있어서의 TFT소자의 일 실시예를 도 1을 참조하여 설명한다.
- <156> 우선, 유리 기판(10)에, 채널층(11)으로서, In-Zn-O막을 형성했다.
- <157> 본 실시예에서는, 아르곤 분위기중에서의 스퍼터링 및 대기중에서의 열처리를 함으로써, In-Zn-O막을 형성하였다.
- <158> 타겟으로서는, 2인치 사이즈의  $\text{In}_2\text{Zn}_3\text{O}_6$  조성을 갖는 소결체를 사용하고, 투입 RF파워는 100W로 하였다.

타겟과 기관간의 거리는 약 9cm이다. In-Zn-O막은,  $3.5 \times 10^{-1}$  Pa의 아르곤 분위기중에서 성막되고, 도입 산소분압은 0 Pa로 했다. 성막시의 기관온도는 25℃이었다.

<159> 다음에, 스퍼터링법에 의해 제작된 In-Zn-O막을 300℃의 대기 분위기중에서 1시간동안 열처리를 행했다.

<160> 상기 얻어진 막에 대하여, 4 탐침 측정을 행한 바, 열처리전에 있어서의 In-Zn-O막의 저항율이 약 0.005Ωcm이었던 것에 대해, 300℃ 대기 분위기중에서의 열처리 후에 있어서의 저항율은 약 30Ωcm이었다. 또한, In-Zn-O막 열처리 후에, 막면에 저입사각 X선 회절(박막법, 입사각:0.5도)을 행한 바, 어떠한 명료한 회절 피크도 검출되지 않고, 상기 제작한 In-Zn-O막은 아모르포스 막인 것이 확인되었다. 또한, 분광 엘립소메트릭 측정을 행하고, 패턴의 해석을 행한 결과, 박막의 평균 자승 거칠기(Rrms)는 약 0.5nm이며, 막두께는 약 50nm인 것을 알았다. 형광X선(XRF)분석의 결과, 박막의 금속조성비는 약 In:Zn=2:3이었다.

<161> (비교 예5)

<162> 채널층을 제외하고는, 상기 실시 예6과 같은 구성을 채용하였다. In-Zn-O막은,  $3.5 \times 10^{-1}$  Pa의 아르곤 산소 혼합 가스 분위기중에서 스퍼터링법에 의해 성막되고, 이 때의 도입 산소분압은  $1.5 \times 10^{-2}$  Pa다. 타겟으로서는, 2인치 사이즈의  $In_2Zn_3O_6$  조성을 갖는 소결체를 사용하였다. In-Zn-O막두께는 약 50nm이고, 성막시의 기관온도는 25℃이었다. 본 비교 예5에서는, 아르곤 산소 혼합 가스 분위기중에서의 스퍼터링에 의해서만 In-Zn-O막을 형성하고, 성막 후의 300℃ 대기 분위기중에 있어서의 열처리는 행하지 않았다. 이렇게 얻어진 막에 대하여 4 탐침 측정을 행한 바, 저항율은 약 50Ωcm이었다. 또한, X선회절에 의해, 상기 제작한 In-Zn-O막은 아모르포스 막인 것이 확인되었다. 형광X선(XRF)분석의 결과, 박막의 금속조성비는 In:Zn=2:3이었다.

<163> (TFT소자의 특성평가)

<164> 도 4는, 본 실시예에서 제작한 TFT소자를 실온하에서 측정했을 때의,  $V_d=6V$ 에 있어서의  $I_d-V_g$ 특성(전달 특성을 나타낸 그래프이다. 비교 예5와 비교해 온 전류가 커서,  $V_g=10V$ 일 때,  $I_d=5 \times 10^{-4}A$ 정도의 전류가 흘렀다. 또한, 출력특성으로부터 전계 효과 이동도를 산출한 바, 포화 영역에 있어서 약  $21cm^2/Vs$ 의 전계 효과 이동도를 얻었고, 비교 예5와 비교하여, 약 35% 높은 값을 얻었다. 또한, S값이 약 0.2V/decade만큼 작은 값을 나타내고 있어, 서브쓰레시홀드 영역에 있어서 양호한 서브쓰레시홀드 특성을 보이고 있었다. 또한, 트랜지스터의 온-오프비도,  $10^9$ 를 초과하는 높은 값을 얻을 수 있었다.

<165> 다음에, 본 실시예에서 제작한 TFT에 대하여, DC 바이어스 스트레스 시험을 행했다. 도 5a 및 도 5b는,  $V_g=12V$ ,  $V_d=12V$ 의 DC스트레스를 400초 인가한 전후에 있어서의, TFT전달 특성의 변화를 나타낸다. 도 5a 및 도 5b는 본 실시예 및 비교 예5에서 각각 제작된 TFT에서의 DC바이어스 스트레스 시험 결과를 나타낸 것이다. 비교 예5의 TFT에서는, DC스트레스에 의해 온 전류가 저하하고 임계전압이 약 1V 변동하는, 특성의 열화가 생긴 것에 대해, 본 실시예의 TFT에서는 온 전류나 임계전압의 변동은 관측되지 않고, DC스트레스에 대하여 거의 영향을 받지 않는 것을 알았다.

<166> (실시 예7)

<167> (금속산화물 보호층을 갖는 TFT)

<168> 도 7에 나타내는 역스태거형 TFT소자를 제작하였다.

<169> 기관(10)은 유리 기관 Corning 1737을 사용하였다.

<170> 우선, 기관(10) 위에 전자빔증착법에 의해, 두께 5nm의 Ti층, 두께 50nm의 Au층 및 두께 5nm의 Ti층의 순서로 적층한다. 적층한 막을 포토리소그래피법과 리프트 오프법을 사용하여, 게이트 전극(11)을 형성하고, 여기에서, Ti층은 밀착층으로서의 역할을 한다.

<171> 또한, 그 위에, 두께 200nm의  $SiO_2$ 막을 RF스퍼터링법에 의해 성막하고, 게이트 절연층(12)을 형성하였다.

<172> 계속해서, RF스퍼터링법에 의해,  $InGaO_3(ZnO)$ 조성을 갖는 다결정 소결체를 타겟으로서, 채널층(13)으로서 두께 40nm의 In-Ga-Zn-O산화물 반도체막을 퇴적하였다.

- <173> 본 실시예에서는, 투입 RF파워는 200W로 한다. 성막시의 분위기는, 총 압력이 0.5Pa이며, 그 때의 가스 유량비는 Ar:O<sub>2</sub>=95:5이다. 성막 레이트는 8nm/min이고, 기판온도는 25℃이었다.
- <174> 퇴적시킨 In-Ga-Zn-O산화물 반도체막에 포토리소그래피법과 에칭법을 사용하여, 적당한 사이즈로 가공한다.
- <175> 여기에서, 소자를 2개 준비해두고, 그들 중 하나는 대기중 300℃에서 30분간 열처리를 행하지만, 또 하나는 열처리를 행하지 않는다.
- <176> 각 소자 위에, 두께 5nm의 Ti층, 두께 50nm의 Au층, 및 두께 5nm의 Ti층의 순으로 적층하고, 포토리소그래피법과 리프트 오프법에 의해, 소스 전극(14) 및 드레인 전극(15)을 형성한다.
- <177> 또한, 그 위에 스퍼터링법에 의해 보호층(16)으로서 SiO<sub>2</sub>막을 100nm퇴적하였다.
- <178> 본 실시예에서는, 투입 RF파워는 400W로 한다. 성막시의 분위기는, 총 압력이 0.1Pa이며, 그 때의 가스 유량비는 Ar:O<sub>2</sub>=50:50이다. 성막 레이트는 2 nm/min이다. 또한, 기판온도는 25℃이었다.
- <179> 최후에, 게이트 전극(11), 드레인 전극(14) 및 소스 전극(15) 상의 일부를 포토리소그래피법 및 에칭법에 의해 제거하여, 콘택홀을 형성하였다.
- <180> 이상이 같은 방법으로 TFT소자를 제작한다.
- <181> (TFT소자의 특성평가)
- <182> 도 9는 열처리를 행한 소자와 열처리를 행하지 않은 소자의 보호층 형성 후에 실온 대기하에서 측정된 전달 특성을 나타낸다.
- <183> 열처리를 행한 소자는, 게이트 전압V<sub>g</sub>=10V일 때의 드레인 전류는 약 1E-3이며, 출력특성으로부터 전계 효과 이동도를 산출한 바, 포화 영역에 있어서 약 20cm<sup>2</sup>/Vs의 전계 효과 이동도를 얻었다.
- <184> 열처리를 행하지 않은 소자는, 게이트 전압V<sub>g</sub>=10V일 때의 드레인 전류는 약 1E-4이며, 포화 영역에 있어서 전계 효과 이동도는 약 5cm<sup>2</sup>/Vs이었다.
- <185> 상승 전압은 열처리를 행한 소자는 부영역에 있지만, TFT 특성은 열처리를 행한 소자쪽이 양호한 것을 알 수 있다.
- <186> 도 10은 열처리를 행한 TFT소자의 보호층을 형성하기 전과 형성한 후의 전달 특성을 나타낸다. 보호층을 형성하기 전의 소자에서는 0V부근에서 보이는 상승이 보호층을 형성한 소자에서는 3V부근으로 쉬프트했다. 보호층을 형성하기 전의 소자의 전계 효과 이동도는 약 9cm<sup>2</sup>/Vs이지만, 보호층을 형성한 소자의 전계 효과 이동도는 약 20cm<sup>2</sup>/Vs 이었다. 또한, 도 11은, 열처리를 행하지 않은 TFT소자의 보호층을 형성하기 전과 형성한 후의 전달 특성을 나타낸다. 보호층을 형성하기 전의 소자에 비교해 보호층을 형성한 소자에서 -2V부근에서 보이는 상승이 보다 가파랐다. 보호층을 형성하기 전의 소자의 전계 효과 이동도는 약 4cm<sup>2</sup>/Vs이지만, 보호층을 형성한 소자의 전계 효과 이동도는 약 12cm<sup>2</sup>/Vs이었다. 열처리를 행하지 않은 소자에서는 보호층을 형성함으로써 상승 전압이 정의 방향으로 쉬프트했지만, 열처리를 행한 소자에서는 보호층을 형성해도 상승 전압은 쉬프트하지 않았다. 상승 전압이 쉬프트한 원인은 스퍼터링 동안 발생한 열에 의한 영향이라고 생각된다. 따라서, 열처리한 소자는 열처리에 의해 스퍼터링 동안에 가해진 열의 영향이 저감되었다고 생각된다. 또한, 열처리한 소자도 열처리하지 않은 소자도 보호층을 형성 함에 의해 전계 효과 이동도가 커지고 있는 사실은, 산소 함유 분위기에서 성막 함으로써, 산소 플라즈마에 의한 채널층 계면의 결함이 감소한 것이라고 생각된다.
- <187> 다음에, 보호층을 형성한 소자를 진공 챔버중에 설치하고, 진공중에서의 측정을 행한 바, 어떠한 특성의 변화도 보여지지 않았다. 추가로, 대기중에서 측정한 경우에는 보호층을 형성한 소자와 보호층을 형성하지 않은 소자에서 특성의 변화는 보이지 않았다. 도 12는, 열처리를 행한 후, 보호층을 형성하지 않은 소자의 대기중과 진공중의 TFT소자의 전달 특성을 나타낸다; 진공중에서 측정하면 게이트 전압V<sub>g</sub>=10V일 때 드레인 전류는 약 1E-4이며, 포화 영역에 있어서 전계 효과 이동도는 약 1cm<sup>2</sup>/Vs 이었다. 대기중에서는, 게이트 전압V<sub>g</sub>=10V일 때 드레인 전류는 약 1E-3에서 포화 영역에 있어서 전계 효과 이동도는 약 9cm<sup>2</sup>/Vs이었던 것으로부터 보호층이

없는 경우에는 환경의 변화에 의해 특성이 변화되는 것을 안다. 한편, 보호층을 형성 함에 의해 환경이 변화되어도 안정한 것을 알았다.

- <188> 상술한 것처럼, 아모르포스 산화물 반도체를 채널층으로서 사용한 TFT는 산화물 절연체 보호층을 형성하기 전에 열처리를 행하고, 산소함유 분위기에서 산화물 절연체 보호층을 형성 함에 의해, 환경의 변화에 영향 받지 않고 양호한 특성을 갖는 TFT를 제작할 수 있다.
- <189> (실시 예8)
- <190> (산소가 없는 분위기에서 금속산화물 보호층을 형성한 TFT)
- <191> 도 7에 나타낸 역스태거형 TFT소자를 제작하였다.
- <192> 기관(10)은 유리 기관 Corning 1737을 사용하였다.
- <193> 우선, 기관(10) 위에 전자빔증착법에 의해, 두께 5nm의 Ti층, 두께 50nm의 Au층, 및 두께 5nm의 Ti층의 순으로 적층한다. 적층한 막을 포토리소그래피법과 리프트 오프법을 사용하여, 게이트 전극(11)을 형성한다.
- <194> 또한, 그 위에, 두께 200 nm의 SiO<sub>2</sub>막을 RF스퍼터링법에 의해 성막하고, 게이트 절연막(12)을 형성한다.
- <195> 계속해서, RF스퍼터링법에 의해, InGaO<sub>3</sub>(ZnO) 조성을 갖는 다결정 소결체를 타겟으로서, 채널층(13)으로서 두께 40nm의 In-Ga-Zn-O산화물 반도체 박막을 퇴적한다.
- <196> 본 실시예에서는, 투입 RF파워는 200W로 한다. 성막시의 분위기는, 총 압력이 0.5 Pa이며, 그 때의 가스 유량비는 Ar:O<sub>2</sub>=95:5이다. 성막 레이트는 8nm/min이고, 기관온도는 25℃이었다.
- <197> 퇴적시킨 In-Ga-Zn-O산화물 반도체박막에 포토리소그래피법과 에칭법을 사용하여, 적당한 사이즈로 가공한다.
- <198> 여기에서, 대기중 300℃에서 30분간 열처리를 행한다.
- <199> 또한, 그 위에 두께 5nm의 Ti층, 두께 50nm의 Au층 및 두께 5nm의 Ti층의 순으로 적층하고, 포토리소그래피법과 리프트 오프법에 의해, 소스 전극(14) 및 드레인 전극(15)을 형성한다.
- <200> 또한, 그 위에 RF스퍼터링법에 의해 보호층(16)으로서 SiO<sub>2</sub>막을 100nm 퇴적한다.
- <201> 본 실시예에서는, 투입 RF파워는 400W로 한다. 성막시의 분위기는, 총 압력이 0.1Pa이며, 그 때의 분위기는 Ar가다. 성막 레이트는 7 nm/min이고, 기관온도는 25℃이었다.
- <202> 최후에, 게이트 전극(11), 드레인 전극(14) 및 소스 전극(15) 상의 일부를 포토리소그래피법 및 에칭법에 의해 제거하여, 콘택홀을 형성한다.
- <203> (TFT소자의 특성평가)
- <204> 도 13은 실시 예8(보호층 산소 없는 성막)에서 제작한 소자와 보호층이외는 같은 조건으로 제작한 실시 예7(보호층 산소 있는 성막)의 소자의 TFT소자의 전달 특성을 나타낸다. 실시 예8의 소자는 Vg=-5V일 때 드레인 전류는 약 1E-6이며, 실시 예7의 소자에 비교해 특성이 크게 변화되어, TFT의 특성으로서 양호하지 않다.
- <205> 따라서, In-Ga-Zn-O산화물 반도체 위에 산화물 절연체막을 형성하는 경우에는 산소 함유 분위기에서 성막해야 하는 것을 안다.
- <206> (실시 예9)
- <207> (스태거형 TFT)
- <208> 도 14에 도시된 스태거형 TFT소자를 제작하였다.
- <209> 기관(80)은 유리 기관 Corning 1737을 사용하였다.
- <210> 우선, 기관(80) 위에 RF스퍼터링법에 의해, InGaO<sub>3</sub>(ZnO) 조성을 갖는 다결정 소결체를 타겟으로서, 채널층(81)으로서 두께40nm의 In-Ga-Zn-O산화물 반도체박막을 퇴적한다.

- <211> 본 실시예에서는, 투입 RF파워는 300W로 한다. 성막시의 분위기는, 총 압력이 0.5 Pa이며, 그 때의 가스유량비는 Ar:O<sub>2</sub>=97:3이다. 성막 레이트는 12 nm/min이고, 기판온도는 25℃이었다.
- <212> 채널층 위에 전자빔증착법에 의해, 두께 5nm의 Ti층과 두께 50nm의 Au층을 적층한다. 적층한 막을 포토리소그래피법과 리프트 오프법을 사용하여, 소스 전극(82) 및 드레인 전극(83)을 형성한다.
- <213> 퇴적시킨 In-Ga-Zn-O산화물 반도체막막에 포토리소그래피법과 에칭법을 사용하여, 적당한 사이즈로 가공한다.
- <214> 여기에서, 산소분위기중 200℃에서 50분간 열처리를 행한다.
- <215> 또한, 그 위에, 두께 150nm의 Y<sub>2</sub>O<sub>3</sub>막을 RF스퍼터링법에 의해 성막하고, 포토리소그래피법과 에칭법에 의해 적당한 사이즈로 가공하고, 게이트 절연막(84)을 형성한다.
- <216> 본 실시예에서는, 투입 RF파워는 500W로 한다. 성막시의 분위기는, 총 압력이 0.1Pa이며, 그 때의 가스유량비는 Ar:O<sub>2</sub>=40:60이다. 성막 레이트는 1.5nm/min이고, 기판온도는 25℃이었다.
- <217> 또한, 그 위에 두께 5nm의 Ti층과 두께 50nm의 Au층을 적층하고, 포토리소그래피법과 에칭법에 의해, 게이트 전극(85)을 형성한다.
- <218> 실시 예9에서 제작한 TFT를 평가한 바, 역스태거형으로 제작한 소자와 같은 양호한 트랜지스터 특성을 얻었다.
- <219> (실시 예10)
- <220> (SiO<sub>x</sub>N<sub>y</sub>를 보호층에 사용한 TFT)
- <221> 도 7에 나타난 역스태거형 TFT소자를 제작하였다.
- <222> 기판(10)은 유리 기판 Corning 1737을 사용하였다.
- <223> 우선, 기판(10) 위에 전자빔증착법에 의해, 두께 5nm의 Ti층, 두께 50nm의 Au층, 두께 5nm의 또 다른 Ti층의 순으로 적층한다. 적층한 막을 포토리소그래피법과 리프트 오프법을 사용하여, 게이트 전극(11)을 형성한다.
- <224> 또한, 그 위에, 두께 150nm의 Y<sub>2</sub>O<sub>3</sub>막을 RF스퍼터링법에 의해 성막하고, 게이트 절연막(12)을 형성한다.
- <225> 계속해서, RF스퍼터링법에 의해, InGaO<sub>3</sub>(ZnO) 조성을 갖는 다결정 소결체를 타겟으로서, 채널층(13)으로서 두께 40nm의 In-Ga-Zn-O산화물 반도체 박막을 퇴적한다.
- <226> 본 실시예에서는, 투입 RF파워는 200W로 한다. 성막시의 분위기는, 총 압력이 0.5 Pa이며, 그 때의 가스 유량비는 Ar:O<sub>2</sub>=95:5이다. 성막 레이트는 8nm/min이고, 기판온도는 25℃이었다.
- <227> 퇴적시킨 In-Ga-Zn-O산화물 반도체막막에 포토리소그래피법과 에칭법을 사용하여, 적당한 사이즈로 가공한다.
- <228> 여기에서, 대기중 300℃에서 30분간 열처리를 행한다.
- <229> 또한, 그 위에 두께 5nm의 Ti층, 두께 50nm의 Au층 및 두께 5nm의 또 다른 Ti층의 순으로 적층하고, 포토리소그래피법과 리프트 오프법에 의해, 소스 전극(14) 및 드레인 전극(15)을 형성한다.
- <230> 또한, 그 위에 RF스퍼터링법에 의해 보호층(16)으로서 SiO<sub>x</sub>N<sub>y</sub>막을 100nm 퇴적한다.
- <231> 본 실시예에서는, 투입 RF파워는 400W로 한다. 성막시의 분위기는, 총 압력이 0.1Pa이며, 그 때의 가스유량비는 Ar:O<sub>2</sub>=40:60이다. 성막 레이트는 2nm/min이고, 기판온도는 25℃이었다.
- <232> 최후에, 각 게이트 전극(11), 드레인 전극(15) 및 소스 전극(14) 상의 일부를 포토리소그래피법 및 에칭법에 의해 제거하여, 콘택홀을 형성한다.
- <233> 이상과 같이 하여서, TFT소자를 제작했다.

<234> 보호층 형성 후에 TFT특성을 평가한 바 보호층으로 SiO<sub>2</sub>를 사용하는 경우와 같은 성능과 안정성을 얻었다.

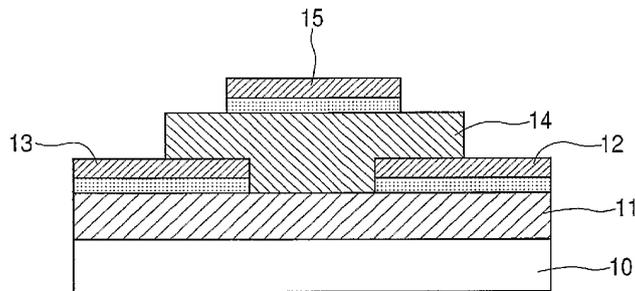
<235> 본 발명에 의해, 채널층으로서 사용하는 금속 산화막을 저저항이 되는 조건에서 성막하기 때문에, 고품질의 산화막이 형성되고, 이에 따라, 특성이 우수한 박막트랜지스터를 제작할 수 있다. 상기 금속산화물 성막 분위기중의 산소분압을 고도로 제어할 필요가 없고, 프로세스 마진을 확대할 수 있어, 신뢰성이 높은 TFT의 제조 방법을 얻을 수 있는 이점이 있다.

<236> 또한, 본 발명에 의하면, 예를 들면, 아모르포스 산화물 반도체를 활성층(채널층이라고도 한다)으로서 사용한 TFT소자에 있어서, 환경의 변화에 대하여 안정하며, 신뢰성이 높고 양호한 트랜지스터 특성을 갖는 소자를 제공하는 것이 가능하다.

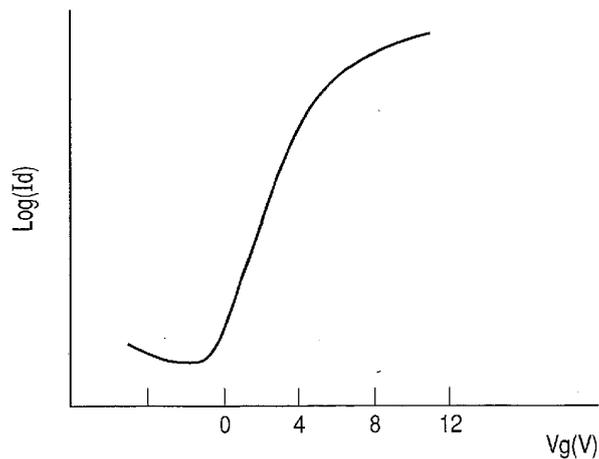
<237> 본 출원은, 2006년 8월 23일에 출원된 일본특허 출원번호 2006-226698의 이점을 청구하고, 그것이 본 출원 전체에서 증명서로 여기에 포함된다.

도면

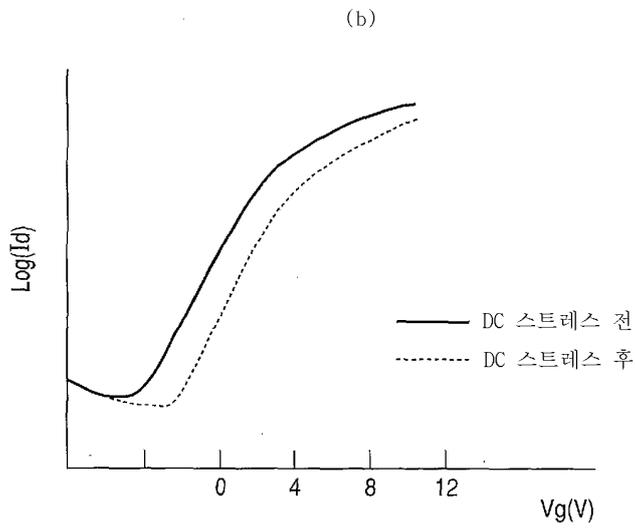
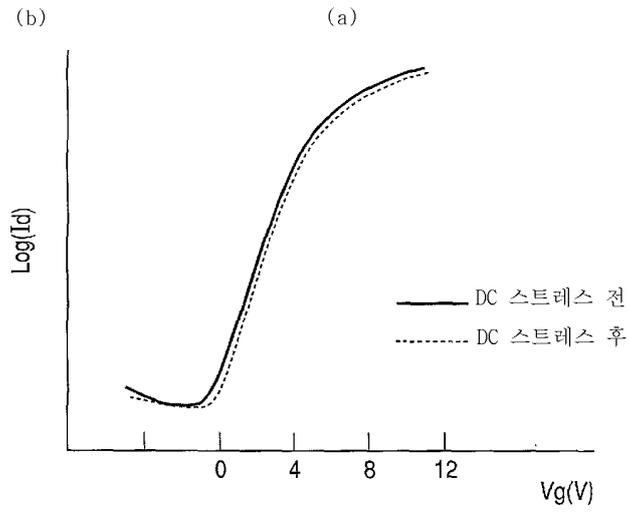
도면1



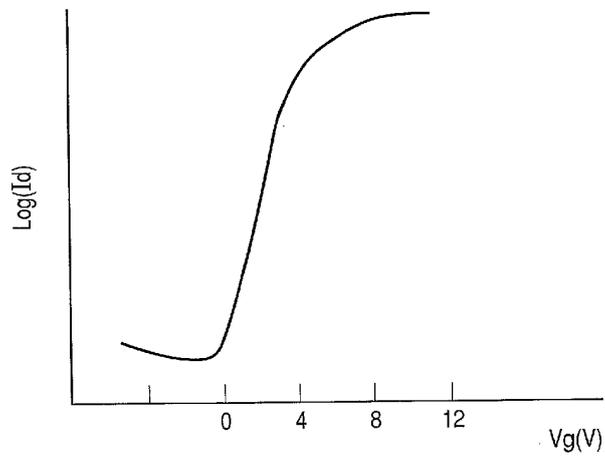
도면2



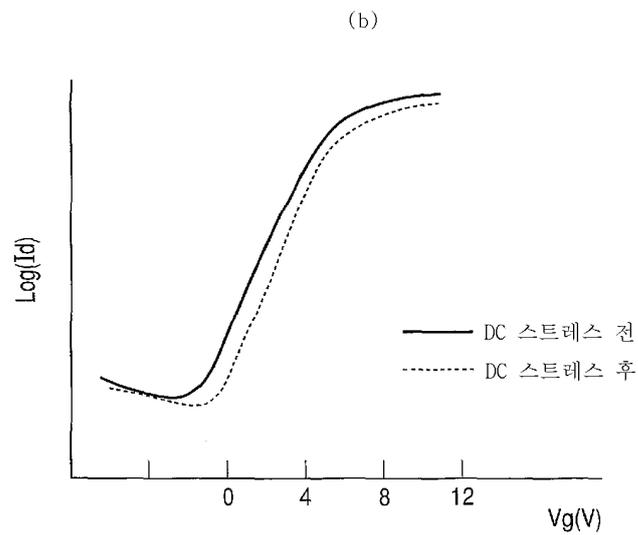
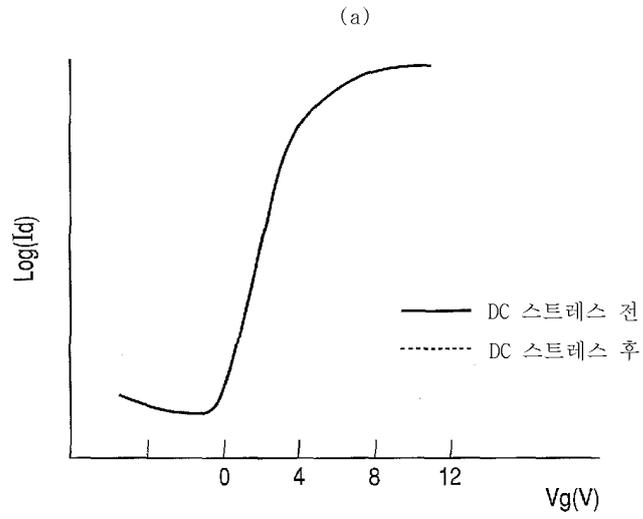
도면3



도면4



도면5



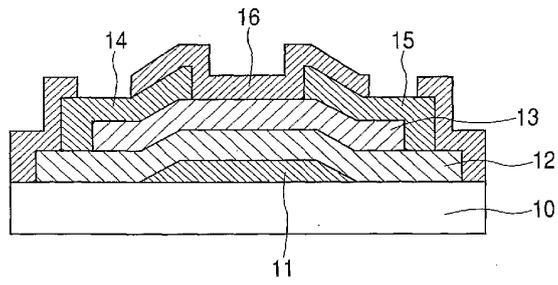
도면6

(제1의 공정): 기판 상에, In 및 Zn으로부터 선택된 적어도 한쪽의 원소를 갖고 제 1 저항율을 갖는 산화막을 기판 위에 형성한다.

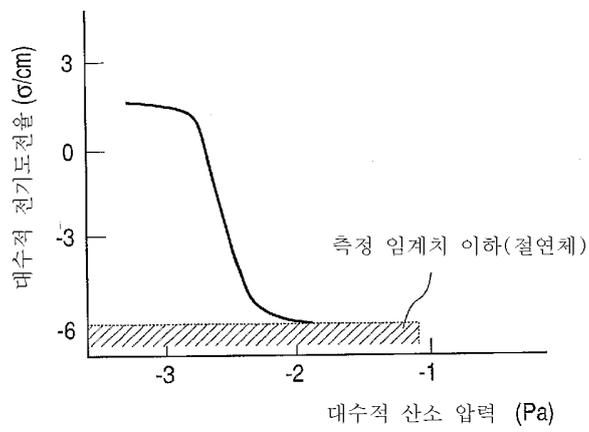


(제2의 공정): 저항율을 증가시키기 위해 상기 제1의 공정에서 형성된 산화막을, 산화분위기중에서의 열처리를 행하여 상기 제 1 저항율에서 제 2 저항율로 변화시킨다.

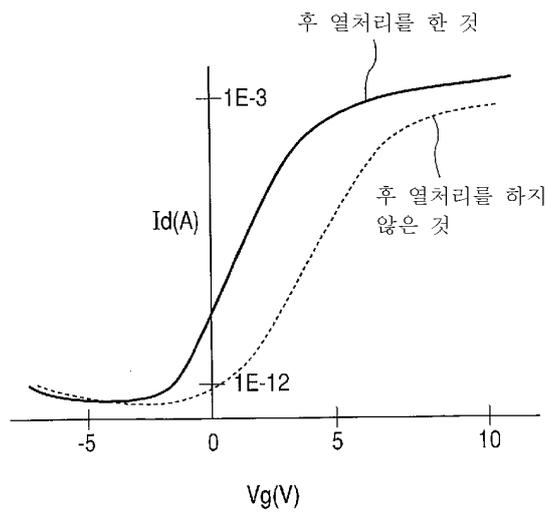
도면7



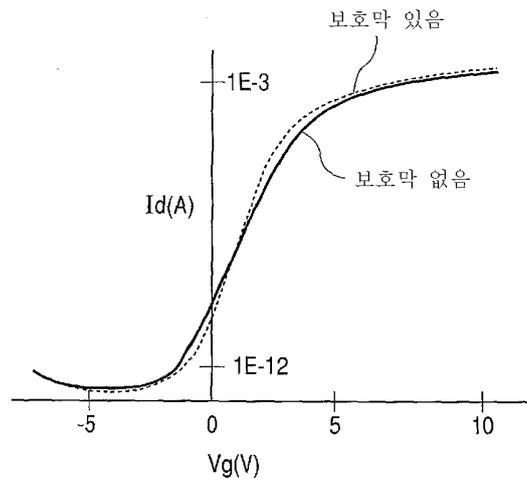
도면8



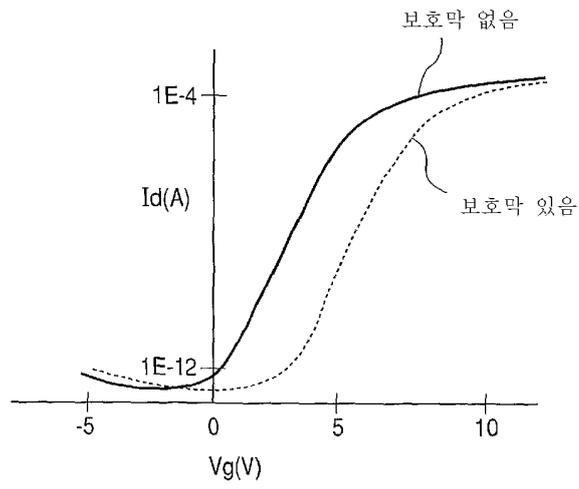
도면9



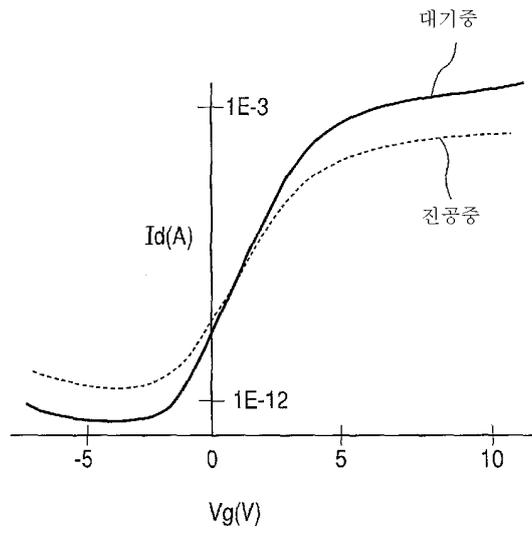
도면10



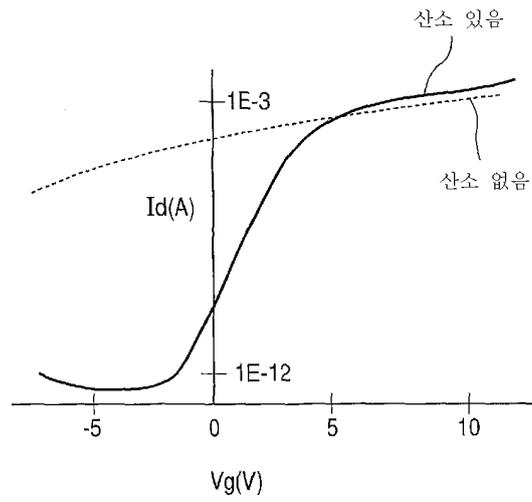
도면11



도면12



도면13



도면14

