

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷ (45) 공고일자 2005년09월14일
G11C 16/24 (11) 등록번호 10-0515060

(24) 등록일자 2005년09월07일

(21) 출원번호 10-2003-0056164

(65) 공개번호 10-2005-0017475

(22) 출원일자 2003년08월13일

(43) 공개일자 2005년02월22일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이경한
경기도용인시기홍읍농서리7-1번지

이성수
경기도수원시팔달구영통동 황골마을풍림아파트232동105호

(74) 대리인 임창현
권혁수

심사관 : 조명관

(54) 비트 라인의 프리차지 레벨을 일정하게 유지하는 불휘발성반도체 메모리 장치

요약

본 발명은 온도 변화에 따른 비트 라인의 프리차지 레벨의 변화를 보상하는 불휘발성 반도체 메모리 장치에 관한 것이다.

본 발명에 따른 불휘발성 반도체 메모리 장치는, 복수개의 워드 라인들 및 복수개의 비트 라인들에 연결되며 전기적으로 프로그램이 가능한 메모리 셀 어레이와, 상기 비트 라인들에 비트 라인 전압을 공급하는 비트 라인 전압 공급 회로와, 상기 메모리 셀 어레이와 상기 비트 라인 전압 공급 회로 사이에 연결되어 이들을 전기적으로 절연 내지 접속하는 셋 오프 회로와, 상기 셋 오프 회로를 제어하는 셋 오프 제어 회로를 포함한다.

본 발명에 의하면, 온도의 변화에 따른 비트 라인의 프리차지 레벨의 변화를 보상하여 독출 동작시 감지 오차를 줄일 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 불휘발성 반도체 메모리 장치를 나타낸 블록도이다.

도 2는 본 발명의 실시예에 따른 불휘발성 반도체 메모리 장치를 나타낸 회로도이다.

도 3a는 본 발명의 실시예에 따른 불휘발성 반도체 메모리 장치의 독출 동작을 설명하는 타이밍도이다.

도 3b는 도 3a의 독출 동작시 워드 라인에 인가되는 전압을 나타낸 것이다.

도 4는 비트 라인의 프리차지 레벨에 따른 셀 전류의 변화를 나타낸 그래프이다.

도 5a는 온도에 따른 드레슬드 전압의 변화를 나타낸 그래프이다.

도 5b는 온도에 따른 비트 라인 레벨을 나타낸 그래프이다.

도 5c는 본 발명에 따른 온도 변화에 의한 비트 라인의 프리차지 레벨의 변화를 나타낸 그래프이다.

도 6은 온도 변화에 따른 메모리 셀의 산포도이다.

도면의 주요부분에 대한 부호의 설명

100 : 메모리 셀 어레이 200 : 셋 오프 회로

300 : 셋 오프 제어 회로 400 : 비트 라인 전압 공급 회로

401, 402 : 페이지 버퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 반도체 메모리 장치에 관한 것으로, 더욱 상세하게는 온도 변화에 따른 비트 라인의 프리차지 레벨의 변화를 보상하는 불휘발성 반도체 메모리 장치에 관한 것이다.

불휘발성 반도체 메모리 장치는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는 장치를 말한다. 상기 불휘발성 반도체 메모리 장치는 워드 라인들과 비트 라인들이 매트릭스 형태로 되어 있으며, 이들의 중앙에는 메모리 셀들이 위치한다. 로우 어드레스에 의해 워드 라인이, 칼럼 어드레스에 의해 비트 라인이 선택되며, 선택된 위치에 있는 메모리 셀의 데이터가 입출력 회로를 통해 증폭되어 외부로 읽혀진다.

불휘발성 반도체 메모리 장치에는 복수개의 메모리 셀들이 비트 라인에 직렬로 연결되는 스트링(string)과 복수개의 스트링이 한 개의 콘택을 공유하는 블록(block)을 기본 구조로 하는 낸드 플래시 메모리 장치가 있다.

불휘발성 반도체 메모리 장치는 메모리 셀 어레이, 페이지 버퍼 등을 포함하여 구성된다. 상기 메모리 셀 어레이는 복수개의 스트링들을 기본 단위로 하는 블록들로 구성된다. 스트링은 직렬 연결된 복수개의 메모리 셀들을 포함한다. 상기 메모리 셀들은 각각 플로팅 게이트와 제어 게이트를 가지며, 상기 플로팅 게이트에 전자를 축적하거나 상기 축적된 전자를 방출함으로써 전기적으로 소거 동작 및 프로그램 동작을 수행한다. 플로팅 게이트에 전자가 축적된 메모리 셀을 프로그램된 셀이라고 하며, 플로팅 게이트로부터 전자가 방출된 메모리 셀을 소거된 셀이라고 한다.

불휘발성 반도체 메모리 장치의 프로그램 동작 및 소거 동작은 F-N 터널링 현상을 이용한다. 플로팅 게이트에 전자를 주입하거나 플로팅 게이트로부터 전자를 방출하면 셀 트랜지스터의 드레슬드 전압이 변한다. 소거된 셀은 전자가 플로팅 게이트로부터 벌크나 소오스 또는 드레인으로 방출되어 네거티브 드레슬드 전압(negative threshold voltage, 예를 들면, -3V)을 가진다. 이때 소거된 셀을 온 셀(on cell)이라고 한다. 한편, 프로그램된 셀은 플로팅 게이트로 전자가 주입되어 포지티브 드레슬드 전압(positive threshold voltage, 예를 들면, +1V 내외의 전압)을 가진다. 이때 프로그램된 셀을 오프 셀(off cell)이라 한다.

메모리 셀이 프로그램된 셀인지 소거된 셀인지를 확인하기 위하여 비선택된 워드 라인들에 Vread(예를 들면, +4.5V)을 인가하고, 선택된 워드 라인에 0V를 인가한다. 이를 독출 동작(Reading Operation)이라 한다. 상기 독출 동작을 수행하기 전에, 비트 라인을 프리차지하는 과정을 거친다. 비트 라인을 프리차지하면, 상기 비트 라인은 특정 프리차지 레벨을 가진다. 비트 라인을 프리차지한 후, 비선택된 워드 라인들에 Vread(예를 들면, +4.5V)을 인가하고, 선택된 워드 라인에 0V를 인가한다. 이때, 선택된 워드 라인에 연결된 메모리 셀이 소거된 셀이면, 비트 라인의 프리차지 레벨은 떨어진다. 그러나 메모리 셀이 프로그램된 셀이면, 비트 라인의 프리차지 레벨은 그대로 유지된다. 이러한 독출 동작을 통해서 메모리 셀이 소거된 셀인지 프로그램된 셀인지 판단하게 된다.

상기 비트 라인을 프리차지할 때는 트랜지스터의 셧 오프(shut off) 특성을 이용한다. 드레인(D), 소오스(S), 게이트(G)로 구성된 NMOS 트랜지스터에 있어서, 드레인(D)에 전원전압(Vcc)이 인가되고, 게이트-소오스 전압을 V_{GS} 라 하면, 소오스(S)에 프리차지 되는 전압은 $V_{GS} - V_{TH}$ 가 된다. $V_{GS} > V_{TH}$ 일 때, 상기 NMOS 트랜지스터가 턴-온 되어 상기 소오스(S)에 프리차지 되지만, 소오스(S)의 레벨이 $V_{GS} - V_{TH}$ 이상이 되면 상기 NMOS 트랜지스터는 턴-오프 된다. 이러한 NMOS 트랜지스터의 동작 특성을 셧 오프(shut off)라 한다. 따라서 트랜지스터의 셧 오프 특성에 의해 상기 비트 라인은 $V_{GS} - V_{TH}$ 의 프리차지 레벨을 갖는다.

상기 비트 라인의 프리차지 레벨($V_{GS} - V_{TH}$)은 셧 오프 특성에 의해 트랜지스터의 드레슬드 전압의 영향을 받는다. 즉, 드레슬드 전압이 올라가면 비트 라인의 프리차지 레벨은 떨어지고, 드레슬드 전압이 내려가면 비트 라인의 프리차지 레벨은 올라간다. 한편, 트랜지스터의 드레슬드 전압은 온도에 따라 그 값이 변하는 특성을 갖는다. 일반적으로 드레슬드 전압은 온도가 1°C 상승할 때마다 약 2mV 씩 감소한다. 따라서 온도가 변하면 상기 비트 라인의 프리차지 레벨도 변하게 된다. 온도가 상승하여 드레슬드 전압이 감소하면 상기 비트 라인의 프리차지 레벨은 떨어지고, 온도가 하강하여 드레슬드 전압이 증가하면 상기 비트 라인의 프리차지 레벨은 올라간다. 이는 고온에서 온 셀(erased cell)로 감지된 셀이 저온에서는 오프 셀(off cell)로 감지되는 문제점을 초래한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명의 목적은 온도 변화에 따라 비트 라인의 프리차지 레벨이 변하는 것을 보상하는 불휘발성 반도체 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 기술적 과제를 달성하기 위한 본 발명에 따른 불휘발성 반도체 메모리 장치는, 복수개의 워드 라인들 및 복수개의 비트 라인들에 연결되며 전기적으로 프로그램이 가능한 메모리 셀 어레이와, 상기 비트 라인들에 비트 라인 전압을 공급하는 비트 라인 전압 공급 회로와, 상기 메모리 셀 어레이와 상기 비트 라인 전압 공급 회로 사이에 연결되어 이들을 전기적으로 절연 내지 접속하는 셧 오프 회로와, 상기 셧 오프 회로를 제어하는 셧 오프 제어 회로를 포함한다. 여기서, 상기 셧 오프 제어 회로는 온도의 변화에 따른 상기 비트 라인들의 프리차지 레벨의 변화를 보상하도록 구성되는 것을 특징으로 한다.

이 실시예에 있어서, 상기 셧 오프 회로는 NMOS 트랜지스터인 것을 특징으로 한다. 여기서, 상기 NMOS 트랜지스터의 게이트 단자는 상기 셧 오프 제어 회로에, 드레인 단자는 상기 비트 라인 전압 공급 회로에, 소오스 단자는 상기 비트 라인에 연결된다.

이 실시예에 있어서, 상기 셧 오프 제어 회로는 온도가 상승하면 상기 게이트 단자에 입력되는 전압이 낮아지고, 온도가 하강하면 상기 게이트 단자에 입력되는 전압이 높아지는 것을 특징으로 한다.

이 실시예에 있어서, 상기 셧 오프 제어 회로는 전원 전압을 발생하는 전원 발생기와, 상기 전원 발생기에서 발생된 전압을 배분하는 전압 분배기를 포함한다. 여기서, 상기 전압 분배기는 불변 저항과 온도에 따라 가변하는 가변 저항을 포함하는 것을 특징으로 한다.

이 실시예에 있어서 상기 가변 저항은 상기 NMOS 트랜지스터와 동일한 종횡비(W/L)를 갖는 NMOS 트랜지스터인 것을 특징으로 한다.

이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 1은 본 발명에 따른 불휘발성 반도체 메모리 장치를 나타낸 블록도이다. 본 발명은 온도의 변화에 따라 비트 라인의 프리차지 레벨이 변하는 것을 보상하기 위한 것이다. 이를 위해 본 발명에 따른 불휘발성 반도체 메모리 장치는, 메모리 셀 어레이(100)와, 셋 오프 회로(200)와, 셋 오프 제어 회로(300)와, 비트 라인 전압 공급 회로(400)를 포함한다.

상기 메모리 셀 어레이(100)는 데이터를 저장하는 메모리 셀들과, 상기 메모리 셀들을 선택하여 활성화하는 워드 라인들과, 상기 메모리 셀의 데이터를 입출력할 수 있는 비트 라인들로 구성된다.

상기 비트 라인 전압 공급 회로(400)는 상기 비트 라인들에 비트 라인 전압을 공급하는 회로이다. 상기 비트 라인 전압은 프로그램 동작 또는 소거 동작 등에 따라 공급하는 전압을 달리한다.

상기 셋 오프 회로(200)는 상기 메모리 셀 어레이(100)와 상기 비트 라인 전압 공급 회로(400) 사이에 연결되어 이들을 전기적으로 절연 내지 접속하는 회로이다. 예로서, 상기 셋 오프 회로(200)는 NMOS 트랜지스터로 구성된다. 상기 NMOS 트랜지스터는 드레인(D), 소오스(S), 게이트(S)로 이루어진다. 드레인은 상기 비트 라인 전압 공급 회로(400)에 연결되고, 소오스는 상기 메모리 셀 어레이(100)에 연결되고, 게이트는 셋 오프 제어 회로(300)에 연결된다.

드레인(D)에 전원전압(V_{CC})이 인가되고, 소오스(S)가 프리차지 되는 경우에, 게이트-소오스 전압을 V_{GS} 라 하면, 소오스(S) 단자에 프리차지되는 전압 즉, 비트 라인에 프리차지 되는 전압은 $V_{GS} - V_{TH}$ 가 된다. 왜냐하면, $V_{GS} > V_{TH}$ 일 때 상기 NMOS 트랜지스터는 턴-온 되어 상기 비트 라인에 프리차지 된다. 이때 상기 비트 라인의 프리차지 레벨이 $V_{GS} - V_{TH}$ 이상이 되면 상기 NMOS 트랜지스터는 셋 오프(shut off) 된다. 따라서 상기 셋 오프 회로(200)는 셋 오프 동작 특성에 의해 상기 비트 라인에 최고 $V_{GS} - V_{TH}$ 의 프리차지 레벨을 갖게 한다.

한편, 트랜지스터의 드레슬드 전압은 온도에 따라 변하는 특성을 갖는다. 일반적으로 트랜지스터의 드레슬드 전압은 1°C 증가할 때 마다 약 2mV 씩 감소한다. 이런 이유로 인해 온도가 변하면 비트 라인의 프리차지 레벨도 변하게 된다. 즉 온도가 상승하면 드레슬드 전압이 감소하여 비트 라인의 프리차지 레벨은 올라가고, 온도가 하강하면 드레슬드 전압이 증가하여 비트 라인의 프리차지 레벨은 내려간다. 본 발명은 이러한 문제점을 해결하기 위한 것으로, 온도의 변화에 따라 상기 게이트-소오스 전압(V_{GS})도 변화하도록 하여 비트 라인의 프리차지 레벨이 변하는 것을 방지하기 위한 것이다.

상기 셋 오프 제어 회로(300)는 상기 셋 오프 회로(200)의 게이트 전압을 제어하여 온도 변화에 따라 상기 비트 라인의 프리차지 레벨이 변하는 것을 보상한다. 상기 셋 오프 제어 회로(300)의 실시예는 후술되는 도 2를 참조하여 상세히 설명한다.

도 2는 본 발명에 따른 불휘발성 반도체 메모리 장치의 실시예를 나타내는 회로도이다. 본 발명의 실시예에 따른 불휘발성 반도체 메모리 장치는 메모리 셀 어레이(100)와, 셋 오프 트랜지스터(200)와, 셋 오프 제어 회로(300)와, 페이지 버퍼(400)를 포함한다.

상기 메모리 셀 어레이(100)는 복수개의 워드 라인들 및 복수개의 비트 라인들이 매트릭스 형태로 배열된 구조이다. 상기 메모리 셀 어레이(100)는 스트링 선택 트랜지스터(M100)와 접지 선택 트랜지스터(M105) 및 이들 사이에 직렬 연결된 메모리 셀들(M101 ~ M104)을 기본 구조로 한다. 이를 스트링(string)이라 한다. 상기 메모리 셀들의 게이트는 워드 라인들에 연결된다. 동일한 워드 라인에 공통으로 연결된 메모리 셀들의 집합을 페이지(page)라 한다. 각각의 비트 라인에 연결된 복수개의 스트링들이 공통 소스 라인(CSL)에 병렬로 연결되어 블록(block)을 구성한다.

도 2에서 메모리 셀(M104)에 대하여 독출 동작을 수행한다고 하면, WL0 에는 0V 가 인가되고, WL1 ~ WL15 및 SSL, GSL 에는 Vread(약 4.5V)가 인가된다. 비트 라인이 프리차지된 상태에서 상기와 같은 워드 라인 전압이 가해질 때, 상기 메모리 셀(M104)이 소거된 셀(erased cell)이면 상기 비트 라인의 프리차지 레벨은 떨어지게 되고, 상기 메모리 셀(M104)이 프로그램된 셀(programmed cell)이면 상기 비트 라인의 프리차지 레벨은 그대로 유지된다. 이와 같이, 메모리 셀의 상태에 따라 비트 라인의 프리차지 레벨에 차이가 생기는 데 이를 비트 라인 디벨로프(BL develop)라 한다.

셋 오프 트랜지스터(T100)는 비트 라인(BL0)과 감지 노드(N1) 사이에 연결되며, 이들을 전기적으로 절연 내지는 접속시키는 역할을 한다. 상기 셋 오프 트랜지스터(T100)는 NMOS 트랜지스터이다. 상기 NMOS 트랜지스터의 드레인 단자는 감지 노드(N1)에 연결되고, 소오스 단자는 비트 라인(BL0)에 연결되고, 게이트 단자는 셋 오프 제어 회로(300)에 연결된다.

상기 비트 라인(BL0)의 프리차지 레벨은 상기 셋 오프 트랜지스터(T100)의 셋 오프 특성에 의해 게이트 전압(BLSHF)과 드레슬드 전압(V_{TH})에 의해 결정된다. 상기 셋 오프 트랜지스터(T100)의 게이트 단자에 셋 오프 전압(BLSHF)이 인가되고, 드레인 단자(N1)에 전원 전압(V_{cc})이 인가되면, 상기 비트 라인(BL0)은 상기 셋 오프 트랜지스터(T100)가 셋 오프(shut off) 될 때까지 프리차지된다. 상기 셋 오프 트랜지스터(T100)가 셋 오프 될 때, 상기 비트 라인의 프리차지 레벨은 $BLSHF - V_{TH}$ 가 된다.

상술한 바와 같이, 트랜지스터의 드레슬드 전압은 온도에 따라 변하는 특성을 갖는다. 온도가 상승하면 트랜지스터의 드레슬드 전압은 낮아지고, 온도가 하강하면 트랜지스터의 드레슬드 전압은 높아진다. 이는 상기 비트 라인(BL0)의 프리차지 레벨이 온도에 따라 변할 수 있음을 의미한다.

상기 셋 오프 제어 회로(300)는 상기 셋 오프 트랜지스터(T100)의 게이트 전압(BLSHF)을 제어하여 온도의 변화에 따라 상기 비트 라인(BL0)의 프리차지 레벨이 일정하게 유지되도록 보상하는 회로이다.

도 2에서 상기 셋 오프 제어 회로(300)는 전원 전압을 발생하는 전원 발생기와, 상기 전원 발생기에서 발생된 전압을 배분하는 전압 분배기를 포함한다. 상기 전압 분배기는 불변 저항(R)과 온도에 따라 가변하는 가변 저항(R_t)을 포함하여 구성된다. 상기 가변 저항은 상기 셋 오프 트랜지스터(T100)와 동일한 종횡비(W/L)를 가지는 NMOS 트랜지스터(M1)로 구성된다. 상기 셋 오프 제어 회로(300)의 출력 전압인 BLSHF는 상기 NMOS 트랜지스터(M1)의 저항 성분(R_t)과 상기 저항(R)의 비로 결정된다.

전압 분배 법칙에 의하여, $V_{ref} = \frac{R}{R_t + R} BLSHF$ 에서 $BLSHF = (1 + \frac{R_t}{R}) V_{ref}$ 가 된다. 위 수식에서 상기 NMOS 트랜지스터(M1)의 저항 성분(R_t)는 드레슬드 전압(V_{TH})에 비례한다. 즉 온도의 변화에 따라 상기 NMOS 트랜지스터(M1)의 드레슬드 전압(V_{TH})이 변하면, 저항 성분(R_t)도 이에 상응하여 변한다. 온도가 상승하면 드레슬드 전압이 감소하여 저항 성분(R_t)의 값도 내려가고, 온도가 하강하면 드레슬드 전압이 증가하여 저항 성분(R_t)의 값도 올라간다. 따라서, 상기 셋 오프 제어 회로(300)의 출력 전압인 BLSHF도 온도에 따라 변한다. 즉 온도가 상승하면 BLSHF 값은 낮아지고, 온도가 하강하면 BLSHF 값은 높아진다.

따라서, 상기 비트 라인의 프리차지 레벨($BLSHF - V_{TH}$)은 온도가 상승하여 상기 셋 오프 트랜지스터(200)의 드레슬드 전압(V_{TH})이 낮아지면 이와 비례하여 BLSHF 값도 낮아지므로 상기 비트 라인의 프리차지 레벨은 유지된다.

상기 페이지 버퍼(400)는 상기 감지 노드(N1)에 전원 전압(V_{cc}) 또는 접지 전압(GND) 등을 공급하는 회로이다. 상기 페이지 버퍼(400)에 대한 구성 원리 및 동작 설명은 종래 기술과 대동 소이하며 이 기술 분야에서 통상의 지식을 가진 자에게 자명한 사실이다.

도 3a는 본 발명의 실시예에 따른 불휘발성 반도체 메모리 장치의 독출 동작을 설명하는 타이밍도이며, 도 3b는 독출 동작시 선택 또는 비선택 워드 라인들 및 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 공통 소오스 라인(CSL)에 인가되는 전압을 나타낸다.

상기 셋 오프 제어 회로(300)의 출력 전압(BLSHF)은 온도에 따라 변하는 특성을 갖는다. 도 3a에서는 설명의 편의상 일정한 값(예를 들면, 1.5V)으로 도시하였으나, 이는 온도에 따라 변하는 값이다. PLOAD는 상기 감지 노드(N1)에 전원 전압(V_{cc})을 공급하는 회로이다. 상기 비트 라인을 프리차지하는 단계에서, 상기 PLOAD에 0V가 인가되어 PMOS 트랜지스터(T101)이 턴-온 되면, 상기 감지 노드(N1)에 전원 전압(V_{cc})이 공급된다. 이때 상기 셋 오프 트랜지스터(T100)의 게이트에는 온도에 따라 가변하는 BLSHF 전압이 인가된다. 상기 비트 라인의 프리차지 레벨은 상기 셋 오프 트랜지스터(T100)가 셋 오프(shut off) 될 때까지 올라가며, 최종적으로 $BLSHF - V_{TH}$ 이 된다.

이때 선택된 메모리 셀이 온 셀(erased cell)이면, 비트 라인의 프리차지 레벨은 떨어진다. 그러나 선택된 메모리 셀이 오프 셀(programmed cell)이면, 비트 라인의 프리차지 레벨은 그대로 유지된다. 이러한 독출 동작을 통해서, 메모리 셀이 소거된 셀인지 프로그램된 셀인지 감지된다.

도 4는 비트 라인의 프리차지 레벨에 따른 메모리 셀에 흐르는 전류(이하 '셀 전류'라 한다)를 나타낸 그래프이다. 도 4를 참조하면, 상기 셀 전류는 상기 비트 라인의 프리차지 레벨이 낮아짐에 따라 줄어드는 특성을 갖는다. 이는 특히 상기 선택된 메모리 셀이 온 셀(erased cell)일 때 감지 이득에 영향을 준다. 즉, 고온에서 온 셀(erased cell)로 감지된 셀이 저온에서는 오프 셀(programmed cell)로 감지될 수 있음을 의미한다. 온도의 변화에 따라 상기 비트 라인의 전압 레벨이 바뀔 때 이러한 현상이 야기될 수 있다. 본 발명은 온도의 변화에 따라 비트 라인의 프리차지 레벨이 변화하는 것을 방지하기 위한 것이다.

도 5a는 온도의 변화에 따른 트랜지스터의 드레슬드 전압의 변화를 나타낸 그래프이다. 일반적으로 트랜지스터의 드레슬드 전압은 온도가 1℃ 상승함에 따라 약 2mV 씩 내려간다. 이는 상기 비트 라인의 프리차지 레벨이 온도에 따라 변하는 원인이 된다. 즉, 상기 비트 라인의 프리차지 레벨은 $BLSHF - V_{TH}$ 가 되는데, 여기서 V_{TH} 가 온도에 따라 변하므로 상기 비트 라인의 프리차지 레벨도 변하게 된다.

도 5b는 셋 오프 트랜지스터(200)의 게이트 전압이 일정할 경우, 온도 변화에 따른 비트 라인의 프리차지 레벨을 나타낸 그래프이다. 도 5b에 의하면, 상기 비트 라인의 프리차지 레벨($BLSHF - V_{TH}$)은 온도가 상승함에 따라 증가한다. 도 5a에서 살펴본 바와 같이 온도가 상승함에 따라 드레슬드 전압(V_{TH})이 일정하게 감소하기 때문이다.

도 5c는 셋 오프 트랜지스터(200)의 게이트 전압이 변할 경우, 온도 변화에 따른 비트 라인의 프리차지 레벨을 나타낸 그래프이다. 온도가 증가할 경우, 상기 셋 오프 트랜지스터(200)의 드레슬드 전압이 감소한 만큼 상기 셋 오프 트랜지스터(200)의 게이트 전압도 감소하므로 상기 비트 라인의 프리차지 레벨은 일정하게 유지된다. 도 5c는 본 발명에 의한 비트 라인의 프리차지 레벨을 나타낸 것이다.

도 6은 드레슬드 전압의 변화에 따른 메모리 셀의 산포도이다. 드레슬드 전압은 온도가 상승하면 감소하고, 온도가 하강하면 증가한다. 따라서 온도의 변화에 따라 메모리 셀의 산포도 변하게 된다. 이는 고온에서는 온 셀(erased cell)로 감지된 셀이 저온에서는 오프 셀(programmed cell)로 감지되는 원인이 된다. 본 발명은 상기 셋 오프 트랜지스터(200)의 드레슬드 전압이 도 6과 같이 온도에 따라 변하는 문제점을 개선한 것이다.

이상에서, 본 발명에 따른 불휘발성 반도체 메모리 장치의 구성 및 동작을 상기한 도면에 따라 설명하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 온도의 변화에 따른 비트 라인의 프리차지 레벨의 변화를 보상하여 독출 동작시 감지 오차를 줄일 수 있다.

(57) 청구의 범위

청구항 1.

복수개의 워드 라인들 및 복수개의 비트 라인들에 연결되며, 전기적으로 프로그램이 가능한 메모리 셀 어레이와;

상기 비트 라인들에 비트 라인 전압을 공급하는 비트 라인 전압 공급 회로와;

상기 메모리 셀 어레이와 상기 비트 라인 전압 공급 회로 사이에 연결되어, 이들을 전기적으로 절연 내지 접속하는 셋 오프 회로와;

상기 셋 오프 회로를 제어하는 셋 오프 제어 회로를 포함하되,

상기 셋 오프 제어 회로는 온도 변화에 따른 상기 비트 라인들의 프리차지 레벨의 변화를 보상하도록 구성되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 2.

제 1 항에 있어서,

상기 셋 오프 회로는, NMOS 트랜지스터이며, 그것의 게이트 단자는 상기 셋 오프 제어 회로에, 드레인 단자는 상기 비트 라인 전압 공급 회로에, 소오스 단자는 상기 비트 라인에 연결되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 3.

제 2 항에 있어서,

상기 셋 오프 제어 회로는, 온도가 상승하면 상기 게이트 단자에 입력되는 전압이 낮아지고, 온도가 하강하면 상기 게이트 단자에 입력되는 전압이 높아지는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 4.

제 3 항에 있어서,

상기 셋 오프 제어 회로는, 전원 전압을 발생하는 전원 발생기와;

상기 전원 발생기에서 발생된 전압을 배분하는 전압 분배기를 포함하되,

상기 전압 분배기는 불변 저항과 온도에 따라 가변하는 가변 저항을 포함하여 구성되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

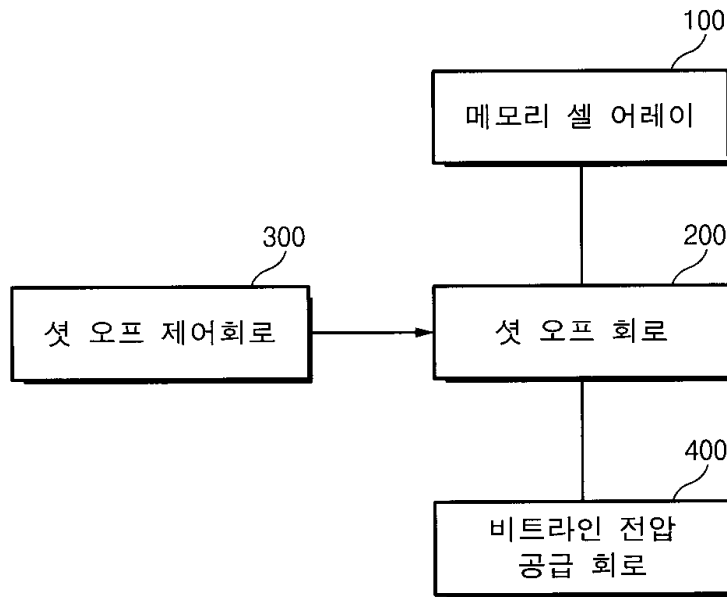
청구항 5.

제 4 항에 있어서,

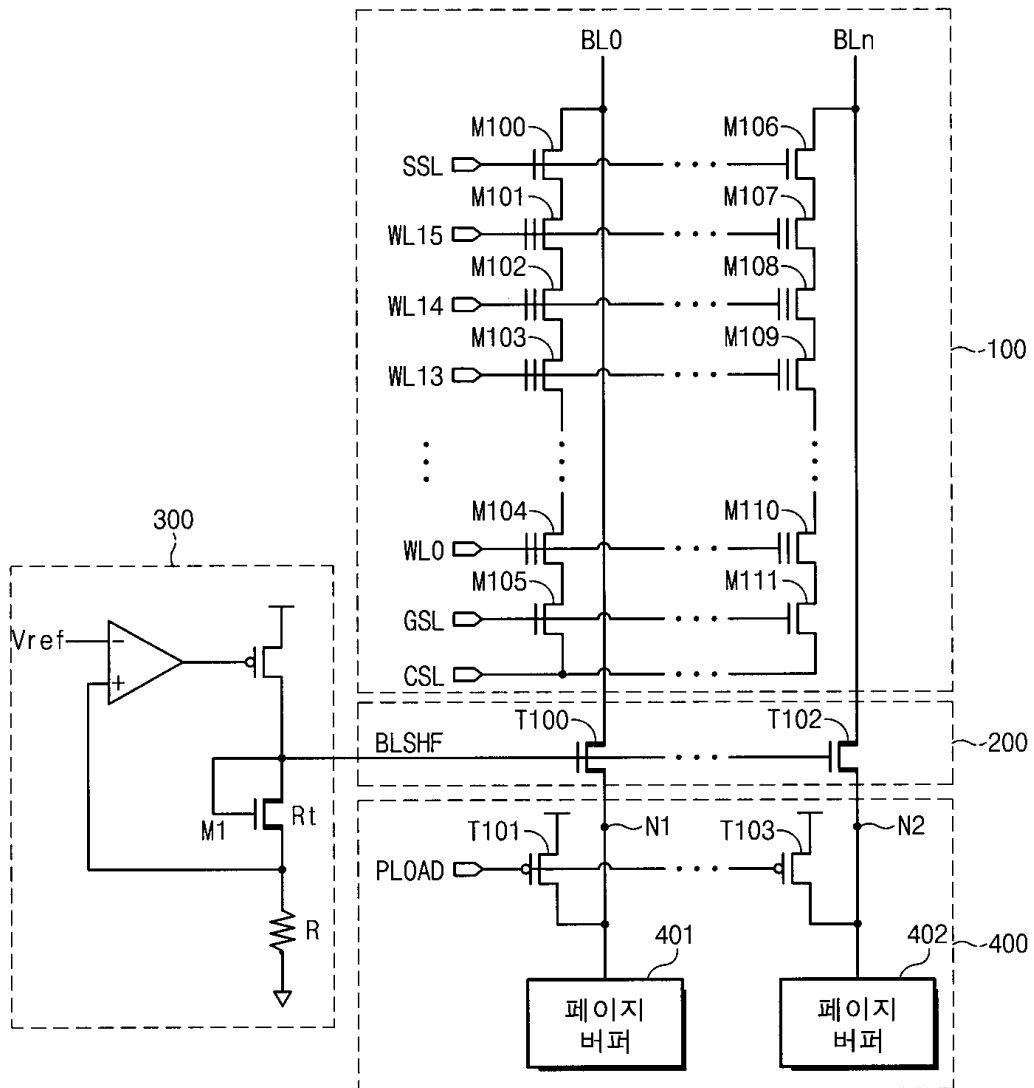
상기 가변 저항은, 상기 NMOS 트랜지스터와 동일한 종횡비를 갖는 NMOS 트랜지스터인 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

도면

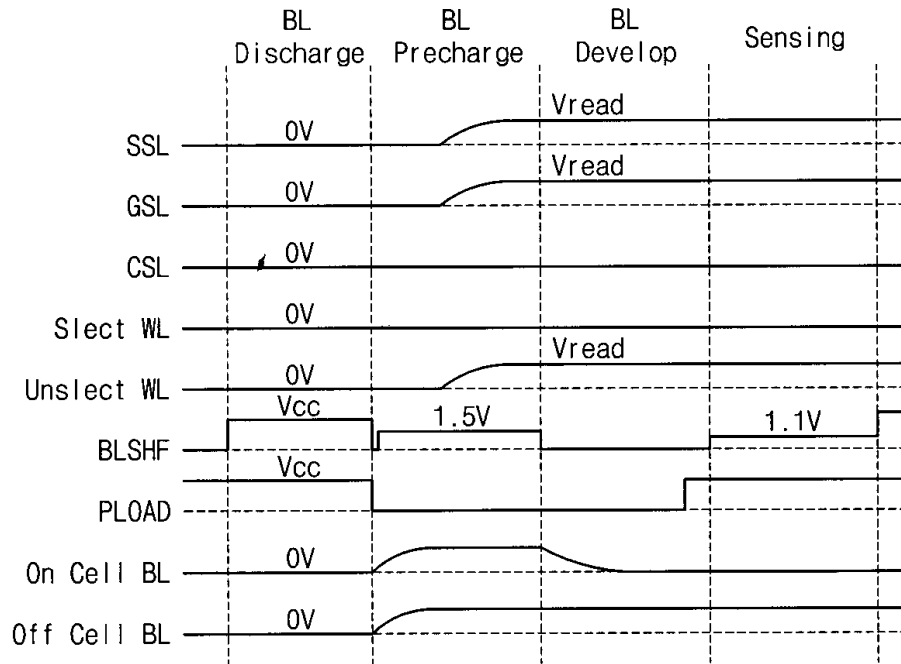
도면1



도면2



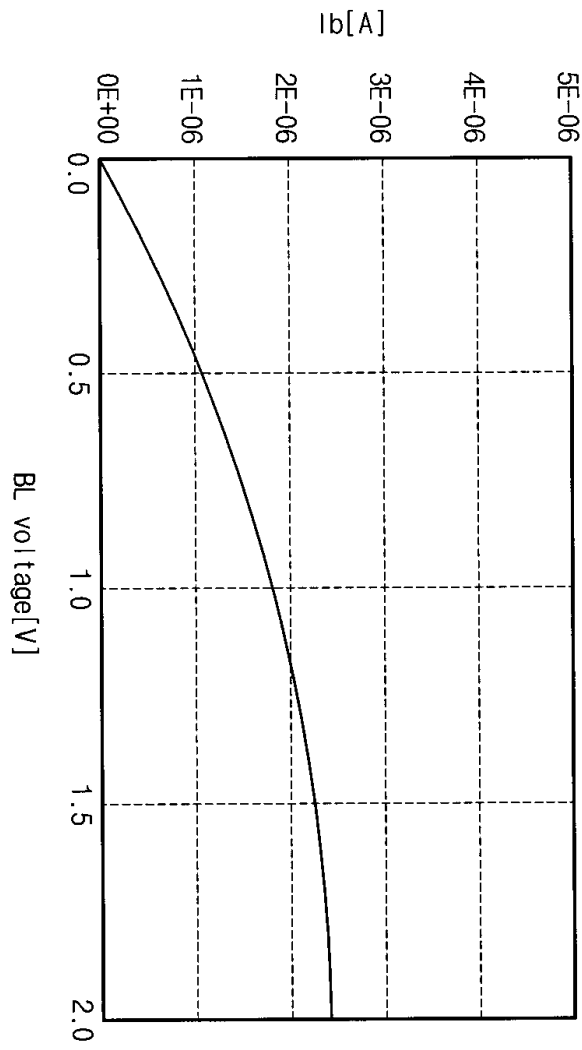
도면3a



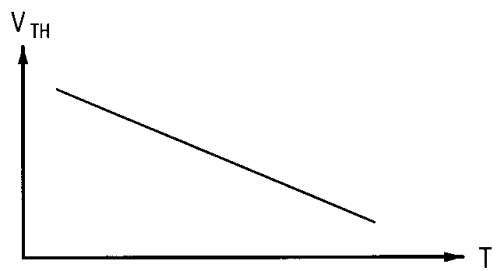
도면3b

SSL	Vread
WL (선택)	0V
WL (비선택)	Vread
GSL	Vread
CSL	0V

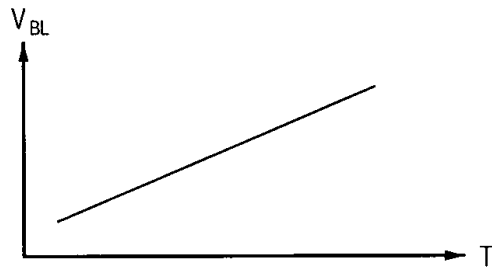
도면4



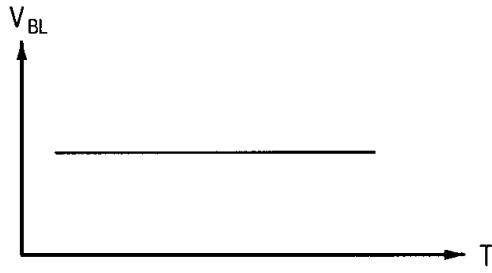
도면5a



도면5b



도면5c



도면6

