

듀티 교정, 메모리, 딜레이 라인

명세서

도면의 간단한 설명

- 도 1은 종래의 D L L 회로를 나타낸 블록도,
- 도 2a는 도 1의 D L L 회로에 적용되는 듀티 교정기를 나타낸 회로도,
- 도 2b는 듀티 교정기 각 단자의 전압값을 나타낸 그래프,
- 도 3은 본 발명의 일 실시예에 의한 D L L 회로를 나타낸 블록도,
- 도 4는 본 발명의 일 실시예에 의한 D L L 회로 내에 장착된 제1 MUX를 나타낸 회로도,
- 도 5는 본 발명의 일 실시예에 의한 D L L 회로 내에 장착된 제2 MUX를 나타낸 회로도.

* 도면의 주요 부분에 대한 부호의 설명 *

- 310 : 클럭 버퍼 320 : 제어부
- 330 : 제1 MUX 340 : 디지털 딜레이 라인
- 350 : 제2 MUX 360 : 듀티 교정기
- 370 : 클럭 드라이버

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 D L L 회로에 관한 것으로, 특히, 아날로그 형의 듀티 교정기(Duty Corrector)가 사용되는 모든 DLL 회로에 적용가능하며, 또한 이러한 DLL 회로가 사용되는 모든 고속 동작의 메모리에 사용할 수 있는 D L L 회로에 관한 것이다.

종래의 디지털 방식의 DLL에서는 듀티 교정기를 구현하기 위해 상당히 많은 레이아웃 영역(Layout area)를 차지하는데, 이를 방지하기 위하여 듀티 교정기를 아날로그 형으로 사용하게 된다.

도 1은 종래의 D L L 회로를 나타낸 블록도로서, 이러한 종래의 DLL 회로는, 외부 클럭을 입력받아 내부로 전달하는 클럭 버퍼(110); 클럭 버퍼(110)로부터 입력 받은 클럭을 지연시키는 디지털 딜레이 라인(120); 디지털 딜레이 라인(120)으로부터 입력받은 클럭의 듀티를 교정하는 듀티 교정기(130); 및 듀티 교정기(130)로부터 입력받은 클럭을 상향 클럭과 하향 클럭으로서 출력하는 클럭 드라이버(140)를 포함한다.

또한, 도 2a는 도 1의 D L L 회로에 적용되는 듀티 교정기(130)를 나타낸 회로도이고, 도 2b는 듀티 교정기(130) 각 단자의 전압값을 나타낸 그래프로서, 이러한 듀티 교정기(130)는, 클럭 듀티 에러를 보정해주는 보정 전압(dcc/dccb)을 캐패시터(C)에 충전하고, 이를 이용하여 듀티를 보정하게 된다.

그러나, 종래의 아날로그 형 듀티 교정기는 파워 다운 모드(Power Down Mode) 시에 클럭 듀티 에러를 보정해주는 보정 전압(dcc/dccb) 레벨이 캐패시터의 특성에 의해 점점 초기화되고, 파워 다운 시간이 길수록 이런 현상을 심해지게 된다. 이에 따라 파워 다운 모드 탈출 시간(Exit time)이 길어지므로, DLL의 교정 시간이 따라서 길어지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여 안출된 본 발명은, DLL 내부에서 사용되는 모든 클럭이 제1 논리 단계(Low)로 유지되는 파워 다운 모드 시에, 듀티 교정기로 입력되는 클럭은 계속 동작하도록 듀티 교정기의 입력 클럭을 변경함으로써 듀티 교정기 내 보정 전압(dcc/dccb)을 계속 그대로 유지할 수 있도록 하는 D L L 회로를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 D L L 회로는, 외부 클럭을 입력받아 전달하는 클럭 버퍼; 파워 다운 모드 여부에 따라 복수개의 클럭 제어 신호를 생성하는 제어부; 상기 복수개의 클럭 제어 신호를 입력받고, 상기 복수개의 클럭 제어 신호에 따라 상기 클럭 버퍼로부터 입력받은 클럭 신호를 다른 경로로 전달하는 제1 MUX; 상기 제1 MUX로부터 입력 받은 클럭 신호를 지연시키는 디지털 딜레이 라인; 상기 클럭 제어 신호에 따라, 파워 다운 모드인 경우에는 상기 제1 MUX에서 출력된 클럭 신호를 전달하고, 파워 다운 모드가 아닌 경우에는 상기 디지털 딜레이 라인에서 출력된 클럭 신호를 전달하는 제2 MUX; 상기 제2 MUX로부터 입력받은 클럭 신호의 듀티를 교정하는 듀티 교정기; 및 상기 듀티 교정기로부터 입력받은 클럭 신호를 상향 클럭과 하향 클럭으로서 출력하는 클럭 드라이버를 포함한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

먼저, 도 3은 본 발명의 일 실시예에 의한 D L L 회로를 나타낸 블록도로서, 이러한 본 발명의 D L L 회로는, 클럭 버퍼(310), 제어부(320), 제1 MUX(330), 디지털 딜레이 라인(340), 제2 MUX(350), 듀티 교정기(360) 및 클럭 드라이버(370)를 포함한다.

클럭 버퍼(310)는, 외부 클럭을 입력받아 후술하는 제1 MUX(320)로 전달하는 역할을 한다.

또한, 제어부(320)는, 파워 다운 여부에 따라 복수개의 클럭 제어 신호를 생성하고, 상기 복수개의 클럭 제어 신호를 후술하는 제1 MUX(330) 및 제2 MUX(350)에 출력하는 역할을 한다.

한편, 제1 MUX(330)는, 상기 복수개의 클럭 제어 신호를 입력받고, 상기 복수개의 클럭 제어 신호에 따라 듀티 보정 클럭을 후술하는 제2 MUX(350)로 출력하거나 상기 클럭 버퍼(310)로부터 입력받은 클럭 신호를 후술하는 디지털 딜레이 라인(340)으로 전달하는 역할을 한다.

한편, 디지털 딜레이 라인(340)은, 제1 MUX(330)로부터 입력 받은 클럭을 지연시킨 후, 지연된 클럭을 후술하는 제2 MUX(350)로 출력하는 역할을 한다.

또한, 제2 MUX(350)는, 상기 클럭 제어 신호에 따라 제1 MUX(330)에서 출력된 상기 듀티 보정 클럭을 후술하는 듀티 교정기(360)로 전달하거나 상기 디지털 딜레이 라인(340)에서 출력된 클럭 신호를 후술하는 듀티 교정기(360)로 전달하는 역할을 한다.

한편, 듀티 교정기(360)는, 상기 제2 MUX(350)로부터 입력받은 클럭의 듀티를 교정하는 역할을 한다.

또한, 클럭 드라이버(370)는, 상기 듀티 교정기(360)로부터 입력받은 클럭을 상향 클럭과 하향 클럭으로서 출력하는 역할을 한다.

도 4는 본 발명의 일 실시예에 의한 D L L 회로 내에 장착된 제1 MUX(330)를 나타낸 회로도로서, 이에 관하여 설명하면 다음과 같다.

제1 패스게이트(411)는, 상기 복수개의 클럭 제어 신호 중 제1 클럭 제어 신호(clock_control)에 따라 상기 클럭 버퍼(310)로부터 입력된 클럭 신호를 도통/차단시키는 역할을 한다.

또한, 제2 패스게이트(412)는, 상기 클럭 제어 신호 중 제1 클럭 제어 신호(clock_control)에 따라 상기 클럭 버퍼(310)로부터 입력된 클럭 신호의 반전 신호를 도통/차단시키는 역할을 한다.

한편, 클럭 조정부(420)는, 상기 제1 패스게이트(411) 또는 상기 제2 패스게이트(412)로부터 입력받은 클럭 신호를 전달하고, 상기 클럭 제어 신호 중 제2 클럭 제어 신호(dcc_bp)를 입력받으며, 상기 제2 클럭 제어 신호(dcc_bp)가 제2 논리 단계(High)인 경우에는 상기 디지털 딜레이 라인(340)으로 출력되는 클럭 신호를 차단하는 역할을 한다. 여기서, 상기 클럭 조정부(420)에 관하여 상세히 설명하면 다음과 같다.

한편, 상기 클럭 조정부(420) 내에 장착된 제1 인버터(421)는, 상기 클럭 제어 신호 중 제2 클럭 제어 신호(dcc_bp)를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 클럭 조정부(420) 내에 장착된 제1 NAND 게이트(422)는, 상기 제1 패스게이트(411) 또는 상기 제2 패스게이트(412)로부터의 신호 및 상기 제1 인버터(421)로부터의 신호를 입력받아 NAND 연산한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 상기 클럭 조정부(420) 내에 장착된 제2 인버터(423)는, 상기 제1 NAND 게이트(422)로부터 출력된 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 클럭 조정부(420) 내에 장착된 제2 NAND 게이트(424)는, 상기 제1 패스게이트(411) 또는 상기 제2 패스게이트(412)로부터의 신호 및 상기 제1 인버터(421)로부터의 신호를 입력받아 NAND 연산한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 상기 클럭 조정부(420) 내에 장착된 제3 인버터(425)는, 상기 제2 NAND 게이트(424)로부터 출력된 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 상기 클럭 조정부(420) 내에 장착된 제3 NAND 게이트(426)는, 상기 제1 패스게이트(411) 또는 상기 제2 패스게이트(412)로부터의 신호 및 전원 전압을 입력받아 NAND 연산한 후, 그 결과 신호를 출력하는 역할을 한다.

한편, 상기 클럭 조정부(420) 내에 장착된 제4 인버터(427)는, 상기 제3 NAND 게이트(426)로부터 출력된 신호를 입력받아 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

도 5는 본 발명의 일 실시예에 의한 D L L 회로 내에 장착된 제2 MUX(350)를 나타낸 회로도로서, 이에 관하여 설명하면 다음과 같다.

제5 인버터(511)는, 상기 제1 MUX(330)로부터 입력받은 클럭 신호를 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제3 패스게이트(512)는, 상기 복수개의 클럭 제어 신호 중 제1 클럭 제어 신호(clock_control)에 따라 상기 제5 인버터(511)로부터 출력된 신호를 도통/차단시키는 역할을 한다. 즉, 상기 제1 클럭 제어 신호가 제1 논리 단계인 경우에는 상기 제5 인버터(511)로부터 출력된 신호를 도통시키고, 상기 제1 클럭 제어 신호가 제2 논리 단계인 경우에는 상기 제5 인버터(511)로부터 출력된 신호를 차단하게 된다.

한편, 제6 인버터(521)는, 상기 디지털 딜레이 라인(340)으로부터 입력받은 클럭 신호를 반전한 후, 그 결과 신호를 출력하는 역할을 한다.

또한, 제4 패스게이트(522)는, 상기 복수개의 클럭 제어 신호 중 제1 클럭 제어 신호(clock_control)에 따라 상기 제6 인버터(521)로부터 출력된 신호를 도통/차단시키는 역할을 한다. 즉, 상기 제1 클럭 제어 신호가 제2 논리 단계인 경우에는 상기 제6 인버터(521)로부터 출력된 신호를 도통시키고, 상기 제1 클럭 제어 신호가 제1 논리 단계인 경우에는 상기 제6 인버터(521)로부터 출력된 신호를 차단하게 된다.

한편, 제7 인버터(530)는, 상기 제3 패스게이트(512) 또는 상기 제4 패스게이트(522)로부터 입력받은 클럭 신호를 반전한 후, 그 결과 신호를 상기 듀티 교정기(360)로 출력하는 역할을 한다.

상술한 본 발명의 D L L 회로의 동작에 관하여 설명하면 다음과 같다.

파워 다운 모드가 되면, 클럭 제어 신호 중 제2 클럭 제어 신호(dcc_bp)에 의하여 클럭 버퍼(310)로부터 디지털 딜레이 라인(340)으로 가는 클럭 신호들이 제1 논리 단계(Low)의 상태로 전환된다. 이렇게 되면 일반적인 동작 상태에서 듀티 교

정기(360)로 입력되는 DLL 클럭이 제1 논리 단계(Low)의 상태로 가게 되고, 이 경우에, 제1 MUX(330) 및 제2 MUX(350)를 거친 Dcc 클럭을 사용하여 파워 다운이 되더라도 듀티 교정기(360)에 항상 활성화된 클럭 신호가 입력되도록 함으로써, 듀티 교정기(360) 내 캐패시터에 일정한 전압 레벨을 유지하게 한다. 이러한 방식으로 유지된 전압 레벨에 의하여 듀티의 에러가 교정될 수 있다.

이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

발명의 효과

본 발명은 DLL 내부에서 사용되는 모든 클럭이 제1 논리 단계(Low)로 유지되는 파워 다운 모드 시에, 듀티 교정기로 입력되는 클럭은 계속 동작하도록 듀티 교정기의 입력 클럭을 변경함으로써 듀티 교정기 내 보정 전압(dcc/dccb)을 계속 그대로 유지할 수 있도록 하는 장점이 있다.

(57) 청구의 범위

청구항 1.

외부 클럭을 입력받아 전달하는 클럭 버퍼;

파워 다운 모드 여부에 따라 복수개의 클럭 제어 신호를 생성하는 제어부;

상기 복수개의 클럭 제어 신호를 입력받고, 상기 복수개의 클럭 제어 신호에 따라 상기 클럭 버퍼로부터 입력받은 클럭 신호를 다른 경로로 전달하는 제1 MUX;

상기 제1 MUX로부터 입력 받은 클럭 신호를 지연시키는 디지털 딜레이 라인;

상기 클럭 제어 신호에 따라, 파워 다운 모드인 경우에는 상기 제1 MUX에서 출력된 클럭 신호를 전달하고, 파워 다운 모드가 아닌 경우에는 상기 디지털 딜레이 라인에서 출력된 클럭 신호를 전달하는 제2 MUX;

상기 제2 MUX로부터 입력받은 클럭 신호의 듀티를 교정하는 듀티 교정기; 및

상기 듀티 교정기로부터 입력받은 클럭 신호를 상향 클럭과 하향 클럭으로서 출력하는 클럭 드라이버

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 2.

제1항에 있어서,

상기 복수개의 클럭 제어 신호는, 제1 클럭 제어 신호 및 제2 클럭 제어 신호를 포함하고,

상기 제1 클럭 제어 신호는, 파워 다운 모드가 아닌 경우에는 제2 논리 단계이고, 파워 다운 모드인 경우에는 제1 논리 단계이며, 상기 제2 클럭 제어 신호는, 파워 다운 모드가 아닌 경우에는 제1 논리 단계이고, 파워 다운 모드인 경우에는 제2 논리 단계인

것을 특징으로 하는 DLL 회로.

청구항 3.

제2항에 있어서, 상기 제1 MUX는,

상기 제1 클럭 제어 신호에 따라 상기 클럭 버퍼로부터 입력된 클럭 신호를 도통/차단시키는 복수개의 패스게이트; 및

상기 복수개의 패스게이트로부터 입력받은 클럭 신호를 전달하고, 상기 제2 클럭 제어 신호가 제2 논리 단계인 경우에는 상기 디지털 딜레이 라인으로 출력되는 클럭 신호를 차단하는 클럭 조정부

를 포함하는 것을 특징으로 하는 D L L 회로.

청구항 4.

제2항 또는 제3항에 있어서, 상기 제2 MUX는,

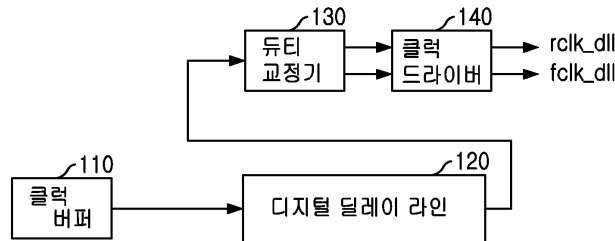
상기 제1 클럭 제어 신호가 제1 논리 단계인 경우에는 상기 제1 MUX로부터 출력된 신호를 도통시키고, 상기 제1 클럭 제어 신호가 제2 논리 단계인 경우에는 상기 제1 MUX로부터 출력된 신호를 차단하는 제1 패스게이트; 및

상기 제1 클럭 제어 신호가 제2 논리 단계인 경우에는 상기 디지털 딜레이 라인으로부터 출력된 신호를 도통시키고, 상기 제1 클럭 제어 신호가 제1 논리 단계인 경우에는 상기 디지털 딜레이 라인으로부터 출력된 신호를 차단하는 제2 패스게이트

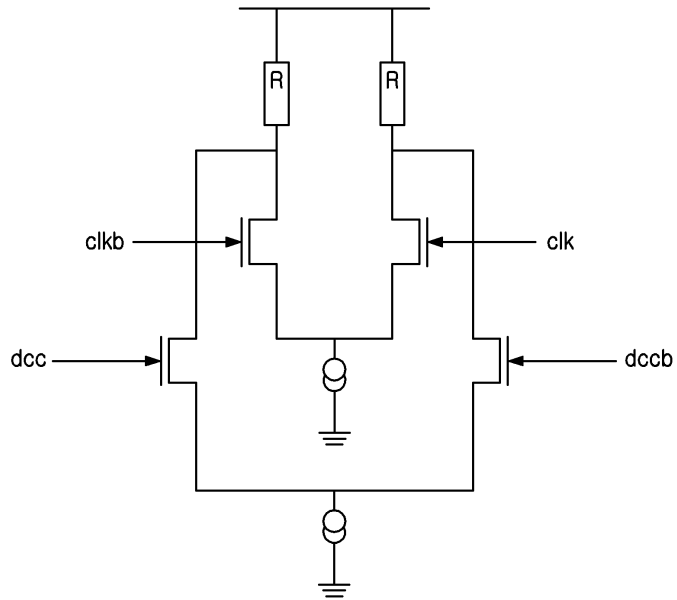
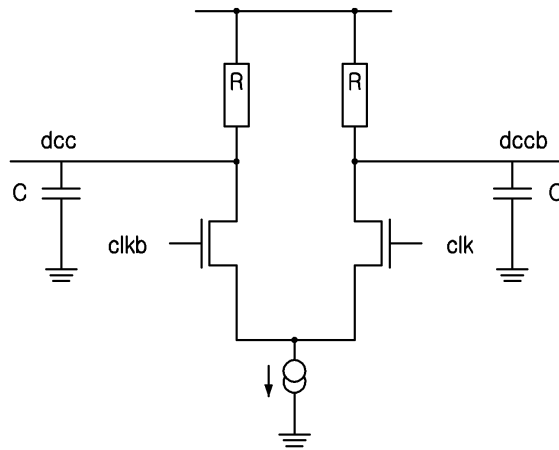
를 포함하는 것을 특징으로 하는 D L L 회로.

도면

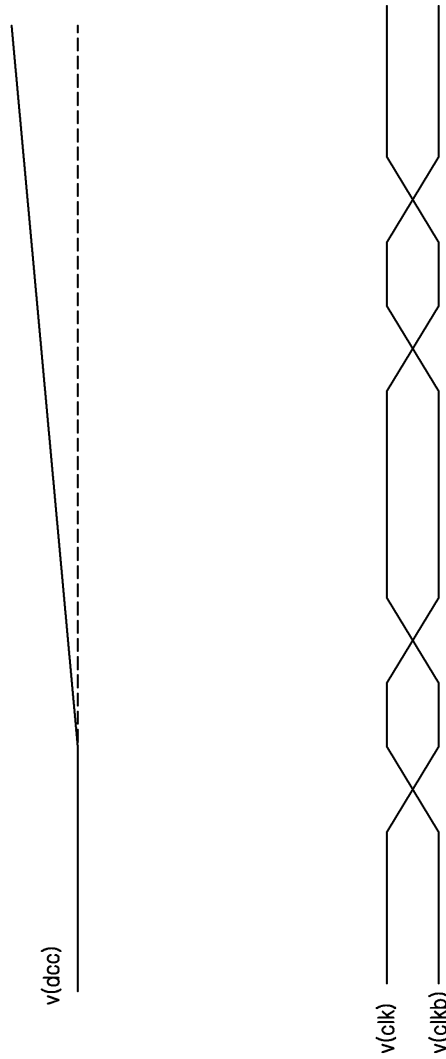
도면1



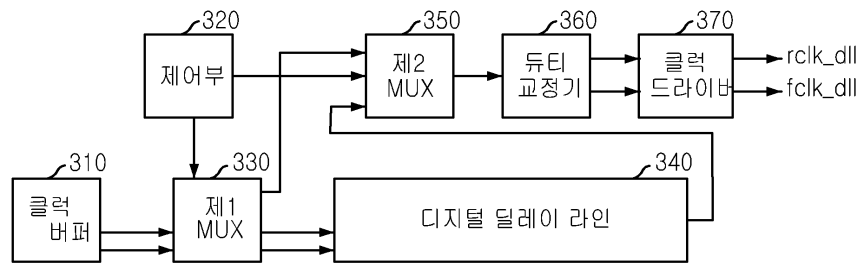
도면2a



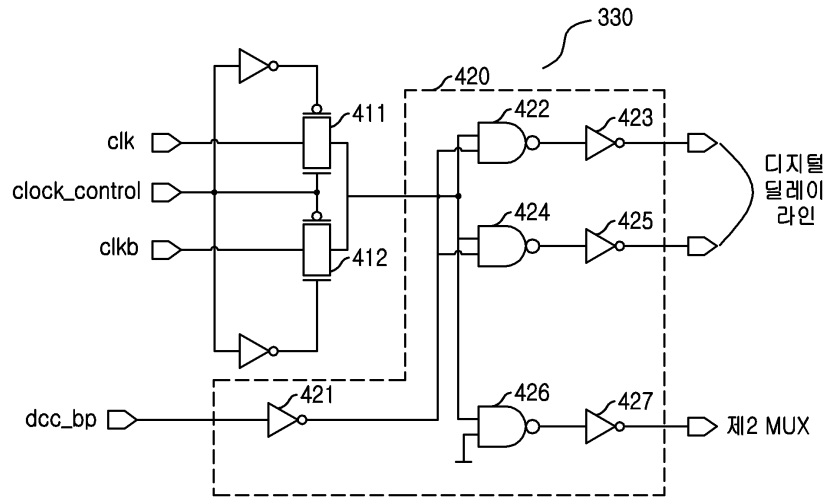
도면2b



도면3



도면4



도면5

