

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-210063

(P2012-210063A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

A

テーマコード(参考)

5H730

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2011-73735 (P2011-73735)  
 (22) 出願日 平成23年3月29日 (2011.3.29)

(71) 出願人 000004075  
 ヤマハ株式会社  
 静岡県浜松市中区中沢町10番1号  
 (74) 代理人 100125689  
 弁理士 大林 章  
 (74) 代理人 100125335  
 弁理士 矢代 仁  
 (74) 代理人 100121108  
 弁理士 高橋 太朗  
 (72) 発明者 川岸 典弘  
 静岡県浜松市中区中沢町10番1号 ヤマ  
 ハ株式会社内  
 Fターム(参考) 5H730 BB05 DD04 EE59 FD01 FG01  
 FG05

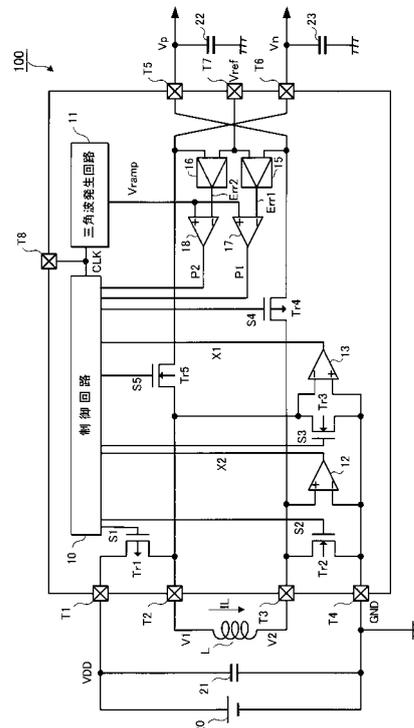
(54) 【発明の名称】 電圧変換回路

(57) 【要約】

【課題】 簡易な構成で入力電圧を任意の正電圧及び負電圧に変換する。

【解決手段】 電圧変換回路100は、トランジスタTr1~Tr5、コイルL、制御回路10を備える。制御回路10は、第1期間及び第2期間の充電期間において、トランジスタTr1及びTr2をオンさせ、トランジスタTr3、Tr4、及びTr5をオフさせ、第1期間の放電期間において、トランジスタTr3及びTr4をオンさせ、トランジスタTr1、Tr2、及びTr5をオフさせ、第2期間の放電期間において、トランジスタTr2及びTr5をオンさせ、トランジスタTr1、Tr3、及びTr4をオフさせる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

入力電圧が供給される第1端子と、  
 コイルの一方の端子が接続される第2端子と、  
 前記コイルの他方の端子が接続される第3端子と、  
 接地電圧が供給される第4端子と、  
 正電圧を出力する第5端子と、  
 負電圧を出力する第6端子と、  
 前記第1端子と前記第2端子との間に設けられた第1スイッチング素子と、  
 前記第3端子と前記第4端子との間に設けられた第2スイッチング素子と、  
 前記第2端子と前記第4端子との間に設けられた第3スイッチング素子と、  
 前記第3端子と前記第5端子との間に設けられた第4スイッチング素子と、  
 前記第2端子と前記第6端子との間に設けられた第5スイッチング素子と、  
 前記正電圧を生成するための第1期間と前記負電圧を生成するための第2期間とで前記  
 第1乃至第5スイッチング素子をオン又はオフに制御する制御回路とを備え、  
 前記制御回路は、  
 前記第1期間の充電期間において、前記第1スイッチング素子及び前記第2スイッチ  
 ング素子をオンさせ、前記第3スイッチング素子、前記第4スイッチング素子、及び前記第  
 5スイッチング素子をオフさせ、  
 前記第1期間の充電期間に続く放電期間において、前記第3スイッチング素子及び前記  
 第4スイッチング素子をオンさせ、前記第1スイッチング素子、前記第2スイッチング素  
 子、及び前記第5スイッチング素子をオフさせ、  
 前記第2期間の充電期間において、前記第1スイッチング素子及び前記第2スイッチ  
 ング素子をオンさせ、前記第3スイッチング素子、前記第4スイッチング素子、及び前記第  
 5スイッチング素子をオフさせ、  
 前記第2期間の充電期間に続く放電期間において、前記第2スイッチング素子及び前記  
 第5スイッチング素子をオンさせ、前記第1スイッチング素子、前記第3スイッチング素  
 子、及び前記第4スイッチング素子をオフさせる、  
 ことを特徴とする電圧変換回路。

## 【請求項 2】

前記制御回路は、前記第1期間の放電期間に続く停止期間、及び前記第1期間の放電期  
 間に続く停止期間において、前記第2スイッチング素子及び前記第3スイッチング素子を  
 オンさせ、前記第1スイッチング素子、前記第4スイッチング素子、及び前記第5スイ  
 ッチング素子をオフさせることを特徴とする請求項1に記載の電圧変換回路。

## 【請求項 3】

前記第1期間の放電期間において前記コイルに流れる電流がゼロになったことを検出し  
 て第1の検出信号を出力する第1検出部と、  
 前記第2期間の放電期間において前記コイルに流れる電流がゼロになったことを検出し  
 て第2の検出信号を出力する第2検出部とを備え、  
 前記制御回路は、前記第1の検出信号に基づいて前記第1期間の放電期間を終了し、前  
 記第2の検出信号に基づいて前記第2期間の放電期間を終了する、  
 ことを特徴とする請求項1又は2に記載の電圧変換回路。

## 【請求項 4】

前記第1検出部は、前記第2スイッチング素子又は前記第3スイッチング素子の一方の  
 端子の電圧と他方の端子の電圧を比較する第1のコンパレータであり、  
 前記第2検出部は、前記第2スイッチング素子又は前記第3スイッチング素子の一方の  
 端子の電圧と他方の端子の電圧を比較する第2のコンパレータである、  
 ことを特徴とする請求項3に記載の電圧変換回路。

## 【請求項 5】

前記正電圧と目標電圧との差分に応じたパルス幅の第1信号を生成する第1手段と、

前記負電圧と目標電圧との差分に応じたパルス幅の第 2 信号を生成する第 2 手段とを備え、

前記制御回路は、前記第 1 信号に基づいて前記第 1 期間の充電期間の長さを制御し、前記第 2 信号に基づいて前記第 2 期間の充電期間の長さを制御する、

ことを特徴とする請求項 1 乃至 4 のうちいずれか 1 項に記載の電圧変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、正電圧と負電圧を生成する技術に関する。

10

【背景技術】

【0002】

所定の正電圧を、より大きな正電圧と負電圧とに変換する電圧変換回路として、チャージポンプを用いるものが知られている。特許文献 1 には、入力電圧を VDD としたとき、2 個の容量素子と 7 個のスイッチング素子とを用いて、+2VDD 及び -2VDD を出力するチャージポンプ回路が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 6 - 165482 号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、特許文献 1 の技術では、7 個のスイッチング素子を用いるため構成が複雑であり、しかも、これらを適切なタイミングでオン・オフさせる必要があるため、7 個のスイッチング素子を制御する制御回路も構成が複雑となる。さらに、チャージポンプ回路から出力される正電圧と負電圧は絶対値を等しくする必要があり、任意の大きさを指定することができないといった問題があった。

以上の事情を考慮して、本発明は、構成を簡素化しつつ、入力電圧から任意の正電圧と負電圧とを生成することを解決課題とする。

30

【課題を解決するための手段】

【0005】

以上の課題を解決するために本発明が採用する手段を説明する。本発明の電圧変換回路は、入力電圧が供給される第 1 端子と、コイルの一方の端子が接続される第 2 端子と、前記コイルの他方の端子が接続される第 3 端子と、接地電圧が供給される第 4 端子と、正電圧を出力する第 5 端子と、負電圧を出力する第 6 端子と、前記第 1 端子と前記第 2 端子との間に設けられた第 1 スwitchング素子と、前記第 3 端子と前記第 4 端子との間に設けられた第 2 スwitchング素子と、前記第 2 端子と前記第 4 端子との間に設けられた第 3 スwitchング素子と、前記第 3 端子と前記第 5 端子との間に設けられた第 4 スwitchング素子と、前記第 2 端子と前記第 6 端子との間に設けられた第 5 スwitchング素子と、前記正電圧を生成するための第 1 期間と前記負電圧を生成するための第 2 期間とで前記第 1 乃至第 5 スwitchング素子をオン又はオフに制御する制御回路とを備え、前記制御回路は、前記第 1 期間の充電期間において、前記第 1 スwitchング素子及び前記第 2 スwitchング素子をオンさせ、前記第 3 スwitchング素子、前記第 4 スwitchング素子、及び前記第 5 スwitchング素子をオフさせ、前記第 1 期間の充電期間に続く放電期間において、前記第 3 スwitchング素子及び前記第 4 スwitchング素子をオンさせ、前記第 1 スwitchング素子、前記第 2 スwitchング素子、及び前記第 5 スwitchング素子をオフさせ、前記第 2 期間の充電期間において、前記第 1 スwitchング素子及び前記第 2 スwitchング素子をオンさせ、前記第 3 スwitchング素子、前記第 4 スwitchング素子、及び前記第 5 スwitchング素子をオフさせ、前記第 2 期間の充電期間に続く放電期間において、前記第 2 スwitchン

40

50

グ素子及び前記第 5 スイッチング素子をオンさせ、前記第 1 スイッチング素子、前記第 3 スイッチング素子、及び前記第 4 スイッチング素子をオフさせる。

【0006】

この発明によれば、第 1 期間と第 2 期間の充電期間では、電流を同じ方向に流して電力をコイルに蓄え、第 1 期間の放電期間では第 5 端子から電流を吐き出すことによって正電圧を出力する一方、第 2 期間の放電期間では第 6 端子から電流を吸い込むことによって負電圧を出力する。これにより、1 個のコイルと 5 個のスイッチング素子によって、正電圧と負電圧の双方を出力することができる。よって、従来の技術よりも構成が簡素化され、スイッチング素子などを減らすことができる。また、スイッチング素子を制御する制御回路の構成を簡素化できる。さらに、第 1 期間の充電期間及び放電期間の長さ、第 2 期間の充電期間及び放電期間の長さを独立して制御することによって、正電圧の絶対値と負電圧の絶対値を独立して設定することが可能となる。

10

【0007】

この発明の好ましい態様として、前記制御回路は、前記第 1 期間の放電期間に続く停止期間、及び前記第 1 期間の放電期間に続く停止期間において、前記第 2 スイッチング素子及び前記第 3 スイッチング素子をオンさせ、前記第 1 スイッチング素子、前記第 4 スイッチング素子、及び前記第 5 スイッチング素子をオフさせてもよい。この場合には、停止期間において、コイルに蓄えられた電力をゼロにするので、次の充電期間にコイルに電力が残っていないことがない。このため、正確に正電圧の大きさと負電圧の大きさを制御することができる。

20

【0008】

この発明の好ましい形態として、前記第 1 期間の放電期間において前記コイルに流れる電流がゼロになったことを検出して第 1 の検出信号を出力する第 1 検出部と、前記第 2 期間の放電期間において前記コイルに流れる電流がゼロになったことを検出して第 2 の検出信号を出力する第 2 検出部とを備え、前記制御回路は、前記第 1 の検出信号に基づいて前記第 1 期間の放電期間を終了し、前記第 2 の検出信号に基づいて前記第 2 期間の放電期間を終了させてもよい。この場合には、コイル電流の大きさを検知して放電期間を終了させるので、コイルに蓄えられた電力を効率良く出力することができる。

【0009】

より具体的には、前記第 1 検出部は、前記第 2 スイッチング素子又は前記第 3 スイッチング素子の一方の端子の電圧と他方の端子の電圧を比較する第 1 のコンパレータであり、前記第 2 検出部は、前記第 2 スイッチング素子又は前記第 3 スイッチング素子の一方の端子の電圧と他方の端子の電圧を比較する第 2 のコンパレータであることが好ましい。

30

【0010】

この発明の好ましい形態として、前記正電圧と目標電圧との差分に応じたパルス幅の第 1 信号を生成する第 1 手段と、前記負電圧と目標電圧との差分に応じたパルス幅の第 2 信号を生成する第 2 手段とを備え、前記制御回路は、前記第 1 信号に基づいて前記第 1 期間の充電期間の長さを制御し、前記第 2 信号に基づいて前記第 2 期間の充電期間の長さを制御してもよい。この発明によれば、第 1 信号のパルス幅と第 2 信号のパルス幅は独立して制御されるので、任意の大きさの正電圧と負電圧とを出力することができる。

40

【図面の簡単な説明】

【0011】

【図 1】本発明の実施形態に係る電圧変換回路のブロック図である。

【図 2】各信号のタイミングチャートである。

【図 3】第 1 期間及び第 2 期間の充電期間におけるトランジスタのオン・オフを説明するための説明図である。

【図 4】第 1 期間の放電期間におけるトランジスタのオン・オフを説明するための説明図である。

【図 5】第 1 期間及び第 2 期間の停止期間におけるトランジスタのオン・オフを説明するための説明図である。

50

【図6】第2期間の放電期間におけるトランジスタのオン・オフを説明するための説明図である。

【発明を実施するための形態】

【0012】

<実施形態>

図1は、本発明の実施形態に係る電圧変換回路100のブロック図である。電圧変換回路100は、端子1と端子T4との間に供給される入力電圧VDDを変換して、正電圧Vpを端子T5から出力する一方、負電圧Vnを端子T6から出力する電源回路(DC-DCコンバータ)である。直流電源回路20は端子T1と端子T4との間に入力電圧VDDを供給する。端子T4は接地される。また、端子T1と端子T4との間に設けられた容量素子21は、入力電圧VDDを平滑化するものである。端子T7には基準電圧Vrefが供給され、端子T8にはクロック信号CLKが供給される。さらに、容量素子22が端子T5に接続され、容量素子23が端子T6に接続される。容量素子22及び23は正電圧Vp及び負電圧Vnを平滑化するために用いられる。

10

【0013】

電圧変換回路100は、スイッチング素子として機能するPチャネルのトランジスタTr1及びTr4と、NチャネルのトランジスタTr2、Tr3、及びTr5とを備える。これらは、制御回路10が生成する制御信号S1~S5によってオン・オフが制御される。トランジスタTr1は、端子T1と端子T2との間に設けられ、入力電圧VDDをコイルLの一方の端子に供給するか否かを制御する。トランジスタTr2は、端子T3と端子T4との間に設けられ、コイルLの他方の端子を接地するか否かを制御する。トランジスタTr3は、端子T2と端子T4との間に設けられ、コイルLの一方の端子を接地するか否かを制御する。トランジスタTr4は、端子T3と端子T5との間に設けられ、正電圧Vpを出力するか否かを制御する。トランジスタTr5は、端子T2と端子T6との間に設けられ、負電圧Vnを出力するか否かを制御する。

20

【0014】

コンパレータ12(第2検出部)は、トランジスタTr2に並列に設けられており、コイル電流ILがゼロになると、ハイレベルからローレベルに切り替わる検出信号X2を生成して制御回路10に供給する。コンパレータ13(第1検出部)は、トランジスタTr3と並列に設けられており、コイル電流ILがゼロになると、ハイレベルからローレベルに切り替わる検出信号X1を生成して制御回路10に供給する。

30

【0015】

また、三角波発生回路11はクロック信号CLKに同期して三角波信号Vrampを生成する。アンプ15は正電圧Vpと基準電圧Vrefとの差分に基づいて誤差信号Err1を生成し、アンプ16は負電圧Vnと基準電圧Vrefとの差分に基づいて誤差信号Err2を生成する。コンパレータ17は、三角波信号Vrampと誤差信号Err1とを比較してPWM信号P1を生成し制御回路10に出力する。コンパレータ18は、三角波信号Vrampと誤差信号Err2とを比較してPWM信号P2を生成し制御回路10に出力する。

【0016】

制御回路10は、検出信号X1及びX2、クロック信号CLK、並びにPWM信号P1及びP2に基づいて、制御信号S1~S5を生成する。以上の構成において、PWM信号P1のパルス幅が長くなる程、正電圧Vpは大きくなり、PWM信号P2のパルス幅が長くなる程、負電圧Vnの絶対値は大きくなる。PWM信号P1とPWM信号P2とは、三角波信号Vrampと誤差信号Err1及びErr2を比較して生成されるので、アンプ16及び17のゲインを調整することによって、正電圧Vpと負電圧Vnの大きさを設定することができる。

40

【0017】

次に、電圧変換回路100の動作を説明する。電圧変換回路100の動作は、正電圧Vpを生成する第1期間Taと、負電圧Vnを生成する第2期間Tbに大別され、さらに、第1期間Taと第2期間Tbとの各々が充電期間、放電期間、及び停止期間に分けられる

50

。図 2 は、電圧変換回路の各部の波形を示すタイミングチャートであり、図 3 ~ 図 6 は、トランジスタ  $Tr 1 \sim Tr 5$  のオン・オフを説明するために説明図である。

【 0 0 1 8 】

図 2 に示すように、クロック信号  $CLK$  は、第 1 期間  $T a$  及び第 2 期間  $T b$  の開始でハイレベルとなる。三角波発生回路 11 はクロック信号  $CLK$  の立ち上がり同期して、三角波信号  $V_{ramp}$  のレベルをリセットする。PWM 信号  $P 1$  は誤差信号  $Err1$  に応じた期間だけアクティブ（ハイレベル）となり、PWM 信号  $P 2$  は誤差信号  $Err2$  に応じた期間だけアクティブ（ハイレベル）となる。制御回路 10 は PWM 信号  $P 1$  がアクティブとなる期間を第 1 期間  $T a$  の充電期間とし、PWM 信号  $P 1$  がアクティブとなる期間を第 2 期間  $T b$  の充電期間とする。

10

【 0 0 1 9 】

まず、第 1 期間  $T a$  の充電期間では、制御回路 10 は制御信号  $S 1$  及び  $S 2$  をアクティブとし、制御信号  $S 3 \sim S 5$  を非アクティブとする。この結果、図 3 に示すようにトランジスタ  $Tr 1$  及び  $Tr 2$  がオンし、トランジスタ  $Tr 3 \sim Tr 5$  がオフする。充電期間では、直流電源回路 20 端子  $T 1$  トランジスタ  $Tr 1$  端子  $T 2$  コイル  $L$  端子  $T 3$  トランジスタ  $Tr 2$  端子  $T 4$  接地といった経路で電流が流れる。このとき、コイル  $L$  の一方の端子の電圧である第 1 電圧  $V 1$  は接地を基準として正の電圧となり、コイル  $L$  の他方の電圧である第 2 電圧  $V 2$  は接地電圧（ $GND$ ）となる。充電期間では、トランジスタ  $Tr 1$  を介して電流  $I_L$  がコイル  $L$  に流れ込み、これによって、コイル  $L$  に流れる電流  $I_L$  は次第に大きくなり、コイル  $L$  に電力が蓄えられる。

20

【 0 0 2 0 】

次に、第 1 期間  $T a$  の放電期間は、充電期間の終了から開始され、検出信号  $X 1$  の立ち下がり  $E 1$  で終了する。上述したように検出信号  $X 1$  は、コイル電流  $I_L$  がゼロになると、ハイレベルからローレベルに切り替わる。したがって、第 1 期間  $T a$  の放電期間は、充電期間の終了からコイル電流  $I_L$  がゼロになるまでの期間となる。第 1 期間  $T a$  の放電期間において、制御回路 10 は制御信号  $S 3$  及び  $S 4$  をアクティブとし、制御信号  $S 1$ 、 $S 2$ 、及び  $S 5$  を非アクティブとする。この結果、図 4 に示すようにトランジスタ  $Tr 3$  及び  $Tr 4$  がオンし、トランジスタ  $Tr 1$ 、 $Tr 2$ 、及び  $Tr 5$  がオフする。放電期間では、接地 端子  $T 4$  トランジスタ  $Tr 3$  端子  $T 2$  コイル  $L$  端子  $T 3$  トランジスタ  $Tr 4$  端子  $T 5$  といった経路で電流が流れる。このとき、コイル  $L$  の他方の端子の電圧である第 2 電圧  $V 2$  は接地を基準として正の電圧となり、コイル  $L$  の一方の電圧である第 1 電圧  $V 1$  は接地電圧（ $GND$ ）となる。第 1 期間  $T a$  の放電期間では、第 2 電圧  $V 2$  がトランジスタ  $Tr 4$  を介して端子  $T 5$  から正電圧  $V_p$  として出力される。正電圧  $V_p$  は、第 1 期間  $T a$  の充電期間にコイル  $L$  に蓄えられた電力によって生成される。

30

【 0 0 2 1 】

次に、第 1 期間  $T a$  の停止期間は、放電期間の終了から開始されクロック信号  $CLK$  がハイレベルになると終了する。当該期間において、制御回路 10 は制御信号  $S 2$  及び  $S 3$  をアクティブとし、制御信号  $S 1$ 、 $S 4$ 、及び  $S 5$  を非アクティブとする。この結果、図 5 に示すようにトランジスタ  $Tr 2$  及び  $Tr 3$  がオンし、トランジスタ  $Tr 1$ 、 $Tr 4$ 、及び  $Tr 5$  がオフする。停止期間では、端子  $T 2$  及び端子  $T 3$  がいずれも接地される。したがって、コイル  $L$  の第 1 電圧  $V 1$  及び第 2 電圧  $V 2$  は接地電圧となる。

40

【 0 0 2 2 】

次に、第 2 期間  $T b$  の充電期間及び停止期間は、第 1 期間  $T a$  の充電期間及び停止期間と同様に動作する。

次に、第 2 期間  $T b$  の放電期間は、充電期間の終了から開始され、検出信号  $X 2$  の立ち下がり  $E 2$  で終了する。上述したように検出信号  $X 2$  は、コイル電流  $I_L$  がゼロになると、ハイレベルからローレベルに切り替わる。したがって、第 2 期間  $T b$  の放電期間は、充電期間の終了からコイル電流  $I_L$  がゼロになるまでの期間となる。

第 2 期間  $T b$  の放電期間において、制御回路 10 は制御信号  $S 2$  及び  $S 5$  をアクティブとし、制御信号  $S 1$ 、 $S 3$ 、及び  $S 4$  を非アクティブとする。この結果、図 6 に示すよう

50

にトランジスタ  $T r 2$  及び  $T r 5$  がオンし、トランジスタ  $T r 1$ 、 $T r 3$ 、及び  $T r 4$  がオフする。放電期間では、端子  $T 6$  トランジスタ  $T r 5$  端子  $T 2$  コイル  $L$  端子  $T 3$  トランジスタ  $T r 2$  端子  $T 4$  接地といった経路で電流が流れる。即ち、端子  $T 6$  から吸い込む方向に電流が流れる。このとき、コイル  $L$  の一方の端子の電圧である第 1 電圧  $V 1$  は接地を基準として負の電圧となり、コイル  $L$  の他方の電圧である第 2 電圧  $V 2$  は接地電圧 (  $G N D$  ) となる。第 2 期間  $T b$  の放電期間では、第 1 電圧  $V 1$  がトランジスタ  $T r 5$  を介して端子  $T 6$  から負電圧  $V n$  として出力される。負電圧  $V n$  は、第 2 期間  $T b$  の充電期間にコイル  $L$  に蓄えられた電力によって生成される。

【 0 0 2 3 】

以上説明したように本実施形態よれば、コイル  $L$  に蓄積された電力を放電する際に、コイル  $L$  に充電期間と同じ方向に電流を流しつつ、電流経路を切り替えて、正電圧  $V p$  を出力する場合には電流を吐き出す一方、負電圧  $V n$  を出力する場合には電流を吸い込むようにしたので正負の電圧を 1 個のコイル  $L$  を用いて生成することができる。また、従来のチャージポンプと比較して、トランジスタの個数を削減することができる。くわえて、本実施形態によれば正電圧  $V p$  と負電圧  $V n$  との大きさを独立して設定することが可能となる。

10

【 0 0 2 4 】

< 変形例 >

本発明は上述した実施形態に限定されるものではなく、例えば、以下に述べる変形が可能である。

20

( 1 ) 上述した実施形態では、第 1 期間  $T a$  の放電期間におけるコイル電流  $I L$  がゼロになったか否かをコンパレータ 1 3 で検出したが、本発明はこれに限定されるものではなく、コイル電流  $I L$  がモニタできるのであればどのような手段を用いてもよい。要は、コイル電流  $I L$  が流れる電流経路にコイル電流  $I L$  を検出する検出部を設ければよい。例えば、トランジスタ  $T r 4$  と並列にコンパレータ 1 3 を設けてもよい。

【 0 0 2 5 】

( 2 ) 上述した実施形態では、第 2 期間  $T b$  の放電期間におけるコイル電流  $I L$  がゼロになったか否かをコンパレータ 1 2 で検出したが、本発明はこれに限定されるものではなく、コイル電流  $I L$  がモニタできるのであればどのような手段を用いてもよい。要は、コイル電流  $I L$  が流れる電流経路にコイル電流  $I L$  を検出する検出部を設ければよい。例えば、トランジスタ  $T r 5$  と並列にコンパレータ 1 2 を設けてもよい。

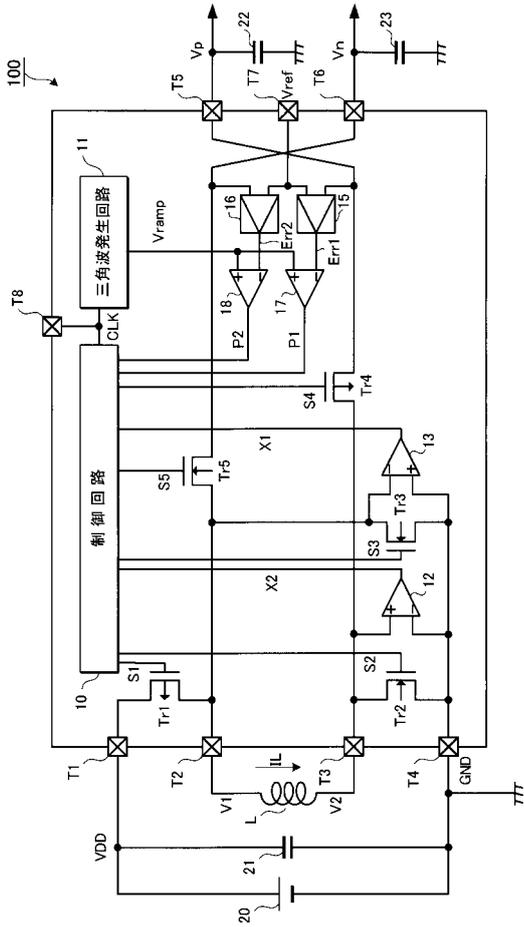
30

【 符号の説明 】

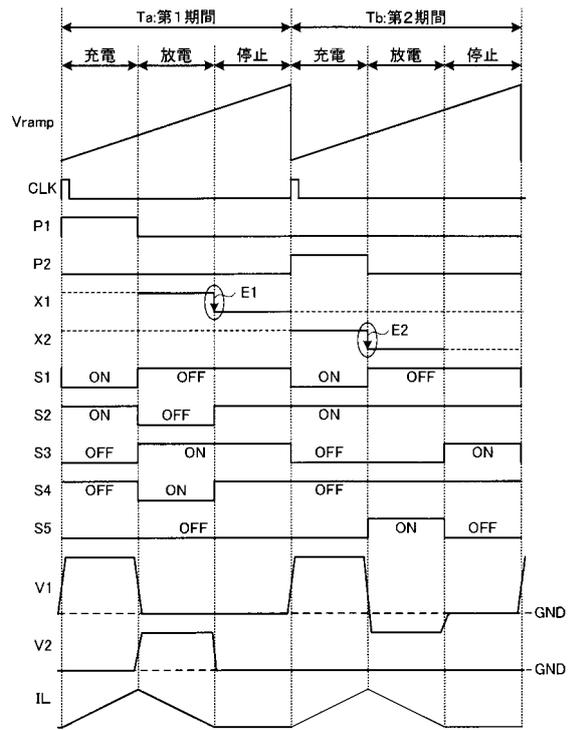
【 0 0 2 6 】

1 0 0 …… 電圧変換回路、 $T 1 \sim T 8$  …… 端子、 $T R 1 \sim T R 5$  …… トランジスタ、 $L$  …… コイル、1 0 …… 制御回路、1 1 …… 三角波発生回路、1 2 , 1 3 , 1 7 , 1 8 …… コンパレータ、1 5 , 1 6 …… アンプ、2 0 …… 直流電源回路、2 1 ~ 2 3 …… 容量素子、 $S 1 \sim S 5$  …… 制御信号、 $V 1$  …… 第 1 電圧、 $V 2$  …… 第 2 電圧。

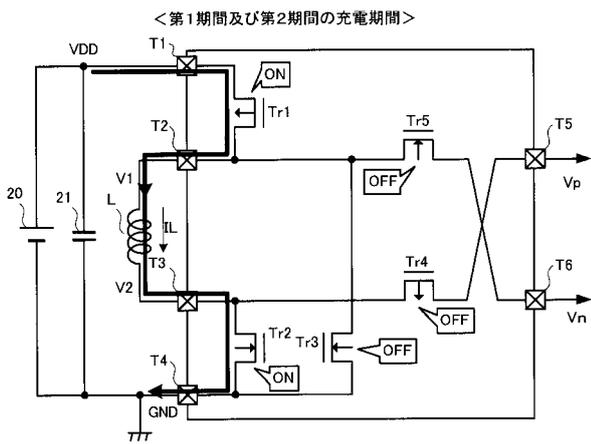
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

