



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0049865
 (43) 공개일자 2012년05월17일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 23/34* (2006.01)
 (21) 출원번호 10-2012-7002160
 (22) 출원일자(국제) 2010년07월14일
 심사청구일자 없음
 (85) 번역문제출일자 2012년01월26일
 (86) 국제출원번호 PCT/US2010/042026
 (87) 국제공개번호 WO 2011/008893
 국제공개일자 2011년01월20일
 (30) 우선권주장
 61/225,914 2009년07월15일 미국(US)

(71) 출원인
아이오 세미컨덕터
 미국 캘리포니아 샌디에고 피.오. 박스 910674 (우:92191)
 (72) 발명자
니가아르트, 폴 에이.
 미국 92008 캘리포니아 칼스배드 스파니쉬 웨이 3405
모린, 스텐워드 비.
 미국 92009 캘리포니아 칼스배드 시티오 알고돈 7698
스투버, 마이클 에이.
 미국 92009 캘리포니아 칼스배드 비스타 카멜라 7905
 (74) 대리인
정현주, 이시용

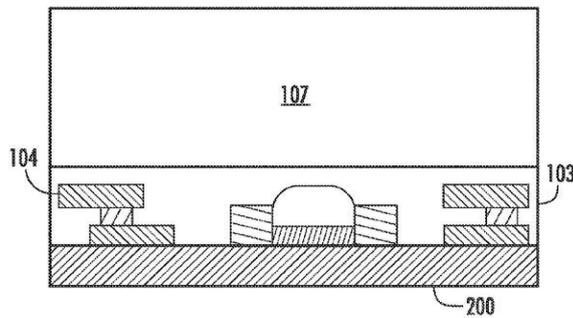
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 **후면 방열 기능을 갖는 반도체-온-절연체**

(57) 요약

본 발명의 실시형태들은 반도체-온-절연체(SOI) 구조체들로부터의 열의 방산을 제공한다. 일 실시형태에 있어서, 집적 회로의 제조 방법이 개시된다. 제 1 단계에 있어서, 능동 회로가 SOI 웨이퍼의 활성층에 형성된다. 제 2 단계에 있어서, 기관 재료가 SOI 웨이퍼의 후면상에 배치되는 기관층으로부터 제거된다. 제 3 단계에 있어서, 절연체 재료가 익스커베이트드 절연체 영역을 형성하기 위해 SOI 웨이퍼의 후면으로부터 제거된다. 제 4 단계에 있어서, 방열층이 상기 익스커베이트드 절연체 영역상에 증착된다. 방열층은 열전도성이고 전기 절연성이다.

대표도 - 도2



특허청구의 범위

청구항 1

반도체-온-절연체 구조체로서,
 방열층;
 상기 방열층 위에 위치하는 활성층; 및
 상기 활성층 위에 위치하는 헨들 웨이퍼를 포함하고,
 상기 방열층은 높은 열전도율을 갖고 전기 절연성인, 반도체-온-절연체 구조체.

청구항 2

청구항 1에 있어서,
 상기 방열층 아래에 위치하는 제 2 헨들 웨이퍼로서, 기판층 위에 제 2 방열층을 갖는 상기 제 2 헨들 웨이퍼를 더 포함하고,
 상기 헨들 웨이퍼는 일시적 접합을 통해 상기 활성층에 접합되는, 반도체-온-절연체 구조체.

청구항 3

청구항 2에 있어서,
 상기 방열층과 적어도 부분적으로 수직으로 동시 공간을 차지하는 절연층을 더 포함하고,
 상기 활성층은 상기 절연층상에 배치되고,
 상기 절연층은 익스카베이트드(excavated) 절연체 영역을 포함하고,
 상기 방열층은 상기 익스카베이트드 절연체 영역에 배치되는, 반도체-온-절연체 구조체.

청구항 4

청구항 3에 있어서,
 상기 익스카베이트드 절연체 영역은 상기 활성층에서 금속 배선의 최저층과 측면으로 동시 공간을 차지하는, 반도체-온-절연체 구조체.

청구항 5

청구항 1에 있어서,
 상기 방열층과 적어도 부분적으로 수직으로 동시 공간을 차지하는 절연층을 더 포함하고,
 상기 활성층은 상기 절연층상에 배치되고,
 상기 절연층은 익스카베이트드 절연체 영역을 포함하고,
 상기 방열층은 상기 익스카베이트드 절연체 영역에 배치되는, 반도체-온-절연체 구조체.

청구항 6

청구항 5에 있어서,
 상기 익스카베이트드 절연체 영역의 제 1 부분에 배치되는 금속 컨택(metal contact)을 더 포함하고,
 상기 방열층은 상기 익스카베이트드 절연체 영역의 제 2 부분에 배치되고, 상기 방열층은 상기 금속 컨택의 측상에 배치되고,
 상기 금속 컨택은 상기 활성층에서 회로에 대해 전기 컨택으로서 역할을 하도록 구성되는, 반도체-온-절연체 구

조체.

청구항 7

청구항 5에 있어서,

상기 익스커베이트드 절연체 영역은 상기 활성층에서 금속 배선의 최저층과 측면으로 동시 공간을 차지하는, 반도체-온-절연체 구조체.

청구항 8

청구항 5에 있어서,

상기 익스커베이트드 절연체 영역의 제 1 부분은 상기 활성층에 위치하는 능동 소자의 부분과 측면으로 동시 공간을 차지하는, 반도체-온-절연체 구조체.

청구항 9

청구항 8에 있어서,

상기 능동 소자의 채널 영역은 상기 익스커베이트드 절연체 영역의 측면 범위 외측에 있는, 반도체-온-절연체 구조체.

청구항 10

청구항 9에 있어서,

상기 익스커베이트드 절연체 영역의 제 2 부분에 배치되는 금속 컨택을 더 포함하고,

상기 방열층은 상기 익스커베이트드 절연체 영역의 상기 제 1 부분에 배치되고, 상기 방열층은 상기 금속 컨택의 측상에 배치되고,

상기 금속 컨택은 상기 활성층에서 회로에 대해 전기 컨택으로서 역할을 하도록 구성되는, 반도체-온-절연체 구조체.

청구항 11

청구항 10에 있어서,

상기 금속 컨택은 금속 필라 컨택을 포함하고,

상기 전기 컨택은 상기 회로로부터 부착된 회로 보드로 정보 신호들을 전송하도록 구성되는, 반도체-온-절연체 구조체.

청구항 12

반도체-온-절연체 소자로부터 열을 방산하는 방법으로서,

활성층을 통해 측면으로 절연층의 상단면을 거쳐 열을 채널링하는 단계; 및

상기 활성층으로부터 방열층을 통해 열을 방산하는 단계를 포함하고,

상기 활성층은 상기 방열층 위에 위치하고,

상기 절연층은 상기 활성층상에 배치되고, 상기 절연층은 상기 방열층과 적어도 부분적으로 수직으로 동시 공간을 차지하고, 상기 절연층은 익스커베이트드 절연체 영역을 포함하고,

상기 방열층은 높은 열전도율을 갖고 전기 절연성이고, 상기 방열층은 상기 익스커베이트드 절연체 영역에 배치되는, 반도체-온-절연체 소자로부터 열을 방산하는 방법.

청구항 13

청구항 12에 있어서,

상기 익스커베이트드 절연체 영역의 제 1 부분은 상기 활성층에 위치하는 능동 소자의 부분과 측면으로 동시 공

간을 차지하고,

상기 능동 소자의 채널 영역은 상기 익스커베이트드 절연체 영역의 측면 범위 외측에 있는, 반도체-온-절연체 소자로부터 열을 방산하는 방법.

청구항 14

청구항 13에 있어서,

상기 방열층을 통해 금속 컨택으로 측면으로 열을 채널링하는 단계; 및

상기 방열층으로부터 상기 금속 컨택을 통해 열을 방산하는 단계를 더 포함하고,

상기 금속 컨택은 상기 익스커베이트드 절연체 영역의 제 2 부분에 배치되고 상기 금속 컨택은 상기 활성층에 위치하는 회로에 대해 전기 컨택으로서 역할을 하도록 구성되고,

상기 방열층은 상기 익스커베이트드 절연체 영역의 상기 제 1 부분에 배치되고, 상기 방열층은 상기 금속 컨택의 측상에 배치되는, 반도체-온-절연체 소자로부터 열을 방산하는 방법.

청구항 15

집적 회로의 제조 방법으로서,

반도체-온-절연체 웨이퍼의 활성층에서 능동 회로를 형성하는 단계;

상기 반도체-온-절연체 웨이퍼의 후면상에 배치되는 기판층으로부터 기판 재료를 제거하는 단계;

익스커베이트드 절연체 영역을 형성하기 위해 상기 반도체-온-절연체 웨이퍼의 상기 후면으로부터 절연체 재료를 제거하는 단계; 및

상기 익스커베이트드 절연체 영역상에 방열층을 증착하는 단계를 포함하고,

상기 방열층은 전기 절연성인, 집적 회로의 제조 방법.

청구항 16

청구항 15에 있어서,

저온 열처리를 이용함으로써 인터페이스 상태들의 그룹을 패시베이팅하는 단계로서, 상기 인터페이스 상태들의 그룹은 상기 절연체 재료의 상기 제거하는 단계동안 형성되는 패시베이팅하는 단계를 더 포함하고,

상기 방열층은 상기 절연체 재료의 층으로 이루어지는, 집적 회로의 제조 방법.

청구항 17

청구항 15에 있어서,

상기 방열층은 높은 열전도율을 갖는, 집적 회로의 제조 방법.

청구항 18

청구항 17에 있어서,

상기 익스커베이트드 절연체 영역은 상기 실리콘-온-절연체 웨이퍼의 전체 후단면과 측면으로 동시 공간을 차지하는, 집적 회로의 제조 방법.

청구항 19

청구항 17에 있어서,

상기 익스커베이트드 절연체 영역의 제 1 부분에서 금속 컨택을 증착하는 단계를 더 포함하고,

상기 방열층은 상기 익스커베이트드 절연체 영역의 제 2 부분에 배치되고, 상기 방열층은 상기 금속 컨택의 측상에 배치되고,

상기 금속 컨택은 상기 능동 회로에 대해 전기 컨택으로서 역할을 하도록 구성되는, 집적 회로의 제조 방법.

청구항 20

청구항 17에 있어서,

상기 익스커베이트드 절연체 영역은 상기 활성층에 위치하는 금속 배선의 최저층과 측면으로 동시 공간을 차지하는, 집적 회로의 제조 방법.

청구항 21

청구항 17에 있어서,

상기 활성층의 상단측에 핸들 웨이퍼를 일시적으로 접합하는 단계; 및

상기 활성층 아래의 상기 실리콘-온-절연체 웨이퍼에 제 2 핸들 웨이퍼를 영구적으로 접합하는 단계를 더 포함하고,

상기 제 2 핸들 웨이퍼는 기판층 위에 제 2 방열층을 갖는, 집적 회로의 제조 방법.

청구항 22

청구항 17에 있어서,

상기 익스커베이트드 절연체 영역의 제 1 부분은 상기 활성층에 위치하는 능동 소자의 부분과 측면으로 동시 공간을 차지하는, 집적 회로의 제조 방법.

청구항 23

청구항 22에 있어서,

절연체 재료의 잔여 부분이 상기 능동 소자의 채널 영역과 측면으로 동시 공간을 차지하는, 집적 회로의 제조 방법.

청구항 24

청구항 23에 있어서,

상기 익스커베이트드 절연체 영역의 제 2 부분에서 금속 컨택을 증착하는 단계를 더 포함하고,

상기 방열층은 상기 익스커베이트드 절연체 영역의 제 1 부분에 배치되고, 상기 방열층은 상기 금속 컨택의 측상에 배치되고,

상기 금속 컨택은 상기 능동 회로에 대한 전기 컨택으로서 역할을 하도록 구성되는, 집적 회로의 제조 방법.

청구항 25

청구항 24에 있어서,

회로 보드에 부착하기 위해 상기 집적 회로를 구성하는 단계를 더 포함하고,

상기 금속 컨택은 금속 필라 컨택을 포함하고,

상기 전기 컨택은 상기 능동 회로로부터 상기 회로 보드로 정보 신호를 전송하도록 구성되는, 집적 회로의 제조 방법.

명세서

기술분야

[0001] 관련 출원들의 상호 참조

[0002] 본 특허 출원은 2009년 7월 15일자로 출원된 미국 특허 가출원 제61/225,914호의 이익을 주장한다. 미국 특허 가출원 제61/225,914호의 내용은 참조에 의해 여기에 포함된다.

[0003] 기술된 본 발명은 반도체-온-절연체(semiconductor-on-insulator) 소자들 및 일반적인 프로세싱(processing),

보다 상세하게는 반도체-온-절연체 소자들에서의 방열에 관한 것이다.

배경 기술

- [0004] 반도체-온-절연체(SOI) 기술은 1990년대 말에 처음 상업화되었다. SOI 기술의 결정적 특성은 회로가 형성되는 반도체 영역이 전기 절연층에 의해 벌크(bulk) 기판으로부터 절연된다는 것이다. 상기 절연층은 통상적으로 이산화실리콘이다. 이산화실리콘이 선택된 이유는 웨이퍼(wafer)를 산화시킴으로써 그것이 실리콘의 웨이퍼상에 형성될 수 있고 따라서 효율적인 제조에 따른다는 것이다. SOI 기술의 유리한 양태는 벌크 기판으로부터 활성층을 전기 절연하는 절연층의 능력에서 직접 기인한다. 여기에 이용된 바와 같이 그리고 첨부된 청구항에 있어서, 신호-프로세싱 회로가 SOI 구조체상에 형성되는 영역은 SOI 구조체의 활성층으로 언급된다.
- [0005] 절연층의 도입이 전기 특성을 향상시키는 SOI 구조체에서 능동 소자를 절연하기 때문에 SOI 기술은 종래의 벌크 기판 기술을 뛰어넘는 향상을 나타낸다. 예컨대, 트랜지스터의 임계 전압이 바람직하게 균일하고, 트랜지스터의 게이트(gate) 하부의 반도체 재료의 특성에 의해 아주 크게 설정된다. 재료의 상기 영역이 절연된다면, 더 많은 프로세싱이 상기 영역에 영향을 미치고 소자의 임계 전압을 바꿀 기회가 거의 없다. SOI 구조체의 이용으로부터 기인하는 추가의 전기 특성 향상은 소자가 스위치로 작용하는 경우 더 낮은 삽입 손실, 더 적은 단락 채널 효과, 및 더 높은 속도를 위한 저감된 커패시턴스를 포함한다. 또한, 절연층은 유해한 방사능으로부터의 능동 소자상의 영향을 저감하도록 작용할 수 있다. 이것은 지구 대기 외부의 유해한 전리 방사선의 보급이 주어지는 우주 공간에 이용되는 집적 회로에 특히 중요하다.
- [0006] SOI 웨이퍼(100)를 도 1에 나타낸다. 웨이퍼는 기판층(101), 절연층(102), 및 활성층(103)을 포함한다. 기판은 통상적으로 실리콘과 같은 반도체 재료이다. 절연층(102)은 흔히 기판층(101)의 산화를 통해 형성되는 이산화실리콘인 유전체이다. 활성층(103)은 도펀트(dopant)들, 유전체들, 폴리실리콘(polysilicon), 금속층들, 패시베이션(passivation), 및 회로(104)가 형성된 후에 실재하는 다른 층들의 조합을 포함한다. 회로(104)는 금속 배선; 저항들, 커패시터들, 및 인덕터들과 같은 수동 소자들; 및 트랜지스터들과 같은 능동 소자들을 포함할 수 있다. 여기에 이용된 바와 같이 그리고 첨부된 청구항에 있어서, SOI 웨이퍼(100)의 "상단"은 상단면(105)을 언급하는 반면에 SOI 웨이퍼(100)의 "하단"은 하단면(106)을 언급한다. 상기 방향 체계는 언급된 다른 프레임들로의 SOI 웨이퍼(100)의 상대 방향, 및 SOI 웨이퍼(100)로부터의 층의 제거, 또는 SOI 웨이퍼(100)로의 층의 추가에 관계없이 지속한다. 따라서, 활성층(103)은 항상 절연층(102)의 "위에" 있다. 또한, 활성층(103)의 중심에서 시작하고 하부면(106)을 향하여 연장하는 벡터는 항상 언급된 다른 프레임들로의 SOI 웨이퍼(100)의 상대 방향, 및 SOI 웨이퍼(100)로부터의 층의 제거, 또는 SOI 웨이퍼(100)로의 층의 추가에 관계없이 SOI 구조체의 "후면"의 방향을 지시할 것이다.
- [0007] SOI 소자들은 상술한 바와 같은 그들의 능동 소자들의 전기 특성을 향상시키고 보존할 능력으로 채워진다. 그러나, 절연층의 도입은 열을 방산시키는 소자들의 능력의 관점에서 심각한 문제를 만들어낸다. 집적 회로들에서의 소자의 증가하는 소형화에 기인하여, 보다 다수의 열 발생 소자들이 더 작은 것으로 그리고 더 작은 영역으로 프레스(press)되어야 한다. 현대 집적 회로에 있어서, 회로(104)의 열 발생 밀도는 극심할 수 있다. 절연층(102)의 열전도율이 일반적으로 표준 벌크 기판의 것보다 훨씬 낮기 때문에 절연층(102)의 도입은 상기 문제를 악화시킨다. 상술한 바와 같이, 이산화실리콘은 현대 SOI 기술에서의 아주 흔한 절연체이다. 300도 켈빈 온도(K)의 온도에서, 이산화실리콘은 대략 1.4미터 켈빈당 와트(W/m*K)의 열전도율을 가진다. 동일한 온도에서 벌크 실리콘 기판은 대략 130W/m*K의 열전도율을 가진다. SOI 기술에 의해 드러나는 방열 성능에서의 거의 100배의 저감이 매우 문제가 된다. 집적 회로에서의 높은 레벨의 열이 기대되는 범위 외로 그것의 소자의 전기 특성을 바꿀 수 있어 중대한 설계 결함을 야기한다. 억제되지 않게 남겨진 소자에서의 과도한 열이 소자의 회로에서 재료를 휘는 또는 용융하는 형태로 영구한 그리고 중대한 결함으로 이어질 수 있다.
- [0008] SOI 소자들에서의 방열의 문제는 여러 가지의 해결책을 이용하여 접근되어 왔다. 하나의 접근은 절연층(102)으로부터 활성층(103)을 통해 위로 열 채널링 필라(heat channeling pillar)들의 증착을 수반한다. 몇몇 경우에 있어서, 금속이 일반적으로 이산화실리콘과 비교하여 훨씬 더 높은 열전도율을 가지기 때문에 상기 열 채널링 필라들은 금속으로 형성된다. 몇몇 접근에 있어서, 상기 필라들은 그들이 회로의 전기적 성능에 지장을 주지 않는 반면에, 동시에 그들이 절연층(102)으로부터 위의 그리고 절연층(102)으로부터 떨어진 열 경로를 제공하도록 폴리실리콘으로 형성된다. 다른 접근에 있어서, 홀(hole)이 절연층(102)을 통해 컷팅(cutting)되고 열 채널링 필라들이 홀들에 증착된다. 상기 구성의 결과는 활성층(103)으로부터 절연층(102)에서의 홀들을 통해 기판(101)까지의 방열 채널을 제공한다. 상기 열은 그 후 기판(101)을 통해 방산된다.
- [0009] SOI 소자들에서의 방열 문제의 다른 접근은 후면으로부터 웨이퍼상의 동작을 수반한다. 도 1b는 SOI 웨이퍼

(100)가 핸들(handle) 기관(108), 및 핸들 절연층(109)으로 이루어지는 핸들 웨이퍼(107)에 어떻게 접합될 수 있는지를 예시한다. 이것이 핸들의 통상의 타입이지만, 일정한 현대 프로세스들이 절연층(109)의 위치에 전도성 재료 또는 반도체 재료를 갖는 핸들 웨이퍼들을 이용하는 바와 같이 절연층(109)은 절연체 재료가 아니어도 된다. 핸들 웨이퍼로의 접합 후, 결과의 구조체는 그 후 도 1b에 나타난 구조체를 형성하기 위해 상면이 아래로 뒤집힐 수 있다. 상기 접근하에서, 기관(101) 및 절연층(102)은 그 후 SOI 웨이퍼(100)의 후단으로부터 선택적으로 제거된다. 기관(101)의 제거, 및 절연층(102)의 선택적 제거 이후에, 금속의 층(110)은 절연층(102)을 통해 더 큰 정도의 열전도율을 허용하도록 에칭(etching)된 영역상에 증착된다. 상기 금속은 집적 회로가 동작중인 경우 활성층(103)에서의 소자들에 대한 접지 와이어(wire) 또는 정보 신호 와이어로서 흔히 부차적으로 이용된다. 결과의 구조체가 후면 방열 없는 SOI 구조체의 것들에 우월한 방열 능력을 나타내지만, 절연층이 활성 기관 아래에서 직접 제거된다는 사실은 능동 소자들의 전기 특성을 보존하고 향상시킬 그것의 능력의 관점에서 SOI 구조체의 이점들을 약화시킨다.

발명의 내용

과제의 해결 수단

- [0010] 본 발명의 일 실시형태에 있어서, 방열층을 갖는 집적 회로가 개시된다. 집적 회로는 방열층, 상기 방열층 위에 위치하는 활성층, 및 상기 활성층 위에 위치하는 핸들 절연층을 포함한다. 상기 방열층은 높은 열전도율을 갖고 전기 절연성이다.
- [0011] 본 발명의 다른 실시형태에 있어서, 반도체-온-절연체 소자로부터 열을 방산하는 방법이 개시된다. 제 1 단계에서, 활성층을 통해 측면으로 절연층의 상단면을 거쳐 열이 채널링된다. 제 2 단계에서, 상기 활성층으로부터 방열층을 통해 열이 방산된다. 상기 활성층은 상기 방열층 위에 위치한다. 또한, 상기 절연층은 상기 활성층상에 배치되고, 상기 절연층은 상기 방열층과 적어도 부분적으로 수직으로 동시 공간을 차지하고, 상기 절연층은 익스캐비티드(excavated) 절연체 영역을 포함한다. 또한, 상기 방열층은 높은 열전도율을 갖고 전기 절연성이고, 상기 방열층은 상기 익스캐비티드 절연체 영역에 배치된다.
- [0012] 본 발명의 또 다른 실시형태에 있어서, 집적 회로의 제조 방법이 개시된다. 하나의 단계에서, 반도체-온-절연체 웨이퍼의 활성층에서 능동 회로가 형성된다. 다른 단계에서, 상기 반도체-온-절연체 웨이퍼의 후면상에 배치되는 기관층으로부터 기관 재료가 제거된다. 또 다른 단계에서, 익스캐비티드 절연체 영역을 형성하기 위해 상기 반도체-온-절연체 웨이퍼의 상기 후면으로부터 절연체 재료가 제거된다. 또 다른 단계에서, 상기 익스캐비티드 절연체 영역상에 방열층이 증착된다. 상기 방열층은 전기 절연성이다.

도면의 간단한 설명

- [0013] 도 1a 및 도 1b는 종래 기술에 따른 SOI 구조체에서의 방열을 위한 프로세스 및 장치의 블록도를 예시한다.
- 도 2는 본 발명에 따른 방열층을 갖는 SOI 구조체의 블록도를 예시한다.
- 도 3은 본 발명에 따른 방열층 및 패턴화된(patterned) 절연층을 갖는 SOI 구조체의 블록도를 예시한다.
- 도 4는 방열층, 패턴화된 절연층, 및 후면 금속 컨택을 갖는 SOI 구조체의 블록도를 예시한다.
- 도 5는 본 발명에 따른 부착된 후면 방열 핸들 웨이퍼를 갖는 SOI 구조체의 블록도를 예시한다.
- 도 6은 본 발명에 따른 부착된 후면 방열 핸들 웨이퍼, 및 패턴화된 절연층을 갖는 SOI 구조체의 블록도를 예시한다.
- 도 7은 본 발명에 따른 방열층을 갖는 집적 회로 제조 방법의 프로세스 흐름도를 예시한다.
- 도 8은 본 발명에 따른 일시적 핸들 웨이퍼를 이용하는 방열층을 갖는 집적 회로 제조 방법의 프로세스 흐름도를 예시한다.
- 도 9는 본 발명에 따른 패턴화된 스트레인층(strain layer)을 갖는 SOI 구조체의 블록도를 예시한다.
- 도 10은 본 발명에 의해 이용될 수 있는 다양한 스트레인층 패턴들의 블록도를 예시한다.
- 도 11은 본 발명에 따른 패턴화된 절연층 및 스트레인 유도층을 갖는 SOI 구조체의 블록도를 예시한다.
- 도 12는 본 발명에 따른 스트레인 유도층을 갖는 집적 회로 제조 방법의 프로세스 흐름도를 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이제 개시된 발명의 실시형태들 그리고 수반하는 도면들에 예시되는 하나 이상의 실시예에 상세히 언급이 이루어질 것이다. 각 실시예는 본 기술의 제한으로서가 아닌 본 기술의 설명을 통하여 제공된다. 사실, 변경 및 변형이 본 기술에 그것의 정신 및 범주를 벗어남이 없이 이루어질 수 있다는 것은 관련 분야의 당업자에게 자명할 것이다. 예컨대, 일 실시형태의 일부로서 예시되고 설명된 특징들은 다른 실시형태와 함께 이용되어 또 다른 실시형태를 가져올 수 있다. 따라서, 본 소재가 첨부된 청구항들의 범주 내에 있는 바와 같은 상기 변경 및 변형 및 그들의 동등물을 커버한다는 것이 의도된다.
- [0015] 본 발명의 실시형태들은 향상된 방열 성능을 가지는 반면에 SOI 아키텍처(architecture)들을 수반하는 유익한 전기 소자 특성들을 보존하는 SOI 소자들의 제조를 제공한다. 또한, 상술한 유익을 갖는 소자들은 반도체 산업에서 가장 흔히 이용되는 제조 프로세스들로의 매우 적은 변경으로 본 발명에 의해 제조될 수 있다. 이것은 현존하는 제조 프로세스들과의 호환성이 새로운 반도체 해결책에 임할 수 있는 거의 대처할 수 없는 고정 제조 비용 투자에 대한 필요를 회피한다는 것이 주어지는 큰 이점이다. 본 발명의 실시형태들은 SOI 구조체의 후면상의 여러 가지의 구성들에서 후면 프로세싱의 이용, SOI 매립 절연층의 부분들의 제거, 및 방열층들의 증착을 통하여 상기 결과를 달성한다.
- [0016] 본 발명에 따른 SOI 구조체는 도 2를 참조하여 설명할 수 있다. 도 2에 나타난 바와 같이, 활성층(103)이 핸들 웨이퍼(107)상에 배치된다. 상술한 관례에 따르면, 핸들 웨이퍼(107)가 활성층(103)의 위에 있다. 또한, 활성층(103)이 방열층(200)의 위에 있다. 방열층(200)은 열전도성이고 전기 절연성이다. 방열층(200)을 형성하기 위해 이용될 수 있는 재료들은 다이아몬드, 다이아몬드상 카본, 실리콘 카바이드, 산화알루미늄, 질화알루미늄, 산화베릴륨, 질화베릴륨, 그래핀, 및 탄소 나노튜브 같은 어떤 탄소 형성물들을 포함한다.
- [0017] 전기 절연성이고 열전도성인 방열층(200)에 대한 재료의 선택은 SOI 기술에 의해 제공되는 유익한 전기 특성들을 보존하는 반면에 이산화실리콘 절연층을 이용하는 통상의 SOI 소자들이 직면하는 방열 문제들을 크게 악화시킨다. 예로서, 300K에서의 순합성 다이아몬드의 열전도율은 대략 3,300W/m*k이고 산화베릴륨의 열전도율은 260W/m*K이다. 이것은 상술한 바와 같이 1.4W/m*K의 열전도율을 갖는 통상의 SOI 구조체에서의 비-열전도성(non-thermally conductive) 이산화실리콘층에 비교된다. 여기에 이용된 바와 같이 그리고 첨부된 청구항들에 있어서, 재료의 층은 그것의 열전도율이 50W/m*K보다 크면 높은 열전도율을 가진다. 다이아몬드 및 산화베릴륨 양자는 통상의 SOI 구조체를 넘는 방열 성능에서의 100배 향상보다 큰 것을 제공한다. 본 발명의 구체적 실시형태에 있어서, 열전도성 재료의 층이 열전도성층(200)을 형성하기 위해 증착되기 전에 절연층(102)은 적어도 부분적으로 제거되고, 다른 매우 얇은 절연층이 증착된다. 절연층의 극도의 박형화는 활성층(103)으로부터 열전도성 재료층으로의 열을 방산하는 구조체의 능력을 향상시킨다. 예컨대, 증착된 절연층은 본래의 절연층과 동일한 재료의 박층을 포함할 수 있다. 열전도성(thermally conductive) 및 전기 비전도성(electrically nonconductive) 재료의 편의는 통상의 SOI 구조체의 빈약한 방열 특성에 의해 제한되는 것 없이 활성층(103)에서의 능동 소자들의 전자 특성의 보존에 의해 실현된다.
- [0018] 도 2에 내보인 구조체는 후면 프로세싱을 이용하여 제조된다. SOI 구조체가 (통상의 SOI 프로세싱 방법들과 대조적으로) 후면으로부터 동작되기 때문에 방열층(200)에 이용되는 재료는 활성층(103)에 안정성을 제공할 또는 활성층(103)에서의 회로의 제조에 적합한 기판으로 작용할 그것의 능력으로 선택될 필요가 없다. 이것은 회로가 제조되는 동안 본래의 절연층(절연층(102))이 베이스층으로서 역할을 하기 때문에, 핸들 웨이퍼(107)가 후면 프로세싱 동안 지지를 제공한다. 절연층(102) 및 기판(101)이 활성층(103)에 기계적 지지를 지공하기 때문에 절연층(102)의 제거는 통상적으로 바람직하지 않다. 또한 적소에 상기 층들 없는 활성층(103)의 프로세싱은 회로(104)에 대해 과멸적일 것이다. 그러나, 상기 단계에서의 핸들 웨이퍼(107)의 추가는 집적 회로의 부가적인 프로세싱을 허용한다. 상기 후면 프로세싱에 이용되는 방법들은 하기에 보다 상세히 설명한다.
- [0019] 후면 프로세싱의 다른 유리한 양태는 그것이 반도체 프로세싱의 이후의 단계에서 방열층(200)의 추가를 허용하고, 그 외에 적용될 수 없는 방열층(200)에 대한 재료의 이용을 결국 허용한다는 것이다. 통상의 접근들과 대조적으로, 활성층(103)의 반도체 프로세싱이 완료된 후에 후면 프로세싱은 방열층(200)의 추가를 허용한다. 반도체 제조 프로세스의 어떤 단계들은 1000°C를 초과하는 온도를 필요로 한다. 어떤 재료들은 상기 온도를 견딜 수 없고 따라서 일반적으로 방열층(200)의 위치에 위치하는 열확산층으로서의 이용에 부적당한 것으로 고려된다. 그러나, 후면 프로세싱의 이용은 방열층(200)에 대한 보다 취약한 재료들의 이용을 허용한다.
- [0020] 본 발명에 따른 집적 회로는 도 3을 참조하여 설명할 수 있다. 도 3에서, 활성층(103)은 SOI 소자들에서 공통되

는 바와 같이 절연층(102)상에 배치된다. 그러나, 절연층(102)은 익스커베이트드 절연체 영역(300)에 의해 한정되는 패턴을 형성하기 위해 일정한 부분들에서 과여졌다. 익스커베이트드 절연체 영역이 근접해야 하기보다는 오히려 절연층(102)이 활성층(103)의 다른 부분들을 노출하는 다양한 방식으로 패턴화될 수 있다. 도 3에서, 방열층(200)은 익스커베이트드 절연체 영역(300)에서 포함하는 집적 회로의 전체 후단면에 적용되었다. 본 발명의 구체적 실시형태에 있어서, 방열층(200)이 익스커베이트드 절연체 영역(300)에서만 배치된다. 본 발명의 구체적 실시형태에 있어서, 방열층(200)이 익스커베이트드 절연체 영역(300)의 일부에서 패턴화되고 일부에서만 배치된다. 도 3에서 익스커베이트드 절연체 영역(300)이 익스커베이트드 영역에서의 모든 절연체 재료의 완전한 제거에 의해 예시된다. 그러나, 본 발명의 구체적 실시형태에 있어서, 익스커베이트드 절연체 영역(300)은 잔여의 박형 절연층으로 구성될 수 있다. 절연층의 초기의 두께는 통상적으로 100 나노미터(nm) 내지 1000nm의 범위이다. 박형 절연층은 5nm 내지 100nm의 범위일 수 있다. 그러나, 어느 정도의 박형화도 박형 절연층으로 귀착할 것이다. 잔여 절연체 재료의 (1nm의 정도에서의) 단층은 이것이 통상적인 방법들을 이용하여 달성하기 어려울 수 있더라도 충분할 것이다. 어느 정도의 박형화도 방열 능력의 관점에서 초기의 구조체를 넘는 향상을 이룰 것이다. 도 3에 나타난 구조체는 활성층(103)에서의 격리 소자들에 의해 제공되는 향상된 전기 특성들의 이익을 유지할 수 있는 반면에 동시에 열이 활성층(103)을 통해 측면으로 흐르고 그 후 절연체가 박형화되고 제거되었던 방열층(200)을 통해 방산됨에 따라 향상된 방열을 제공한다.

[0021] 절연층(102) 제거의 장점들 및 결점들은 익스커베이트드 절연체 영역(300)에 대한 구체적 패턴들의 형성에 의해 균형을 이룰 수 있다. 예컨대, 익스커베이트드 절연체 영역(300)은 활성층(103)에서의 최저층의 금속 배선과 같은 공간을 차지하게 이루어질 수 있다. 도 3에 나타난 바와 같이, 익스커베이트드 절연체 영역(300)은 최저 금속층(301)과 측면으로 같은 공간을 차지한다. 본 발명의 구체적 실시형태에 있어서, 익스커베이트드 절연체 영역(300)은 최저 금속층(301)의 명확한 부분들을 노출한다. 본 발명의 구체적 실시형태에 있어서, 익스커베이트드 절연체 영역(300)은 최저 금속층(301)의 모두를 노출한다. 본 발명의 구체적 실시형태에 있어서, 최저 금속층(301)은 활성층(103)에 형성된 회로에 대한 최저층의 배선이다. 본 구성은 금속 배선이 그들이 절연체상에 위치하지 않는다면 일반적으로 바뀌어지는 전기 특성들을 겪지 않을 것이라는 점에서 밸런스 관점에서 매우 유리하다. 또한, 금속은 매우 열전도성이고, 금속 배선은 통상적으로 능동 소자들에 링크(link)하여 상기 금속 라인들을 방열에 대해 매우 효율적인 채널들로 만든다. 활성층(103)에서 발생하는 엄청난 대다수의 열이 능동 소자들에 의해 발생되더라도, 열은 상기 능동 소자들로부터 금속 라인들로 방산하고 그 후 방열층(200)을 통하여 SOI 구조체의 후단을 통해 나갈 것이다. 최신 회로가 후면 루트(route)를 보다 직접적인 출구 채널로 만드는 다수의 금속층들을 가지므로 상기 접근은 금속 라인들을 통하여 SOI 구조체의 상단의 위로 그리고 밖으로 열을 루팅하는 것보다 일반적으로 뛰어나다.

[0022] 본 발명에 따른 다른 반도체-온-절연체 구조체를 도 4를 참조하여 설명할 수 있다. 도 4에 나타난 집적 회로는 SOI 구조체에 유리한 방열 능력을 제공하는 익스커베이트드 절연체 영역(300)에 대한 추가의 세트의 패턴들을 설명하는데 이용될 수 있다. 도 4에서, 트랜지스터 게이트(401)를 갖는 트랜지스터의 채널 영역(400)이 절연층(102)의 측면의 범위 내에 있다. 그러나, 익스커베이트드 절연체 영역(300)이 트랜지스터 드레인(402) 및 트랜지스터 소스(source)(403)와 측면으로 같은 공간을 차지함에 따라 익스커베이트드 절연체 영역(300)은 트랜지스터 드레인(402) 및 트랜지스터 소스(403)를 노출한다. 방열층(200)은 트랜지스터 드레인(402) 및 트랜지스터 소스(403)를 노출하는 익스커베이트드 절연체 영역(300)의 부분들에 배치된다. 금속 컨택(404)은 익스커베이트드 절연체 영역(300)의 다른 부분에 배치된다. 본 발명의 구체적 실시형태에 있어서, 금속 컨택(404)은 전기 활성이 아니고 대신에 방열 경로를 제공하도록 설계한다. 본 발명의 구체적 실시형태에 있어서, 금속 컨택(404)은 활성층(103)에서의 회로에 대한 전기 컨택으로서의 역할을 할 수 있다. 예컨대, 금속 컨택(404)은 다른 시스템에 의한 이용을 위해 활성층(103)에서의 회로 외로 정보 신호를 전송하기 위한 신호 와이어일 수 있다. 다른 실시예에 있어서, 금속 컨택(404)은 활성층(103)에서의 회로에 대한 접지 또는 전력 라인일 수 있다. 본 발명의 구체적 실시형태에 있어서, 범프(bump) 금속 프로세싱은 도 4에 내보인 SOI 구조체상에 범프 금속 컨택들을 증착하여 금속 컨택(404)은 SOI 구조체에 대한 범프 금속 커넥터(connector)이다. 금속 컨택(404)이 전기 활성이 아닌 상술한 실시형태에 있어서, 금속 컨택(404)은 금속일 필요가 없고 대신에 양호한 열전도율을 갖는 임의의 재료일 수 있다. 본 발명의 구체적 실시형태에 있어서, 상기 금속 컨택들은 금속 필라 컨택들이다. 금속 필라 컨택들은 금 또는 구리로 이루어질 수 있다. 상기 재료들은 그들이 솔더(solder)와 비교하여 훨씬 나은 열 컨덕터(conductor)들이기 때문에 솔더 범프들과 비교하여 유리하게 작용할 것이다. 본 발명의 구체적 실시형태에 있어서, 금속 컨택(404)들은 회로 보드(board)로의 부착을 허용한다. 본 발명의 구체적 실시형태에 있어서, 금속 컨택들은 저온 동시 소성 세라믹 기판, 모듈(module) 보드, 집적 회로, 범프 금속, 금 범프 금속, 구리 필라, 금 필라, 및 임의의 금속 컨택으로의 부착을 허용할 수 있다.

- [0023] 본 발명의 구체적 실시형태에 있어서, 익스커베이트드 절연체 영역(300)은 활성층(103)에서의 능동 소자들의 부분들과 측면으로 같은 공간을 차지할 것이다. 도 4에 나타난 바와 같이, 상기 실시형태들은 트랜지스터 드레인(402), 및 트랜지스터 소스(403)의 노출을 포함할 수 있는 반면에 절연층(102)에 의해 커버되는 트랜지스터 채널(400)을 유지한다. 상기 실시형태들은 격리된 채널 영역들을 갖는 반면에 매우 근접한 방열 채널을 허용하는 유리한 양태를 드러낸다. 채널(400)이 절연층(102)에 의해 커버되어 잔류하기 때문에, 트랜지스터의 전기 특성들이 보존될 것이다. 트랜지스터들은 적은 누설 전류 및 기관 커패시턴스뿐만 아니라 보다 제어된 임계 전압을 드러낼 것이다. 또한, 트랜지스터의 소스 및 드레인이 트랜지스터 채널에 직접 인접하기 때문에, 방열층(200)에 매우 직접적인 채널이 있다. 본 발명의 다른 구체적 실시형태에 있어서, 익스커베이트드 절연체 영역(300)은 SOI 구조체에서 능동 소자들의 서브세트(subset)만을 노출한다. 본 발명의 다른 구체적 실시형태에 있어서, 익스커베이트드 절연체 영역(300)은 SOI 구조체에서 개별 능동 소자의 영역들의 다른 서브세트들을 노출할 것이다.
- [0024] 본 발명의 구체적 실시형태에 있어서, 금속 컨택(404)은 익스커베이트드 절연체 영역(300)의 제 1 부분에 배치된다. 또한, 방열층(200)은 상기 익스커베이트드 절연체 영역(300)의 제 2 부분에 배치되고, 금속 컨택(404)의 측상에 또한 배치된다. 상기 구성은 도 4에서 볼 수 있다. 열은 활성층(103)으로부터 금속 컨택(404)을 통해 직접 방산될 수 있을 것이다. 또한, 열은 방열층(200)을 통해 측면으로 그리고 그 후 금속 컨택(404)을 통해 밖으로 흐를 수 있을 것이다. 도 4가 상기 실시형태를 익스커베이트드 산화물 영역(300)이 활성층(103)의 영역들과 대응하도록 패턴화되는 실시형태와 결합하여 내보이지만, 상기 실시형태들은 독립하여 기능할 수 있다. 활성층(103)의 부분들과 방열층(200)의 정렬을 패턴화하기 위한 익스커베이트드 절연체 영역(300)의 이용에 관하여 상기 논의된 어떤 실시형태들도 독립하여 또는 조합하여 이용될 수 있다. 또한, 익스커베이트드 절연체 영역(300)을 형성하기 위한 절연체 재료의 패턴 제거가 방열층(200)의 패턴화된 증착과 조합될 수 있다. 예컨대, 방열층(200)은 SOI 구조체의 전체 후면상에 배치될 수 있거나, 익스커베이트드 절연체 영역(300)에서만 배치될 수 있거나, 익스커베이트드 절연체 영역(300)의 부분에 배치될 수 있다. 방열층(200)의 패턴화 방법은 하기에 논의한다.
- [0025] 익스커베이트드 절연체 영역(300) 또는 추가의 방열층(200) 중 하나가 패턴화되는 본 발명의 실시형태들은 유리한 특성들을 드러낸다. 방열층(200)이 전기 절연성이더라도 어떤 영역에서 본래의 절연체 재료를 남겨두는 것으로부터 누적되는 어떤 이점에 있다. 예컨대, 본래의 산화물보다 덜 전기 절연성인 재료를 방열층(200)이 포함하는 것이 가능하다. 재료는 그것의 전기 절연성 능력의 희생으로 열전도율을 최대화하고 비용을 최소화하도록 선택될 수 있다. 전기 전도율이 중요했던 활성층(103)의 부분들에 있어서, 본래의 절연체는 남겨질 수 있고 익스커베이트드 절연체 영역(300)은 다른 곳에 위치할 수 있다. 이렇게 하여, 패턴화는 방열층(200)에 대한 최적의 재료를 선택하는 것에서의 자유의 다른 정도를 허용한다.
- [0026] 익스커베이트드 절연체 영역(300)을 패턴화하는 것은 그것이 활성층(103)에서의 인터페이스(interface) 상태들의 생성을 한정할 있다는 점에서 다른 편의를 제공한다. 방열층(200)이 양호한 전기 절연체일지라도, 방열층(200)이 적용되는 경우 재접속되지 않을 불포화 결합의 생성을 본래의 절연체의 제거가 야기하기 때문에 본래의 절연체는 일반적으로 활성층(103)과 더 나은 물리 접촉을 할 것이다. 이것은 활성층(103)에서의 회로에 대한 문제를 야기할 수 있는 인터페이스 상태들의 생성으로 귀착한다. 익스커베이트드 절연체 영역(300)의 패턴화는 본래의 절연체가 키 영역들과 접촉하게 잔류하도록 허용함으로써 활성층(103)의 키 영역들에서의 상기 인터페이스 상태들의 생성을 유리하게 한정할 수 있다.
- [0027] 본 발명에 따른 다른 SOI 구조체는 도 5를 참조하여 설명할 수 있다. 이전에 논의된 관례에 의하면, 도 5는 핸들 웨이퍼(107)의 하부의 활성층(103)을 예시한다. 본 발명의 다른 실시형태들을 참조하여 설명하는 바와 같이, 절연층(102) 및 기관(101)은 활성층(103)의 하단면으로부터 후면 프로세싱을 통하여 제거되었다. 본 발명의 구체적 실시형태에 있어서, 핸들 웨이퍼(107)가 일시적 접합을 통해 활성층(103)에 접합된다. 이것은 반도체 프로세싱의 후의 단계들 동안 접합이 용이하게 풀어질 수 있다는 것을 의미한다. 본 발명의 구체적 실시형태에 있어서, 영구적 제 2 핸들 웨이퍼(영구적 핸들 방열층(500) 및 영구적 핸들 기관층(501)으로서 예시됨)가 후면 프로세싱 동안 활성층(103)에 직접 결속된다. 본 발명의 구체적 실시형태에 있어서, 영구적 핸들 기관층(501)은 영구적 핸들 방열층(500)과 동일한 재료로 구성된다. 상기 구조체는 상술한 실시형태들의 것과 적합한 레벨의 방열 능력을 허용할 수 있지만, 종래 기술을 이용하여 활성층(103)에서의 회로로의 상단측 접합을 또한 유리하게 허용할 것이다. 핸들 웨이퍼(107)가 일시적 접합을 통해 결속되기 때문에, 후면 프로세싱이 더 이상 필요로 하지 않는 동안 그것이 지지가 제공된 후 그것은 제거될 수 있다. 그 후, 활성층(103)은 상단측 접합 및 다양한 다른 애플리케이션들을 허용하도록 노출된 그것의 상단측을 가질 것이다.

- [0028] 본 발명에 따른 다른 SOI 구조체는 도 6을 참조하여 설명할 것이다. 도 6은 도 5를 참조하여 설명한 후면 영구적 핸들과 패터닝된 절연층의 양태들을 조합하는 본 발명의 구체적 실시형태들을 예시한다. 본 발명의 구체적 실시형태에 있어서, 영구적 핸들 기판층(501) 및 영구적 핸들 방열층(500)이 방열층(200)이 적용된 후 SOI 구조체의 후면상에 배치된다. 본 발명의 구체적 실시형태에 있어서, 영구적 핸들 방열층(500)에 이용되는 재료는 방열층(200)에 이용되는 재료와 동일할 수 있다. 방열층(200 및 500)은 스퍼터링(sputtering) 또는 몇몇 다른 방법을 통해 적용될 수 있다. 상술한 바와 같이, 방열층(200)은 절연층(102)의 패터닝에 의해 형성되는 익스캐비티드 산화물 영역들에 배치된다. 도 6에 예시된 구체적 실시형태는 상술한 본 발명의 구체적 실시형태와 조합하여 최저 금속층(301)을 노출하도록 패터닝되는 절연층(102)을 내보인다. 실제로, 상기 논의된 모든 패터닝 및 방열층 변형은 방열 및 전기 특성들을 갖는 본 발명의 또 다른 실시형태들을 만들어내도록 도 5를 참조하여 설명한 영구적 핸들 개념과 조합될 수 있다. 상기 실시형태들은 활성층(103)에서의 회로에 전단층 접합이 가능한 추가의 유익한 특성들을 가질 것이다.
- [0029] 본 발명에 따른 집적 회로의 제조 방법은 도 7을 참조하여 설명할 수 있다. 본 발명의 구체적 실시형태에 있어서, 집적 회로의 제조 방법은 프로세싱에 대한 SOI 웨이퍼의 마련과 함께 단계(700)에서 개시한다. 상기 단계는 SIMOX 또는 임플란트(implant) 및 절단 방법들을 이용하여 제조되는 바에 따른 이산화실리콘 절연체 위의 활성 실리콘의 층으로 구성되는 SOI 웨이퍼의 실제적 제조를 포함할 수 있다. 상기 단계는 미리 제작된 SOI 웨이퍼의 구입 및 또 다른 프로세싱에 대한 그것의 마련을 또한 포함할 수 있다.
- [0030] 본 발명의 구체적 실시형태에 있어서, 단계(700)에서의 SOI 웨이퍼의 준비와, 그 다음으로, 단계(701)에서, SOI 웨이퍼의 활성층에서의 능동 회로를 형성하는 것이 행해진다. 상기 단계 동안 및 상기 층에서 형성되는 회로는 CMOS, BiCMOS, SiGe, Ga, As, InGaAs, 및 GaN과 같은 기술들을 포함할 수 있지만 여기에 한정되지 않는다. 회로는 다이오드들 및 트랜지스터들과 같은 다양한 능동 소자들; 저항들, 커패시터들, 및 인덕터들과 같은 다양한 수동 소자들; 및 금속 와이어들 및 비어(via)들과 같은 루팅 회로를 포함할 수 있다. 다양한 포토리소그래피적 및 화학적 증착 단계들이 상기 회로를 만들어내기 위해 행해질 수 있다.
- [0031] 본 발명의 구체적 실시형태에 있어서, 단계(701)에서의 능동 회로의 형성 후에는, SOI 웨이퍼의 후면 프로세싱이 뒤따른다. 본 발명의 구체적 실시형태에 있어서, 후면 프로세싱은 단계(702)에서의 활성층 위의 SOI 웨이퍼에 제 2 핸들 웨이퍼의 부착 또는 영구적 접합과 함께 시작된다. 핸들 웨이퍼로의 영구적 접합을 유발하는데 이용되는 프로세스들은 영구적 유기 또는 무기 접착제, 산화물 프릿(frit) 접합, 갈바닉(galvanic) 접합, 분자 용해 접합, 임의의 형태의 전자기적 접합, 및 영구적 웨이퍼 접합들을 만들어 내기 위한 다른 공지된 방법들을 포함한다.
- [0032] SOI 구조체로의 핸들 웨이퍼의 영구적 접합을 뒤따라 SOI 웨이퍼 기판은 단계(703)에서 제거될 수 있다. 기판은 독립적으로 또는 조합하여 기계적 및 화학적 수단을 이용하여 제거될 수 있다. 예컨대, 기계적 그라인딩(grinding)은 대략 800 마이크로 미터(μm) 내지 대략 $20\mu\text{m}$ 의 본래의 두께에서의 박형 기판 재료에 이용될 수 있다. 기판이 실리콘이면, 기판 재료의 최종 두께는 KOH 또는 TMAH와 같은 습식 에칭에 의해 제거될 수 있다. 기판 재료의 최종 두께는 건식 플라즈마 에칭을 이용하여 또한 제거될 수 있다. 기판은 높은 정밀도 또는 에칭 레이트비(etch rate ratio)로 제거될 수 있다. 에칭 레이트비는 웨이퍼의 후단에서 제거되었던 소망의 기판 재료의 레이트 대 제거되지 않아야 했던 제거되었던 추가의 재료의 레이트의 비를 언급한다. 본 발명의 구체적 실시형태에 있어서, 에칭 레이트비가 매립된 산화물까지의 모든 기판의 제거에 대해 극도로 높을 수 있기 때문에 절연층은 에칭 중단으로서 작용하는 매립된 산화물이다.
- [0033] 본 발명의 구체적 실시형태에 있어서, 단계(703)에서의 SOI 기판의 제거 후에는, 이전에 개시된 임의의 구조체들을 만들어 낼 수 있는 추가의 후면 프로세싱이 뒤따른다. 본 발명의 구체적 실시형태에 있어서, SOI 기판의 제거 후에는, 단계(704)에서의 익스캐비티드 절연체 영역을 형성하기 위해 SOI 절연층의 제거가 뒤따른다. 이전에 언급한 바와 같이, 절연층은 단지 전체적으로 얇고 본래의 두께보다 얇게 남도록 대체로 제거될 수 있거나 익스캐비티드 절연층이 상술한 바와 같은 임의의 몇몇 패턴들을 형성하는 방식으로 제거될 수 있다. 상기 패턴들은 표준 포토리소그래피 기술 또는 선택적 화학 기상 증착을 이용하여 형성될 수 있다. 절연층을 박형화하는 것은 활성층을 손상시키는 것을 회피하도록 주의 깊게 행해져야 한다. 절연체 재료의 단지 단층(1nm의 정도에서의)이 필요하게 되더라도, 박형화는 본래의 절연체의 균일성에 의해 한정될 수 있다. 예컨대, 초기의 층이 우선 5nm보다 큰 변형을 갖는다면 절연체 제거에 대한 통상의 방법들은 5nm보다 작은 최종층을 남길 수 있을 것이다. 또한, 상기 패턴들은 활성층에서의 회로가 차폐(shield)되는 정도 및 결과의 SOI 구조체가 상술한 바와 같이 효율적으로 열을 방산하는 정도에서의 유익한 트레이드오프(tradeoff)를 활용하도록 구성될 수 있다.

- [0034] 본 발명의 구체적 실시형태에 있어서, 단계(704)에서의 SOI 웨이퍼의 후면으로부터의 절연체 재료의 제거는 단계(705)에서의 익스커베이트드 절연체 영역에서의 SOI 웨이퍼의 후면상의 방열층의 증착을 뒤따른다. 상기 방열층의 증착은 이전에 개시된 임의의 구조체를 만들어 내기 위해 행해질 수 있다. 상기 단계는 마찬가지로 기판 재료의 제거 후 즉시 뒤따를 수 있다. 또한, 상기 단계는 예컨대, 금속 컨택들이 2개 이상의 단계들에서 배치되었던 금속 컨택들의 증착 동안, 또는 전기 접속을 위해 금속 컨택들을 노출하도록 방열층에서 홀들이 이후에 개방되었던 경우 금속 컨택들의 증착 후에 행해질 수 있다. 단계(705)에서의 상기 방열층의 추가는 화학 기상 증착, 스퍼터링, 또는 몇몇 다른 방법을 통해 달성될 수 있다. 또한, 이전에 개시된 구조체의 의한 방열층의 패턴화된 증착은 표준 포토리소그래피 프로세싱 또는 선택적 화학 기상 증착의 이용을 통해 달성될 수 있다. 상술한 바와 같이, 본 발명의 구체적 실시형태에 있어서, 상기 단계에서 증착된 방열층은 전기 절연성이고 열전도성일 것이다.
- [0035] 본 발명의 구체적 실시형태에 있어서, 단계(705)에서의 SOI 웨이퍼의 후면상의 방열층의 증착 후에는, SOI 웨이퍼의 후면에서의 인터페이스 상태들을 패시베이션하는 것이 뒤따른다. 전체 절연체가 단계(704)에서 제거되는 본 발명의 일 실시형태에 있어서, 단계(705)에서 증착되는 방열층이 높은 인터페이스 상태 밀도를 가질 것이기 때문에 이것은 매우 유리할 수 있다. 증착된 필름(film)들은 그들이 800°C를 넘는 높은 온도에서 열처리되지 않는다면 매우 높은 인터페이스 상태 밀도를 갖는 경향이 있다. 상기 온도는 능동 회로가 현상된 후에 표준적인 웨이퍼들이 다룰 수 있는 것보다 높기 때문에, 고온 열처리되는 상기 시점에서의 선택 사항이 아니다. 그러나, 인터페이스 상태들은 저온 열처리를 이용하여 패시베이션될 수 있다. 본 발명의 구체적 실시형태에 있어서, 상기 저온 열처리는 400-450°C에서의 온도 범위에서 일어날 것이고 순수소 가스 또는 포밍 가스(forming gas) 중 하나의 수소-포함 대기에서 달성될 것이다. 포밍 가스는 비폭발성 N₂ 및 H₂ 혼합물이다. 상기 패시베이션 단계는 그외에 이루어질 수 있는 것보다 훨씬 박형인 방열층으로 귀착할 수 있다. 예컨대, 상기 층은 통상의 화학 기상 증착 장비 또는 스퍼터링 장비를 이용하여 약 +/-5%의 균일성을 갖고 5nm 내지 20nm의 두께일 수 있다. 상기 단계는 따라서 매우 박형의 절연층의 증착 및 따라서 활성층으로부터 매우 효율적인 열 전도를 허용한다. 상기 실시형태에 있어서, 방열층은 SOI 구조체의 방열 성능을 향상시켰던 효율적으로 사용된 절연체 재료의 층을 포함할 것이다. 본 발명의 구체적 실시형태에 있어서, 매우 열전도성인 재료의 층이 절연체 재료의 상기 박층의 후단상에 증착되고 방열층은 박형의 절연체 재료층 및 열전도성 재료층 양자를 포함한다.
- [0036] 본 발명의 구체적 실시형태에 있어서, 단계(704)에서의 전체 절연층의 제거는 이전의 단락에서 설명한 저온 열처리 패시베이션 단계를 뒤따르는 단계(704)에서 제거되었던 동일한 절연체 재료의 박층의 증착을 뒤따를 수 있다. 예컨대, 제거된 절연체 재료는 이산화실리콘일 수 있고 증착된 그리고 저온 열처리된 재료도 또한 이산화실리콘일 수 있다. 이산화실리콘은 그것이 낮은 인터페이스 상태 특성들을 가지기 때문에 이용하기에 유리한 재료이다. 이산화실리콘이 제거되고 그 후 증착되는 이유는 증착 및 저온 열처리의 프로세스가 상기 개시된 방법들을 이용하여 본래의 층의 부분적 에치-백(ech-back)을 통해 달성될 수 있는 것보다 보다 절연체 재료의 균일하고 보다 박형의 층을 생성할 수 있다는 것이다.
- [0037] 본 발명의 구체적 실시형태에 있어서, 단계(705)에서의 SOI 웨이퍼의 후면상의 방열층의 증착은 이후의 프로세싱 동안 활성층에서의 능동 회로에 전기 접속을 허용하기 위해 선택된 영역들에서의 방열층의 제거를 뒤따른다. 일 실시형태에 있어서, 방열층의 부분들의 익스커베이션은 금속의 최저 레벨의 영역들이 전기 접속을 위해 그 금속을 노출하도록 실재하는 장소에 위치할 수 있다. 대안으로, 방열층은 활성 구조체와 직접 접촉을 허용하도록 활성 실리콘 영역 아래에서 선택적으로 제거될 수 있다. 방열층에 더하여, 다른 유전체층들이 전기 접속을 위해 다양한 도전체들을 노출하도록 제거되는 것이 필요하게 될 수 있다. 열전도층의 제거는 적합한 케미스트리(chemistry)들을 이용한 건식 또는 습식 에칭 및 포토리소그래피의 널리 공지된 수단들을 이용하여 선택적으로 달성될 수 있다.
- [0038] 본 발명의 구체적 실시형태에 있어서, SOI 웨이퍼의 후면에서의 방열층의 영역들의 제거는 단계(706)에서의 금속 컨택들의 증착을 뒤따른다. 상기 금속 컨택들은 단계(704) 또는 단계(705)에서 형성되는 익스커베이트드 절연체 영역의 제 1 부분에서 증착된다. 금속 컨택들은 능동 회로로부터 신속히 열을 방산할 수 있다. 본 발명의 구체적 실시형태에 있어서, 금속 컨택들은 능동 회로로부터의 방열을 위한 열 채널들뿐만 아니라 외부 소자들로의 신호 또는 전력 접속들을 위한 컨택들 양자를 제공할 수 있다. 상기 금속 컨택들은 볼 본드(ball bond)들, 솔더 범프들, 구리 포스트(post)들, 또는 다른 다이(die) 접촉 재료들을 포함할 수 있다. 금속 컨택들은 추가로 회로 보드, 또는 저온 동시 소성 세라믹 기판에 부착되도록 구성될 수 있다. 상기 단계에서 제조된 구조체는 이로써 표준 SOI 소자들에서 반대 방향인 구조체의 하단층상의 SOI 구조체의 활성층에 접촉한다.

- [0039] 본 발명에 따른 집적 회로 제조 방법은 도 8을 참조하여 설명할 수 있다. 본 발명의 구체적 실시형태에 있어서, 집적 회로 제조 방법은 프로세싱에 대한 SOI 웨이퍼의 준비와 함께 단계(800)에서 개시하고 단계(801)에서 SOI 웨이퍼의 활성층에서의 회로의 형성과 함께 지속한다. 단계들(800 및 801)은 각각 단계들(700 및 701)을 참조하여 상술한 바와 같이 행해질 수 있다. 단계(802)는 SOI 웨이퍼의 활성층의 상단층에 핸들 웨이퍼의 접합하는 것을 포함한다. 핸들 웨이퍼는 활성층에 일시적으로 결속될 수 있다. 핸들 웨이퍼로의 일시적 접합을 유발하는데 이용되는 프로세스들은 Brewer Science HT 10.10, 3M's WSS (웨이퍼 지원 시스템), HD 마이크로 폴리이미드, 및 TMAT와 같은 접착제들을 포함한다. 상기 핸들 웨이퍼는 활성 실리콘에 접합되고, 기관상에 배치될 절연층을 포함할 수 있다. 이 시점에서, 능동 회로는 따라서 2개의 절연층들 사이에서 샌드위칭(sandwiching)될 것이다. 대안으로, 핸들 웨이퍼는 전도성의 또는 반전도성의 재료를 함유할 수 있다. 단계(802)에서의 핸들 웨이퍼의 일시적 접합을 뒤따라, 단계들(803, 804, 및 805)은 각각 단계들(703, 704, 및 705)에서 상술한 바와 같이 모두 행해질 수 있다.
- [0040] 본 발명의 구체적 실시형태에 있어서, 단계(805)에서의 방열층의 증착은 단계(806)에서의 활성층 아래의 SOI 구조체의 제 2의, 영구적 핸들 웨이퍼의 부착 또는 영구적 접합을 뒤따를 수 있다. 상기 후면 프로세싱 단계의 효과는 접촉이 SOI 구조체에서의 능동 회로에 대해 이루어질 수 있는 방향을 바꾸는 것이다. 상기 제 2 핸들 웨이퍼가 SOI 웨이퍼의 후단층에 한번 영구적으로 접합되면, 본래의 핸들 웨이퍼는 단계(807)에서 그것이 일시적인 그리고 용이하게 되돌릴 수 있는 프로세스를 이용하여 접합되었다는 사실에 기인하여 용이하게 제거될 수 있다. 상단층 핸들 웨이퍼로의 영구적 접합을 유발하는데 이용되는 프로세스들은 영구적 유기 접착제, 산화물 프리트 접합, 갈바니 접합, 분자 융합 접합, 임의의 전자기적 접합 방법, 및 영구적 웨이퍼 접합들을 만들어 내기 위한 다른 공지된 방법들을 포함한다. 분자 융합 접합과 같은 몇몇 접합 방법들은 양면이 접합되는 높은 정도의 평탄함을 필요할 수 있다. 절연체 재료가 선택적으로 제거되었다면, 그것은 접합을 보다 어렵게 만드는 웨이퍼의 표면에 비평면성을 도입할 수 있다. 그 경우에서, 화학적-기계적 연마는 접합의 효과를 향상시키도록 접합 단계 이전에 웨이퍼의 표면을 평면화하는데 이용될 수 있다.
- [0041] 단계(806)에서 제조되는 구조체는 그것의 상단층상에 노출되는 SOI 구조체의 활성층을 가질 것이고 또 다른 프로세싱이 상단층에서 능동 회로로의 직접 접속을 허용할 수 있다. 단계(806)에서 접합되는 제 2의, 영구적인 핸들 웨이퍼는 전기 절연성이지만, 열전도성인 재료로 전부 구성될 수 있다. 또한, 제 2 핸들 웨이퍼는 기관 재료상에 배치되는 재료로 구성될 수 있다. 상기 제 2 구성은 기관 재료가 최종 SOI 소자에 필요한 안정성을 제공하는 반면에 매우 비용이 드는 방열 재료일 수 있는 것만큼 많이 이용하지 않음에 따라 비용을 절감할 수 있다. 제 2의, 영구적 핸들 웨이퍼상의 열전도성 재료가 단계(805)에서의 방열층을 형성하기 위해 증착되는 동일한 재료로 구성되는 것이 가능하다. 대안으로, 단계(806)에서 접합되는 영구적 핸들 웨이퍼는 실리콘 또는 고저항률 실리콘과 같은 반도체 재료 또는 전도성 재료로 구성될 수 있다.
- [0042] 후면 스트레인 유발층
- [0043] 본 발명의 실시형태들은 재료들이 그들의 채널과 근접 접촉하는 것을 유발하는 스트레인을 갖는 SOI 구조체에서의 능동 소자들의 제조를 제공한다. 본 발명의 실시형태들은 스트레인 유발층들이 적용되는 통상의 단계들보다 소자 제작 프로세스에서의 더 이후의 단계에서 상기 스트레인 유발 재료들의 도입을 허용한다. 이것은 스트레인 유발층들의 증가된 효과를 허용하는 반면에 동시에 간헐적 제조 단계들 동안 SOI 구조체에 손상을 주는 위험을 저감한다. 또한, 상술한 편의를 갖는 소자들은 반도체 산업에서 가장 흔히 이용되는 제조 프로세스들에 매우 적은 변경에 의해 본 발명의 의하여 제조될 수 있다. 이것은 현존하는 제조 프로세스들과의 호환성이 새로운 반도체 해결책에 입할 수 있는 거의 대처할 수 없는 고정 제조 비용 투자에 대한 필요를 회피한다는 것이 주어지는 큰 이점이다. 본 발명의 실시형태들은 SOI 구조체의 후면상의 여러 가지의 구성들에서 후면 프로세싱의 이용, SOI 절연층의 일부들의 가능한 제거, 및 스트레인 유발층들의 증착을 통하여 상기 결과를 달성한다.
- [0044] 능동 소자의 채널을 포함하는 재료에서의 기계적 인장 또는 압축 스트레인의 도입은 상기 능동 소자에서의 충전 캐리어(carrier)의 이동성을 증가시킬 수 있다. 일반적으로, 인장 스트레인을 유발하는 것은 전자들의 이동성을 증가시키고 압축 스트레인을 유발하는 것은 홀들의 이동성을 증가시킨다. NMOS 소자에서의 충전 캐리어들이 전자들이기 때문에 인장 스트레인이 그것의 채널에서 유발된다면 n-타입 금속-산화물 반도체(NMOS : n-type metal-oxide semiconductor)와 같은 n-타입 능동 소자는 따라서 보다 고주파수에서 동작할 수 있다. 마찬가지로, PMOS 소자에서의 충전 캐리어들이 전자들이기 때문에 압축 스트레인이 그것의 채널에서 유발된다면 p-타입 금속-산화물 반도체(PMOS : p-type metal-oxide semiconductor)와 같은 p-타입 능동 소자는 보다 고주파수에서 동작할 수 있다.

- [0045] 본 발명에 따른 SOI 구조체는 도 9를 참조하여 설명할 수 있다. 도 9는 본래의 SOI 웨이퍼가 활성층(103), 절연층(102), 및 핸들 웨이퍼(107)에 부착되고 그것의 기판을 제거하기 위해 후면 프로세싱을 받은 기판을 포함하는 SOI 구조체를 예시한다. 회로는 NMOS(900)와 같은 n-타입 능동 소자, 및 PMOS(901)와 같은 p-타입 능동 소자를 포함하는 활성층(103)에서 이미 생성되었다. 또한, 스트레인 유발층(902)은 절연층(102)의 후단에 실재한다.
- [0046] 도 9에 예시한 구성은 반도체 소자에서의 스트레인을 유발하기 위한 통상적 접근에 비교하여 어떤 유리한 특성들을 가진다. 소자에서의 스트레스(stress)는 그것이 만들어 내는 이익과 함께 웨이퍼 뒤틀림과 같은 문제들을 야기할 수 있고, 따라서 가능한 상세히 한정되고 목표로 되는 반도체 구조체에서 유발되는 총량의 스트레스를 유지하는 것이 바람직하다. 변형되어야 할 영역과 변형되는 영역 사이의 거리가 저감함에 따라 스트레인 유발층의 효과가 증가하기 때문에, 반도체에서 유발되는 전체 스트레인은 한정되는 반면에 가능한 능동 소자들의 채널들에 근접하게 스트레인 유발층을 위치시킴으로써 마찬가지로의 유익한 채널 스트레인을 달성한다. 최저층들이 일반적으로 먼저 증착되어야 하기 때문에 이것은 상단 프로세싱 제조 접근의 관점에서 문제가 있다. 이와 같이, 스트레인 유발층은 보통 FET 소자들의 게이트 위에 증착되고 따라서 채널로부터 상당한 거리에 위치한다. 또한, 스트레인층에서의 비평면성은 게이트의 패터닝을 통해 도입되고 FET 소자들의 길이 및 폭과 같은 기하학적 영향들에 의존하여 스트레인-유발층의 효과를 만들어 낸다. 또한, 반도체 소자는 600-1050°C의 범위에서의 극도의 고온을 수반하는 스트레인층의 증착 후 또 다른 프로세싱 단계들을 겪는다. 이러한 필요성은 반도체 소자에서 2개의 약화시키는 효과를 가진다. 첫 번째로, 스트레인 유발층에 의해 유발되는 스트레인은 스트레인 유발층의 전체 목적에 반하는 고온 열처리 동안에 저감될 수 있다. 두 번째로, 스트레인 유발층은 결과의 소자의 전기적 성능 및 제조 수율을 상당히 저감할 슬립(slip) 및 전위 발생과 같은 실리콘 결정 결함으로 귀착할 수 있는 웨이퍼 뒤틀림 및 활성층의 소성 변형을 야기할 수 있다. 이에 반해, 본 발명에 의한 후면 프로세싱을 이용한 스트레인 유발층의 증착은 활성층이 완전히 프로세싱된 후 능동 소자들의 채널에 스트레인 유발층이 근접 접촉하여 증착되는 것을 허용하고, 따라서 이른 단계에서의 스트레스의 도입과 관련된 문제들을 회피한다.
- [0047] 본 발명의 구체적 실시형태에 있어서, 스트레인 유발층은 스트레인 유발층의 패턴화된 증착을 허용하는 (도 11을 참조하여 하기에 논의되는 바와 같은) 리소그래피 프로세스들 또는 다른 방법들을 이용하여 적용된다. 도 9는 스트레인 유발층(902)이 인장 스트레인층(903) 및 압축 스트레인층(904)을 포함하도록 패턴화된 특정 실시형태를 예시한다. 본 발명의 구체적 실시형태에 있어서, 스트레인 유발층(902)의 상기 2개의 부분은 활성층(103)상의 인장 또는 압축 스트레인 중 하나를 만들어내는 경향을 갖는 다른 재료들을 이용하여 형성될 수 있다. 인장 스트레인을 유발할 수 있는 재료들은 질화실리콘, 및 질화알루미늄을 포함한다. 압축 스트레인을 유발할 수 있는 재료들은 질화실리콘, 질화알루미늄, 및 다이아몬드상 카본을 포함한다. 동일한 재료들은 재료가 증착되는 상태들에 의존하여 압축 또는 인장 스트레인 중 하나를 유발할 수 있다. 본 발명의 구체적 실시형태에 있어서, 스트레인 유발층(902)의 2개의 부분은 다른 상태들 하에서 동일한 재료를 증착함으로써 형성될 수 있다. 몇몇 재료들은 재료의 스트레인 유발 특성이 증착 상태들을 조절함으로써 제어될 수 있는 곳에 적용될 수 있다. 예컨대, 다른 상태들 하에서 화학 기상 증착을 이용하여 증착되는 질화실리콘 또는 질화알루미늄은 인장 또는 압축 스트레인 중 하나를 만들어낼 수 있다. 본 발명의 구체적 실시형태에 있어서, 인장 스트레인층(903)은 NMOS(900)와 같은 n-타입 능동 소자들을 갖는 SOI 구조체의 영역에 걸쳐 증착될 수 있고, 압축 스트레인층(904)은 PMOS(901)와 같은 p-타입 능동 소자들을 갖는 SOI 구조체의 영역에 걸쳐 증착될 수 있다. 이로써, 양 소자들의 캐리어 이동성이 효과적으로 향상될 수 있다.
- [0048] 본 발명의 구체적 실시형태에 있어서, 균일한 스트레인 유발층이 후면 프로세싱 동안 SOI 구조체의 하단에 적용된다. 상기 실시형태들은 구체적-캐리어-타입 능동 소자들이 활성층(103)에서의 회로를 장악하는 상황에서의 특정 유틸리티(utility)의 것이다. 예컨대, 활성 회로층(103)에서의 능동 소자들이 지배적으로 NMOS 트랜지스터라면, 균일한 인장 스트레인층이 SOI 구조체의 후면에 적용될 수 있을 것이다. 이로써, NMOS 트랜지스터들은 향상될 것이고 임의의 PMOS 트랜지스터들에서의 캐리어들의 이동성을 잠재적 약화시키는 변경은 보다 많은 NMOS 트랜지스터들의 향상에 의해 제공되는 장점보다 작을 것이다.
- [0049] 본 발명의 구체적 실시형태에 있어서, 스트레인 유발층 또는 스트레인 유발층들은 활성층(103)의 후단에 직접 적용된다. 이것은 스트레인 유발층(902)이 증착되기 전에 절연층(102)을 제거하는 것의 추가의 후면 프로세싱 단계에 의해 달성될 수 있다. 상기 실시형태들은 반도체 소자 프로세싱 시퀀스(sequence)에서의 이후의 단계에서 스트레인 유발층의 증착을 허용하는 유익한 특성을 공유한다. 그러나, 상기 실시형태들에 있어서 스트레인 유발층은 활성층(103)에 훨씬 더 근접하다. 따라서, 적은 전체 스트레스가 결과의 반도체 소자의 전기 특성 및 수율을 향상시킬 수 있는 반면에 그것의 능동 소자들의 채널들에서 충전 캐리어들의 이동성도 여전히 향상시키는 것이 필요하게 된다. 본 발명의 구체적 실시형태에 있어서, 스트레인 유발층(902)이 활성층(103)상에 직접

증착되는 경우, 스트레인 유발층(902)은 SOI 구조체들의 유익한 특성들을 보존하기 위해 전기 절연성 재료들로 이루어진다. 스트레인을 유발하고 전기 절연체들로서 작용할 수 있는 재료들은 질화실리콘, 질화알루미늄, 실리콘 카바이드, 및 다이아몬드상 카본을 포함한다.

[0050] 본 발명의 구체적 실시형태에 있어서, 다른 패턴들은 활성층(103)에서 스트레인을 유발하도록 적용된다. 상기 패턴들은 충전 캐리어들의 흐름에 평행한 또는 수직인 방향으로 이축 스트레인 또는 단축 스트레인을 생성한다. 상기 패턴들은 상술한 바와 같이 다중의 적어도 부분적으로 수직으로 동시 확장하는 스트레인 유발층의 애플리케이션에 의해 형성될 수 있다. 마찬가지로, 상기 패턴들은 상술한 바와 같이 익스커베이트드 절연체 영역에 증착되는 스트레인 유발층의 애플리케이션에 의해 형성될 수 있다. 인장 또는 압축 스트레인을 유발할 수 있는 여러 가지의 패턴들은 도 10을 참조하여 설명할 수 있다. 게이트(1000)는 스트레인 유발층(1001)에 의해 둘러싸인다. 스트레인 유발층(1001)이 인장 스트레스 유발층이면 상기 패턴은 게이트(1000) 아래의 채널에서 이축 인장 스트레인을 만들어낼 것이다. 스트레인 유발층(1001)이 압축 스트레스 유발층이면 상기 패턴은 게이트(1000) 아래의 채널에서 이축 압축 스트레인을 만들어낼 것이다. 게이트(1010)는 스트레인 유발층(1011)에 의해 둘러싸인다. 게이트(1010)는 폭에 길이를 나눈 큰 비율을 가진다. 이와 같이, 스트레인 유발층(1011)의 애플리케이션은 채널을 통해 충전 캐리어들의 흐름에 평행한 게이트(1010) 아래의 채널에서 지배적으로 단축 스트레인을 유발할 것이고 스트레인 유발층(1011)이 부응하여 압축 또는 인장인지 여부에 기초하여 압축 또는 인장 중 하나이다. 게이트(1020)는 스트레인 유발층(1021)에 걸친다. 상기 패턴은 채널을 통해 충전 캐리어들의 흐름에 수직인 게이트(1020) 아래의 채널에서 지배적으로 단축 스트레인을 유발할 것이고 스트레인 유발층(1021)이 부응하여 각각 압축 또는 인장임에 따라 압축 또는 인장 중 하나이다. 마지막으로, 게이트(1030)는 스트레인 유발층(1031)에 의해 둘러싸인다. 상기 패턴의 효과는 동일한 타입의 재료가 스트레인 유발층들(1031 및 1011)에 이용되었다면 층(1011)에 의해 유발될 반대의 스트레인을 생성하게 될 것이다. 예컨대, 스트레인 유발층(1031)이 인장 유발이었다면, 그 후 압축 스트레인이 게이트(1030) 아래의 채널에서 유발될 것이다. 마찬가지로, 스트레인 유발층(1031)이 압축이었다면, 그 후 인장 스트레인이 게이트(1030) 아래의 채널에서 유발될 것이다.

[0051] 본 발명에 따른 SOI 구조체는 도 11을 참조하여 설명할 것이다. 도 11은 활성층(103)을 포함하는 SOI 구조체를 예시하고 여기서 절연층(102)이 익스커베이트드 절연체 영역(300)을 형성하기 위해 구체적 패턴에 의하여 제거되었고, 활성층(103)에서 변형력(straining force)의 소망하는 분포를 만들어 낸다. 본 발명의 구체적 실시형태에 있어서, 인장 및 압축 스트레인 양자는 모든 스트레인 유발층(902)에 대해 동일한 재료를 이용하여 활성층(103)에서 유발될 수 있다. 도 10을 참조하여 상술한 바와 같이, 동일한 재료가 게이트들(1010 및 1030) 아래의 채널에서 반대 타입의 스트레인들을 유발하도록 스트레인 유발층(1011 및 1031)에 이용될 수 있다. 도 11에 예시된 바와 같이, 익스커베이트드 절연체 영역(300)은 NMOS(900)와 같은 n-타입 능동 소자들의 채널을 노출하고, PMOS(901)와 같은 p-타입 능동 소자들의 채널 주위에 패턴화될 수 있다. 이 경우, 스트레인 유발층(902)은 NMOS(900)에서의 전자(electron)들 및 PMOS(901)에서의 홀(hole)들 양자의 이동성을 향상시키기 위해 익스커베이트드 절연체 영역(300)의 패턴과 나란히 작용할 균일한 인장 스트레인 유발층일 수 있다. 본 발명의 구체적 실시형태에 있어서, 패턴의 극성 및 증착된 재료의 스트레인 타입은 이전의 실시형태들과 비교하여 바뀌어지고, 동일한 이중의 향상 효과가 귀착한다.

[0052] 본 발명의 구체적 실시형태에 있어서, 익스커베이트드 절연체 영역(300)은 활성층(103)에서 능동 소자들의 서브세트만을 노출하도록 형성될 수 있다. 예컨대, 익스커베이트드 절연체 영역(300)은 NMOS(900)와 같은 n-타입 소자들의 채널을 단지 노출하는 패턴으로 제거되고 인장 스트레인 유발층이 그 후 SOI 구조체의 후단상에 증착된다. 마찬가지로, 본 발명의 구체적 실시형태에 있어서, 패턴의 극성 및 증착된 재료의 스트레인 타입은 이전의 실시형태와 비교하여 바뀌어질 수 있다. 본 발명의 구체적 실시형태에 있어서, 잔여 절연체 영역의 밑에 있는 스트레인 유발층은 에칭 절차를 통해 제거될 수 있다. 상기 실시형태들에 있어서 소자의 하나의 타입만이 변형되더라도 이것은 특히 일정한 타입의 반도체 재료에 대해 보다 심하게 성능-의존적인 설계에서 유리한 성능을 더욱 이끌어낼 것이다.

[0053] 본 발명의 구체적 실시형태에 있어서, 능동 소자들에서 스트레인을 유발하는 SOI 구조체의 후면과 접촉하는 재료는 또한 방열층으로서 역할을 할 수 있다. 이와 같이, 상기 설명의 첫 번째 단락에서의 어떤 방열층도 부가적으로 스트레인을 유발하는 층과 대체될 수 있다. 또한, 스트레인 유발층이 능동 소자들의 채널들과 같은 열의 소스들과 접촉하도록 패턴화되는 실시형태들과 상기 실시형태의 조합들은 유리한 결과들을 만들어낸다. 구체적 실시형태에 있어서, 스트레인 유발층은 능동 소자들의 채널들상에 증착될 것이고 스트레인 및 방열층 양자로서 역할을 할 것이고, 그것은 표준 절연체층이 SOI 소자들에 대해 행하는 방식으로 소자를 또한 격리할 것이다. 전기 격리성이고, 열전도성이고, 스트레인을 유발함으로써 상기 유리한 특성들의 모두를 제공할 수 있는 재료들은

질화알루미늄, 실리콘 카바이드, 및 다이아몬드상 카본을 포함한다. 본 발명의 구체적 실시형태에 있어서, 절연층(102)은 완전히 제거되고 도 10을 참조하여 설명하는 바와 같이 열을 방산하는 반면에 동시에 스트레인 유발층에 대한 패턴을 제공하는 패턴화된 열확산층과 대체될 수 있다.

[0054] 본 발명에 따른 집적 회로 제조 방법은 도 12를 참조하여 설명할 수 있다. 단계(1200)에서 기판이 후면 프로세싱을 이용하여 SOI 구조체의 후단으로부터 제거된다. 본 발명의 구체적 실시형태에 있어서, SOI 구조체는 이미 상당한 프로세싱을 겪어 SOI 구조체의 활성층에서의 회로가 거의 완전하다. 단계(1200)에서의 기판의 제거 방법은 도 7에서의 단계(703)을 참조하여 언급한 것들과 동일하다. 본 발명의 구체적 실시형태에 있어서, 단계(1200) 후에는 단계(1203)에서의 SOI 구조체의 후면상의 스트레인 유발층의 증착이 뒤따른다. 증착된 스트레인 유발층은 스피터링, 화학 기상 증착, 또는 어떤 다른 방법을 통해 SOI층의 전체 후단면에 걸쳐 증착될 수 있다. 스트레인 유발층은 압축 또는 인장 스트레인 중 하나를 유발할 수 있다. 또한, 증착된 층은 단계(1203)에서의 하나의 부분에서 제 1 스트레인층 그리고 그 후 단계(1205)에서 다른 스트레인층을 증착하기 위하여 리소그래피 또는 몇몇 다른 방법을 이용하여 패턴화될 수 있다. 이 경우, 다중 부분 스트레인 유발층은 인장 유발 부분 및 압축 유발 부분을 가질 수 있도록 형성될 것이다. 본 발명의 구체적 실시형태에 있어서, 상기 다중 부분 스트레인 유발층은 실제로 각각의 두 개의 단계들에 대해 다른 프로세싱 상태들과 결합하여 단계(1203 및 1205)에서 동일한 재료를 이용하여 형성될 수 있다. 상술한 바와 같이, 질화실리콘과 같은 재료들은 그들이 적용되는 상태들에 의존하여 인장 또는 압축 스트레스 중 하나를 가한다.

[0055] 본 발명의 구체적 실시형태에 있어서 단계(1200)에서의 기판 재료의 제거 후에는 단계(1201)에서의 절연체 재료의 제거가 뒤따른다. 상기 제거는 도 7에서의 단계(704)를 참조하여 논의된 어떤 방법들도 수반할 수 있다. 본 발명의 구체적 실시형태에 있어서, 단계(1201) 후에는 단계(1202)에서의 방열층의 증착이 뒤따를 수 있다. 상기 증착은 도 7에서의 단계(705 및 706)를 참조하여 논의된 어떤 방법들도 수반할 수 있다. 본 발명의 구체적 실시형태에 있어서, 단계(1201) 후에는, 그 대신으로 단계(1203)에서의 스트레인 유발층의 증착이 뒤따를 수 있다. 본 발명의 구체적 실시형태에 있어서, 스트레인 유발층 및 방열들이 하나이고 동일한 경우, 상기 2개의 단계들 간에 어떤 차이점도 없을 것이다. 본 발명의 구체적 실시형태에 있어서, 단계(1201)에서의 절연층 제거는 SOI 구조체의 후단으로부터 절연체 재료를 완전히 제거할 수 있다. 상기 단계 후에 스트레인층의 증착(1203)이 뒤따르면, 결과의 SOI 구조체는 활성층의 후단상에 직접 증착된 스트레인층을 포함할 것이다.

[0056] 본 발명의 구체적 실시형태에 있어서, 단계(1201)에서의 절연층 제거는 상술한 바와 같이 일정한 패턴들로 절연체 재료를 제거할 수 있다. 이 후에는 스트레인층이 단계(1201)에서 형성된 익스커베이트드 절연체 영역에서 증착되도록 단계(1203)에서의 스트레인층의 증착이 뒤따를 수 있다. 예컨대, 절연체 재료는 스트레인이 단지 n-타입 소자들 하에서와 같이 유발되는 것을 의미했던 회로의 단지 그 부분들 하에서 제거될 수 있다. 그 경우, 스트레인 유발층은 인장일 것이고 n-타입 소자들만이 유의하게 변형되는 반면에 p-타입 소자들이 명목상의 상태로 남는다. 다른 예로서, 절연체 재료는 n-타입 소자 채널들 아래에, 대응하는 부의 패턴에서 p-타입 소자 채널들 아래에 남을 수 있어 단일 스트레인 유발층은 필요에 따라 활성층상의 인장 및 압축 스트레인들 양자를 만들어 낼 수 있다. 단계(1201)에서의 절연체 재료의 패턴화된 제거 후에는, 상술한 바와 같이 익스커베이트드 절연체 영역의 다른 부분들에서 다른 종류의 스트레인 유발층들을 증착하기 위한 시퀀스로 단계(1203 및 1205)들이 또한 뒤따를 수 있다.

[0057] 본 발명의 구체적 실시형태에 있어서, 단계(1203)에서의 SOI 구조체의 후면상의 스트레인 유발층의 증착 후에는, 단계(1204)에서의 증착된 스트레인 유발층의 부분들의 패턴화된 제거가 뒤따른다. 상기 단계는 따라서 익스커베이트드 스트레인층 영역을 형성할 것이다. 단계(1205)에서, 제 2 스트레인층이 SOI 구조체의 후면상에 증착된다. 그 결과, 상기 제 2 스트레인층은 익스커베이트드 스트레인층 영역에 채워질 것이다. 단계(1206)에서, 익스커베이트드 스트레인층 영역에 채워지지 않았던 추가의 스트레인층이 SOI 구조체에 대한 평평한 후단면을 형성하도록 제거될 수 있다. 단계(1204)에서의 스트레인층의 제거만이 패턴화되는 것을 필요로 하기 때문에 상기 접근은 다른 실시형태들과 비교하여 어떤 유리한 양태들을 가진다. 단계(1206)에서의 제 2 스트레인층의 제거는 제 1 및 제 2 스트레인층들의 화학적 구성 요소들에서의 차이에 의해 지원되는 제어된 에칭 또는 균일한 레벨로의 기계적 그라인딩을 수반할 수 있다. 또한, 스트레인 유발층들의 사실상의 증착이 단계(1203 및 1205)들 양자에서 균일해질 수 있다. 화학 기상 증착과 같은 증착의 몇몇 형태들이 상세화된 리소그래픽 패턴링을 항상 처리하지 않는다는 사실을 고려하여, 그것이 보다 효율적인 방식으로 상세화된 패턴링을 이룰 수 있다는 점에서 상기 접근은 유익하다.

[0058] 본 발명의 실시형태들이 구체적 실시형태에 관하여 주로 논의되었지만, 다른 변형들도 가능하다. 설명한 시스템의 다양한 구성들이 여기에 실재한 구성들에 대신하여 또는 추가로 이용될 수 있다. 예컨대, 소자들이 실리콘

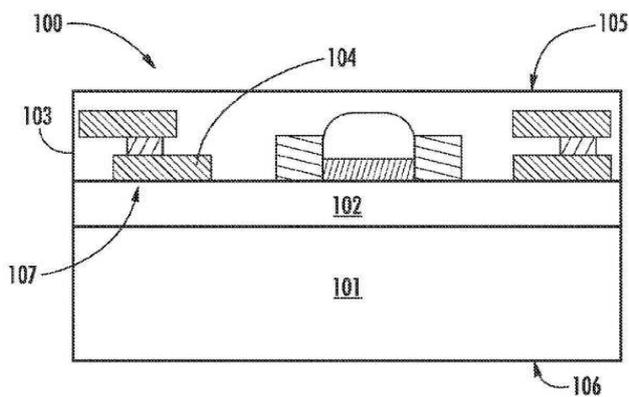
기관들 및 산화물 절연체층들을 참조하여 자주 논의되었지만 본 발명은 반도체-온-절연체 웨이퍼들, 구조체들, 또는 소자들의 임의의 형태에 의해 기능할 것이다. 예컨대, 본 발명은 실리콘-온-사파이어 구조체들과 함께 기능할 것이다. 또한, 본 발명은 CMOS, 바이폴라(bipolar), BiCMOS, SiGe, Ga, As, InGaAs, GaN 및 어떤 다른 형태의 반도체 기술 또는 화합물 반도체 기술과 같은 기술의 임의의 형태를 이용하여 회로상에 기능하고 동작할 수 있다. 상술한 바와 같이, 절연층은 완전히 제거될 필요가 없다. 절연층은 온전하게 남을 수 있고 방열층은 그 후 절연층의 표면에 배치될 수 있다. 또한, 전체 절연층이 완전히 제거되는 대신에 박형화될 수 있거나, 익스커베이트드 절연체 영역이 잔여의 박형화된 절연층을 포함하도록 형성될 수 있다. 또한, 여기에 언급한 그 층들간에 배치되는 재료들의 추가의 층들이 있을 수 있다. 반도체 프로세싱은 매우 상세화된 분야이고 층들은 그들이 혼란을 회피하기 위해 설명한 본 발명에 절대적으로 필요하다면 단지 여기에만 언급한다. 예컨대, 회로가 그것의 환경에 반응하는 것을 방지하도록 활성층상에 배치된 패시베이션의 층들이 있을 수 있다. 또한, 활성층 또는 절연층을 설명하는 경우와 같은 용어 "층"의 이용은 상기 층들이 하나 이상의 재료로 이루어지는 것을 불가능하게 하지 않는다. 예컨대, SOI 구조체의 전체 활성층 아래에 이산화실리콘 절연체에 더하여 능동 회로에서의 금속 라인들 아래에 글래스(glass) 또는 몇몇 다른 절연체의 층이 있을 수 있다. 그러나, 용어 절연층은 글래스 및 이산화실리콘 절연체의 전체 구조체를 커버할 수 있다.

[0059] 관련 분야의 당업자는 상술한 설명이 단지 예를 경유한 것이고, 본 발명을 한정하는데 의도되지 않는다는 것을 인식할 것이다. 개시된 것에서의 어떤 것도 본 발명이 반도체 프로세싱의 특정 형태를 요구하는 시스템들에 또는 집적 회로들에 한정된다는 것을 나타내지 않을 것이다. 기능들은 소망하는 바에 따라 하드웨어 또는 소프트웨어에 의해 수행될 수 있다. 일반적으로, 실재하는 임의의 도면들이 하나의 가능한 구성을 지시하도록 단지 의도되고, 많은 변형들이 가능하다. 관련 분야의 당업자는 본 발명과 일관되는 방법들 및 시스템들이 전자 또는 광자 소자들에서의 방열에 관련된 어떤 것을 포함하는 광범위의 애플리케이션들로의 이용에 적합하다는 것을 또한 인식할 것이다.

[0060] 본 명세서가 본 발명의 구체적 실시형태들에 관하여 상세히 설명되는 동안, 관련 분야의 당업자가, 전술한 것의 이해를 이루면서, 상기 실시형태들로의 변형들, 상기 실시형태들로의 변형들, 및 상기 실시형태들로의 동등물들을 쉽게 구상할 수 있다는 것을 인식할 것이다. 본 발명의 상기 및 다른 변형들 및 변형들은 첨부된 청구항에서 보다 특히 설명한 본 발명의 정신 및 범주를 벗어남이 없이 관련 분야의 당업자에 의해 실행될 수 있다.

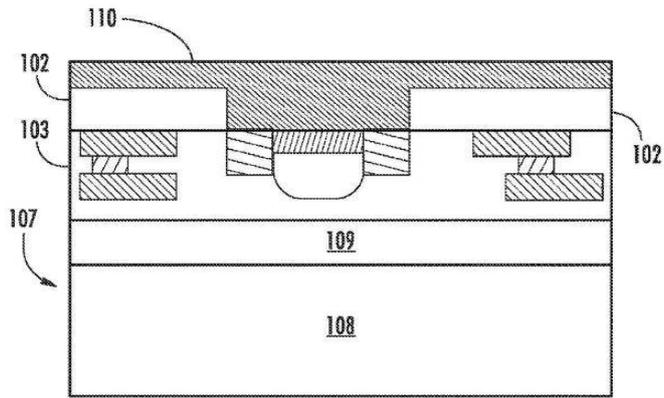
도면

도면1a



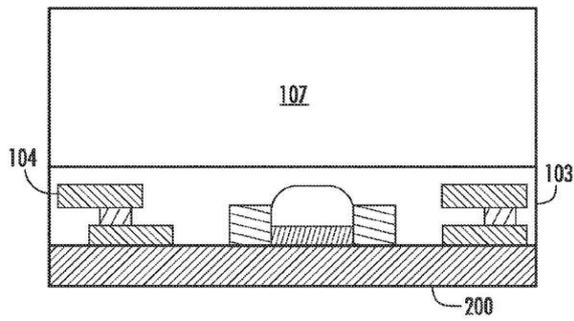
{종래 기술}

도면1b

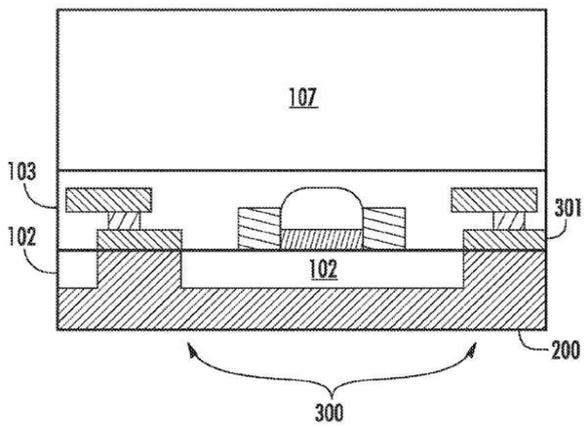


(종래 기술)

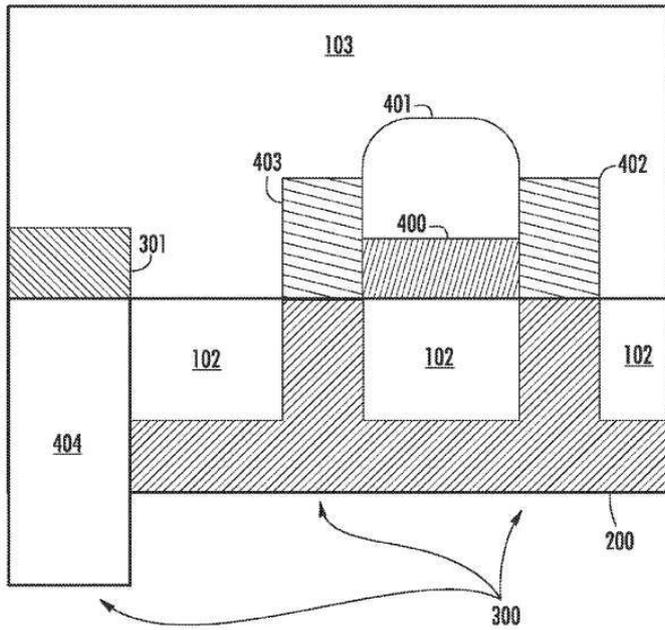
도면2



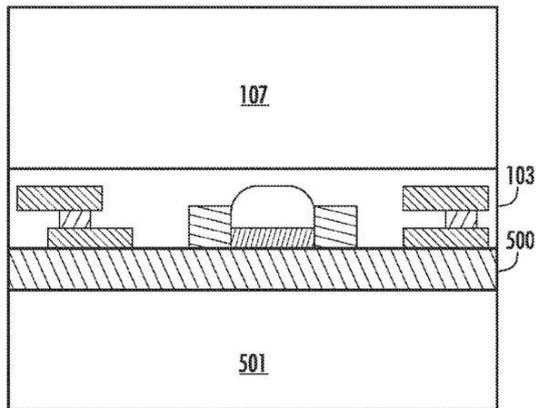
도면3



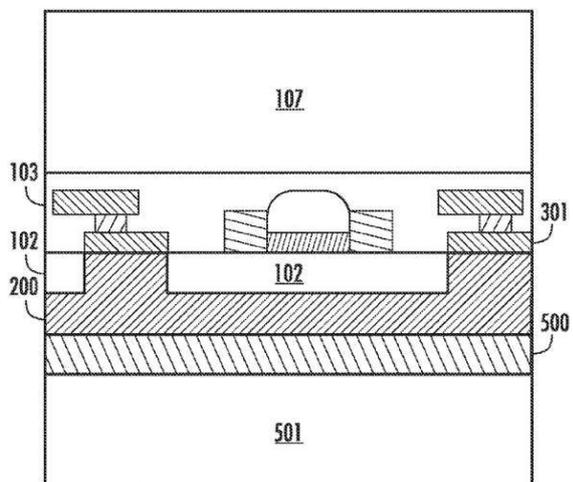
도면4



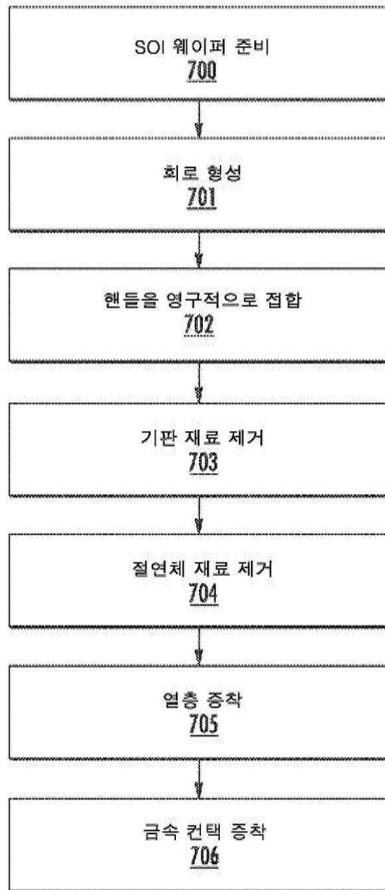
도면5



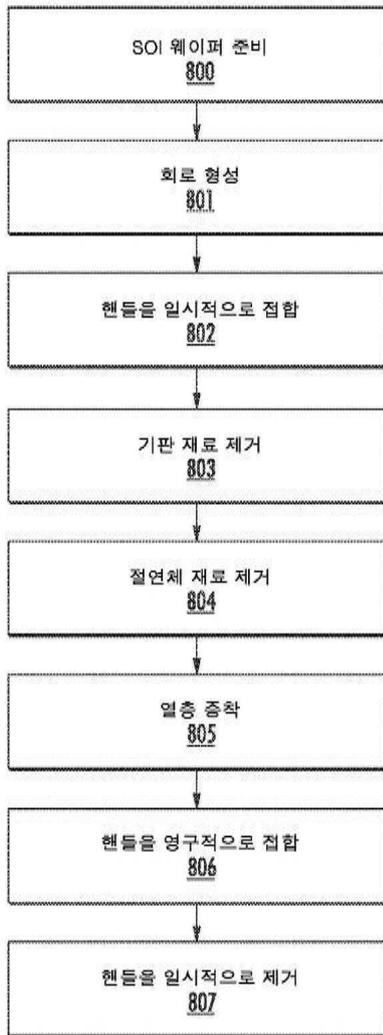
도면6



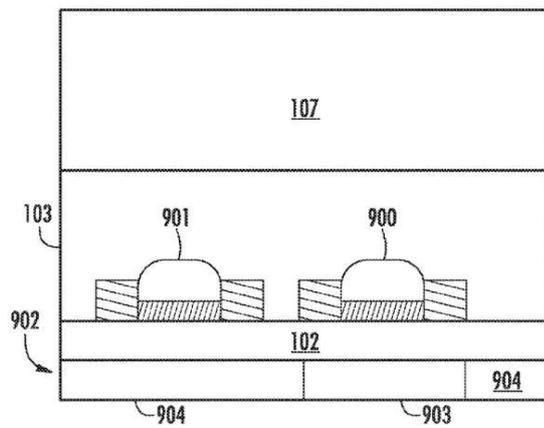
도면7



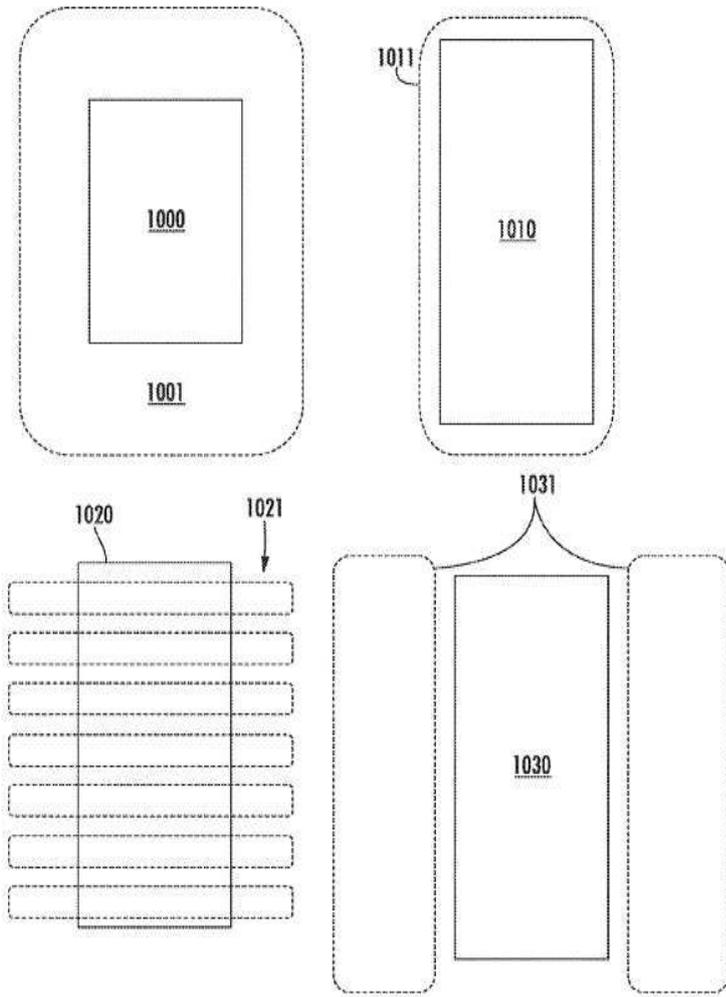
도면8



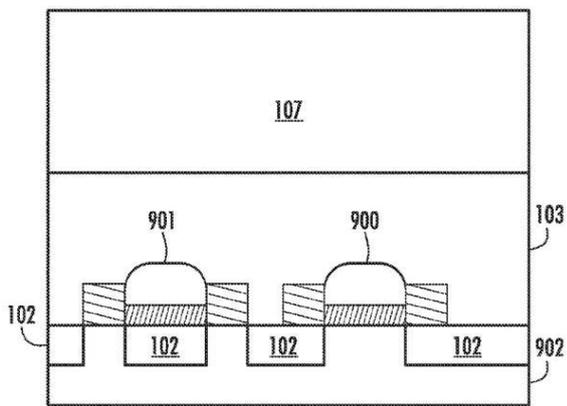
도면9



도면10



도면11



도면12

