



(12)发明专利申请

(10)申请公布号 CN 109389926 A

(43)申请公布日 2019. 02. 26

(21)申请号 201710685926.2

(22)申请日 2017.08.11

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 重庆京东方光电科技有限公司

(72)发明人 梁雪波 唐秀珠 钱谦 陈帅
赵敬鹏 唐滔良 董兴 熊丽军
田振国 胡双

(74)专利代理机构 北京天昊联合知识产权代理
有限公司 11112
代理人 柴亮 张天舒

(51)Int.Cl.
G09G 3/20(2006.01)
G11C 19/28(2006.01)

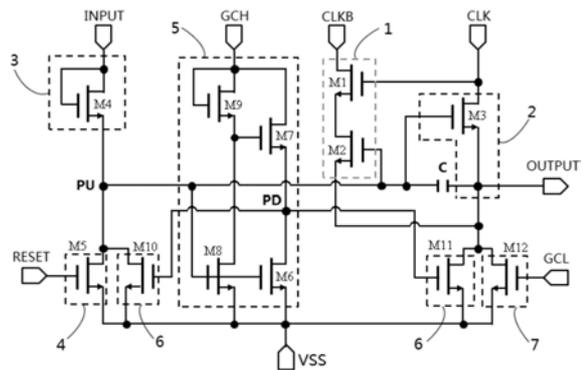
权利要求书3页 说明书8页 附图3页

(54)发明名称

移位寄存器、栅极驱动电路、阵列基板

(57)摘要

本发明提供一种移位寄存器、栅极驱动电路、阵列基板,属于栅极驱动技术领域,其可至少部分解决现有的栅极驱动电路容易导致显示面板出现亮度不均、闪烁、残影的问题。本发明的移位寄存器包括:上拉模块,其与上拉节点、第一时钟端、输出端相连,用于在上拉节点为导通电平时将第一时钟端的信号传输至输出端;存储电容,其第一极连接上拉节点,第二极连接输出端;削角模块,其与上拉节点、第一时钟端、削角时钟端、输出端相连,用于在第一时钟端和上拉节点均为导通电平时将削角时钟端的信号传输至输出端。



1. 一种移位寄存器,包括:

上拉模块,其与上拉节点、第一时钟端、输出端相连,用于在上拉节点为导通电平时将第一时钟端的信号传输至输出端;

存储电容,其第一极连接上拉节点,第二极连接输出端;

其特征在于,所述移位寄存器还包括:

削角模块,其与上拉节点、第一时钟端、削角时钟端、输出端相连,用于在第一时钟端和上拉节点均为导通电平时将削角时钟端的信号传输至输出端。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述削角模块包括第一晶体管、第二晶体管,其中,

所述第一晶体管的栅极连接第一时钟端,第一极连接削角时钟端,第二极连接第二晶体管的第一极;

所述第二晶体管的栅极连接上拉节点,第一极连接第一晶体的第二极,第二极连接输出端。

3. 根据权利要求2所述的移位寄存器,其特征在于,所述上拉模块包括第三晶体管,其中,

所述第三晶体管的栅极连接上拉节点,第一极连接第一时钟端,第二极连接输出端。

4. 根据权利要求3所述的移位寄存器,其特征在于,还包括:

输入模块,其与上拉节点、输入端相连,用于在输入端的控制下将输入端的信号传输至上拉节点;

复位模块,其与上拉节点、复位端、关断电平端相连,用于在复位端的控制下将关断电平端的信号传输至上拉节点。

5. 根据权利要求4所述的移位寄存器,其特征在于,

所述输入模块包括第四晶体管,其中,

所述第四晶体管的栅极连接输入端,第一极连接输入端,第二极连接上拉节点;

所述复位模块包括第五晶体管,其中,

所述第五晶体管的栅极连接复位端,第一极连接上拉节点,第二极连接关断电平端。

6. 根据权利要求5所述的移位寄存器,其特征在于,还包括:

噪声控制模块,其与上拉节点、下拉节点、第一控制端、关断电平端相连,用于根据上拉节点的电平将第一控制端或关断电平端的信号传输至下拉节点;

去噪模块,其与下拉节点、上拉节点、关断电平端、输出端相连,用于根据下拉节点的电平将关断电平端的信号分别传输至上拉节点和输出端。

7. 根据权利要求6所述的移位寄存器,其特征在于,

所述噪声控制模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管;其中,

所述第六晶体管的栅极连接上拉节点,第一极连接下拉节点,第二极连接关断电平端;

所述第七晶体管的栅极连接第九晶体的第二极,第一极连接第一控制端,第二极连接下拉节点;

所述第八晶体管的栅极连接上拉节点,第一极连接第九晶体的第二极,第二极连接关断电平端;

所述第九晶体管的栅极连接第一控制端,第一极连接第一控制端;

所述去噪模块包括第十晶体管、第十一晶体管,其中,

所述第十晶体管的栅极连接下拉节点,第一极连接上拉节点,第二极连接关断电平端;
所述第十一晶体管的栅极连接下拉节点,第一极连接输出端,第二极连接关断电平端。

8. 根据权利要求7所述的移位寄存器,其特征在于,还包括:

下拉模块,其与第二控制端、输出端、关断电平端相连,用于在第二控制端的控制下将关断电平端的信号传输至输出端。

9. 根据权利要求8所述的移位寄存器,其特征在于,所述下拉模块包括第十二晶体管,其中,

所述第十二晶体管的栅极连接第二控制端,第一极连接输出端,第二极连接关断电平端。

10. 根据权利要求9所述的移位寄存器,其特征在于,

所有晶体管均为N型晶体管;

或者,

所有晶体管均为P型晶体管。

11. 一种移位寄存器的驱动方法,其特征在于,所述移位寄存器为权利要求1至10中任意一项所述的移位寄存器,所述移位寄存器的驱动方法包括:

输出阶段:使上拉节点为导通电平,向第一时钟端提供导通电平,向削角时钟端提供导通电平,使第一时钟端和削角时钟端的导通电平同时传输至输出端;

削角阶段:使上拉节点为导通电平,向第一时钟端提供导通电平,向削角时钟端提供关断电平,使第一时钟端的导通电平和削角时钟端的关断电平同时传输至输出端。

12. 根据权利要求11所述的移位寄存器的驱动方法,其特征在于,所述移位寄存器为权利要求10所述的移位寄存器;所述移位寄存器的驱动方法包括扫描时段,在扫描时段中,向第一控制端提供导通电平,向第二控制端提供关断电平,向关断电平端提供关断电平,其具体包括:

输入阶段,向输入端提供导通电平,向复位端提供关断电平,向第一时钟端提供关断电平;

输出阶段:向输入端提供关断电平,向复位端提供关断电平,向第一时钟端提供导通电平,向削角时钟端提供导通电平,使第一时钟端和削角时钟端的导通电平同时传输至输出端;

削角阶段:向输入端提供关断电平,向复位端提供关断电平,向第一时钟端提供导通电平,向削角时钟端提供关断电平,使第一时钟端的导通电平和削角时钟端的关断电平同时传输至输出端;

复位阶段:向输入端提供关断电平,向复位端提供导通电平,向第一时钟端提供关断电平。

13. 根据权利要求12所述的移位寄存器的驱动方法,其特征在于,还包括保持时段;

在保持时段中,向第一控制端提供关断电平,向第二控制端提供导通电平,向关断电平端提供关断电平。

14. 一种栅极驱动电路,其特征在于,包括:

多个级联的移位寄存器,所述移位寄存器为权利要求1至10中任意一项所述的移位寄

寄存器。

15. 根据权利要求14所述的移位寄存器的栅极驱动电路,其特征在于,所述移位寄存器为权利要求10所述的移位寄存器,其中,

除第一级移位寄存器外,每个移位寄存器的输出端与其上一级移位寄存器的复位端相连;

除最后一级移位寄存器外,每个移位寄存器的输出端与其下一级移位寄存器的输入端相连;

任意两级相邻的移位寄存器的第一时钟端分别与第一时钟线和第二时钟线相连。

16. 一种阵列基板,其特征在于,包括:

权利要求14或15所述的栅极驱动电路。

移位寄存器、栅极驱动电路、阵列基板

技术领域

[0001] 本发明属于栅极驱动技术领域,具体涉及一种移位寄存器、栅极驱动电路、阵列基板。

背景技术

[0002] 为实现低成本和窄边框,现有显示面板(如液晶显示面板)中,可将用于驱动栅线的栅极驱动电路(GOA)直接制备在阵列基板(Array)中,以省去驱动芯片(IC)绑定(Bonding)及扇出区(Fan Out)等的空间占用和成本。其中,栅极驱动电路由多个级联的移位寄存器组成,每级移位寄存器的输出端连接对应的栅线,并依次向各栅线输入扫描信号(导通电平)。

[0003] 由于每条栅线上连接很多个像素单元负载,故栅线越远离栅极驱动电路处的信号延迟(Delay)越大,因此当栅极驱动电路的驱动能力不足时,往往导致栅线不同位置的像素单元充电量不同,甚至导致所有像素单元整体充电不足,进而引起显示面板亮度不均。

[0004] 同时,由于栅线与数据线、像素单元等有交叠,它们之间存在寄生电容,故栅线中电平的变化会使数据线和像素单元中的信号产生相应的跳变量 ΔV_p ,而该 ΔV_p 与栅线中电平的变化量相关。在扫描信号结束时,栅线中的电平几乎瞬间由高电平 V_{GH} 下降到低电平 V_{GL} (以导通电平是高电平为例),其变化量很大,导致 ΔV_p 也较大,容易引起闪烁、残影等现象。

发明内容

[0005] 本发明至少部分解决现有的栅极驱动电路容易导致显示面板出现亮度不均、闪烁、残影的问题,提供一种可避免亮度不均、闪烁、残影的移位寄存器、栅极驱动电路、阵列基板。

[0006] 解决本发明技术问题所采用的技术方案是一种移位寄存器,其包括:

[0007] 上拉模块,其与上拉节点、第一时钟端、输出端相连,用于在上拉节点为导通电平时将第一时钟端的信号传输至输出端;

[0008] 存储电容,其第一极连接上拉节点,第二极连接输出端;

[0009] 削角模块,其与上拉节点、第一时钟端、削角时钟端、输出端相连,用于在第一时钟端和上拉节点均为导通电平时将削角时钟端的信号传输至输出端。

[0010] 优选的是,所述削角模块包括第一晶体管、第二晶体管,其中,

[0011] 所述第一晶体管的栅极连接第一时钟端,第一极连接削角时钟端,第二极连接第二晶体管的第一极;

[0012] 所述第二晶体管的栅极连接上拉节点,第一极连接第一晶体的第二极,第二极连接输出端。

[0013] 进一步优选的是,所述上拉模块包括第三晶体管,其中,

[0014] 所述第三晶体管的栅极连接上拉节点,第一极连接第一时钟端,第二极连接输出

端。

[0015] 进一步优选的是,所述移位寄存器还包括:

[0016] 输入模块,其与上拉节点、输入端相连,用于在输入端的控制下将输入端的信号传输至上拉节点;

[0017] 复位模块,其与上拉节点、复位端、关断电平端相连,用于在复位端的控制下将关断电平端的信号传输至上拉节点。

[0018] 进一步优选的是,所述输入模块包括第四晶体管,其中,

[0019] 所述第四晶体管的栅极连接输入端,第一极连接输入端,第二极连接上拉节点;

[0020] 所述复位模块包括第五晶体管,其中,

[0021] 所述第五晶体管的栅极连接复位端,第一极连接上拉节点,第二极连接关断电平端。

[0022] 进一步优选的是,所述移位寄存器还包括:

[0023] 噪声控制模块,其与上拉节点、下拉节点、第一控制端、关断电平端相连,用于根据上拉节点的电平将第一控制端或关断电平端的信号传输至下拉节点;

[0024] 去噪模块,其与下拉节点、上拉节点、关断电平端、输出端相连,用于根据下拉节点的电平将关断电平端的信号分别传输至上拉节点和输出端。

[0025] 进一步优选的是,所述噪声控制模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管;其中,

[0026] 所述第六晶体管的栅极连接上拉节点,第一极连接下拉节点,第二极连接关断电平端;

[0027] 所述第七晶体管的栅极连接第九晶体的第二极,第一极连接第一控制端,第二极连接下拉节点;

[0028] 所述第八晶体管的栅极连接上拉节点,第一极连接第九晶体的第二极,第二极连接关断电平端;

[0029] 所述第九晶体管的栅极连接第一控制端,第一极连接第一控制端;

[0030] 所述去噪模块包括第十晶体管、第十一晶体管,其中,

[0031] 所述第十晶体管的栅极连接下拉节点,第一极连接上拉节点,第二极连接关断电平端;

[0032] 所述第十一晶体管的栅极连接下拉节点,第一极连接输出端,第二极连接关断电平端。

[0033] 进一步优选的是,所述移位寄存器还包括:

[0034] 下拉模块,其与第二控制端、输出端、关断电平端相连,用于在第二控制端的控制下将关断电平端的信号传输至输出端。

[0035] 进一步优选的是,所述下拉模块包括第十二晶体管,其中,

[0036] 所述第十二晶体管的栅极连接第二控制端,第一极连接关断电平端,第二极连接输出端。

[0037] 进一步优选的是,所有晶体管均为N型晶体管;

[0038] 或者,

[0039] 所有晶体管均为P型晶体管。

[0040] 解决本发明技术问题所采用的技术方案是一种上述移位寄存器的驱动方法,其包括:

[0041] 输出阶段:使上拉节点为导通电平,向第一时钟端提供导通电平,向削角时钟端提供导通电平,使第一时钟端和削角时钟端的导通电平同时传输至输出端;

[0042] 削角阶段:使上拉节点为导通电平,向第一时钟端提供导通电平,向削角时钟端提供关断电平,使第一时钟端的导通电平和削角时钟端的关断电平同时传输至输出端。

[0043] 优选的是,对上述所有晶体管均为N型晶体管或型晶体管的移位寄存器,所述移位寄存器的驱动方法包括扫描时段,在扫描时段中,向第一控制端提供导通电平,向第二控制端提供关断电平,向关断电平端提供关断电平,其具体包括:

[0044] 输入阶段,向输入端提供导通电平,向复位端提供关断电平,向第一时钟端提供关断电平;

[0045] 输出阶段:向输入端提供关断电平,向复位端提供关断电平,向第一时钟端提供导通电平,向削角时钟端提供导通电平,使第一时钟端和削角时钟端的导通电平同时传输至输出端;

[0046] 削角阶段:向输入端提供关断电平,向复位端提供关断电平,向第一时钟端提供导通电平,向削角时钟端提供关断电平,使第一时钟端的导通电平和削角时钟端的关断电平同时传输至输出端;

[0047] 复位阶段:向输入端提供关断电平,向复位端提供导通电平,向第一时钟端提供关断电平。

[0048] 进一步优选的是,所述移位寄存器的驱动方法还包括保持时段;

[0049] 在保持时段中,向第一控制端提供关断电平,向第二控制端提供导通电平,向关断电平端提供关断电平。

[0050] 解决本发明技术问题所采用的技术方案是一种栅极驱动电路,其包括:

[0051] 多个上述的级联的移位寄存器。

[0052] 优选的是,对上述所有晶体管均为N型晶体管或型晶体管的移位寄存器,除第一级移位寄存器外,每个移位寄存器的输出端与其上一级移位寄存器的复位端相连;

[0053] 除最后一级移位寄存器外,每个移位寄存器的输出端与其下一级移位寄存器的输入端相连;

[0054] 任意两级相邻的移位寄存器的第一时钟端分别与第一时钟线和第二时钟线相连。

[0055] 解决本发明技术问题所采用的技术方案是一种阵列基板,其包括:

[0056] 上述的栅极驱动电路。

[0057] 本实施例的移位寄存器中,当输出导通电平(即扫描信号)时,削角时钟端的信号也可传输至输出端,相当于两个信号源同时提供导通电平,故其驱动能力更强,可使像素单元充电充足,避免亮度不均;同时,在扫描信号结束前,削角时钟端可提前一点提供关断电平,使输出信号预先发生一定程度的改变(削角),这样在扫描信号结束的瞬间,栅线中的电平变化量较小,相应的 ΔV_p 也较小,可避免闪烁、残影等。

附图说明

[0058] 图1为本发明的实施例的一种移位寄存器的组成示意框图;

- [0059] 图2为本发明的实施例的一种移位寄存器的电路图；
- [0060] 图3为本发明的实施例的一种移位寄存器的驱动时序图；
- [0061] 图4为本发明的实施例的一种栅极驱动电路的组成示意框图；
- [0062] 其中，附图标记为：1、削角模块；2、上拉模块；3、输入模块；4、复位模块；5、噪声控制模块；6、去噪模块；7、下拉模块；C、存储电容；PU、上拉节点；PD、下拉节点；M1、第一晶体管；M2、第二晶体管；M3、第三晶体管；M4、第四晶体管；M5、第五晶体管；M6、第六晶体管；M7、第七晶体管；M8、第八晶体管；M9、第九晶体管；M10、第十晶体管；M11、第十一晶体管；M12、第十二晶体管；INPUT、输入端；OUTPUT、输出端；RESET、复位端；CLK、第一时钟端；CLKB、削角时钟端；GCH、第一控制端；GCL、第二控制端；VSS、关断电平端。

具体实施方式

[0063] 为使本领域技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明作进一步详细描述。

[0064] 实施例1：

[0065] 如图1至图4所示，本实施例提供一种移位寄存器，其包括：

[0066] 上拉模块2，其与上拉节点PU、第一时钟端CLK、输出端OUTPUT相连，用于在上拉节点PU为导通电平时将第一时钟端CLK的信号传输至输出端OUTPUT；

[0067] 存储电容C，其第一极连接上拉节点PU，第二极连接输出端OUTPUT；

[0068] 削角模块1，其与上拉节点PU、第一时钟端CLK、削角时钟端CLKB、输出端OUTPUT相连，用于在第一时钟端CLK和上拉节点PU均为导通电平时将削角时钟端CLKB的信号传输至输出端OUTPUT。

[0069] 本实施例的移位寄存器中，当输出导通电平（即扫描信号）时，削角时钟端CLKB的信号也可传输至输出端OUTPUT，相当于两个信号源同时提供导通电平，故其驱动能力更强，可使像素单元充电充足，避免亮度不均；同时，在扫描信号结束前，削角时钟端CLKB可提前一点提供关断电平，使输出信号预先发生一定程度的改变（削角），这样在扫描信号结束的瞬间，栅线中的电平变化量较小，相应的 ΔV_p 也较小，可避免闪烁、残影等。

[0070] 优选的，削角模块1包括第一晶体管M1、第二晶体管M2，其中，

[0071] 第一晶体管M1的栅极连接第一时钟端CLK，第一极连接削角时钟端CLKB，第二极连接第二晶体管M2的第一极；

[0072] 第二晶体管M2的栅极连接上拉节点PU，第一极连接第一晶体管M1的第二极，第二极连接输出端OUTPUT。

[0073] 也就是说，削角模块1可包括两个串联在削角时钟端CLKB和输出端OUTPUT间的晶体管，而两个晶体管分别受上拉节点PU和第一时钟端CLK的控制，故当上拉节点PU和第一时钟端CLK均为导通电平时，削角时钟端CLKB的信号可传输至输出端OUTPUT。

[0074] 更优选的，上拉模块2包括第三晶体管M3，其中，

[0075] 第三晶体管M3的栅极连接上拉节点PU，第一极连接第一时钟端CLK，第二极连接输出端OUTPUT。

[0076] 更优选的，移位寄存器还包括：

[0077] 输入模块3，其与上拉节点PU、输入端INPUT相连，用于在输入端INPUT的控制下将

输入端INPUT的信号传输至上拉节点PU；

[0078] 复位模块4,其与上拉节点PU、复位端RESET、关断电平端VSS相连,用于在复位端RESET的控制下将关断电平端VSS的信号传输至上拉节点PU。

[0079] 更优选的,输入模块3包括第四晶体管M4,其中,

[0080] 第四晶体管M4的栅极连接输入端INPUT,第一极连接输入端INPUT,第二极连接上拉节点PU；

[0081] 复位模块4包括第五晶体管M5,其中,

[0082] 第五晶体管M5的栅极连接复位端RESET,第一极连接上拉节点PU,第二极连接关断电平端VSS。

[0083] 更优选的,移位寄存器还包括:

[0084] 噪声控制模块5,其与上拉节点PU、下拉节点PD、第一控制端GCH、关断电平端VSS相连,用于根据上拉节点PU的电平将第一控制端GCH或关断电平端VSS的信号传输至下拉节点PD；

[0085] 去噪模块6,其与下拉节点PD、上拉节点PU、关断电平端VSS、输出端OUTPUT相连,用于根据下拉节点PD的电平将关断电平端VSS的信号分别传输至上拉节点PU和输出端OUTPUT。

[0086] 更优选的,噪声控制模块5包括第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9;其中,

[0087] 第六晶体管M6的栅极连接上拉节点PU,第一极连接下拉节点PD,第二极连接关断电平端VSS；

[0088] 第七晶体管M7的栅极连接第九晶体管M9的第二极,第一极连接第一控制端GCH,第二极连接下拉节点PD；

[0089] 第八晶体管M8的栅极连接上拉节点PU,第一极连接第九晶体管M9的第二极,第二极连接关断电平端VSS；

[0090] 第九晶体管M9的栅极连接第一控制端GCH,第一极连接第一控制端GCH；

[0091] 去噪模块6包括第十晶体管M10、第十一晶体管M11,其中,

[0092] 第十晶体管M10的栅极连接下拉节点PD,第一极连接上拉节点PU,第二极连接关断电平端VSS；

[0093] 第十一晶体管M11的栅极连接下拉节点PD,第一极连接输出端OUTPUT,第二极连接关断电平端VSS。

[0094] 更优选的,移位寄存器还包括:

[0095] 下拉模块7,其与第二控制端GCL、输出端OUTPUT、关断电平端VSS相连,用于在第二控制端GCL的控制下将关断电平端VSS的信号传输至输出端OUTPUT。

[0096] 更优选的,下拉模块7包括第十二晶体管M12,其中,

[0097] 第十二晶体管M12的栅极连接第二控制端GCL,第一极连接输出端OUTPUT,第二极连接关断电平端VSS。

[0098] 更优选的,所有晶体管均为N型晶体管；

[0099] 或者,

[0100] 所有晶体管均为P型晶体管。

[0101] 也就是说,该移位寄存器中的所有晶体管优选均是同一类型的;当然,各晶体管的形式可为多晶硅晶体管、非晶硅晶体管、金属氧化物晶体管等,在此不再详细描述。

[0102] 当然,应当理解,以上对移位寄存器具体形式的描述不是对本发明保护范围的限定。只要削角模块1、上拉模块2、存储电容C的形式符合以上要求,则它们也可用于许多不同形式的其它移位寄存器中。例如,每个移位寄存器中,除削角时钟端CLKB外,还可包括两个、四个或更多个时钟端,再如,移位寄存器中可包括包括下拉模块7等。

[0103] 本实施例还提供一种上述移位寄存器的驱动方法,其包括:

[0104] 输出阶段:使上拉节点PU为导通电平,向第一时钟端CLK提供导通电平,向削角时钟端CLKB提供导通电平,使第一时钟端CLK和削角时钟端CLKB的导通电平同时传输至输出端OUTPUT;

[0105] 削角阶段:使上拉节点PU为导通电平,向第一时钟端CLK提供导通电平,向削角时钟端CLKB提供关断电平,使第一时钟端CLK的导通电平和削角时钟端CLKB的关断电平同时传输至输出端OUTPUT。

[0106] 如前,在第一时钟端CLK向输出端OUTPUT提供导通电平时,只要相应控制削角时钟端CLKB的电平,即可增大移位寄存器的驱动能力,避免亮度不均;同时还可通过削角降低 ΔV_p ,以避免闪烁、残影等。

[0107] 下面结合驱动方法,对上述具体移位寄存器的工作过程进行详细描述。其中,以所有晶体管均是N型晶体管的移位寄存器为例进行说明,由此,相应的导通电平即为高电平,关断电平即为低电平。

[0108] 如图3所示,该移位寄存器的驱动方法具体包括:

[0109] S1、扫描时段:持续向第一控制端GCH提供高电平,向第二控制端GCL提供低电平,向关断电平端VSS提供低电平,以使各移位寄存器依次向各栅线提供扫描信号(高电平)。本时段具体包括:

[0110] S11、输入阶段,向输入端INPUT提供高电平,向复位端RESET提供低电平,向第一时钟端CLK提供低电平。

[0111] 本阶段中,输入端INPUT为高电平,从而第四晶体管M4导通,将输入端INPUT的高电平引入上拉节点PU,进而第三晶体管M3导通,将第一时钟端CLK的低电平引入输出端OUTPUT,存储电容C充电,移位寄存器输出低电平。

[0112] S12、输出阶段:向输入端INPUT提供低电平,向复位端RESET提供低电平,向第一时钟端CLK提供高电平,向削角时钟端CLKB提供高电平,使第一时钟端CLK和削角时钟端CLKB的高电平同时传输至输出端OUTPUT。

[0113] 本阶段中,第一时钟端CLK的信号变为高电平,从而使移位寄存器输出高电平;而由于存储电容C的自举效应,故上拉节点PU的电平进一步升高,但仍属于高电平。

[0114] 同时,第一时钟端CLK和上拉节点PU的高电平使第一晶体管M1和第二晶体管M2均导通,削角时钟端CLKB的高电平经第一晶体管M1和第二晶体管M2进入输出端OUTPUT,即削角时钟端CLKB和第一时钟端CLK同时为输出端OUTPUT提供高电平,以提高移位寄存器的驱动能力。

[0115] S13、削角阶段:向输入端INPUT提供低电平,向复位端RESET提供低电平,向第一时钟端CLK提供高电平,向削角时钟端CLKB提供低电平,使第一时钟端CLK的高电平和削角时

钟端CLKB的低电平同时传输至输出端OUTPUT。

[0116] 本阶段中,第一时钟端CLK仍向输出端OUTPUT提供高电平,而第一时钟端CLK变为低电平,从而将输出端OUTPUT的电平逐渐拉低,即使输出信号产生削角,不过此时该输出信号整体上仍为高电平,即移位寄存器仍在输出扫描信号。

[0117] 当然,通过控制削角阶段的时间长短,即可调整削角后的具体电平值。

[0118] S14、复位阶段:向输入端INPUT提供低电平,向复位端RESET提供高电平,向第一时钟端CLK提供低电平。

[0119] 本阶段中,复位端RESET为高高电平,从而通过第五晶体管M5将关断电平端VSS的低电平引入上拉节点PU,使第三晶体管M3再次关断,第一时钟端CLK的信号不再输出至输出端OUTPUT。

[0120] 同时,由于上拉节点PU为低电平,故第六晶体管M6和第八晶体管M8关断,第一控制端GCH的高电平经过第九晶体管M9传输至第七晶体管M7的栅极,使第七晶体管M7导通,将第一控制端GCH的高电平引入下拉节点PD。而下拉节点PD的高电平使第十晶体管M10和第十一晶体管M11导通,将关断电平端VSS的低电平分别引入上拉节点PU和输出端OUTPUT,使存储电容C放电,并使移位寄存器稳定的输出低电平。

[0121] S15、稳定阶段:向输入端INPUT提供低电平,向复位端RESET提供高电平。

[0122] 本阶段中输入端INPUT和复位端RESET均保持低电平,故各节点电平均保持不变,移位寄存器持续输出低电平,而其它移位寄存器依次输出高电平。

[0123] 当然,应当理解,如果没有以上噪声控制模块5、去噪模块6等,则S14阶段和S15阶段中移位寄存器实际是无输出的,而无输出不能使晶体管导通,故也是可行的。

[0124] 当然,应当理解,在常规的栅极驱动电路中,对多数移位寄存器而言,其输入端INPUT和复位端RESET的信号都是由其它移位寄存器的输出端OUTPUT提供的,故输入端INPUT和复位端RESET的高电平信号实际也都带有削角,但其仍属于高电平的范畴。

[0125] 在扫描时段结束后,还可包括保持时段,即在一帧画面中,只要部分时间即可完成对所有栅线的扫描,而剩余的时间即可为保持时段(Blank Time)。

[0126] S2、保持时段:向第一控制端GCH提供低电平,向第二控制端GCL提供高电平。

[0127] 本时段中,第一控制端GCH和第二控制端GCL的电平反转,从而使第十二晶体管M12导通,直接将关断电平端VSS的低电平输出至输出端OUTPUT,使移位寄存器保持稳定的低电平输出。

[0128] 本阶段中,除第十二晶体管M12外的其它晶体管均关断,故其它端口的信号均可停止,所有移位寄存器处于同样的状态,直到下一帧画面开始,再次进入扫描时段。

[0129] 当然,应当理解,本保持时段和相应的下拉模块7(第十二晶体管M12)都不是必须的,在全部栅线扫描完成后,各移位寄存器也可在以上稳定阶段继续工作,直到下一帧开始为止。

[0130] 当然,应当理解,以上是以所有晶体管均是N型晶体管为例进行说明的,但若所有晶体管均为P型晶体管,则只要使导通电平变为低电平,关断电平变为高电平,则所有阶段中晶体管的状态都是相同的,即移位寄存器的工作过程完全相同,故在此不再详细描述。

[0131] 本实施例提供一种栅极驱动电路,其包括:

[0132] 多个级联的上述移位寄存器。

[0133] 优选的,除第一级移位寄存器外,每个移位寄存器的输出端OUTPUT与其上一级移位寄存器的复位端RESET相连;除最后一级移位寄存器外,每个移位寄存器的输出端OUTPUT与其下一级移位寄存器的输入端INPUT相连;任意两级相邻的移位寄存器的第一时钟端CLK分别与第一时钟线和第二时钟线相连。

[0134] 也就是说,可将多个上述移位寄存器级联,形成一个栅极驱动电路。其中,如图4所示,各移位寄存器的输出信号即作为下级移位寄存器的输入信号,也作为上一级移位寄存器的复位信号。当然,对于第一级移位寄存器的输入端INPUT和最后一级移位寄存器的复位端RESET,可单独为其提供信号。

[0135] 另外,对于两个相邻的移位寄存器,其工作状态相差半个第一时钟信号的周期,故应当设置两条信号相反的时钟信号线,轮流与各移位寄存器相连,以保证第一时钟信号对各移位寄存器都是适用的。

[0136] 当然,各移位寄存器的其它每种端口则均可通过统一的一条引线供电。

[0137] 实施例2:

[0138] 本实施例提供一种阵列基板,其包括上述任意一种栅极驱动电路。

[0139] 也就是说,可将以上栅极驱动电路形成在阵列基板上。

[0140] 本实施例还提供一种显示装置,其包括上述任意一种阵列基板。

[0141] 具体的,该显示装置可为液晶显示面板(LCD)、电子纸、有机发光二极管(OLED)面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0142] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

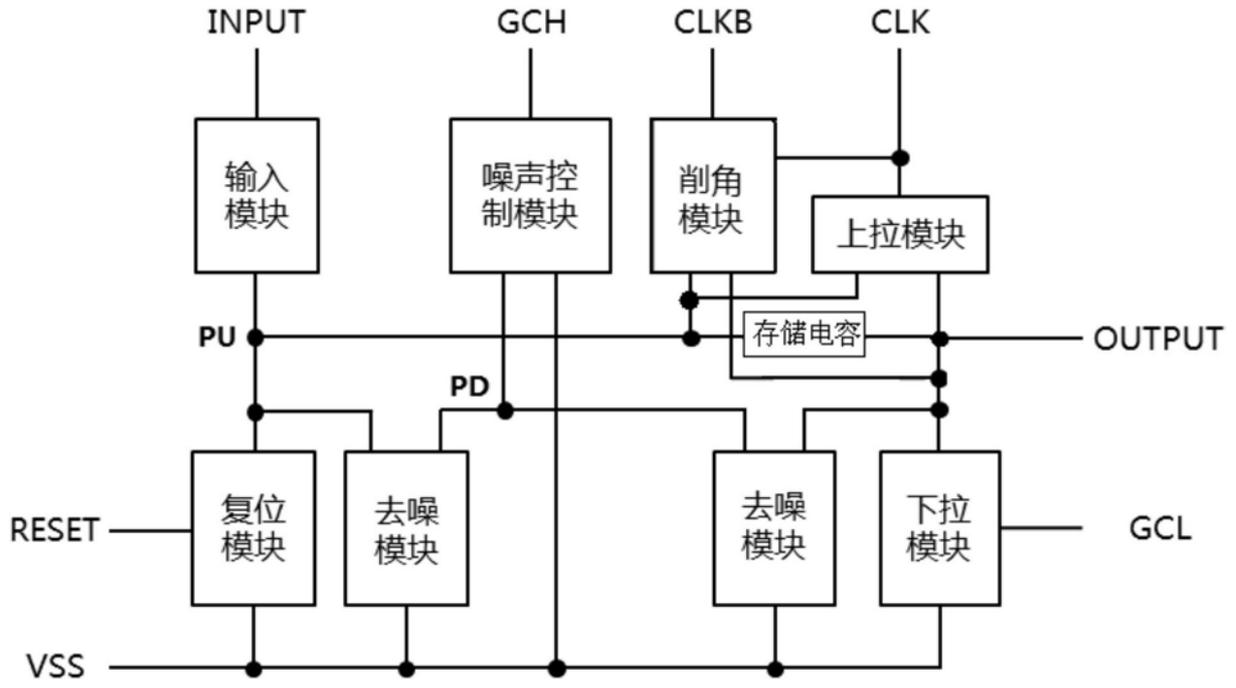


图1

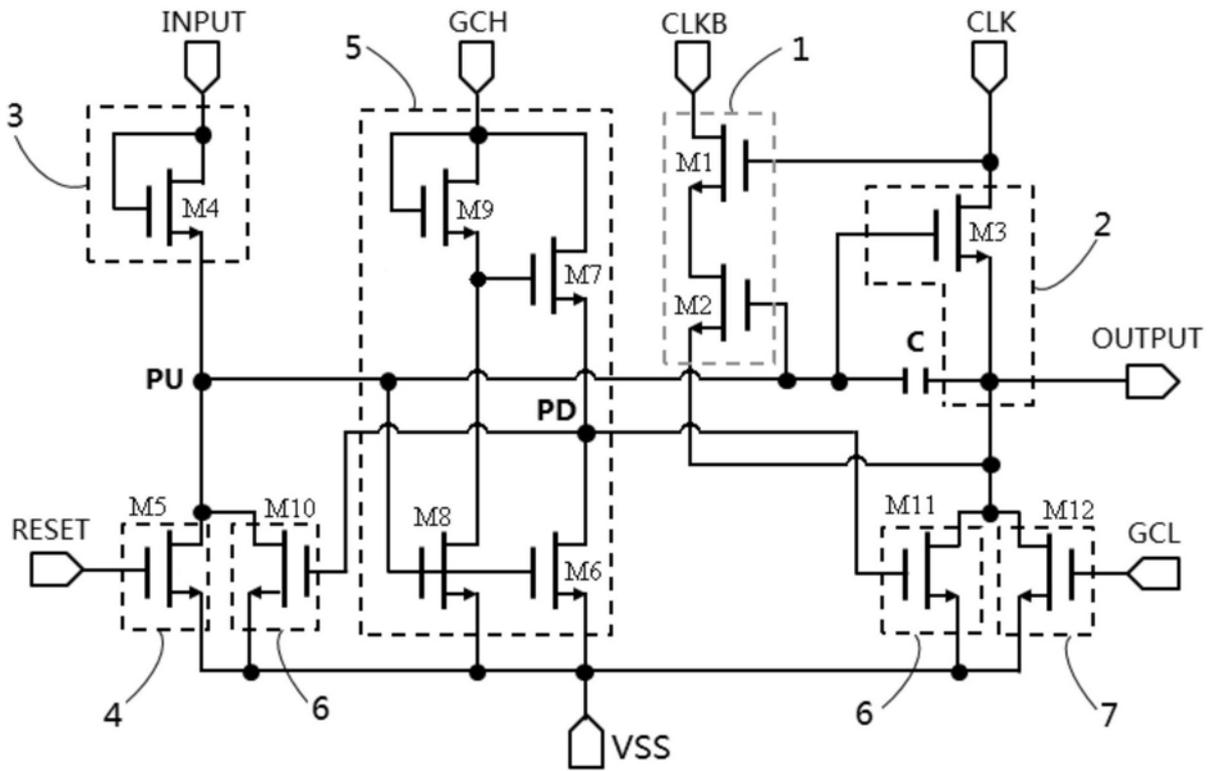


图2

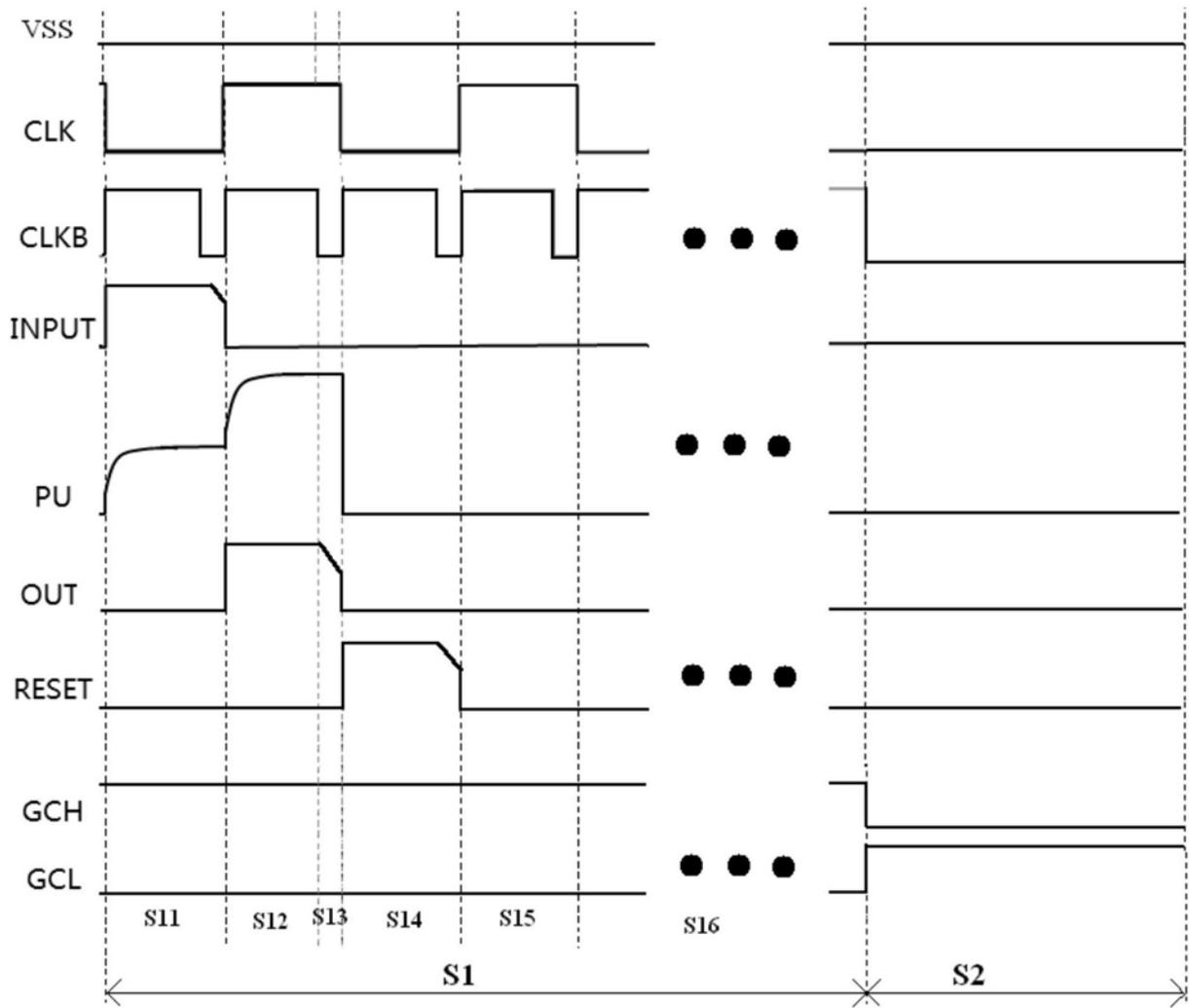


图3

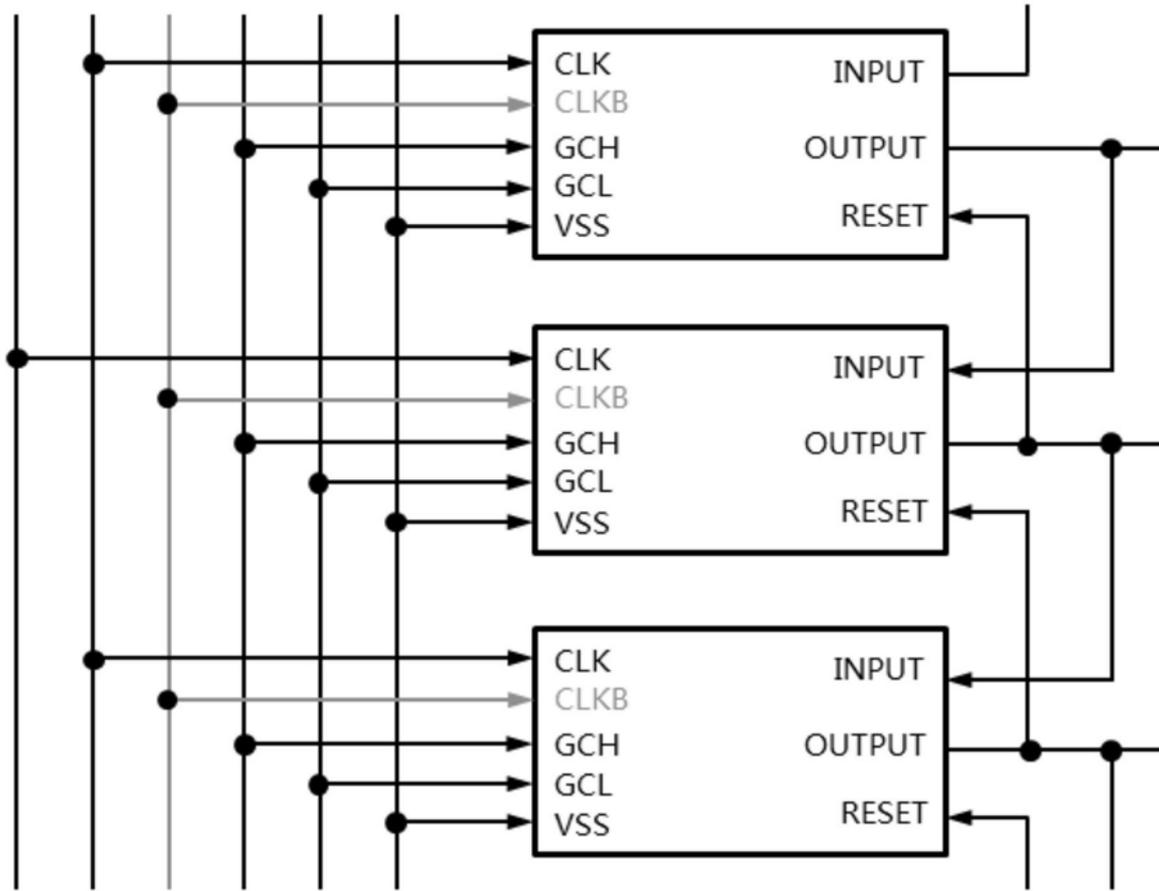


图4