

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3665560号

(P3665560)

(45) 発行日 平成17年6月29日(2005.6.29)

(24) 登録日 平成17年4月8日(2005.4.8)

(51) Int. Cl.⁷

F I

H03K 19/0175

H03K 19/00 I O I F

H03K 17/16

H03K 17/16 L

H03K 17/687

H03K 17/687 F

請求項の数 4 (全 11 頁)

(21) 出願番号 特願2000-362821 (P2000-362821)
 (22) 出願日 平成12年11月29日(2000.11.29)
 (65) 公開番号 特開2002-164777 (P2002-164777A)
 (43) 公開日 平成14年6月7日(2002.6.7)
 審査請求日 平成15年1月28日(2003.1.28)

(73) 特許権者 000221199
 東芝マイクロエレクトロニクス株式会社
 神奈川県川崎市川崎区駅前本町25番地1
 (73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100068814
 弁理士 坪井 淳
 (74) 代理人 100092196
 弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

内部回路から供給される信号が入力する第1制御回路と、
 前記第1制御回路の出力信号および前記内部回路から供給される信号が入力し、2つの制御出力ノードの電位を前記第1制御回路に帰還させ、互いの立ち上がりのタイミングおよび立ち下がりのタイミングが異なるとともに同一論理レベルの期間が異なる2つの出力信号を2つの出力ノードから出力する第2制御回路と、
 前記第2制御回路の2つの出力信号が対応してゲートに供給される電流吐き出し用のPMOS FETおよび電流吸い込み用のNMOS FETの各ドレインが出力端子に接続された出力バッファ回路とを具備し、
 前記第1制御回路は、内部回路から供給される信号の論理レベルと前記第2制御回路の2つの制御出力ノードから帰還する電位の論理レベルが所定の条件を満たした時に出力信号の論理レベルが確定し、
 前記第2制御回路の出力信号は前記電流吐き出し用のPMOS FETおよび電流吸い込み用のNMOS FETのうち一方のオン状態のFETがオフ状態に反転した後に他方のオフ状態のFETがオン状態になるように制御することを特徴とする半導体集積回路。

【請求項2】

前記第1制御回路は、
 ソースが電源ノードに接続された第1のPMOS FETおよびこの第1のPMOS FETのドレインにソースが接続された第2のPMOS FETからなる第1のPMOS制御回路と、ソースが接地ノード

に接続された第1のNMOS FETおよびこの第1のNMOS FETのドレインにソースが接続された第2のNMOS FETからなる第1のNMOS制御回路とからなり、
前記第1のPMOS FETと前記第1のNMOS FETは各ゲートが共通に接続されており、前記第2のPMOS FETと第2のNMOS FETは各ドレインが共通に接続されて出力ノードになっていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】

前記第2制御回路は、

ソースが電源ノードに接続された第3のPMOS FETと、この第3のPMOS FETとゲート同士、ドレイン同士が接続され、ソースが第1の制御出力ノードとなる第3のNMOS FETと、ドレイン・ソース間が電源ノードと前記第1の制御出力ノードとの間に接続された第4のNMOS FETと、ドレイン・ソース間が前記第1の制御出力ノードと接地ノードとの間に接続された第5のNMOS FETとからなり、前記第3のPMOS FETと第3のNMOS FETの各ゲートに第1制御回路の出力ノードの信号が共通に入力し、前記第1の制御出力ノードの電位が前記第1のNMOS制御回路の第2のNMOS FETのゲートに帰還し、前記第3のPMOS FETと第3のNMOS FETの各ドレイン接続ノードの出力信号が前記出力バッファ回路の電流吐き出し用のPMOS FETのゲートに入力する第2のPMOS制御回路と、

ソースが接地ノードに接続された第6のNMOS FETと、この第6のNMOS FETとゲート同士、ドレイン同士が接続され、ソースが第2の制御出力ノードとなる第6のPMOS FETと、ソース・ドレイン間が電源ノードと前記第2の制御出力ノードとの間に接続された第4のPMOS FETと、ソース・ドレイン間が前記第2の制御出力ノードと接地ノードとの間に接続された第5のPMOS FETとからなり、前記第6のPMOS FETと第6のNMOS FETの各ゲートに第1制御回路の出力ノードの信号が共通に入力し、前記第2の制御出力ノードの電位が前記第1のPMOS制御回路の第2のPMOS FETのゲートに帰還し、前記第6のPMOS FETと第6のNMOS FETの各ドレイン接続ノードの出力信号が前記出力バッファ回路の電流吸い込み用のNMOS FETのゲートに入力する第2のNMOS制御回路と、

前記内部回路から供給される信号が入力し、この入力信号を前記第2のPMOS制御回路の第4のNMOS FETのゲートおよび第2のNMOS制御回路の第5のPMOS FETのゲートに直接に供給するとともに、この入力信号の反転信号を前記第2のPMOS制御回路の第5のNMOS FETのゲートおよび第2のNMOS制御回路の第4のPMOS FETのゲートに供給する接続ノード切換制御回路

とを具備することを特徴とする請求項1または2記載の半導体集積回路。

【請求項4】

前記入力信号の反転信号は、前記入力信号を1個のインバータ回路で反転させた信号を共通に使用することを特徴とする請求項3記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路(LSI)に係り、特に出力回路の貫通電流を低減させるように制御する出力制御回路に関するもので、例えばCMOS LSIに使用されるものである。

【0002】

【従来の技術】

図8は、従来のLSIのCMOS構成の出力回路の一例を示す。

【0003】

LSI内部回路から入力端子71に供給される入力信号は、2段のCMOSインバータ73,74を介してCMOSインバータ構成の出力バッファ回路70に入力する。この出力バッファ回路70は、ソース・ドレイン間が電源ノードと出力端子72との間に接続された電流吐き出し用のPMOS FET75と、ドレイン・ソース間が出力端子72と接地ノードとの間に接続された電流吸い込み用のNMOS FET76とからなり、上記したようにドレインが共通に出力端子に接続された2つのFET75,76は、各ゲートが共通に接続されており、プッシュプル駆動される。

【0004】

10

20

30

40

50

このプッシュプル駆動に際して、一方のオン状態のFETがオフ状態に反転する前に他方のオフ状態のFETがオン状態になると、CMOS FETが同時にオン状態の期間が存在し、電源ノードと接地ノードとの間でCMOS FETを貫通する電流が流れる。この点について以下に詳細に説明する。

【0005】

図9は、図8の出力回路の動作波形の一例を示す。

【0006】

入力信号が期間Aに"L"から"H"に変化し、2段のCMOSインバータの前段の出力信号が期間Bに"H"から"L"に変化し、2段のCMOSインバータの後段の出力信号(出力バッファ回路の入力信号)が期間Cに"L"から"H"に変化する。これにより、出力バッファ回路のPMOS FETはオン状態からオフ状態に変化し、NMOS FETはオフ状態からオン状態に変化するの

10

【0007】

この際、図10に示すように、出力バッファ回路の入力信号の論理レベルが"L"から"H"に遷移(変化)する過程において、NMOS FETの閾値電圧 V_{thn} を越えてNMOS FETがオン状態になった時点 t_1 では、PMOS FETは未だオン状態を維持しているため、貫通電流が流れ始め、時刻 t_2 で貫通電流の値がピークに達する。そして、出力バッファ回路の入力信号がPMOS FETの閾値電圧 V_{thp} を越えた時点 t_3 でPMOS FETがオフ状態になり、貫通電流が流れなくなる。

【0008】

20

上記とは逆に、出力回路の入力信号のレベルが"H"から"L"に変化する過程においてPMOS FETの閾値電圧 V_{thp} を越えてPMOS FETがオン状態になった時点では、NMOS FETは未だオン状態を維持しているため、貫通電流が流れ始め、やがて貫通電流の値がピークに達する。そして、出力バッファ回路の入力信号がNMOS FETの閾値電圧 V_{thn} より低くなった時点でNMOS FETがオフ状態になり、貫通電流が流れなくなる。

【0009】

上記したように従来の半導体集積回路の出力バッファ回路は、CMOS FETのプッシュプル駆動に際して貫通電流が流れるが、この貫通電流はFETのサイズが大きくなると多くなり、消費電流の増大をまねく。

【0010】

30

【発明が解決しようとする課題】

上記したように従来の半導体集積回路のCMOS構成の出力バッファ回路は、CMOS FETのサイズが大きくなると貫通電流が大きくなり、消費電流の増大をまねくという問題があった。

【0011】

本発明は上記の問題点を解決すべくなされたもので、CMOS FETのサイズが大きい場合でも貫通電流を抑制でき、消費電流の増大を抑制し得るCMOS構成の出力バッファ回路を備えた半導体集積回路を提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明の半導体集積回路は、内部回路から供給される信号が入力する第1制御回路と、前記第1制御回路の出力信号が入力し、互いの立ち上がりのタイミングおよび立ち下がりのタイミングが異なるとともに同一論理レベルの期間が異なる2つの出力信号を生成する第2制御回路と、前記第2制御回路の2つの出力信号が対応してゲートに供給される電流吐き出し用のPMOS FETおよび電流吸い込み用のNMOS FETの各ドレインが出力端子に接続された出力バッファ回路とを具備し、前記第2制御回路は前記電流吐き出し用のPMOS FETおよび電流吸い込み用のNMOS FETのうちの一方のオン状態のFETがオフ状態に反転した後に他方のオフ状態のFETがオン状態になるように制御することを特徴とする。

40

【0013】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

50

【 0 0 1 4 】

図 1 は、本発明の第 1 の実施の形態に係る半導体集積回路の CMOS 構成の出力回路の一例を示している。

【 0 0 1 5 】

LSI 内部回路から入力端子 51 に供給される入力信号は、第 1 制御回路 10 に入力し、この第 1 制御回路 10 の出力信号および前記内部回路から供給される信号が第 2 制御回路 20 に入力する。この第 2 制御回路 20 は、2 つの制御出力ノード 1, 2 の電位を前記第 1 制御回路 10 に帰還させ、互いの立ち上がりのタイミングおよび立ち下がりのタイミングが異なるとともに同一論理レベルの期間が異なる 2 つの出力信号を 2 つの出力ノード 3, 4 から出力する。

【 0 0 1 6 】

出力バッファ回路 30 は、前記第 2 制御回路 20 の 2 つの出力信号が対応してゲートに供給される電流吐き出し用の PMOS FET 31 および電流吸い込み用の NMOS FET 32 の各ドレインが共通に出力端子 52 に接続されている。

【 0 0 1 7 】

即ち、この出力バッファ回路 30 は、ソース・ドレイン間が VCC (電源電位) ノードと出力端子 52 との間に接続された電流吐き出し用の PMOS FET 31 と、ドレイン・ソース間が出力端子 52 と GND (接地電位) ノードとの間に接続された電流吸い込み用の NMOS FET 32 とからなる。

【 0 0 1 8 】

前記第 2 制御回路 20 は、上記した CMOS FET 31, 32 をプッシュプル駆動する際、CMOS FET のうちの一方のオン状態の FET がオフ状態に反転した後に他方のオフ状態の FET がオン状態になるように制御するように構成されている。

【 0 0 1 9 】

以下、前記第 1 制御回路 10 および第 2 制御回路 20 の構成を詳細に説明する。

【 0 0 2 0 】

前記第 1 制御回路 10 は、内部回路から供給される信号の論理レベルと前記第 2 制御回路 20 の 2 つの制御出力ノード 1, 2 から帰還する電位の論理レベルが所定の条件を満たした時に出力信号の論理レベルが確定するように構成されている。

【 0 0 2 1 】

具体例として、第 1 制御回路 10 は、第 1 の PMOS 制御回路 10a および第 1 の NMOS 制御回路 10b からなる。上記第 1 の PMOS 制御回路 10a は、ソースが VCC ノードに接続された第 1 の PMOS FET 11 と、この第 1 の PMOS FET のドレインにソースが接続された第 2 の PMOS FET 12 とからなる。また、前記第 1 の NMOS 制御回路 10b は、ソースが GND ノードに接続された第 1 の NMOS FET 14 と、この第 1 の NMOS FET 14 のドレインにソースが接続された第 2 の NMOS FET 13 とからなる。

【 0 0 2 2 】

上記第 1 の PMOS FET 11 と前記第 1 の NMOS FET 14 は、各ゲートが共通に接続されており、前記第 2 の PMOS FET 12 と第 2 の NMOS FET 13 は、各ドレインが共通に接続され、第 1 制御回路 10 の出力ノードになっている。

【 0 0 2 3 】

前記第 2 制御回路 20 は、第 2 の PMOS 制御回路 20a、第 2 の NMOS 制御回路 20b および接続ノード切換制御回路 20c からなる。

【 0 0 2 4 】

上記第 2 の PMOS 制御回路 20a は、ソースが VCC ノードに接続された第 3 の PMOS FET 21 と、この第 3 の PMOS FET とゲート同士、ドレイン同士が接続され、ソースが第 1 の制御出力ノード 1 となる第 3 の NMOS FET 22 と、ドレイン・ソース間が VCC ノードと上記第 1 の制御出力ノード 1 との間に接続された第 4 の NMOS FET 23 と、ドレイン・ソース間が上記第 1 の制御出力ノード 1 と GND ノードとの間に接続された第 5 の NMOS FET 24 とからなる。

【 0 0 2 5 】

そして、上記第 3 の PMOS FET 21 と第 3 の NMOS FET 22 の各ゲートに第 1 制御回路 10 の出力ノ

10

20

30

40

50

ードの信号が共通に入力し、上記第1の制御出力ノード1に接続された第4のNMOS FET23および第5のNMOS FET24の各ゲートには前記接続ノード切換制御回路20cから別々に供給される信号が別々に入力する。

【0026】

前記第2のNMOS制御回路20bは、ソースがGNDノードに接続された第6のNMOS FET28と、この第6のNMOS FETとゲート同士、ドレイン同士が接続され、ソースが第2の制御出力ノード2となる第6のPMOS FET27と、ソース・ドレイン間がVCCノードと上記第2の制御出力ノード2との間に接続された第4のPMOS FET26と、ソース・ドレイン間が上記第2の制御出力ノード2とGNDノードとの間に接続された第5のPMOS FET25とからなる。

【0027】

そして、上記第6のPMOS FET27と第6のNMOS FET28の各ゲートに第1制御回路10の出力ノードの信号が共通に入力し、上記第2の制御出力ノード2に接続された第4のPMOS FET26および第5のPMOS FET25の各ゲートには前記接続ノード切換制御回路20cから別々に供給される信号が別々に入力する。

【0028】

前記接続ノード切換制御回路20cは、前記LSI内部回路から供給される入力信号が入力し、この入力信号を前記第2のPMOS制御回路20aの第4のNMOS FET23のゲートおよび第2のNMOS制御回路20bの第5のPMOS FET25のゲートに直接に供給する。また、上記入力信号をインバータ回路41で反転させた後に前記第2のPMOS制御回路20aの第5のNMOS FET24のゲートおよび第2のNMOS制御回路20bの第4のPMOS FET26のゲートに供給する。

【0029】

そして、前記第2のPMOS制御回路20aの第1の制御出力ノード1の電位は前記第1のNMOS制御回路10bの第2のNMOS FET13のゲートの帰還入力となり、前記第2のNMOS制御回路20bの第2の制御出力ノード2の電位は前記第1のPMOS制御回路10aの第2のPMOS FET12のゲートの帰還入力となる。

【0030】

そして、前記第2のPMOS制御回路20aの第3のPMOS FET21と第3のNMOS FET22の各ドレインが接続された出力ノード3の出力信号は、出力バッファ回路30の電流吐き出し用のPMOS FET31のゲートに入力し、前記第2のNMOS制御回路20bの第6のPMOS FET27と第6のNMOS FET28の各ドレインが接続された出力ノード4の出力信号は、出力バッファ回路30の電流

吸い込み用のNMOS FET32のゲートに入力する。

【0031】

図2乃至図5は、図1の出力回路の入力信号の論理レベルが一定状態の時、あるいは遷移(変化)する時にオン状態になっているFETのソース・ドレイン間を太線で短絡して示した回路図である。

【0032】

図2は、図1の出力回路の入力信号が"L"の時にオン状態になっているFETのソース・ドレイン間を太線で短絡して示した回路図である。

【0033】

図3は、図1の出力回路の入力信号が"L"から"H"に変化する時にオン状態になるFETの

ソース・ドレイン間を太線で短絡して示した回路図である。

【0034】

図4は、図1の出力回路の入力信号が"H"の時にオン状態になっているFETのソース・ドレイン間を太線で短絡して示した回路図である。

【0035】

図5は、図1の出力回路の入力信号が"H"から"L"に変化する時にオン状態になるFETの

ソース・ドレイン間を太線で短絡して示した回路図である。

【0036】

図6は、図1の出力回路の動作の一例を示す波形図である。

【0037】

10

20

30

40

50

以下、図6を参照しながら、図1の出力回路の動作例を詳細に説明する。

【0038】

まず、入力信号が"L"の時には、図2に示すように、第1のPMOS制御回路10aの2個のPMOS FET11、12はそれぞれオン状態であり、第1制御回路10の出力ノードの信号は"H"である。そして、第2のPMOS制御回路20aのNMOS FET22とNMOS FET24がそれぞれオン状態であり、第2のPMOS制御回路20aの出力信号が"L"であり、出力バッファ回路30の電流吐き出し用のPMOS FET31がオン状態に駆動されている。

【0039】

この時、第2のNMOS制御回路20bのPMOS FET25とNMOS FET28がそれぞれオン状態であり、第2のNMOS制御回路20bの出力信号は"L"であり、出力バッファ回路30の電流吸い込み用のNMOS FET32はオフ状態である。したがって、出力端子52は"H"である。 10

【0040】

次に、期間Aに示すように、入力信号が"L"から"H"に変化すると、図3に示すように、第1のPMOS制御回路10aのPMOS FET11がオンからオフに変化し、第1のNMOS制御回路10bのNMOS FET14がオフからオンに変化する。そして、第2のPMOS制御回路20aのNMOS FET23がオフからオンに変化し、第2のPMOS制御回路20aのNMOS FET24がオンからオフに変化し、第2のNMOS制御回路20bのPMOS FET25がオンからオフに変化し、第2のNMOS制御回路20bのPMOS FET26がオフからオンに変化する。

【0041】

これにより、第2のPMOS制御回路20aの出力信号は"L"から"H"に変化するが、第2のNMOS制御回路20bの出力信号は"L"のままである。これにより、期間Bに示すように、出力バッファ回路30の電流吐き出し用のPMOS FET31がオン状態からオフ状態に変化するよう駆動されるが、出力バッファ回路30の電流吸い込み用のNMOS FET32はオフ状態のままであり、したがって、出力端子52は"H"のままである。この時、貫通電流は流れない。 20

【0042】

次に、期間Cに示すように、入力信号が"H"の時には、図4に示すように、第2のPMOS制御回路20aのNMOS FET22のソースノードの電位"H"が第1のNMOS制御回路10bのPMOS FET13のゲートに帰還し、このNMOS FET13がオフからオンに変化する。また、第2のNMOS制御回路20bのPMOS FET27のソースノードの電位"H"が第1のPMOS制御回路10aのPMOS FET12のゲートに帰還し、このPMOS FET12がオンからオフに変化する。 30

【0043】

これにより、第1制御回路10の出力ノードの信号が"H"から"L"に変化し、第2のPMOS制御回路20aのNMOS FET22がオンからオフに変化し、第2のPMOS制御回路20aのPMOS FET21がオフからオンに変化するが、第2のPMOS制御回路20aの出力信号は"H"のままであり、出力バッファ回路30の電流吐き出し用のPMOS FET31はオフ状態のままである。

【0044】

また、前記したように第1制御回路10の出力ノードの信号が"H"から"L"に変化すると、第2のNMOS制御回路20bのNMOS FET28がオンからオフに変化し、第2のNMOS制御回路20bのPMOS FET27がオフからオンに変化し、第2のNMOS制御回路20bの出力信号は"L"から"H"に変化する。 40

【0045】

これにより、出力バッファ回路30の電流吸い込み用のNMOS FET32がオフ状態からオン状態に変化するよう駆動され、出力端子52は"H"から"L"に変化する。この時、貫通電流は殆んど流れない。

【0046】

次に、期間Dに示すように、入力信号が"H"から"L"に変化すると、図5に示すように、第1のPMOS制御回路10aのPMOS FET11がオフからオンに変化し、第1のNMOS制御回路10bのNMOS FET14がオンからオフに変化する。そして、第2のPMOS制御回路20aのNMOS FET23がオンからオフに変化し、第2のPMOS制御回路20aのNMOS FET24がオフからオンに変化し、第2のNMOS制御回路20bのPMOS FET26がオンからオフに変化し、第2のNMOS制御回路20 50

b のPMOS FET25がオフからオンに変化する。

【0047】

これにより、第2のPMOS制御回路20aの出力信号は"H"のままであるが、第2のNMOS制御回路20bの出力信号は"H"から"L"に変化する。これにより、期間Eに示すように、出力バッファ回路30の電流吐き出し用のPMOS FET31はオフ状態のままであるが、出力バッファ回路30の電流吸い込み用のNMOS FET32はオン状態からオフ状態に変化するように駆動され、したがって、出力端子52は"H"のままである。この時、貫通電流は流れない。

【0048】

次に、期間Fに示すように、入力信号が"L"の時には、図2に示したように、第2のPMOS制御回路20aのNMOS FET22のソースノードの電位"L"が第1のNMOS制御回路10bのPMOS FET13のゲートに帰還し、このPMOS FET13がオフからオンに変化する。また、第2のNMOS制御回路20bのPMOS FET27のソースノードの電位"H"が第1のPMOS制御回路10aのPMOS FET12のゲートに帰還し、このPMOS FET12がオンからオフに変化する。

10

【0049】

これにより、第1制御回路10の出力ノードの信号が"L"から"H"に変化し、第2のNMOS制御回路20aのPMOS FET21がオンからオフに変化し、第2のNMOS制御回路20aのNMOS FET22がオフからオンに変化するが、第2のNMOS制御回路20aの出力信号は"L"のままであり、出力バッファ回路30の電流吸い込み用のNMOS FET32はオフ状態のままである。

【0050】

また、前記したように第1制御回路10の出力ノードの信号が"L"から"H"に変化すると、第2のPMOS制御回路20aのNMOS FET22がオンからオフに変化し、第2のPMOS制御回路20aのPMOS FET21がオフからオンに変化し、第2のPMOS制御回路20aの出力信号は"H"から"L"に変化する。

20

【0051】

これにより、出力バッファ回路30の電流吐き出し用のPMOS FET31がオフ状態からオン状態に変化するように駆動され、出力端子52は"L"から"H"に変化する。この時、貫通電流は殆んど流れない。

【0052】

上記したように、第1の制御回路10および第2制御回路20は、出力バッファ回路30のCMOS FETをプッシュプル駆動する際、CMOS FETの一方のオン状態のFETがオフ状態に反転した後に他方のオフ状態のFETがオン状態になるように制御する。この際、入力信号の論理レベルが遷移した後に一定状態になった時に、第2制御回路20により第1の制御回路10を帰還制御する。これにより、出力バッファ回路30のCMOS FETが同時にオン状態の期間が存在しなくなり、VCCノードとGNDノードとの間でCMOS FETを貫通する電流が流れなくなる。

30

【0053】

<変形例>

図1に示した出力回路において、接続ノード切換制御回路20cは、入力信号を1個のインバータ回路41で反転した後に第2のPMOS制御回路20aのNMOS FET24および第2のNMOS制御回路20bのPMOS FET26の各ゲートに共通に供給したが、図7に示すように変形実施することも可能である。

40

【0054】

即ち、図7に示す接続ノード切換制御回路は、入力信号を第1のインバータ回路42で反転した後に第2のPMOS制御回路20aのNMOS FET24のゲートに供給し、入力信号を第2のインバータ回路43で反転した後に第2のNMOS制御回路20bのPMOS FET26のゲートに供給している。

【0055】

なお、図7において、図1中と同一部分には同一符号を付してその説明を省略する。

【0056】

【発明の効果】

上述したように本発明によれば、CMOS FETのサイズが大きい場合でも貫通電流を抑制でき

50

、消費電流の増大を抑制し得るCMOS構成の出力回路を備えた半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体集積回路のCMOS構成の出力回路の一例を示す回路図。

【図2】図1の出力回路の入力信号が"L"の時にオン状態になっているFETのソース・ドレイン間を太線で短絡して示した回路図。

【図3】図1の出力回路の入力信号が"L"から"H"に変化する時にオン状態になるFETのソース・ドレイン間を太線で短絡して示した回路図。

【図4】図1の出力回路の入力信号が"H"の時にオン状態になっているFETのソース・ドレイン間を太線で短絡して示した回路図。 10

【図5】図1の出力回路の入力信号が"H"から"L"に変化する時にオン状態になるFETのソース・ドレイン間を太線で短絡して示した回路図。

【図6】図1の出力回路の動作例を示す波形図。

【図7】図1中の接続ノード切換制御回路の変形例を示す回路図。

【図8】従来のLSIのCMOS構成の出力回路の一例を示す回路図。

【図9】図8の出力回路の動作例を示す波形図。

【図10】図9に示す動作例において出力バッファ回路の入力信号のレベルが遷移する過程において貫通電流が流れる様子を示す波形図。

【符号の説明】 20

1 ... 第1の制御出力ノード、

2 ... 第2の制御出力ノード、

3,4 ... 出力ノード、

10... 第1制御回路、

10a ... 第1のPMOS制御回路、

10b ... 第1のNMOS制御回路、

11... 第1のPMOS FET、

12... 第2のPMOS FET、

14... 第1のNMOS FET、

13... 第2のNMOS FET、 30

20... 第2制御回路、

20a ... 第2のPMOS制御回路、

20b ... 第2のNMOS制御回路、

20c ... 接続ノード切換制御回路、

21... 第3のPMOS FET、

22... 第3のNMOS FET、

23... 第4のNMOS FET、

24... 第5のNMOS FET、

25... 第5のPMOS FET、

26... 第4のPMOS FET、 40

27... 第6のPMOS FET、

28... 第6のNMOS FET、

30... 出力バッファ回路、

31... 電流吐き出し用のPMOS FET、

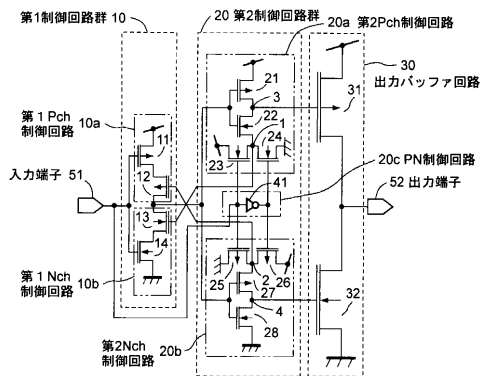
32... 電流吸い込み用のNMOS FET、

41... インバータ回路、

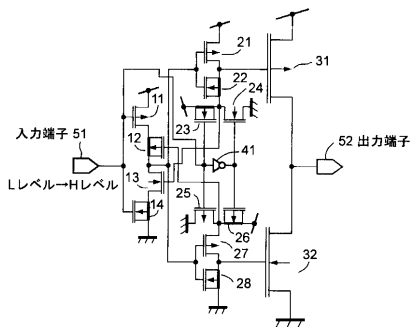
51... 入力端子、

52... 出力端子。

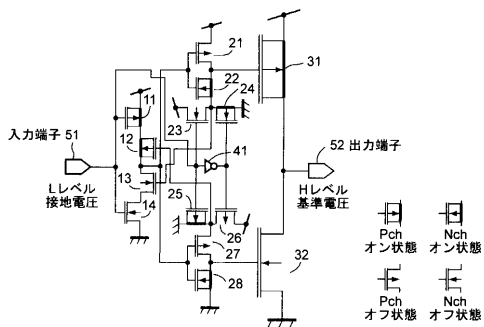
【 図 1 】



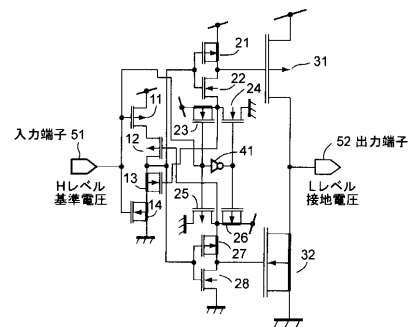
【 図 3 】



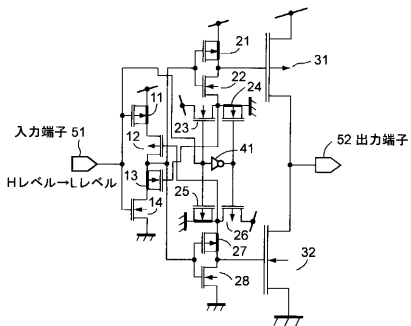
【 図 2 】



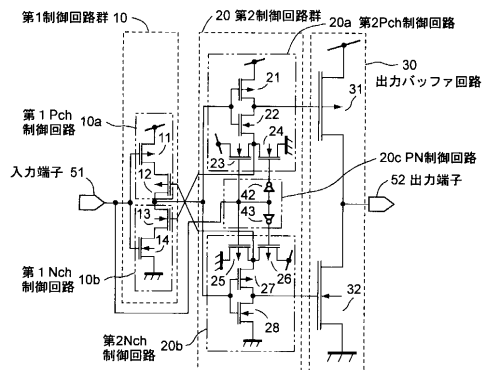
【 図 4 】



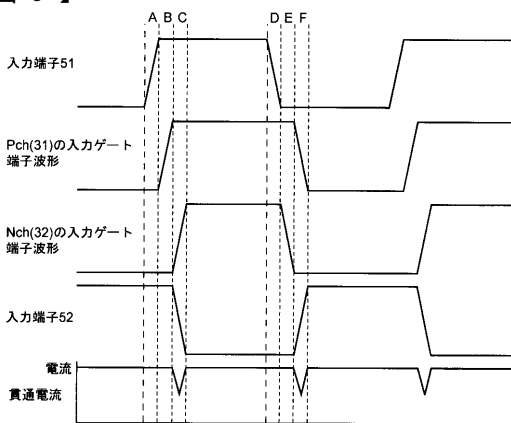
【 図 5 】



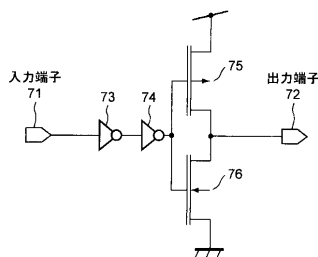
【 図 7 】



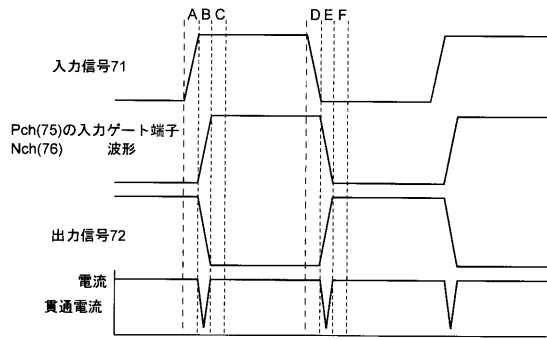
【 図 6 】



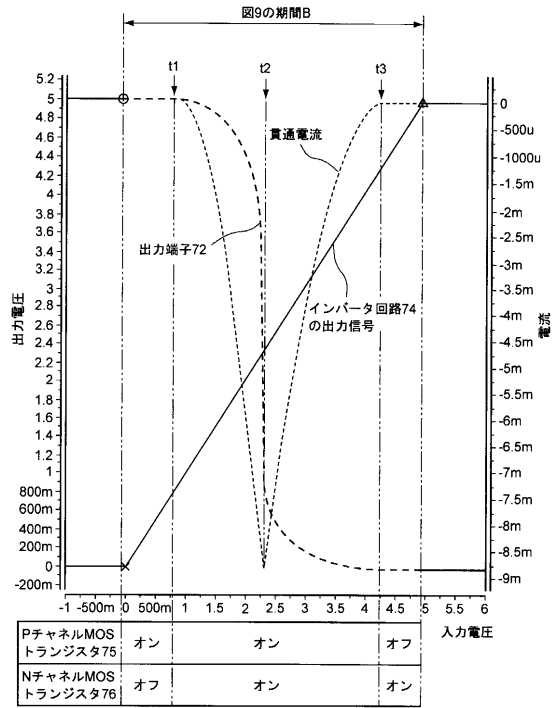
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(74)代理人 100091351

弁理士 河野 哲

(74)代理人 100088683

弁理士 中村 誠

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 横山 正成

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

審査官 石井 研一

(56)参考文献 特開2000-101415(JP,A)

特開平06-237158(JP,A)

特開平06-164346(JP,A)

特開平05-160706(JP,A)

特開平04-111529(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 19/0175

H03K 17/16

H03K 17/687