



(21)申請案號：107106670

(22)申請日：中華民國 107 (2018) 年 02 月 27 日

(51)Int. Cl. : **G11C7/22 (2006.01)**

(30)優先權：2017/02/28 美國 15/445,795

(71)申請人：美商美光科技公司(美國) MICRON TECHNOLOGY, INC. (US)
美國(72)發明人：李炫柳 LEE, HYUN YOO (KR)；郭 鍾太 KWAK, JONGTAE (US)；塔塔普蒂
蘇雅娜拉雅娜 TATAPUDI, SURYANARAYANA (US)

(74)代理人：陳長文

(56)參考文獻：

| | |
|-------------------|-------------------|
| US 6029252 | US 6202119B1 |
| US 6301322B1 | US 6446180B2 |
| US 2009/0180341A1 | US 2011/0116330A1 |
| US 2014/0285246A1 | US 2017/0004869A1 |

審查人員：劉耀允

申請專利範圍項數：34 項 圖式數：8 共 68 頁

(54)名稱

在半導體記憶體中提供內部記憶體命令及控制信號之裝置及方法

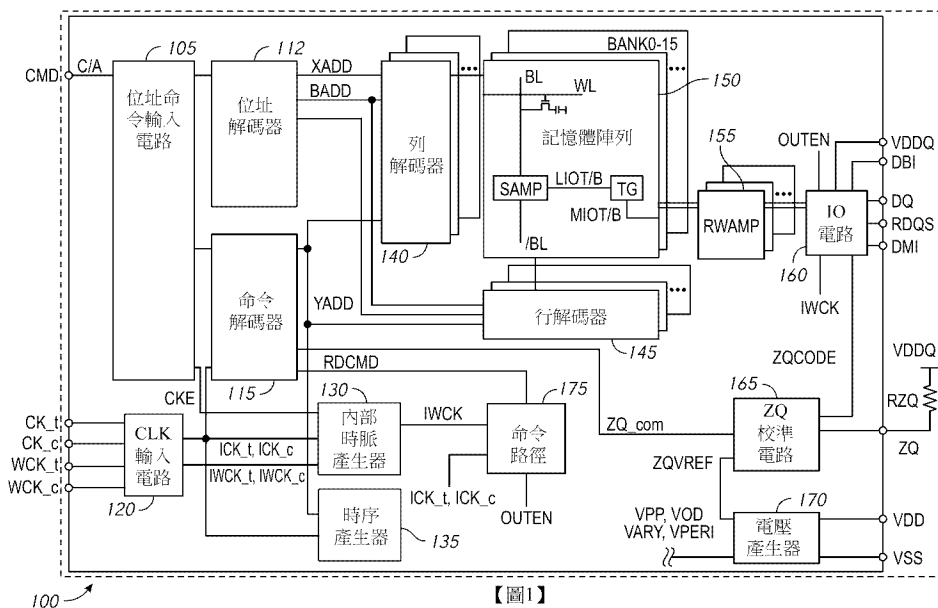
APPARATUSES AND METHODS FOR PROVIDING INTERNAL MEMORY COMMANDS AND CONTROL SIGNALS IN SEMICONDUCTOR MEMORIES

(57)摘要

本發明揭示在半導體記憶體中提供內部記憶體命令及控制信號之裝置及方法。在一例示性裝置中，一命令路徑接收讀取命令且提供針對各讀取命令之各自控制信號。該命令路徑經組態以回應於複數個多相時脈信號之一時脈信號之一第一時脈邊緣而提供針對一初始讀取命令之初始控制信號且進一步回應於隨後讀取命令之接收而提供針對該等隨後讀取命令之各自控制信號。該例示性裝置進一步包含經組態以從該命令路徑接收該等控制信號且進一步並行接收讀取資料之一讀取資料輸出電路。該讀取資料輸出電路經組態以回應於該等控制信號而連續提供該讀取資料。

Apparatuses and methods for providing internal memory commands and control signals in semiconductor memories are disclosed. In an example apparatus, a command path receives read commands and provides respective control signals for each read command. The command path is configured to provide initial control signals for an initial read command responsive to a first clock edge of a clock signal of a plurality of multiphase clock signals and to further provide respective control signals for subsequent read commands responsive to receipt of the subsequent read commands. The example apparatus further includes a read data output circuit configured to receive the control signals from the command path and further receive read data in parallel. The read data output circuit is configured to provide the read data serially responsive to the control signals.

指定代表圖：



【圖1】

符號簡單說明：

100 . . . 半導體器件
 105 . . . 位址/命令
 輸入電路

112 . . . 位址解碼器

115 . . . 命令解碼器

120 . . . 時脈輸入電
 路

130 . . . 內部時脈產
 生器

135 . . . 時序產生器

140 . . . 列解碼器

145 . . . 行解碼器

150 . . . 記憶體陣列

155 . . . 讀取/寫入
 放大器

160 . . . 輸入-輸出
 (IO)電路

165 . . . ZQ 校準電
 路

170 . . . 電壓產生
 器/內部電壓產生器電
 路

175 . . . 命令路徑

BL . . . 位元線

C/A . . . 命令/位址
 匯流排

CK_c . . . 時脈端
 子/外部時脈信號

CK_t . . . 時脈端子/
 外部時脈信號

CKE . . . 時脈啟用
 信號

CMD . . . 命令信號

DBI . . . 資料端子

DMI . . . 資料端子

DQ . . . 資料端子

ICK_c . . . 內部時
 脈信號

ICK_t . . . 內部時脈
信號

IWCK . . . 多相時
脈信號

IWCK_c . . . 內部
時脈信號

IWCK_t . . . 內部時
脈信號

LIOT/B . . . 局部 I/
O 線對

MIOT/B . . . 主要 I/
O 線對

OUTEN . . . 控制信
號

RDCMD . . . 讀取
命令

RDQS . . . 資料端
子

RZQ . . . 阻抗

SAMP . . . 感測放
大器

TG . . . 轉移閘極

VARY . . . 內部電
位

VDD . . . 電力供應
端子/電力供應電位

VDDQ . . . 電力供
應端子

VOD . . . 內部電位

VPERI . . . 內部電
位

VPP . . . 內部電位

VSS . . . 電力供應
端子/電力供應電位

WCK_c . . . 寫入時
脈端子/外部時脈信號

WCK_t . . . 寫入時
脈端子/外部時脈信號

WL . . . 字線

ZQ . . . 校準端子

ZQ_com . . . ZQ 校
準命令

ZQCODE . . . 阻抗
碼

ZQVREF . . . 參考
電位

【發明說明書】

【中文發明名稱】

在半導體記憶體中提供內部記憶體命令及控制信號之裝置及方法

【英文發明名稱】

APPARATUSES AND METHODS FOR PROVIDING INTERNAL
MEMORY COMMANDS AND CONTROL SIGNALS IN
SEMICONDUCTOR MEMORIES

【技術領域】

【先前技術】

在許多電子系統中使用半導體記憶體來儲存可在一稍後時間擷取之資料。隨著對於電子系統更快速、具有更大運算能力且消耗更少功率之需求已增加，已持續開發可更快速存取、儲存更多資料且使用更少功率之半導體記憶體以滿足變化的需求。開發之部分包含創建用於控制且存取半導體記憶體之新規格，其中規格從一代至下一代之變化係關於改良電子系統中之記憶體之效能。

通常藉由向記憶體提供命令信號、位址信號、時脈信號而控制半導體記憶體。可由一記憶體控制器提供各種信號。命令信號可控制半導體記憶體執行各種記憶體操作，舉例而言，用以從一記憶體擷取資料之一讀取操作，及用以將資料儲存至記憶體之一寫入操作。在最近開發之記憶體之情況下，記憶體可被提供用於對命令信號及位址信號進行計時之系統時脈信號(舉例而言)，且進一步被提供用於對由記憶體提供之讀取資料進行計時且用於對從記憶體提供之寫入資料進行計時之資料時脈信號。

在典型設計中，由一記憶體依相對於藉由記憶體接收一相關聯讀取

命令之一已知時序提供讀取資料。藉由讀取延時資訊RL定義已知時序。類似地，由一記憶體依相對於藉由該記憶體接收一相關聯寫入命令之一已知時序接收寫入資料。藉由寫入延時資訊WL定義已知時序。通常藉由系統時脈信號之時脈週期之數目定義RL資訊及WL資訊。舉例而言，RL資訊可定義系統時脈信號(tCK)之18個時脈週期之一RL。因此，在藉由記憶體接收讀取命令之後將由一記憶體18 tCK提供讀取資料。可藉由一記憶體控制器在記憶體中程式化RL資訊及WL資訊。

關於使用資料時脈信號之記憶體設計，(例如，從一記憶體控制器)將資料時脈信號提供至一記憶體以使藉由記憶體之讀取資料之提供或寫入資料之接收同步。根據一規格提供資料時脈信號以具有繼一記憶體命令之接收之後之一時序以便提供足以滿足RL/WL資訊之資料或接收足以滿足RL/WL資訊之資料。記憶體回應於作用資料時脈信號且相應地提供或接收資料。

在期望更快速地執行記憶體之情況下，使用更快速時脈信號為記憶體計時。然而，更快速時脈信號對記憶體執行任何相關聯記憶體操作且具有正確時序提出更大挑戰。

【發明內容】

【圖式簡單說明】

圖1係根據本發明之一實施例之一半導體器件之一方塊圖之一方塊圖。

圖2係根據本發明之一實施例之一讀取命令路徑及一多相時脈電路之一方塊圖。

圖3係根據本發明之一實施例之讀取命令電路之一方塊圖。

圖4係根據本發明之一實施例之一讀取命令電路之一示意圖。

圖5係展示根據本發明之一實施例之圖4之讀取命令電路之操作期間之各個信號的一時序圖。

圖6A係根據本發明之一實施例之一讀取資料輸出電路之一方塊圖。

圖6B係根據本發明之一實施例之一資料緩衝電路之一方塊圖。

圖7係展示根據本發明之一實施例之圖6A之讀取資料輸出電路之操作期間之各個信號的一時序圖。

圖8係根據本發明之一實施例之一讀取命令電路之一示意圖。

【實施方式】

下文中陳述特定細節以提供對本發明之實施例之一充分理解。然而，熟習此項技術者將明白，可在無此等特定細節之情況下實踐本發明之實施例。此外，本文中描述之本發明之特定實施例藉由實例提供且不應用於將本發明之範疇限制於此等特定實施例。在其他例項中，並未詳細展示眾所周知的電路、控制信號、時序協定及軟體操作以避免不必要地混淆本發明。

圖1係根據本發明之一實施例之一半導體器件100之一方塊圖之一方塊圖。半導體器件100包含一記憶體晶粒。記憶體晶粒可包含一位址/命令輸入電路105、位址解碼器112、命令解碼器115、時脈輸入電路120、內部時脈產生器130、時序產生器135、列解碼器140、行解碼器145、記憶體陣列150、讀取/寫入放大器155、輸入-輸出(IO)電路160、ZQ校準電路165及電壓產生器170。

在一些實施例中，半導體器件100可包含(無限制)一DRAM器件，諸如整合至一單一半導體晶片中之低功率DDR (LPDDR)記憶體，舉例而

言。可將晶粒安裝於一外部基板上，舉例而言，一記憶體模組基板、一主機板或類似者。半導體器件100可進一步包含一記憶體陣列150。記憶體陣列150包含複數個記憶體庫，各記憶體庫包含複數個字線WL、複數個位元線BL及配置於複數個字線WL與複數個位元線BL之交叉點處之複數個記憶體胞MC。藉由一列解碼器140執行字線WL之選擇且藉由一行解碼器145執行位元線BL之選擇。感測放大器(SAMP)針對其等對應位元線BL定位且連接至至少一個各自局部I/O線對(LIOT/B)，該局部I/O線對(LIOT/B)繼而經由充當開關之轉移閘極(TG)耦合至至少一個主要I/O線對(MIOT/B)。

半導體器件100可採用複數個外部端子，其等包含耦合至命令/位址匯流排(C/A)之位址及命令端子、時脈端子CK_t及CK_c、寫入時脈端子WCK_t及WCK_c、資料端子DQ、RDQS、DBI及DMI、電力供應端子VDD、VSS、VDDQ及VSSQ、及ZQ校準端子(ZQ)。

可從外部為命令/位址端子供應一位址信號及一記憶體庫位址信號。供應至位址端子之位址信號及記憶體庫位址信號經由位址/命令輸入電路105傳送至一位址解碼器112。位址解碼器112接收位址信號且將一經解碼列位址信號供應至列解碼器140，且將一經解碼行位址信號供應至行解碼器145。位址解碼器112亦接收記憶體庫位址信號且將該記憶體庫位址信號供應至列解碼器140、行解碼器145。

可進一步從外部(諸如(舉例而言)一記憶體控制器)為命令/位址端子供應一命令信號CMD。命令信號CMD可經由C/A匯流排，經由位址/命令輸入電路105被提供至命令解碼器115。命令解碼器115對命令信號CMD進行解碼以產生各種內部命令，該等內部命令包含用以選擇一字線之一列命令

信號及用以選擇一位元線之一行命令信號，諸如一讀取命令RDCMD或一寫入命令WRCMD。由命令解碼器115提供之各讀取命令RDCMD及寫入命令WRCMD與被提供至半導體器件100之一讀取命令及寫入命令相關聯。各種內部命令(舉例而言讀取命令及寫入命令)被提供至一命令路徑175。命令路徑175可包含接收讀取命令RDCMD且提供控制信號OUTEN之一讀取命令路徑。控制信號被提供至半導體器件100之各個電路以執行與讀取命令相關之操作，諸如提供讀取資料。

舉例而言，當發佈一讀取命令且及時為一系列位址及一行位址供應讀取命令時，從藉由此等列位址及行位址指定之記憶體陣列150中之一記憶體胞讀取讀取資料。藉由讀取路徑接收讀取命令，該讀取命令提供控制信號至輸入/輸出電路160，使得讀取資料根據WCK及WCKF時脈信號經由讀取/寫入放大器155及輸入/輸出電路160從資料端子DQ、RDQS、DBI及DMI輸出至外部。依藉由可在半導體器件中(舉例而言，在一模式暫存器(圖1中未展示)中)程式化之讀取延時資訊RL定義之一時間提供讀取資料。可根據CK時脈信號之時脈週期定義讀取延時資訊RL。舉例而言，讀取延時資訊RL可係在提供相關聯讀取資料時由半導體器件100接收讀取命令之後的CK信號之若干時脈週期。

當發佈寫入命令且及時為一系列位址及一行位址供應此命令，且接著根據WCK及WCKF時脈信號將寫入資料供應至資料端子DQ及DMI時，藉由命令路徑175接收寫入命令，該寫入命令提供控制信號至輸入/輸出電路160，使得寫入資料由輸入/輸出電路160中之資料接收器接收，且經由輸入/輸出電路160及讀取/寫入放大器155供應至記憶體陣列150且寫入在藉由列位址及行位址指定之記憶體胞中。依藉由寫入延時WL資訊定義之一

時間將寫入資料提供至資料端子。寫入延時WL資訊可在半導體器件100中(舉例而言，在模式暫存器(圖1中未展示)中)程式化。可根據CK時脈信號之時脈週期定義寫入延時WL資訊。舉例而言，寫入延時資訊WL可係在提供相關聯寫入資料時由半導體器件100接收寫入命令之後的CK信號之若干時脈週期。

轉向包含於半導體器件100中之外部端子之說明，為時脈端子CK_t及CK_c及WCK_t及WCK_c供應外部時脈信號及補充外部時脈信號。可將外部時脈信號CK_t、CK_c及WCK_t及WCK_c供應至一時脈輸入電路120。時脈輸入電路120可接收外部時脈信號以產生內部時脈信號ICK_t、ICK_c及IWCK_t、IWCK_c。將內部時脈信號ICK_t及ICK_c供應至一內部時脈產生器130。內部時脈產生器130基於所接收內部時脈信號及來自位址/命令輸入電路105之一時脈啟用信號CKE提供各種相位及頻率控制內部時脈信號。舉例而言，內部時脈產生器130基於內部時脈信號IWCK_t及IWCK_c提供多相時脈信號IWCK。如將在下文更詳細地描述，多相時脈信號IWCK具有相對於彼此之相位。可將多相時脈信號IWCK提供至命令路徑175。亦可將多相時脈信號IWCK提供至輸入/輸出電路160且搭配控制信號OUTEN使用以判定讀取資料之一輸出時序及寫入資料之輸入時序。

為電力供應端提供電力供應電位VDD及VSS。將此等電力供應電位VDD及VSS供應至一內部電壓產生器電路170。內部電壓產生器電路170基於電力供應電位VDD及VSS產生各種內部電位VPP、VOD、VARY、VPERI及類似者及一參考電位ZQVREF。內部電位VPP主要用於列解碼器140中，內部電位VOD及VARY主要用於包含在記憶體陣列150

中之感測放大器中，且內部電位VPERI用於許多其他電路區塊中。參考電位ZQVREF用於ZQ校準電路165中。

亦為電力供應端提供電力供應電位VDD。將電力供應電位VDDQ連同電力供應電位VSS一起供應至輸入/輸出電路160。在本發明之一實施例中，電力供應電位VDDQ可係與電力供應電位VDD相同之電位。在本發明之另一實施例中，電力供應電位VDDQ可係不同於電力供應電位VDD之電位。然而，專用電力供應電位VDDQ及VSSQ用於輸入/輸出電路160，使得由輸入/輸出電路160產生之電力供應雜訊未傳播至其他電路區塊。

校準端子ZQ連接至ZQ校準電路165。ZQ校準電路165在由ZQ校準命令ZQ_com啟動時參考RZQ之阻抗及參考電位ZQVREF執行一校準操作。將藉由校準操作獲取之一阻抗碼ZQCODE供應至輸入/輸出電路160，且因此指定包含於輸入/輸出電路160中之一輸出緩衝器(未展示)之阻抗。

圖2係根據本發明之一實施例之一讀取命令路徑210及一多相時脈電路240之一方塊圖。在本發明之一實施例中，讀取命令路徑210可包含於圖1之命令路徑175中。在本發明之一實施例中，多相時脈電路240可包含於圖1之內部時脈產生器130中。

讀取命令路徑210包含一讀取延時時序電路220及一讀取命令電路230。讀取延時電路200接收由命令解碼器(例如，命令解碼器115)提供之一讀取命令RDCMD且進一步接收內部時脈信號ICK_t及ICK_c(例如，時脈輸入電路120)。亦藉由讀取延時時序電路220接收讀取延時資訊RL。讀取延時資訊表示與相對於藉由半導體器件100接收一外部讀取命令之提供讀取資料之時序相關的資訊。可根據CK時脈信號之時脈週期定義讀取延

時資訊RL，舉例而言，在藉由半導體器件100接收相關聯讀取命令之後，為針對一相關聯讀取命令之讀取資料提供CK時脈信號之Z個時脈週期，其中Z係一正整數。讀取延時資訊RL可在一模式暫存器(未展示)中程式化且由其提供。

讀取延時時序電路220基於讀取延時資訊提供延遲至讀取命令RDCMD。讀取延時時序電路220可包含偏移電路(未展示)，該偏移電路根據內部時脈信號ICK_t及ICK_c且基於讀取延時資訊RL透過讀取延時時序電路220使讀取命令RDCMD偏移。讀取延時時序電路220提供讀取命令RDCMD至讀取命令電路230。

多相時脈電路240從一時脈輸入電路(例如，時脈輸入電路120)接收內部時脈信號IWCK_t及IWCK_c，且提供多相時脈信號IWCK。在本發明之一實施例中，多相時脈電路240提供具有相對於彼此之相對相位之多相IWCK時脈信號。舉例而言，多相時脈電路240可提供IWCK0及IWCK180時脈信號，其中IWCK180時脈信號與IWCK0時脈信號異相180度。在此一實施例中，多相時脈電路240提供兩相時脈信號，即，IWCK0時脈信號及IWCK180時脈信號。在另一實施例中，多相時脈電路240可提供額外時脈信號，舉例而言，四相時脈信號(例如，IWCK0、IWCK90、IWCK180、IWCK270，各時脈信號相對於其他時脈信號異相90度)。IWCK時脈信號可具有係IWCK_t及IWCK_c時脈信號之一時脈頻率之一半的一時脈頻率。在其中IWCK_t及IWCK_c時脈信號具有與WCK_t及WCK_c時脈信號相同之頻率之一實施例中，IWCK時脈信號可具有WCK_t及WCK_c時脈信號之一時脈頻率的一半。

讀取命令電路230接收讀取命令RDCMD及多相IWCK時脈信號。讀

取命令電路230提供可用於控制與對應讀取命令RDCMD相關聯之讀取資料之輸出之控制信號OUTEN。讀取命令電路230回應於具有提供與對應讀取命令RDCMD相關聯之讀取資料以滿足讀取延時資訊RL所必需之時序之多相IWCK時脈信號而提供控制信號OUTEN。針對一初始讀取命令RDCMD之初始控制信號OUTEN係基於一多相IWCK時脈信號之啟動。如先前描述，多相時脈信號係基於WCK_t及WCK_c時脈信號。藉由透過一命令電路傳播隨後連續讀取命令RDCMD而提供用於隨後連續讀取命令RDCMD之控制信號OUTEN。

IWCK時脈信號之啟動反映WCK_t、WCK_c時脈信號之啟動，以及IWCK_t、IWCK_c時脈信號之啟動。即，IWCK時脈信號之啟動表示IWCK_t、IWCK_c時脈信號之啟動，及WCK時脈信號之啟動。當啟動多相IWCK時脈信號(及IWCK_t、IWCK_c及WCK時脈信號)時，IWCK時脈信號開始在一高時脈信號與一低時脈信號之間週期性地轉變，藉由一初始時脈邊緣(例如，一第一上升時脈邊緣)表示第一轉變。在本發明之一些實施例中，IWCK時脈信號之一初始時脈邊緣可表示IWCK時脈信號之啟動。同樣地，WCK時脈信號之一初始時脈邊緣可表示WCK時脈信號之啟動。當預期提供讀取資料時，可(舉例而言)藉由提供WCK時脈信號之一記憶體控制器啟動WCK時脈信號。將讀取資料提供至與WCK時脈信號同步化之記憶體控制器。

讀取命令路徑210提供控制信號OUTEN以提供針對相關聯讀取命令之讀取資料以滿足讀取延時資訊RL。WCK時脈信號在提供讀取資料時可係作用的。然而，WCK時脈信號在其他時間可能不作用。因此，WCK時脈信號可能不持續作用，且在讀取資料時可能變得作用。

基於多相IWCK時脈信號之啟動提供針對初始讀取命令RDCMD之初始控制信號OUTEN可允許半導體器件100提供控制信號OUTEN，該等控制信號OUTEN具有提供與初始讀取命令RDCMD相關聯之讀取資料以在WCK時脈信號之啟動之後用WCK時脈信號之較少初始時脈週期滿足讀取延時資訊RL所必需之時序。WCK時脈信號之較少初始時脈週期可減小半導體器件100在操作期間之功率消耗。另外，依賴於多相IWCK時脈信號之啟動以提供針對初始讀取命令RDCMD之初始控制信號可能導致半導體器件100之時脈電路需要更長時間來調整多相IWCK時脈信號之時序(例如，相位、頻率等)以供在提供針對隨後讀取命令RDCMD之控制信號(其等基於隨後讀取命令本身)時使用。

圖3係根據本發明之一實施例之讀取命令電路300之一方塊圖。讀取命令電路300可用於圖2之讀取命令電路230且包含於圖1之命令路徑175中。讀取命令電路300包含一WCK時脈讀取命令電路310及一CK時脈讀取命令電路330。WCK時脈讀取命令電路310接收基於WCK_t及WCK_c時脈信號之多相時脈信號IWCK，且回應於多相時脈信號IWCK而提供一內部讀取命令RDWCK。CK時脈讀取命令電路330接收讀取命令RDCMD及多相時脈信號IWCK，且回應於讀取命令RDCMD及IWCK時脈信號而提供一內部讀取命令RDCK。將內部讀取命令RDWCK及RDCK提供至一多工器電路305。多工器電路305基於一控制信號SEL而提供RDCK抑或RDWCK內部讀取命令至一內部讀取命令RD。由WCK時脈讀取命令電路310提供控制信號SEL。讀取命令電路300進一步包含一輸出控制電路350。輸出控制電路350接收內部讀取命令RD及IWCK時脈信號。輸出控制電路350提供可用於控制一輸出電路(例如，包含於輸入/輸出電路160

中)以提供讀取資料之控制信號OUTEN。將控制信號OUTEN提供至具有滿足讀取延時資訊RL之一時序之輸出電路。

在操作中，讀取命令電路300提供控制信號OUTEN以提供滿足讀取延時資訊RL之讀取資料。WCK時脈讀取命令電路310回應於IWCK時脈信號之啟動(例如，IWCK時脈信號之一初始邊緣)而提供內部讀取命令RDWCK。CK時脈讀取命令電路330回應於讀取命令RDCMD而提供內部讀取命令RDCK。內部讀取命令RDWCK由多工器電路305提供作為一初始內部讀取命令RD且內部讀取命令RDCK由多工器電路305提供作為隨後內部讀取命令RD。將初始內部讀取命令RD提供至輸出控制電路350，該輸出控制電路350繼而提供初始控制信號OUTEN以啟動輸出電路以提供讀取資料。將隨後內部讀取命令RD提供至輸出控制電路350以繼而提供隨後控制信號OUTEN以繼續啟動輸出電路從而提供讀取資料。

如先前描述，基於多相IWCK時脈信號之啟動提供針對初始讀取命令RDCMD之初始控制信號OUTEN及基於隨後讀取命令本身提供針對隨後讀取命令RDCMD之控制信號OUTEN可減少功率消耗，且若有必要亦可提供額外時間以調整多相IWCK時脈信號之時序。

圖4係根據本發明之一實施例之一讀取命令電路400之一示意圖。讀取命令電路400可用於圖2之讀取命令電路230或圖3之讀取命令電路300。讀取命令電路400包含一WCK時脈讀取命令電路410及一CK時脈讀取命令電路430。WCK時脈讀取命令電路410回應於基於WCK_t及WCK_c時脈信號之一多相時脈信號IWCK而提供一內部讀取命令RDWCK。由WCK讀取命令電路410接收之IWCK時脈信號包含於多相時脈信號IWCK中，如先前描述，多相時脈信號IWCK可係具有相對於彼此之相位之多相時脈信號

且可具有係外部提供之WCK_t及WCK_c時脈信號之時脈頻率之一半之一時脈頻率。可由半導體器件100之一內部時脈產生器(舉例而言，內部時脈產生器130)提供內部WCK時脈信號。在本發明之一實施例中，WCK時脈讀取命令電路410接收零度相位IWCK時脈信號IWCK0。

可由WCK時脈讀取命令電路410回應於一多相IWCK時脈信號之啟動而提供內部讀取命令RDWCK。IWCK時脈信號之啟動反映WCK_t、WCK_c時脈信號之啟動，以及IWCK_t、IWCK_c時脈信號之啟動。即，IWCK時脈信號之啟動表示IWCK_t、IWCK_c時脈信號之啟動，及WCK時脈信號之啟動。當啟動多相IWCK時脈信號(及IWCK_t、IWCK_c及WCK時脈信號)時，IWCK時脈信號開始在一高時脈信號與一低時脈信號之間週期性地轉變，藉由一初始時脈邊緣(例如，一第一上升時脈邊緣)表示第一轉變。因此，IWCK時脈信號之一初始時脈邊緣可表示IWCK時脈信號之啟動。同樣地，WCK時脈信號之一初始時脈邊緣可表示WCK時脈信號之啟動。當預期提供讀取資料時，可(舉例而言)藉由提供WCK時脈信號之一記憶體控制器啟動WCK時脈信號。將讀取資料提供至與WCK時脈信號同步化之記憶體控制器。

CK時脈讀取命令電路430回應於讀取命令RDCMD而提供一內部讀取命令RDCK。CK時脈讀取命令電路430接收讀取命令RDCMD及一IWCK時脈信號。在本發明之一實施例中，CK時脈讀取命令電路430接收180度相位IWCK時脈信號IWCK180。IWCK180時脈信號具有相對於IWCK0時脈信號之180度相位。CK時脈讀取命令電路430回應於讀取命令RDCMD而提供內部讀取命令RDCK。

讀取命令電路400進一步包含一多工器電路405。CK時脈讀取命令電

路430提供內部讀取命令RDCK至多工器電路405之一第一輸入端且WCK時脈讀取命令電路410提供內部讀取命令RDWCK至多工器電路405之一第二輸入端。多工器電路405基於一控制信號SEL而提供RDCK抑或RDWCK內部讀取命令至一內部讀取命令RD。

如將在下文更詳細地描述，讀取命令電路400可用於回應於WCK時脈信號之啟動(例如，開始)(例如，藉由WCK時脈信號之一初始時脈邊緣表示)而提供一初始內部讀取命令RD，且其後回應於隨後讀取命令RDCMD而進一步提供隨後內部讀取命令RD。由讀取命令電路400提供之初始及隨後內部讀取命令RD之時序為半導體器件100提供了適當時序以相對於根據一讀取延時RL接收外部讀取命令READ而提供輸出資料DQ。

WCK時脈讀取命令電路410包含正反器(FF)電路414、416及418。FF電路414之一資料輸入端耦合至一供應電壓，該供應電壓提供一邏輯高位準至FF電路414之資料輸入端。FF電路414之一輸出端耦合至FF電路416之一資料輸入端，該資料輸入端提供內部讀取命令RDWCK至多工器電路405之第二輸入端。FF電路414及416在各自時脈輸入端處接收IWCK0時脈信號。FF電路416之輸出端亦耦合至FF電路418之一時脈輸入端。FF電路418之一輸出端提供控制信號SEL至多工器電路405。亦將控制信號SEL提供至輸入邏輯電路432以控制透過邏輯電路將讀取命令RDCMD提供至FF電路434。

CK時脈讀取命令電路430包含接收讀取命令RDCMD及控制信號SEL之一輸入邏輯電路432。在一實施例中，輸入邏輯電路432包含一AND邏輯電路，如圖4中展示。CK時脈讀取命令電路430進一步包含FF電路434、435、436。FF電路434至438串聯耦合且各自藉由一各自時脈信號

FFCK434、FFCK435及FFCK436計時。CK時脈讀取命令電路430進一步包含延遲電路444、445及446。延遲電路444至446串聯耦合且各自提供各自時脈信號FFCK434至FFCK436。舉例而言，延遲電路444提供時脈信號FFCK434，延遲電路445提供時脈信號FFCK435，延遲電路446提供時脈信號FFCK436。在本發明之一實施例中，延遲電路446接收IWCK180時脈信號，如圖4中展示。

由延遲電路445至446提供之各後續時脈信號具有相對於前一時脈信號及相對於IWCK180時脈信號之更大延遲。舉例而言，FFCK435時脈信號具有相對於FFCK436時脈信號之一延遲，且相較於FFCK436時脈信號，具有相對於IWCK180時脈信號之更大延遲。類似地，FFCK434時脈信號具有相對於FFCK435時脈信號之一延遲，且相較於FFCK435時脈信號，具有相對於IWCK180時脈信號之更大延遲。FFCK434時脈信號具有相對於FFCK時脈信號之IWCK180時脈信號之最大延遲。

延遲電路444至446提供額外延遲至IWCK180時脈信號，使得FF電路434在讀取命令RDCMD可用於鎖存時之一時間藉由FFCK434時脈信號計時。歸因於來自(舉例而言)對一外部讀取命令進行解碼以提供讀取命令RDCMD，且接著透過讀取命令路徑(舉例而言，透過一讀取延時時序電路)傳播之延遲，讀取命令RDCMD到達輸入邏輯電路432之時間大於IWCK時脈信號到達FF電路434之時間。延遲電路444至446為讀取命令RDCMD與啟動IWCK時脈信號之間之傳播時間差提供額外延遲。

讀取命令電路400進一步包含一輸出控制電路450。在本發明之一實施例中，可使用輸出控制電路450作為圖3之輸出控制電路350。輸出控制電路450包含FF電路452至456，該等FF電路452至456與耦合至後續FF電

路453至456之資料輸入端之FF電路452至455之輸出端串聯耦合。亦將FF電路452至456之輸出提供至一邏輯電路458。在本發明之一實施例中，邏輯電路458可係一OR邏輯電路，如圖4中展示。FF電路452至456各自接收多相時脈信號IWCK0。FF電路452接收內部讀取命令RD。可(舉例而言)由接收內部讀取命令RDWCK及RDCK之多工器電路405提供內部讀取命令RD。輸出控制電路450可進一步包含FF電路460及462。FF電路460在一資料輸入端處接收來自邏輯電路458之一輸出且提供一輸出至FF電路462之一資料輸入端。FF電路460接收多相時脈信號IWCK180且提供一控制信號OUTEN0，且FF電路462接收多相時脈信號IWCK0且提供一控制信號OUTEN180。可使用控制信號OUTEN0及OUTEN180來啟動輸出電路以提供針對一相關聯讀取命令之讀取資料。

如先前描述，讀取命令RDCMD可藉由一讀取延時時序電路(例如，讀取延時電路220)被提供至讀取命令電路400，該讀取延時時序電路基於讀取延時資訊提供一延遲至讀取命令RDCMD。讀取命令電路400提供額外延遲至讀取命令RDCMD，使得為控制信號OUTEN0及OUTEN180提供滿足讀取延時資訊RL之一時序。在圖4之實施例中，讀取命令電路400增加IWCK時脈信號之2.5個時脈週期。當透過FF電路434至436傳播讀取命令RDCMD時，WCK時脈命令電路430增加IWCK時脈信號之一額外1.5個時脈週期之延遲至讀取命令RDCMD。IWCK時脈信號之一第一半時脈週期正透過FF電路434傳播讀取命令RDCMD1，IWCK時脈信號之一第二半時脈週期正透過FF電路435傳播讀取命令RDCMD1，且IWCK時脈信號之一第三半時脈週期正透過FF電路436傳播讀取命令RDCMD1。在首先基於內部讀取命令RDCK提供控制信號OUTEN0之前，輸出控制電路450增加

IWCK時脈信號之另外1.0個時脈週期。IWCK時脈信號之一第一半時脈週期用於透過FF電路452傳播讀取命令RDCK且IWCK時脈信號之一第二半時脈週期用於透過FF電路460傳播讀取命令RDCK (由邏輯電路458提供)。因此，增加IWCK時脈信號之總計2.5個時脈週期之額外延遲以為控制信號OUTEN0及OUTEN180提供滿足讀取延時資訊RL之時序。

將參考圖5描述讀取命令電路400之一例示性操作。圖5係展示根據本發明之一實施例之讀取命令電路400之操作期間之各個信號之一時序圖。回應於CK_t時脈信號之一上升邊緣由半導體器件100在時間T0接收一第一讀取命令READ0 (例如，一初始讀取命令)。第一讀取命令READ0之讀取延時資訊RL在圖5中展示為從在時間T0接收第一讀取命令READ0延伸至在時間T7自一IO電路輸出與第一讀取命令READ0相關聯之讀取資料時。回應於CK_t時脈信號之一上升邊緣由半導體器件100在時間T1接收一第二讀取命令READ1 (例如，一隨後讀取命令)。由命令解碼器115針對各讀取命令READ提供一對應讀取命令RDCMD。參考圖5，時間T3之讀取命令RDCMD0對應於讀取命令READ0且時間T8之讀取命令RDCMD1對應於讀取命令READ1。

圖5進一步圖解說明WCK_t時脈信號及基於WCK_t時脈信號之多相時脈信號IWCK0及IWCK180。如圖5中展示，IWCK0及IWCK180時脈信號具有係WCK_t時脈信號之一時脈頻率之一半之一時脈頻率。如圖5中亦展示，當最初在時間T2與T4之間提供時，WCK_t及IWCK0時脈信號兩者最初具有一第一時脈頻率。然而，在時間T4之後，WCK_t及IWCK0時脈信號之時脈頻率變成大於第一時脈頻率之一第二時脈頻率。在本發明之一實施例中，第二時脈頻率係第一時脈頻率之時脈頻率的兩倍，如圖5中展

示。可在針對半導體器件100之一時序規格中指定時間T4之後之時脈頻率之增加。

在操作中，回應於WCK_t時脈信號在時間T2之啟動(及因此，多相時脈信號IWCK0及IWCK180之啟動)，WCK時脈讀取命令電路410之FF電路414鎖存被提供至其資料輸入端之高邏輯位準且提供一高邏輯位準至FF電路416之資料輸入端。在時間T2藉由一初始時脈邊緣(例如，上升時脈邊緣)表示WCK_t及IWCK時脈信號之啟動。

FF電路416之資料輸入端處之高邏輯位準在時間T4被鎖存且作為一作用內部讀取命令RDWCK被提供至多工器電路405之一第二輸入端。在時間T4，控制信號SEL處於一低邏輯位準而在IWCK0時脈信號之初始上升邊緣之前不被重設。在控制信號SEL處於一低邏輯位準及由FF電路416輸出之高邏輯位準之情況下，多工器電路405在時間T4提供作用內部讀取命令RDWCK作為一初始內部讀取命令RD。作用內部讀取命令RDWCK之下降邊緣導致FF電路418鎖存一高邏輯位準(由一供應電壓提供)且提供一高邏輯位準控制信號SEL。在作用內部讀取命令RDWCK在時間T4藉由多工器電路405提供作為初始內部讀取命令RD之後，FF電路418提供高邏輯位準控制信號SEL。因此，在時間T4之後不久，多工器電路405將提供來自CK時脈讀取命令電路430之隨後讀取命令RD。

如先前描述，命令READ0導致一對應讀取命令RDCMD0藉由命令解碼器115被提供至讀取命令路徑。在圖3中在時間T3展示讀取命令RDCMD0。歸因於在讀取命令RDCMD0被提供至輸入邏輯電路432時控制信號SEL之低邏輯位準，防止讀取命令RDCMD0藉由輸入邏輯電路432被提供至FF電路434。實際上，讀取命令RDCMD0被CK時脈讀取命令電

路430忽略。然而，由於在時間T8之前由FF電路418提供之高邏輯位準SEL信號，故透過輸入邏輯電路432提供對應於讀取命令READ1之第二讀取命令RDCMD1。

在時間T8在FF電路434之一資料輸入端處接收第二讀取命令RDCMD1。如先前描述與IWCK0時脈信號異相180度之IWCK180時脈信號透過延遲電路446、445及444延遲。IWCK180時脈信號之一第一上升邊緣在藉由延遲電路444至446延遲之後作為FFCK434時脈信號之一第一上升邊緣被提供至FF電路434之時脈輸入端以導致FF電路434鎖存資料輸入端處之第二讀取命令RDCMD1。作用讀取命令RDCMD1藉由FF電路434被提供至FF電路435之一資料輸入端。在FF434之時間T9展示藉由FF電路434被提供至FF電路435之作用讀取命令RDCMD1。

IWCK180時脈信號之一下一上升邊緣在藉由延遲電路445及446延遲之後作為FFCK435時脈信號之一下一上升邊緣被提供至FF電路435之時脈輸入端以導致FF電路435鎖存資料輸入端處之第二讀取命令RDCMD1。接著，作用讀取命令RDCMD1藉由FF電路435被提供至FF電路436之一資料輸入端。在FF435之時間T10展示藉由FF電路435被提供至FF電路436之作用讀取命令RDCMD1。IWCK180時脈信號之一下一上升邊緣在藉由延遲電路446延遲之後作為FFCK436時脈信號之一下一上升邊緣被提供至FF電路436之時脈輸入端以導致FF電路436鎖存資料輸入端處之第二讀取命令RDCMD1。接著，第二讀取命令RDCMD1藉由FF電路436作為內部讀取命令RDCK被提供至多工器電路405之第一輸入端。在FF436之時間T11展示藉由FF電路436作為內部讀取命令RDCK被提供至多工器電路405之第二讀取命令RDCMD1。FF電路436在經時移讀取命令RDCMD藉由FF電路

436鎖存之後將其作為內部讀取命令RDCK提供至多工器電路405。

在時間T11，控制信號SEL處於一高邏輯位準而不被為FF電路416計時之作用內部讀取命令RDWCK設定。在控制信號SEL處於一高邏輯位準及藉由FF電路436輸出之高邏輯位準之情況下，多工器電路405在時間T11提供作用內部讀取命令RDCK作為一第二內部讀取命令RD。如先前描述，被提供至FF電路434之資料輸入端之第二讀取命令RDCMD1在時間T8與T11之間透過FF電路435及436偏移以作為一作用內部讀取命令RDCK被提供至多工器電路405之第一輸入端，其被提供作為第二內部讀取命令RD。

圖5進一步展示根據本發明之一實施例之輸出控制電路450之操作期間之各個信號。在IWCK0時脈信號之一上升邊緣處(如在時間T5)藉由FF電路452鎖存作用初始內部讀取命令RD。如先前描述，內部讀取命令RDWCK在時間T4由多工器電路405提供作為初始內部讀取命令RD。內部讀取命令RDWCK源自在時間T0接收之第一讀取命令READ0。在時間T5藉由FF電路452鎖存初始內部讀取命令RD。FF電路452提供初始內部讀取命令RD至邏輯電路458，該邏輯電路458繼而提供一高邏輯位準至FF電路460之資料輸入端。在IWCK180時脈信號之一上升邊緣處，FF電路460鎖存高邏輯位準且提供一高邏輯位準控制信號OUTEN0。在時間T6展示由FF電路460提供之高邏輯位準控制信號OUTEN0。由FF電路460輸出之高邏輯位準亦被提供至FF電路462之資料輸入端。FF電路462鎖存高邏輯位準且回應於IWCK0時脈信號之一其後上升邊緣而提供一高邏輯位準控制信號OUTEN180。在時間T7展示由FF電路462提供之高邏輯位準控制信號OUTEN180。

在IWCK0時脈信號之一其後上升邊緣處藉由FF電路453鎖存在時間T5由FF電路452提供之高邏輯位準。高邏輯位準由FF電路453提供至邏輯電路458且提供至FF電路454。邏輯電路458提供一高邏輯位準至FF電路460之資料輸入端。在IWCK180時脈信號之一其後上升邊緣處，FF電路460鎖存高邏輯位準且提供一高邏輯位準控制信號OUTEN0以維持高邏輯位準。在IWCK0時脈信號之一其後上升邊緣處，FF電路462鎖存FF電路460之高邏輯位準且提供一高邏輯位準控制信號OUTEN180以維持高邏輯位準。如藉由先前實例圖解說明，初始內部讀取命令RD透過FF電路452至456偏移以在時間T6與T13之間維持一高邏輯位準OUTEN0控制信號且在時間T7與T14之間維持一高邏輯位準OUTEN180控制信號。

在IWCK0時脈信號之一上升邊緣處(如在時間T12)藉由FF電路452鎖存作用第二內部讀取命令RD。如先前描述，內部讀取命令RDCK在時間T11藉由多工器電路405提供作為第二內部讀取命令RD。內部讀取命令RDCK源自在時間T1接收之第二讀取命令READ1。在時間T12藉由FF電路452鎖存第二內部讀取命令RD。FF電路452提供一高邏輯位準至邏輯電路458，該邏輯電路458提供一高邏輯位準至FF電路460之資料輸入端。在IWCK180時脈信號之一上升邊緣處，FF電路460鎖存高邏輯位準且提供一高邏輯位準控制信號OUTEN0以維持來自初始內部讀取命令之高邏輯位準。在時間T13展示由FF電路460提供之高邏輯位準控制信號OUTEN0。由FF電路460輸出之高邏輯位準亦被提供至FF電路462之資料輸入端。FF電路462鎖存高邏輯位準且回應於IWCK0時脈信號之一其後上升邊緣而提供一高邏輯位準控制信號OUTEN180。由FF電路462提供之高邏輯位準維持源自初始內部讀取命令之控制信號OUTEN180之高邏輯位準。在時間

T14展示由FF電路462提供之高邏輯位準控制信號OUTEN180。

如同回應於IWCK0時脈信號而透過FF電路452至456偏移之初始內部讀取命令RD，第二內部讀取命令RD在於時間T11由FF電路452接收之後同樣透過FF電路452至456偏移。隨著第二內部讀取命令RD透過FF電路452至456偏移，OUTEN0控制信號在時間T13之後維持於高邏輯位準且OUTEN180控制信號在時間T14之後維持於高邏輯位準。如先前描述，可使用OUTEN0及OUTEN180控制信號來啟動輸出電路以提供針對一相關聯讀取命令之讀取資料。

圖6A圖解說明根據本發明之一實施例之一讀取資料輸出電路600。在本發明之一實施例中，讀取資料輸出電路600可包含於IO電路60中。讀取資料輸出電路600並行接收資料之八個位元且根據IWCK時脈信號連續提供該等八個位元。資料位元可由一資料緩衝電路並行提供至讀取資料輸出電路600。圖6B圖解說明根據本發明之一實施例之一資料緩衝電路650。資料緩衝電路650包含一緩衝電路652及一緩衝電路654。在本發明之一實施例中，緩衝電路652及654可係先進先出(FIFO)緩衝電路，如圖6B中展示。舉例而言，讀取資料藉由讀取/寫入放大器155自記憶體陣列150被並行提供至緩衝電路652及654。在本發明之一實施例中，讀取資料之16個位元被提供至資料緩衝電路650，其中八個位元被提供至緩衝電路652且八個位元被提供至緩衝電路654。八個位元(例如，讀取位元0至7)可在一第一時間自緩衝電路654被並行提供至讀取資料輸出電路600。在第一時間提供八個位元之後，八個位元(例如，讀取位元8至15)從緩衝電路654移動至緩衝電路652。另外八個位元(例如，讀取位元8至15)在一第二時間自緩衝器652被並行提供至讀取資料輸出電路600。以此方式，16個

讀取位元可被提供至讀取資料輸出電路600，特定言之，八個位元在第一時間被並行提供至讀取資料輸出電路600，且接著另外八個位元在第一第二時間被並行提供至讀取資料輸出電路600。

返回至圖6A，讀取資料輸出電路600包含多工器電路602、604、606及608。多工器電路602及604接收控制信號OUTEN0且多工器電路606及608接收控制信號OUTEN180。可由一輸出控制電路提供控制信號OUTEN0及OUTEN180。舉例而言，在本發明之一實施例中，輸出控制電路350或輸出控制電路450可提供控制信號OUTEN0及OUTEN180。多工器電路602、604、606及608係二對一多工器電路。在藉由控制信號OUTEN0抑或OUTEN180啟動時，多工器電路602、604、606及608之各者在兩個輸入端之一者處提供資料作為一輸出，如藉由一各自控制信號MUXSEL控制。藉由控制信號MUXSEL0控制多工器電路602及606且藉由控制信號MUXSEL180控制多工器電路604及608。控制信號MUXSEL0及MUXSEL180具有係IWCK時脈信號之時脈頻率之一半的一時脈頻率。當控制信號OUTEN0作用(例如，高邏輯位準)時，控制信號MUXSEL0在高時脈位準與低時脈位準之間計時。當控制信號OUTEN180作用(例如，高邏輯位準)時，控制信號MUXSEL180在高時脈位準與低時脈位準之間計時。多工器電路602接收資料位元D0及D4，多工器電路604接收資料位元D1及D5，多工器電路606接收資料位元D2及D6，且多工器電路608接收資料位元D3及D7。

讀取資料輸出電路600進一步包含一多工器電路610。該多工器電路610係一四對一多工器電路。多工器電路610在四個輸入端之一者處提供資料作為一輸出，如藉由IWCK時脈信號控制。多工器電路610並行接收

資料且以一連續方式提供資料。多工器電路610包含邏輯電路612、614、616及618。在本發明之一實施例中，邏輯電路612、614、616及618係AND邏輯電路，如圖6A中展示。邏輯電路612接收IWCK0及IWCK270時脈信號，且進一步從多工器電路602接收資料位元D0或D4。邏輯電路614接收IWCK0及IWCK90時脈信號，且進一步從多工器電路604接收資料位元D1或D5。IWCK90時脈信號具有相對於IWCK0時脈信號之一90度相位關係。邏輯電路616接收IWCK90及IWCK180時脈信號，且進一步從多工器電路606接收資料位元D2或D6。邏輯電路618接收IWCK180及IWCK270時脈信號，且進一步從多工器電路608接收資料位元D3或D7。隨著IWCK時脈信號在高時脈位準與低時脈位準之間計時，資料位元D0至D7被連續提供作為輸出資料DQ。

將參考圖7描述讀取資料輸出電路600之操作。圖7係展示根據本發明之一實施例之讀取資料輸出電路600之操作期間之各個信號的一時序圖。

在時間TA，控制信號OUTEN0變成一高邏輯位準，從而啟動多工器電路602及604。回應於高邏輯位準OUTEN0控制信號，控制信號MUXSEL0變成一高邏輯位準以控制多工器電路602提供資料位元D0至多工器電路610。高邏輯位準MUXSEL0控制信號亦被提供至多工器電路606，但其在時間TA尚未被啟動(即，低邏輯位準OUTEN180控制信號)。在資料位元D0被提供至邏輯電路612，且IWCK0及IWCK270時脈信號兩者處於一高時脈位準之情況下，邏輯電路612在時間T0與T1之間提供資料位元D0作為輸出資料DQ。

在時間TB，控制信號OUTEN180變成一高邏輯位準，從而啟動多工器電路606及608。回應於高邏輯位準OUTEN180控制信號，控制信號

MUXSEL180變成一高邏輯位準以控制多工器604提供資料位元D1至多工器電路610。在資料位元D1被提供至邏輯電路614，且IWCK0及IWCK90時脈信號兩者處於一高時脈位準之情況下，邏輯電路614在時間T1與T2之間提供資料位元D1作為輸出資料DQ。另外，在藉由高邏輯位準控制信號OUTEN180及高邏輯位準控制信號MUXSEL0啟動多工器電路606之情況下，資料位元D2被提供至多工器電路610之邏輯電路616。當IWCK90及IWCK180時脈信號兩者皆處於一高時脈位準時，邏輯電路616未提供資料位元D2作為輸出資料DQ直至時間T2與T3之間。另外，在藉由高邏輯位準控制信號OUTEN180及高邏輯位準控制信號MUXSEL180啟動多工器電路608之情況下，資料位元D3被提供至多工器電路610之邏輯電路618。當IWCK180及IWCK270時脈信號兩者皆處於一高時脈位準時，邏輯電路618未提供資料位元D3作為輸出資料DQ直至時間T3與T4之間。

在時間TC，控制信號MUXSEL0變成一低邏輯位準以控制多工器電路602提供資料位元D4至邏輯電路612。在資料位元D4被提供至邏輯電路612，且IWCK0及IWCK270時脈信號兩者處於一高時脈位準之情況下，邏輯電路612在時間T4與T5之間提供資料位元D4作為輸出資料DQ。在時間TD，控制信號MUXSEL180變成一低邏輯位準以控制多工器電路604提供資料位元D5至邏輯電路614。在資料位元D5被提供至邏輯電路614，且IWCK0及IWCK90時脈信號兩者處於一高時脈位準之情況下，邏輯電路614在時間T5與T6之間提供資料位元D5作為輸出資料DQ。

在藉由高邏輯位準控制信號OUTEN180及低邏輯位準控制信號MUXSEL0啟動多工器電路606之情況下，資料位元D6被提供至多工器電路610之邏輯電路616。當IWCK90及IWCK180時脈信號兩者皆處於一高

時脈位準時，邏輯電路616未提供資料位元D6作為輸出資料DQ直至時間T6與T7之間。另外，在藉由高邏輯位準控制信號OUTEN180及低邏輯位準控制信號MUXSEL180啟動多工器電路608之情況下，資料位元D7被提供至多工器電路610之邏輯電路618。當IWCK180及IWCK270時脈信號兩者皆處於一高時脈位準時，邏輯電路618未提供資料位元D7作為輸出資料DQ直至時間T7與T8之間。

如藉由先前實例圖解說明，讀取資料輸出電路600並行接收資料之八個位元且根據多相IWCK時脈信號連續提供該等八個位元。儘管時序圖中未展示，然在本發明之另一實施例中，可緊接在時間T0與T8之間輸出之八個資料位元之後提供另外八個資料位元。可緊接在時間T8之後並行提供其後八個資料位元且控制信號OUTEN0及OUTEN180延伸至兩倍長度。因此，將在時間T8提供其後八個位元之第一位元(即，資料位元D9)，且隨著多相IWCK時脈信號計時將從多工器電路610連續地循序提供其後七個位元。

圖8係根據本發明之一實施例之一讀取命令電路800之一示意圖。讀取命令電路800可用於圖2之讀取命令電路230或圖3之讀取命令電路300。讀取命令電路800包含一WCK時脈讀取命令電路810及一CK時脈讀取命令電路830。WCK時脈讀取命令電路810回應於一多相時脈信號IWCK而提供一內部讀取命令RDWCK。如先前描述，多相IWCK時脈信號可係基於WCK_t及WCK_c時脈信號且具有WCK_t及WCK_c時脈信號之時脈頻率之一半的一時脈頻率。多相IWCK時脈信號可包含四相時脈信號IWCK0、IWCK90、IWCK180及IWCK270。

CK時脈讀取命令電路830回應於讀取命令RDCMD而提供一內部讀取

命令RDCK。讀取命令電路800進一步包含一多工器電路805。CK時脈讀取命令電路830提供內部讀取命令RDCK至多工器電路805之一第一輸入端且WCK時脈讀取命令電路810提供內部讀取命令RDWCK至多工器電路805之一第二輸入端。多工器電路805基於一控制信號SEL而提供RDCK抑或RDWCK內部讀取命令及一內部讀取命令RD。

如將在下文更詳細地描述，讀取命令電路800可用於回應於WCK時脈信號之啟動(例如，開始)(例如，藉由WCK時脈信號之一初始時脈邊緣表示)而提供一初始內部讀取命令RD，且其後回應於隨後讀取命令RDCMD而進一步提供隨後讀取命令RD。由讀取命令電路800提供之初始及隨後內部讀取命令RD之時序為半導體器件100提供適當時序以相對於根據一讀取延時RL接收外部讀取命令READ而提供輸出資料DQ。

WCK時脈讀取命令電路810包含接收讀取命令RDCMD及控制信號SEL之一輸入邏輯電路812。輸入邏輯電路812包含一AND邏輯電路及一反相器。WCK時脈讀取命令電路810進一步包含正反器(FF)電路814、816及818。FF電路816之一輸出端透過一反相器820耦合至FF電路814之一資料輸入端。FF電路814之一輸出端提供內部讀取命令RDWCK至多工器電路805。FF電路814及816在各自時脈輸入端處接收一多相時脈信號IWCK。可由半導體器件100之一內部時脈產生器(舉例而言，內部時脈產生器130)提供多相時脈信號IWCK。在本發明之一實施例中，多相時脈信號IWCK0可被提供至FF電路814及816，如圖8中圖解說明。FF電路814之輸出端亦透過一反相器822耦合至FF電路818之一時脈輸入端。FF電路818之一輸出端提供控制信號SEL至多工器電路805，且至輸入邏輯電路812。輸入邏輯電路812提供一重設信號RST至FF電路814、816及818。

CK時脈讀取命令電路830包含接收讀取命令RDCMD及控制信號SEL之一輸入邏輯電路832。輸入邏輯電路832包含一AND邏輯電路。CK時脈讀取命令電路830進一步包含FF電路834、835、836、837、838。FF電路834至838串聯耦合且各自藉由一各自時脈信號FFCK834、FFCK835、FFCK836、FFCK837及FFCK838計時。CK時脈讀取命令電路830進一步包含延遲電路844、845、846、847及848。延遲電路844至848串聯耦合且各自提供一各自時脈信號FFCK834至FFCK838。舉例而言，延遲電路844提供時脈信號FFCK834，延遲電路845提供時脈信號FFCK835，延遲電路846提供時脈信號FFCK836，延遲電路847提供時脈信號FFCK837，且延遲電路848提供時脈信號FFCK838。延遲電路848接收IWCK時脈信號之一者。在本發明之一實施例中，可由延遲電路848接收IWCK90時脈信號，如圖8中展示。IWCK90時脈信號具有相對於IWCK0時脈信號之一90度相位關係。

由延遲電路844至848提供之各後續時脈信號具有相對於前一時脈信號及相對於IWCK90時脈信號之更大延遲。舉例而言，FFCK837時脈信號具有相對於FFCK838時脈信號之一延遲，且相較於FFCK838時脈信號，具有相對於IWCK90時脈信號之更大延遲。類似地，FFCK836時脈信號具有相對於FFCK837時脈信號之一延遲，且相較於FFCK837時脈信號，具有相對於IWCK90時脈信號之更大延遲。FFCK834時脈信號具有相對於FFCK時脈信號之IWCK90時脈信號之最大延遲。

延遲電路844至848提供額外延遲至IWCK時脈信號，使得FF電路834在讀取命令RDCMD可用於鎖存時之一時間藉由FFCK834時脈信號計時。歸因於來自(舉例而言)對一外部讀取命令進行解碼以提供讀取命令

RDCMD，且接著透過讀取命令路徑(舉例而言，透過一讀取延時時序電路)傳播之延遲，讀取命令RDCMD到達輸入邏輯電路832之時間大於IWCK時脈信號到達FF電路834之時間。延遲電路844至848為讀取命令RDCMD與啟動IWCK時脈信號之間之傳播時間差提供額外延遲。

讀取命令電路800進一步包含一輸出控制電路850。輸出控制電路850包含串聯耦合之FF電路851至855。FF電路851至855之各者在一各自時脈輸入端處接收IWCK0時脈信號。FF電路851至855之各者之輸出被提供至一邏輯電路858。在本發明之一實施例中，邏輯電路858可係一OR邏輯電路，如圖8中展示。FF電路851至855之各者提供一各自輸出至邏輯電路858。FF電路852從多工器電路805接收內部讀取命令RD。輸出控制電路850可進一步包含串聯耦合之FF電路860至863。FF電路860在一資料輸入端處接收來自邏輯電路858之一輸出。FF電路860及862接收IWCK0時脈信號且FF電路861及863接收IWCK180時脈信號。FF電路860透過驅動器電路870提供一控制信號OUTEN0，FF電路861透過驅動器電路871提供一控制信號OUTEN90，FF電路862透過驅動器電路872提供一控制信號OUTEN180，且FF電路863透過驅動器電路873提供一控制信號OUTEN270。可使用控制信號OUTEN0、OUTEN90、OUTEN180及OUTEN270來啟動輸出電路以提供針對一相關聯讀取命令之讀取資料。

讀取命令電路400提供額外延遲至讀取命令RDCMD，使得為控制信號OUTEN0、OUTEN90、OUTEN180及OUTEN270提供滿足讀取延時資訊RL之一時序。在圖8之實施例中，讀取命令電路800增加IWCK時脈信號之4.0個時脈週期。當透過FF電路834至838傳播讀取命令RDCMD時，WCK時脈命令電路830增加IWCK時脈信號之額外2.5個時脈週期之延遲至

讀取命令RDCMD。在首先基於內部讀取命令RDCK提供控制信號OUTEN0之前，輸出控制電路450增加IWCK時脈信號之另外1.5個時脈週期。因此，增加IWCK時脈信號之總計4.0個時脈週期之額外延遲以為控制信號OUTEN0、OUTEN90、OUTEN180及OUTEN270提供滿足讀取延時資訊RL之時序。

在操作中，回應於一讀取命令RDCMD，輸入邏輯電路812提供一作用重設信號RST (例如，高邏輯位準RST信號)。作用重設信號RST導致FF電路814、816及818重設且各自提供一低邏輯位準輸出。FF電路816之低邏輯位準輸出導致反相器820提供一高邏輯位準輸入至FF電路814之資料輸入端。FF電路818之低邏輯位準輸出提供一低邏輯位準控制信號SEL，該低邏輯位準控制信號SEL導致多工器電路805提供內部讀取命令RDWCK作為內部讀取命令RD。低邏輯位準控制信號SEL亦導致CK時脈讀取命令電路830之輸入邏輯電路832防止讀取命令RDCMD被提供至FF電路834之一資料輸入端。

回應於IWCK0時脈信號之啟動(例如，IWCK0時脈信號之一初始時脈邊緣)，FF電路814鎖存高邏輯位準輸入且提供一高邏輯位準輸出。FF電路814之高邏輯位準輸出被提供至FF電路816之資料輸入端、多工器電路805，且被提供至反相器822。FF電路814之高邏輯位準輸出表示內部讀取命令RDWCK，其透過多工器電路805被提供作為一初始內部讀取命令RD。因此，IWCK0時脈信號之啟動導致提供一初始內部讀取命令RD至輸出控制電路850。

回應於在初始上升時脈邊緣之後之IWCK0時脈信號之一下降時脈邊緣，FF電路816鎖存其資料輸入端處之高邏輯位準且提供一高邏輯位準輸

出。FF電路816之高邏輯位準輸出導致FF電路814之資料輸入端處之一低邏輯位準，其回應於IWCK0時脈信號之一下一上升時脈邊緣而被鎖存且提供。FF電路814之低邏輯位準輸出導致FF電路818鎖存其資料輸入端處之一高邏輯位準(如由一供應電壓提供)且提供一高邏輯位準控制信號SEL。所得高邏輯位準控制信號SEL導致多工器電路805提供來自CK時脈讀取命令電路830之內部讀取命令RDCK作為內部讀取命令RD。因此，儘管FF電路814及816繼續藉由IWCK0時脈信號計時，然FF電路814之輸出未由多工器電路805提供作為內部讀取命令RD，此係因為控制信號SEL歸因於被提供至FF電路818之資料輸入端之恆定高邏輯位準而保持在一高邏輯位準。

如先前描述，在回應於初始讀取命令RDCMD而重設FF電路814、816及818後，FF電路818提供一低邏輯位準控制信號SEL。低邏輯位準控制信號SEL導致CK時脈讀取命令電路830之輸入邏輯電路832防止讀取命令RDCMD被提供至FF電路834之一資料輸入端。然而，當由FF電路818提供之控制信號SEL變成一高邏輯位準時，讀取命令RDCMD可透過AND邏輯電路被提供至FF電路834之資料輸入端。回應於FFCK834時脈信號之一上升時脈邊緣，FF電路834將一高邏輯位準輸出鎖存並提供至FF電路835。回應於FFCK835時脈信號之一其後上升時脈邊緣，FF電路835將一高邏輯位準輸出鎖存並提供至FF電路836。當其他FF電路836至838回應於FFCK836至FFCK838時脈信號之上升邊緣而鎖存並提供一高邏輯位準輸出時，讀取命令RDCMD在IWCK90時脈信號之數個時脈週期中透過FF電路834至838傳播。FF電路838在經時移讀取命令RDCMD藉由FF電路838鎖存之後將其作為內部讀取命令RDCK提供至多工器電路805。

截至讀取命令RDCMD已透過FF電路834至838傳播以被提供作為內部讀取命令RDCK時，控制多工器電路805以提供內部讀取命令RDCK作為內部讀取命令RD。特定言之，在讀取命令RDCMD由FF電路838作為內部讀取命令RDCK輸出之前，WCK時脈讀取命令電路810之FF電路818提供一高邏輯位準控制信號SEL至多工器電路805。因此，內部讀取命令RDCK由多工器電路805提供作為內部讀取命令RD。

將內部讀取命令RD提供至輸出控制電路850之FF電路851。內部讀取命令透過FF電路851至855偏移，各自回應於IWCK0時脈信號之一上升邊緣而提供一高邏輯位準輸出。隨著FF電路851至858之各者提供一各自高邏輯位準至邏輯電路858，高邏輯位準回應於IWCK0及IWCK180時脈信號而透過FF電路860至863偏移。隨著高邏輯位準透過FF電路860至863偏移，各FF電路提供控制信號OUTEN0、OUTEN90、OUTEN180及OUTEN270之一作用各自者。如先前描述，可使用OUTEN0、OUTEN90、OUTEN180、OUTEN270控制信號來啟動輸出電路以提供針對一相關聯讀取命令之讀取資料。

從前述內容，將瞭解，儘管本文中已出於圖解說明之目的描述本發明之特定實施例，然可進行各種修改而不偏離本發明之精神及範疇。因此，本發明不受限制，惟藉由隨附發明申請專利範圍限制除外。

在本發明之一實施例中，一種裝置包含一多相時脈電路、一讀取延時時序電路及一讀取命令電路。多相時脈電路經組態以接收一第一輸入時脈信號且回應於其提供複數個多相時脈信號。多相時脈信號包含具有相對於彼此之一相位之時脈信號。讀取延時時序電路經組態以接收讀取命令及延時資訊，且基於延時資訊提供具有相對於各自讀取命令之一延遲之延遲

讀取命令。讀取命令電路經組態以接收延遲讀取命令及複數個多相時脈信號，且提供針對各延遲讀取命令之各自控制信號。讀取命令電路經組態以提供針對一初始延遲讀取命令(第一RDCMD)之初始控制信號，其中初始控制信號之一時序相對於複數個多相時脈信號之一時脈信號之啟動，且經組態以進一步提供針對一隨後延遲讀取命令之各自控制信號，其中針對隨後延遲讀取命令之各自控制信號之一時序相對於隨後延遲讀取命令之接收。

另外或替代地，讀取命令電路包含第一時脈讀取命令電路及第二時脈讀取命令電路、一多工器電路及一輸出控制電路。第一時脈讀取命令電路經組態以接收複數個多相時脈信號之時脈信號且回應於複數個多相時脈信號之時脈信號之一第一時脈邊緣而提供一第一內部讀取命令。第二時脈讀取命令電路經組態以接收隨後延遲讀取命令且回應於隨後延遲讀取命令而提供一第二內部讀取命令。多工器電路經組態以至少部分基於一多工器控制信號而提供第一內部讀取命令或第二內部讀取命令。輸出控制電路經組態以接收第一內部讀取命令及第二內部讀取命令。輸出控制電路進一步經組態以回應於第一內部讀取命令而提供初始控制信號且回應於隨後延遲讀取命令而提供針對隨後延遲讀取命令之各自控制信號。

另外或替代地，第一時脈讀取命令電路包含複數個串聯耦合之正反器(FF)電路。複數個串聯耦合之FF電路之第一FF電路及第二FF電路經組態以在各自時脈輸入端處接收複數個多相時脈信號之時脈信號。複數個串聯耦合之FF電路之一第三FF電路經組態以在一各自時脈輸入端處接收第二FF電路之一輸出。

另外或替代地，複數個串聯耦合之FF電路之第二FF電路經組態以提

供第一內部讀取命令至多工器電路，且複數個串聯耦合之FF電路之第三FF電路經組態以提供多工器控制信號至多工器電路。

另外或替代地，第二時脈讀取命令電路包含複數個串聯耦合之FF電路。複數個串聯耦合之FF電路之一第一FF電路經組態以接收隨後延遲讀取命令。複數個串聯耦合之FF電路經組態以根據複數個多相時脈信號之一第二時脈信號使通過其之隨後延遲讀取命令偏移且從複數個串聯耦合之FF電路之一第三FF電路提供第二內部讀取命令。

另外或替代地，第二時脈讀取命令電路進一步包含經組態以使複數個多相時脈信號之第二時脈信號延遲之複數個串聯耦合之延遲電路，複數個串聯耦合之延遲電路之各延遲電路經組態以提供一延遲時脈信號至複數個串聯耦合之FF電路之一各自者之一時脈輸入端。

另外或替代地，輸出控制電路包含複數個串聯耦合之正反器(FF)電路、一邏輯電路、一第一輸出FF電路及一第二輸出FF電路。複數個串聯耦合之FF電路之各者藉由複數個多相時脈信號之一第一時脈信號計時。複數個串聯耦合之FF電路之一第一者經組態以接收第一內部命令及第二內部命令。邏輯電路經組態以從複數個串聯耦合之FF電路接收輸出且對來自複數個串聯耦合之FF電路之輸出執行一邏輯操作且提供一輸出。第一輸出FF電路經組態以從邏輯電路接收輸出。第一輸出FF電路經組態以藉由複數個多相時脈信號之一第二時脈信號計時且提供控制信號之一第一控制信號。第二輸出FF電路經組態以從第一輸出FF電路接收第一控制信號。第二輸出FF電路經組態以藉由複數個多相時脈信號之時脈信號計時且提供控制信號之一第二控制信號。

另外或替代地，多相時脈電路經組態以提供一第一多相時脈信號及

一第二多相時脈信號。第二多相時脈信號與第一多相時脈信號異相180度。

在本發明之另一態樣中，一種裝置包含一命令路徑及一讀取資料輸出電路。命令路徑經組態以接收讀取命令且提供針對各讀取命令之各自控制信號。命令路徑經組態以回應於複數個多相時脈信號之一時脈信號之一第一時脈邊緣而提供針對一初始讀取命令之初始控制信號且進一步回應於隨後讀取命令之接收而提供針對隨後讀取命令之各自控制信號。讀取資料輸出電路經組態以從命令路徑接收控制信號且進一步並行接收讀取資料。讀取資料輸出電路經組態以回應於控制信號而連續提供讀取資料。

另外或替代地，命令路徑包含一讀取延時時序電路及一讀取命令電路。讀取延時時序電路經組態以接收讀取命令且基於讀取延時資訊提供具有相對於讀取命令之一延遲之延遲讀取命令。讀取命令電路經組態以接收延遲讀取命令且提供初始及各自控制信號至讀取資料輸出電路。

另外或替代地，讀取命令電路包含第一讀取命令電路及第二讀取命令電路、一多工器電路及一輸出控制電路。第一讀取命令電路經組態以回應於複數個多相時脈信號之時脈信號之第一時脈邊緣而提供初始讀取命令。第二讀取命令電路經組態以回應於接收隨後讀取命令而提供隨後讀取命令。多工器電路經組態以基於一控制信號提供初始讀取命令或隨後讀取命令。輸出控制電路經組態以接收初始讀取命令且提供初始控制信號且進一步接收隨後讀取命令且提供各自控制信號。

另外或替代地，讀取資料輸出電路包含複數個多工器電路，各多工器電路經組態以接收讀取資料之兩個位元且提供讀取資料之兩個位元之一者作為一各自輸出。讀取資料輸出電路進一步包含一輸出多工器電路，該

輸出多工器電路經組態以從複數個多工器電路之各者接收一各自位元且接收複數個多相時脈信號。輸出多工器電路經組態以根據複數個多相時脈信號連續提供來自複數個多工器電路之位元。

另外或替代地，輸出控制電路經組態以並行接收讀取資料之八個位元且在複數個多相時脈信號之一時脈信號之兩個時脈週期內連續提供讀取資料之八個位元。

另外或替代地，進一步包含一多相時脈電路，其經組態以接收具有一第一時脈頻率之一內部時脈信號且提供複數個多相時脈信號。複數個多相時脈信號具有小於第一時脈頻率之一第二時脈頻率。

另外或替代地，第二時脈頻率係第一時脈頻率的一半。

在本發明之另一態樣中，一種裝置包含一命令解碼器、一命令路徑及一讀取資料輸出電路。命令解碼器經組態以對讀取命令進行解碼且提供經解碼讀取命令。命令路徑耦合至命令解碼器且經組態以接收經解碼讀取命令及內部資料時脈信號。命令路徑經組態以提供針對各經解碼讀取命令之各自控制信號。命令路徑進一步經組態以回應於內部資料時脈信號之啟動而產生針對一第一經解碼讀取命令之第一控制信號且回應於一第二經解碼讀取命令而產生針對該第二經解碼讀取命令之第二控制信號。讀取資料輸出電路耦合至命令路徑且經組態以接收控制信號且進一步針對經解碼讀取命令之各者並行接收讀取資料。讀取資料輸出電路經組態以回應於第一控制信號而連續提供針對第一經解碼讀取命令之讀取資料且回應於第二控制信號而連續提供針對第二經解碼讀取命令之讀取資料。

另外或替代地，進一步包含一多相時脈電路，其經組態以回應於一外部時脈信號而提供複數個多相時脈信號，其中多相時脈信號作為內部資

料時脈信號被提供至命令路徑。

另外或替代地，外部時脈信號包含補充時脈信號。

另外或替代地，命令路徑包含一讀取命令電路。讀取命令電路包含第一讀取命令電路及第二讀取命令電路、一多工器電路及一輸出控制電路。第一讀取命令電路經組態以接收內部時脈信號之一第一者且回應於內部時脈信號之第一者之啟動而提供一第一內部讀取命令。第二讀取命令電路經組態以接收內部時脈信號之一第二者且回應於第二經解碼讀取命令而提供一第二內部讀取命令。多工器電路經組態以提供第一內部讀取命令或第二內部讀取命令。輸出控制電路經組態以從多工器電路接收第一內部讀取命令且產生第一控制信號。輸出控制電路進一步經組態以從多工器電路接收第二內部讀取命令且產生第二控制信號。

另外或替代地，讀取資料輸出電路包含複數個多工器電路及一輸出多工器電路。複數個多工器電路經組態以並行接收讀取資料且接收第一控制信號及第二控制信號。複數個多工器電路經組態以選擇性地並行提供讀取資料。輸出多工器電路經組態以從複數個多工器電路並行接收讀取資料且經組態以根據內部資料時脈信號連續提供讀取資料。

在本發明之另一態樣中，一種方法包含接收一第一讀取命令及基於一時脈信號之啟動而提供一第一內部讀取命令。基於第一內部讀取命令產生第一控制信號。第一控制信號與第一讀取命令相關聯。在第一讀取命令之後接收一第二讀取命令，且基於第二讀取命令提供一第二內部讀取命令。基於第二讀取命令產生第二控制信號。基於第一控制信號提供針對第一讀取命令之第一讀取資料且基於第二控制信號提供針對第二讀取命令之第二讀取資料。

另外或替代地，進一步包含在提供第一內部讀取命令時忽略第一讀取命令。

另外或替代地，由一第一讀取命令電路提供第一內部讀取命令且由一第二讀取電路提供第二內部讀取命令。

另外或替代地，基於一時脈信號之啟動提供第一內部讀取命令包含基於作用時脈信號透過複數個正反器(FF)電路使一高邏輯位準信號偏移，及提供複數個FF電路之一正反器電路之一輸出作為內部讀取命令。

另外或替代地，基於第二讀取命令提供第二內部讀取命令包含透過複數個正反器(FF)電路使第二讀取命令偏移，及提供來自複數個FF電路之一最後FF電路之偏移第二讀取命令作為第二內部讀取命令。

另外或替代地，基於時脈信號之啟動提供第一內部讀取命令包含用時脈信號為複數個正反器(FF)電路計時以使一高邏輯位準從複數個FF電路之一第一者偏移至複數個FF電路之一最後者。由複數個FF電路之最後者提供第一內部讀取命令。

另外或替代地，進一步包含控制一多工器電路以提供第一內部讀取命令，及回應於第一內部讀取命令，控制多工器電路切換以提供第二內部讀取命令。

在本發明之另一態樣中，一種方法包含在一第一讀取命令之後回應於一時脈信號之一第一上升邊緣而提供針對第一讀取命令之讀取資料，及回應於各各自讀取命令而提供針對隨後讀取命令之讀取資料。

另外或替代地，在一第一讀取命令之後回應於時脈信號之第一上升邊緣而提供針對第一讀取命令之讀取資料包含用一第一多相時脈信號為第一複數個正反器(FF)電路計時以傳播一供應電壓位準以提供一第一內部命

令。第一多相時脈信號基於時脈信號包含於複數個多相時脈信號中。第一內部命令被選擇性地提供至藉由第一多相時脈信號計時之第二複數個FF電路。回應於透過第二複數個FF電路傳播之第一內部命令而提供控制信號。根據控制信號及多相時脈信號連續提供針對第一讀取命令之讀取資料。

另外或替代地，進一步包含用第一內部命令為一多工器控制FF電路計時以鎖存並提供供應電壓位準作為一多工器控制電路。

另外或替代地，進一步包含用多工器控制信號控制一多工器電路以選擇性地提供第一內部命令。

另外或替代地，回應於各各自讀取命令而提供針對隨後讀取命令之讀取資料包含用延遲第二多相時脈信號為第三複數個正反器(FF)電路計時以傳播各各自隨後讀取命令以提供各自第二內部命令。第二多相時脈信號包含於複數個多相時脈信號中。在第一內部命令被提供至第二複數個FF電路之後，第二內部命令被選擇性地提供至藉由第一多相時脈信號計時之第二複數個FF電路。回應於透過第二複數個FF電路傳播之第二內部命令而提供控制信號。根據控制信號及多相時脈信號連續提供針對隨後讀取命令之讀取資料。

另外或替代地，相較於第一複數個FF電路，第三複數個FF電路包含更多數目個FF電路。

另外或替代地，第二多相時脈信號與第一多相時脈信號異相180度。

另外或替代地，進一步包含防止第一讀取命令透過第三複數個FF電路傳播。

基於本發明，熟習此項技術者將容易明白本發明之實施例之其他修

改。因此，期望本發明之範疇不應由上文中描述之特定揭示實施例限制。

【符號說明】

- 100 半導體器件
- 105 位址/命令輸入電路
- 112 位址解碼器
- 115 命令解碼器
- 120 時脈輸入電路
- 130 內部時脈產生器
- 135 時序產生器
- 140 列解碼器
- 145 行解碼器
- 150 記憶體陣列
- 155 讀取/寫入放大器
- 160 輸入-輸出(IO)電路
- 165 ZQ校準電路
- 170 電壓產生器/內部電壓產生器電路
- 175 命令路徑
- 200 讀取延時電路
- 210 讀取命令路徑
- 220 讀取延時時序電路
- 230 讀取命令電路
- 240 多相時脈電路
- 300 讀取命令電路

- 305 多工器電路
- 310 WCK時脈讀取命令電路
- 330 CK時脈讀取命令電路
- 350 輸出控制電路
- 400 讀取命令電路
- 405 多工器電路
- 410 WCK時脈讀取命令電路
- 414 正反器(FF)電路
- 416 正反器(FF)電路
- 418 正反器(FF)電路
- 430 CK時脈讀取命令電路
- 432 輸入邏輯電路
- 434 正反器(FF)電路
- 435 正反器(FF)電路
- 436 正反器(FF)電路
- 444 延遲電路
- 445 延遲電路
- 446 延遲電路
- 450 輸出控制電路
- 452 正反器(FF)電路
- 453 正反器(FF)電路
- 454 正反器(FF)電路
- 455 正反器(FF)電路

- 456 正反器(FF)電路
- 458 邏輯電路
- 460 正反器(FF)電路
- 462 正反器(FF)電路
- 600 讀取資料輸出電路
- 602 多工器電路
- 604 多工器電路
- 606 多工器電路
- 608 多工器電路
- 610 多工器電路
- 612 邏輯電路
- 614 邏輯電路
- 616 邏輯電路
- 618 邏輯電路
- 650 資料緩衝電路
- 652 緩衝電路
- 654 緩衝電路
- 800 讀取命令電路
- 805 多工器電路
- 810 WCK時脈讀取命令電路
- 812 輸入邏輯電路
- 814 正反器(FF)電路
- 816 正反器(FF)電路

- 818 正反器(FF)電路
- 820 反相器
- 822 反相器
- 830 CK時脈讀取命令電路
- 832 輸入邏輯電路
- 834 正反器(FF)電路
- 835 正反器(FF)電路
- 836 正反器(FF)電路
- 837 正反器(FF)電路
- 838 正反器(FF)電路
- 844 延遲電路
- 845 延遲電路
- 846 延遲電路
- 847 延遲電路
- 848 延遲電路
- 850 輸出控制電路
- 851 正反器(FF)電路
- 852 正反器(FF)電路
- 853 正反器(FF)電路
- 854 正反器(FF)電路
- 855 正反器(FF)電路
- 858 邏輯電路
- 860 正反器(FF)電路

861 正反器(FF)電路
862 正反器(FF)電路
863 正反器(FF)電路
870 驅動器電路
871 驅動器電路
872 驅動器電路
873 驅動器電路
BL 位元線
C/A 命令/位址匯流排
CK 時脈信號
CK_c 時脈端子/外部時脈信號
CK_t 時脈端子/外部時脈信號
CKE 時脈啟用信號
CMD 命令信號
DBI 資料端子
DMI 資料端子
DQ 資料端子/輸出資料
FFCK434 時脈信號
FFCK435 時脈信號
FFCK436 時脈信號
FFCK834 時脈信號
FFCK835 時脈信號
FFCK836 時脈信號
FFCK837 時脈信號

FFCK838 時脈信號

ICK_c 內部時脈信號

ICK_t 內部時脈信號

IWCK 多相時脈信號

IWCK_c 內部時脈信號

IWCK_t 內部時脈信號

IWCK0 零度相位IWCK時脈信號

IWCK180 180度相位IWCK時脈信號

IWCK270 時脈信號

IWCK90 時脈信號

LIOT/B 局部I/O線對

MIOT/B 主要I/O線對

MUXSEL0 控制信號

MUXSEL180 控制信號

OUTEN 控制信號

OUTEN0 控制信號

OUTEN180 控制信號

OUTEN270 控制信號

OUTEN90 控制信號

RD 內部讀取命令

RDCK 內部讀取命令

RDCMD 讀取命令

RDQS 資料端子

RDWCK 內部讀取命令

| | |
|--------|---------------|
| READ0 | 第一讀取命令 |
| READ1 | 第二讀取命令 |
| RL | 讀取延時資訊 |
| RST | 重設信號 |
| RZQ | 阻抗 |
| SAMP | 感測放大器 |
| SEL | 控制信號 |
| TG | 轉移閘極 |
| VARY | 內部電位 |
| VDD | 電力供應端子/電力供應電位 |
| VDDQ | 電力供應端子 |
| VOD | 內部電位 |
| VPERI | 內部電位 |
| VPP | 內部電位 |
| VSS | 電力供應端子/電力供應電位 |
| WCK_c | 寫入時脈端子/外部時脈信號 |
| WCK_t | 寫入時脈端子/外部時脈信號 |
| WL | 字線 |
| ZQ | 校準端子 |
| ZQ_com | ZQ校準命令 |
| ZQCODE | 阻抗碼 |
| ZQVREF | 參考電位 |



申請日: 107年2月27日

I665683

公告本

【發明摘要】

【中文發明名稱】

IPC 分類號: G11C 7/22 (2006.01)

在半導體記憶體中提供內部記憶體命令及控制信號之裝置及方法

【英文發明名稱】

APPARATUSES AND METHODS FOR PROVIDING INTERNAL MEMORY COMMANDS AND CONTROL SIGNALS IN SEMICONDUCTOR MEMORIES

【中文】

本發明揭示在半導體記憶體中提供內部記憶體命令及控制信號之裝置及方法。在一例示性裝置中，一命令路徑接收讀取命令且提供針對各讀取命令之各自控制信號。該命令路徑經組態以回應於複數個多相時脈信號之一時脈信號之一第一時脈邊緣而提供針對一初始讀取命令之初始控制信號且進一步回應於隨後讀取命令之接收而提供針對該等隨後讀取命令之各自控制信號。該例示性裝置進一步包含經組態以從該命令路徑接收該等控制信號且進一步並行接收讀取資料之一讀取資料輸出電路。該讀取資料輸出電路經組態以回應於該等控制信號而連續提供該讀取資料。

【英文】

Apparatuses and methods for providing internal memory commands and control signals in semiconductor memories are disclosed. In an example apparatus, a command path receives read commands and provides respective control signals for each read command. The command path is configured to provide initial control signals for an initial read command responsive to a first clock edge of a clock signal of

a plurality of multiphase clock signals and to further provide respective control signals for subsequent read commands responsive to receipt of the subsequent read commands. The example apparatus further includes a read data output circuit configured to receive the control signals from the command path and further receive read data in parallel. The read data output circuit is configured to provide the read data serially responsive to the control signals.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 100 半導體器件
- 105 位址/命令輸入電路
- 112 位址解碼器
- 115 命令解碼器
- 120 時脈輸入電路
- 130 內部時脈產生器
- 135 時序產生器
- 140 列解碼器
- 145 行解碼器
- 150 記憶體陣列
- 155 讀取/寫入放大器
- 160 輸入-輸出(IO)電路
- 165 ZQ校準電路

170 電壓產生器/內部電壓產生器電路

175 命令路徑

BL 位元線

C/A 命令/位址匯流排

CK_c 時脈端子/外部時脈信號

CK_t 時脈端子/外部時脈信號

CKE 時脈啟用信號

CMD 命令信號

DBI 資料端子

DMI 資料端子

DQ 資料端子

ICK_c 內部時脈信號

ICK_t 內部時脈信號

IWCK 多相時脈信號

IWCK_c 內部時脈信號

IWCK_t 內部時脈信號

LIOT/B 局部I/O線對

MIOT/B 主要I/O線對

OUTEN 控制信號

RDCMD 讀取命令

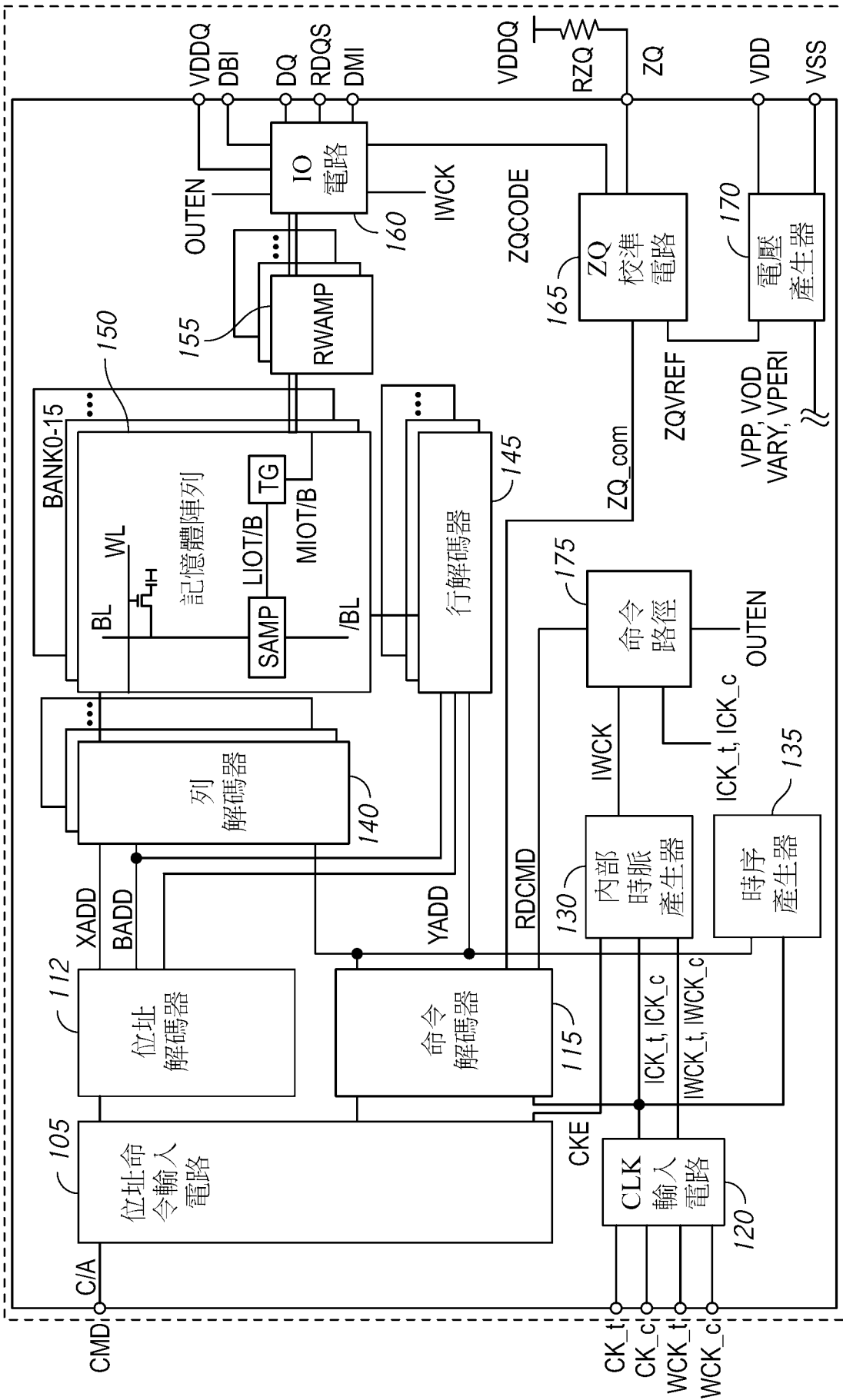
RDQS 資料端子

RZQ 阻抗

SAMP 感測放大器

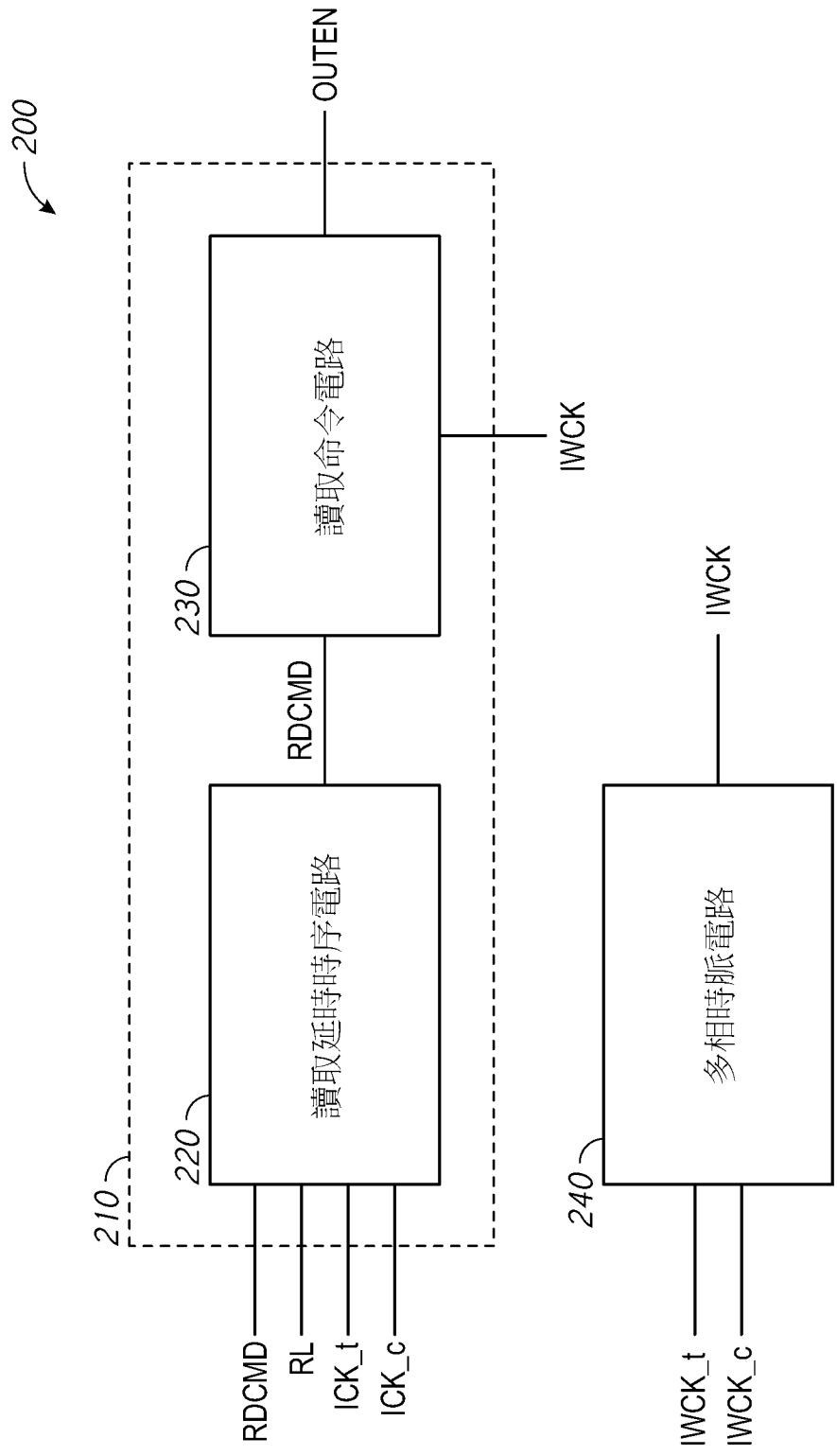
| | |
|--------|---------------|
| TG | 轉移閘極 |
| VARY | 內部電位 |
| VDD | 電力供應端子/電力供應電位 |
| VDDQ | 電力供應端子 |
| VOD | 內部電位 |
| VPERI | 內部電位 |
| VPP | 內部電位 |
| VSS | 電力供應端子/電力供應電位 |
| WCK_c | 寫入時脈端子/外部時脈信號 |
| WCK_t | 寫入時脈端子/外部時脈信號 |
| WL | 字線 |
| ZQ | 校準端子 |
| ZQ_com | ZQ校準命令 |
| ZQCODE | 阻抗碼 |
| ZQVREF | 參考電位 |

【發明圖式】

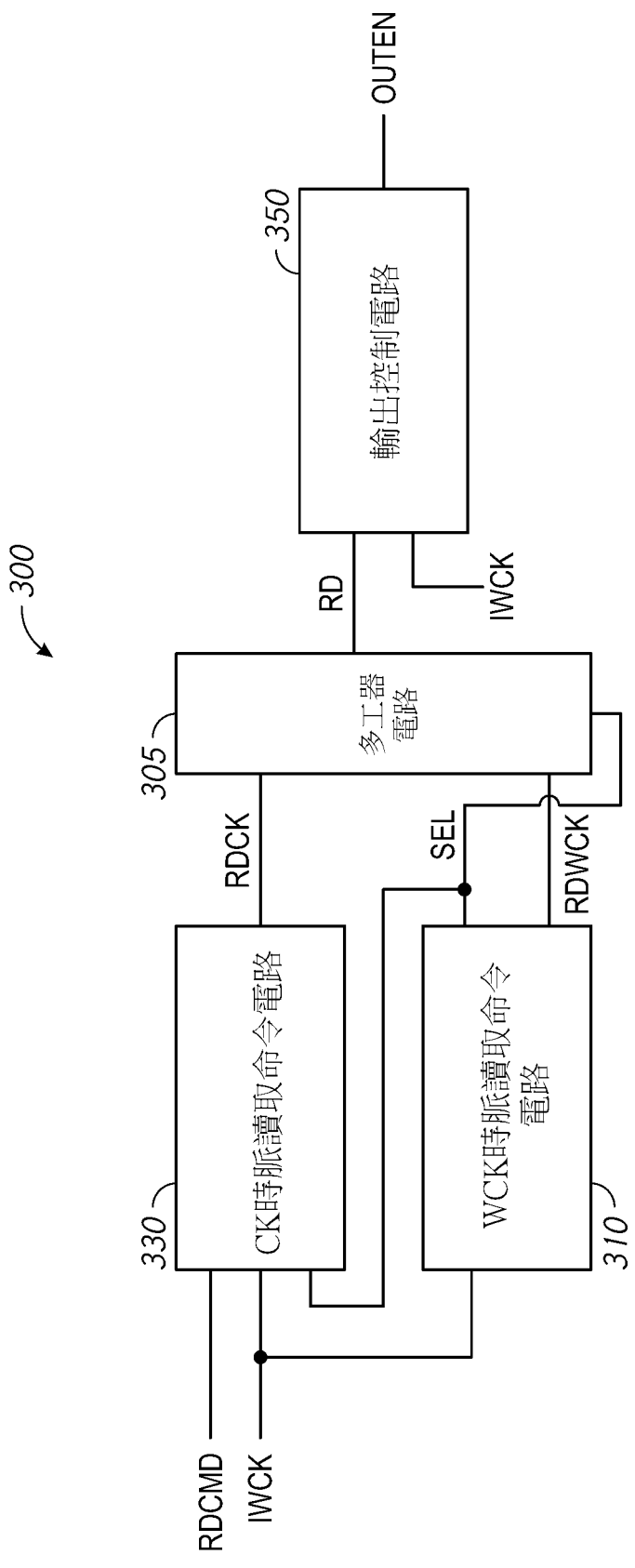


【圖1】

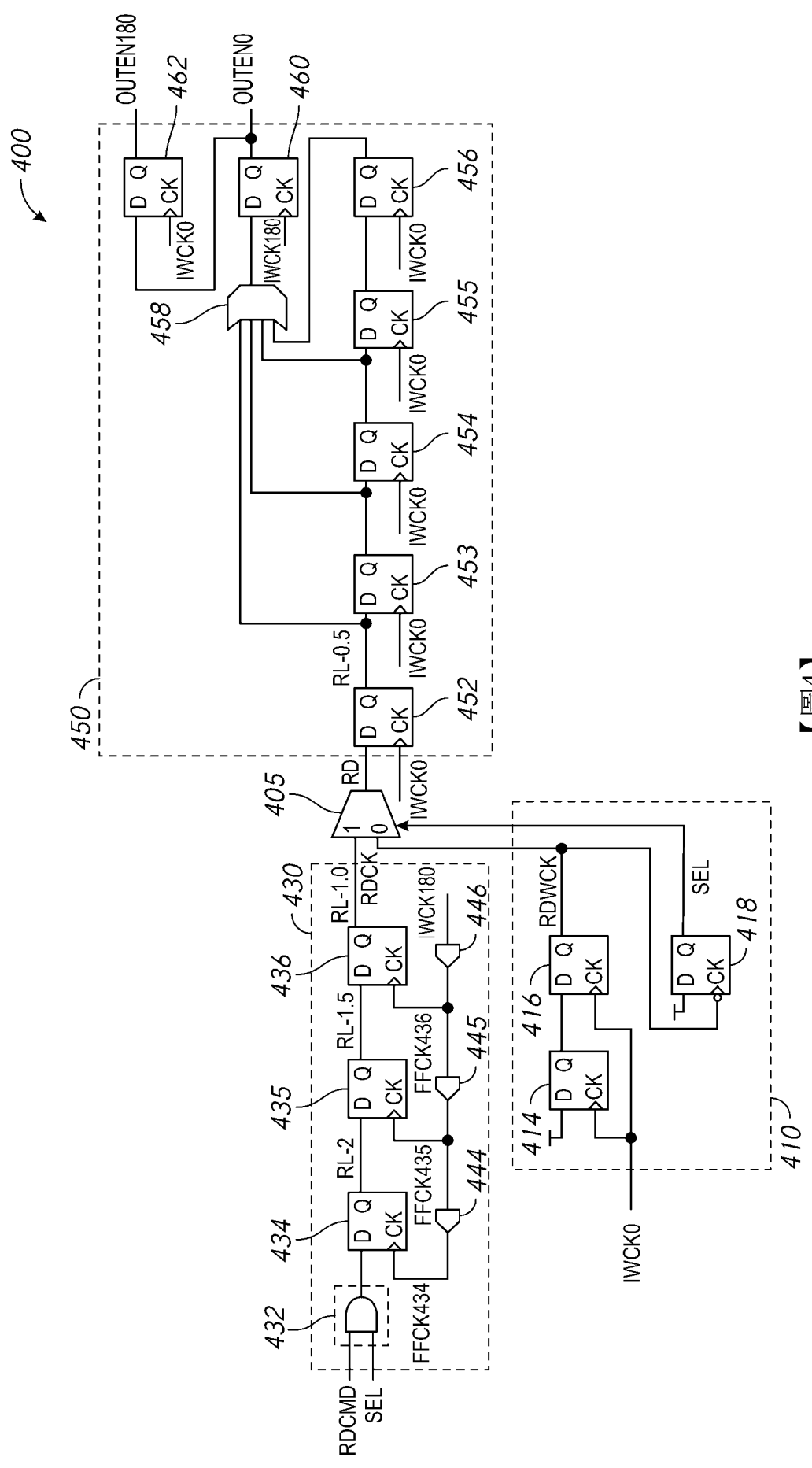
100



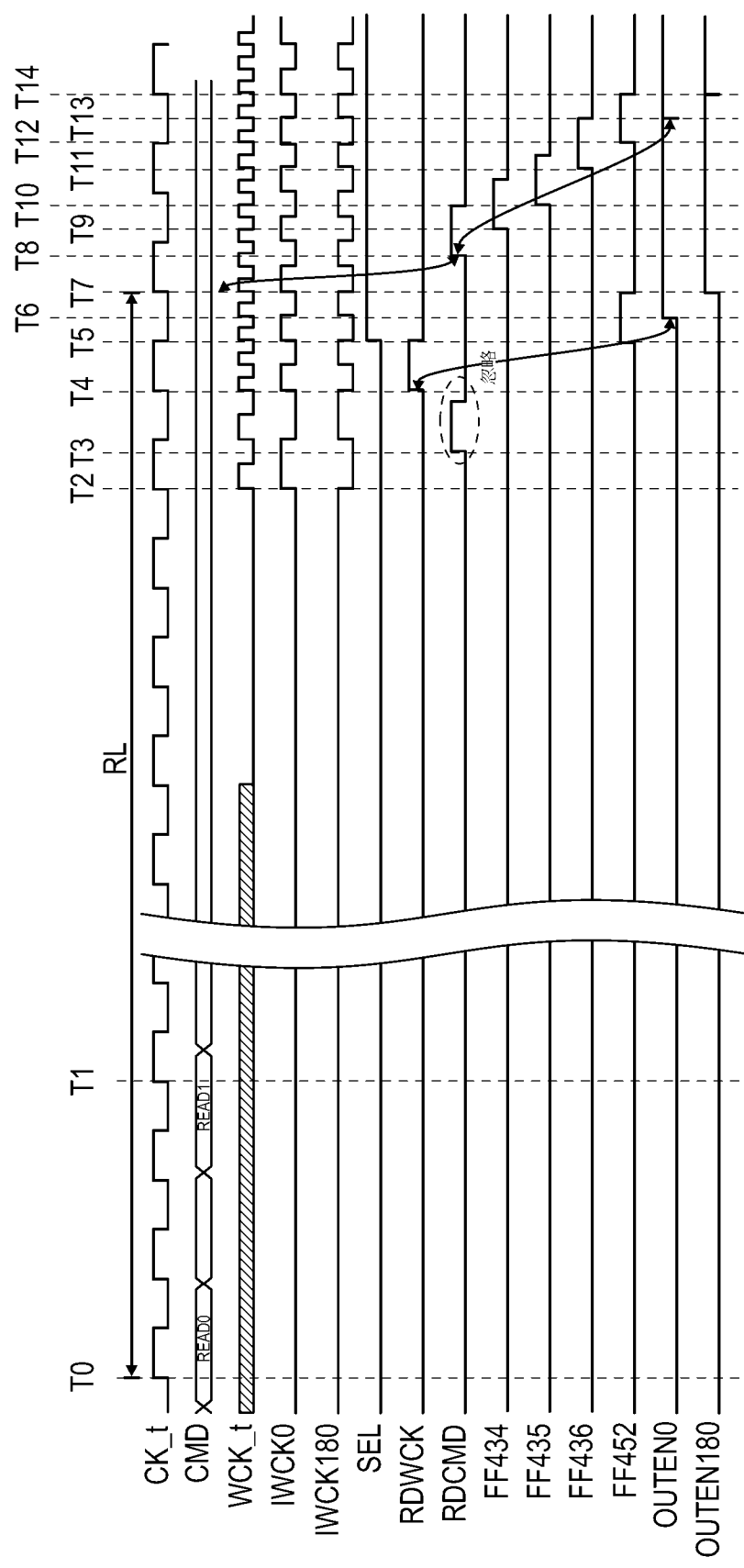
【圖2】



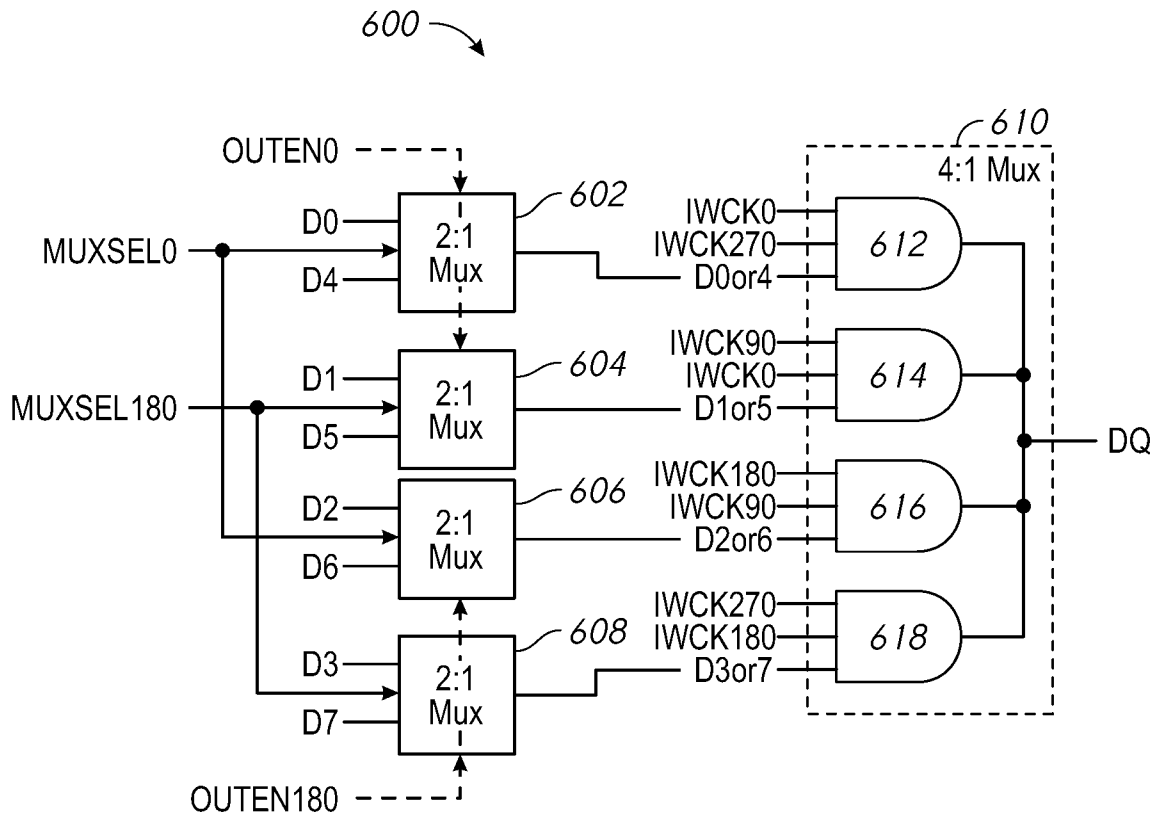
【圖3】



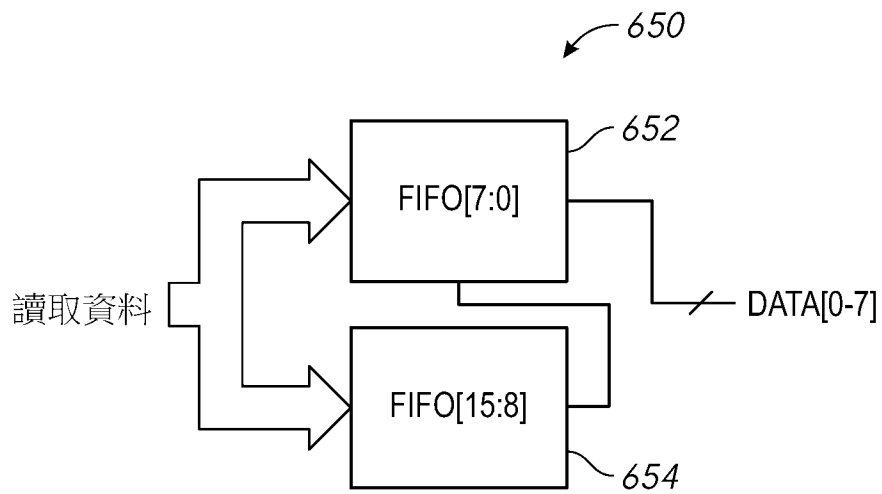
【圖4】



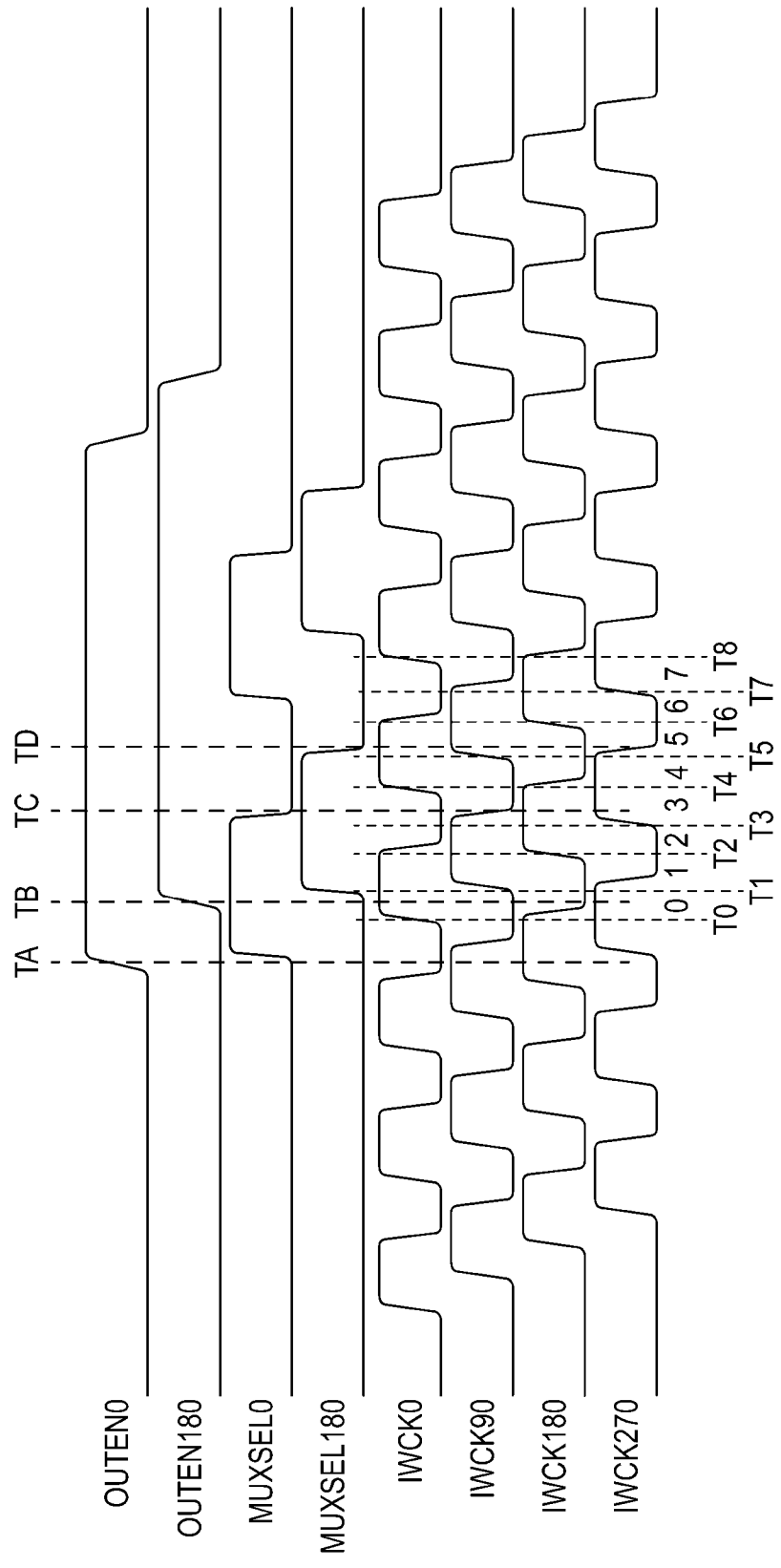
【圖5】



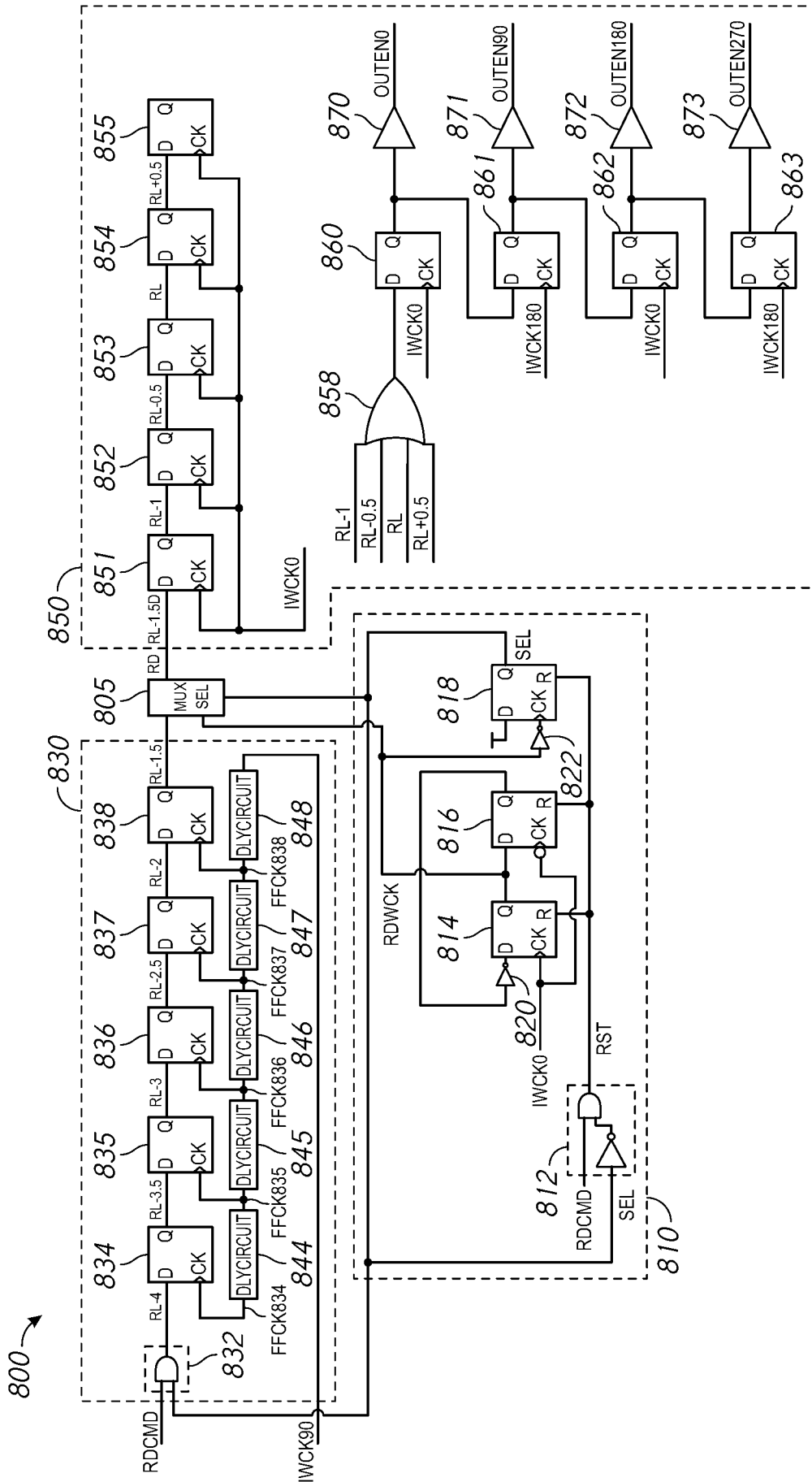
【圖6A】



【圖6B】



【圖7】



【圖8】

【發明申請專利範圍】

【第1項】

一種裝置，其包括：

一多相時脈電路，其經組態以接收一第一輸入時脈信號且回應於此而提供複數個多相時脈信號，該等多相時脈信號包含具有相對於彼此之一相位之時脈信號；

一讀取延時時序電路，其經組態以接收讀取命令及延時資訊，該讀取延時時序電路經組態以基於該延時資訊提供具有相對於該各自讀取命令之一延遲之延遲讀取命令；及

一讀取命令電路，其經組態以接收該等延遲讀取命令及該複數個多相時脈信號，該讀取命令電路經組態以提供針對各延遲讀取命令之各自控制信號，該讀取命令電路經組態以提供針對一初始延遲讀取命令(第一RDCMD)之初始控制信號，其中該等初始控制信號之一時序相對於該複數個多相時脈信號之一時脈信號之啟動，且經組態以進一步提供針對一隨後延遲讀取命令之各自控制信號，其中針對該隨後延遲讀取命令之該等各自控制信號之一時序相對於該隨後延遲讀取命令之接收。

【第2項】

如請求項1之裝置，其中該讀取命令電路包括：

一第一時脈讀取命令電路，其經組態以接收該複數個多相時脈信號之該時脈信號且回應於該複數個多相時脈信號之該時脈信號之一第一時脈邊緣而提供一第一內部讀取命令；及

一第二時脈讀取命令電路，其經組態以接收該隨後延遲讀取命令且回應於該隨後延遲讀取命令而提供一第二內部讀取命令；

一多工器電路，其經組態以至少部分基於一多工器控制信號而提供該第一內部讀取命令或該第二內部讀取命令；及

一輸出控制電路，其經組態以接收該第一內部讀取命令及該第二內部讀取命令，且經組態以回應於該等第一內部讀取命令而提供該等初始控制信號且回應於該隨後延遲讀取命令而提供針對該隨後延遲讀取命令之該等各自控制信號。

【第3項】

如請求項2之裝置，其中該第一時脈讀取命令電路包括：

複數個串聯耦合之正反器(FF)電路，其中該複數個串聯耦合之FF電路之第一FF電路及第二FF電路經組態以在各自時脈輸入端處接收該複數個多相時脈信號之該時脈信號且該複數個串聯耦合之FF電路之一第三FF電路經組態以在一各自時脈輸入端處接收該第二FF電路之一輸出。

【第4項】

如請求項3之裝置，其中該複數個串聯耦合之FF電路之該第二FF電路經組態以提供該第一內部讀取命令至該多工器電路且該複數個串聯耦合之FF電路之該第三FF電路經組態以提供該多工器控制信號至該多工器電路。

【第5項】

如請求項2之裝置，其中該第二時脈讀取命令電路包括：

複數個串聯耦合之FF電路，其中該複數個串聯耦合之FF電路之一第一FF電路經組態以接收該隨後延遲讀取命令且其中該複數個串聯耦合之FF電路經組態以根據該複數個多相時脈信號之一第二時脈信號使通過其之該等隨後延遲讀取命令偏移且從該複數個串聯耦合之FF電路之一第三

FF 電路提供該第二內部讀取命令。

【第6項】

如請求項5之裝置，其中該第二時脈讀取命令電路進一步包含經組態以使該複數個多相時脈信號之該第二時脈信號延遲之複數個串聯耦合之延遲電路，該複數個串聯耦合之延遲電路之各延遲電路經組態以提供一延遲時脈信號至該複數個串聯耦合之FF電路之一各自者之一時脈輸入端。

【第7項】

如請求項2之裝置，其中該輸出控制電路包括：

複數個串聯耦合之正反器(FF)電路，該複數個串聯耦合之FF電路之各者藉由該複數個多相時脈信號之一第一時脈信號計時，其中該複數個串聯耦合之FF電路之一第一者經組態以接收該第一內部命令及該第二內部命令；

一邏輯電路，其經組態以從該複數個串聯耦合之FF電路接收輸出，該邏輯電路經組態以對來自該複數個串聯耦合之FF電路之該等輸出執行一邏輯操作且提供一輸出；

一第一輸出FF電路，其經組態以從該邏輯電路接收該輸出，該第一輸出FF電路經組態以藉由該複數個多相時脈信號之一第二時脈信號計時且提供該等控制信號之一第一控制信號；及

一第二輸出FF電路，其經組態以從該第一輸出FF電路接收該第一控制信號，該第二輸出FF電路經組態以藉由該複數個多相時脈信號之該時脈信號計時且提供該等控制信號之一第二控制信號。

【第8項】

如請求項1之裝置，其中該多相時脈電路經組態以提供一第一多相時

脈信號及一第二多相時脈信號，其中該第二多相時脈信號與該第一多相時脈信號異相180度。

【第9項】

一種裝置，其包括：

一命令路徑，其經組態以接收讀取命令且提供針對各讀取命令之各自控制信號，該命令路徑經組態以回應於複數個多相時脈信號之一時脈信號之一第一時脈邊緣而提供針對一初始讀取命令之初始控制信號且進一步回應於隨後讀取命令之接收而提供針對該等隨後讀取命令之各自控制信號；及

一讀取資料輸出電路，其經組態以從該命令路徑接收該等控制信號且進一步並行接收讀取資料，該讀取資料輸出電路經組態以回應於該等控制信號而連續提供該讀取資料。

【第10項】

如請求項9之裝置，其中該命令路徑包括：

一讀取延時時序電路，其經組態以接收該等讀取命令且基於讀取延時資訊提供具有相對於該讀取命令之一延遲之延遲讀取命令；及

一讀取命令電路，其經組態以接收該等延遲讀取命令且提供該等初始及各自控制信號至該讀取資料輸出電路。

【第11項】

如請求項10之裝置，其中該讀取命令電路包括：

一第一讀取命令電路，其經組態以回應於該複數個多相時脈信號之該時脈信號之該第一時脈邊緣而提供該初始讀取命令；

一第二讀取命令電路，其經組態以回應於接收該等隨後讀取命令而

提供該等隨後讀取命令；

一多工器電路，其經組態以基於一控制信號提供該初始讀取命令或該等隨後讀取命令；及

一輸出控制電路，其經組態以接收該初始讀取命令且提供該等初始控制信號且進一步接收該等隨後讀取命令且提供該等各自控制信號。

【第12項】

如請求項9之裝置，其中該讀取資料輸出電路包括：

複數個多工器電路，各自經組態以接收該讀取資料之兩個位元且提供該讀取資料之該兩個位元之一者作為一各自輸出；及

一輸出多工器電路，其經組態以從該複數個多工器電路之各者接收一各自位元且接收該複數個多相時脈信號，且經組態以根據該複數個多相時脈信號連續提供來自該複數個多工器電路之該等位元。

【第13項】

如請求項9之裝置，其中該輸出控制電路經組態以並行接收讀取資料之八個位元且在該複數個多相時脈信號之一時脈信號之兩個時脈週期內連續提供讀取資料之該八個位元。

【第14項】

如請求項9之裝置，其進一步包括：

一多相時脈電路，其經組態以接收具有一第一時脈頻率之一內部時脈信號且提供該複數個多相時脈信號，其中該複數個多相時脈信號具有小於該第一時脈頻率之一第二時脈頻率。

【第15項】

如請求項14之裝置，其中該第二時脈頻率係該第一時脈頻率的一

半。

【第16項】

一種裝置，其包括：

一命令解碼器，其經組態以對讀取命令進行解碼且提供經解碼讀取命令；

一命令路徑，其耦合至該命令解碼器且經組態以接收該等經解碼讀取命令及內部資料時脈信號，該命令路徑經組態以提供針對各經解碼讀取命令之各自控制信號，該命令路徑進一步經組態以回應於該等內部資料時脈信號之啟動而產生針對一第一經解碼讀取命令之第一控制信號且回應於一第二經解碼讀取命令而產生針對該第二經解碼讀取命令之第二控制信號；及

一讀取資料輸出電路，其耦合至該命令路徑且經組態以接收該等控制信號且進一步針對該等經解碼讀取命令之各者並行接收讀取資料，該讀取資料輸出電路經組態以回應於該等第一控制信號而連續提供針對該第一經解碼讀取命令之該讀取資料且回應於該等第二控制信號而連續提供針對該第二經解碼讀取命令之該讀取資料。

【第17項】

如請求項16之裝置，其進一步包括一多相時脈電路，其經組態以回應於一外部時脈信號而提供複數個多相時脈信號，其中該等多相時脈信號作為該等內部資料時脈信號被提供至該命令路徑。

【第18項】

如請求項17之裝置，其中該等外部時脈信號包括補充時脈信號。

【第19項】

如請求項16之裝置，其中該命令路徑包括一讀取命令電路，該讀取命令電路包括：

一第一讀取命令電路，其經組態以接收該等內部時脈信號之一第一者且回應於該等內部時脈信號之該第一者之該啟動而提供一第一內部讀取命令；

一第二讀取命令電路，其經組態以接收該等內部時脈信號之一第二者且回應於該第二經解碼讀取命令而提供一第二內部讀取命令；

一多工器電路，其經組態以提供該第一內部讀取命令或該第二內部讀取命令；及

一輸出控制電路，其經組態以從該多工器電路接收該第一內部讀取命令且產生該等第一控制信號且經組態以從該多工器電路接收該第二內部讀取命令且產生該等第二控制信號。

【第20項】

如請求項16之裝置，其中該讀取資料輸出電路包括：

複數個多工器電路，其等經組態以並行接收該讀取資料且接收該第一控制信號及該第二控制信號，該複數個多工器電路經組態以選擇性地並行提供該讀取資料；及

一輸出多工器電路，其經組態以從該複數個多工器電路並行接收該讀取資料且經組態以根據該等內部資料時脈信號連續提供該讀取資料。

【第21項】

一種方法，其包括：

接收一第一讀取命令；

控制一多工器電路以基於一時脈信號之啟動而提供一第一內部讀取

命令；

基於該第一內部讀取命令產生多個第一控制信號，該等第一控制信號與該第一讀取命令相關聯；

在該第一讀取命令之後接收一第二讀取命令；

控制該多工器電路以切換成基於該第二讀取命令提供一第二內部讀取命令；

基於該第二讀取命令產生多個第二控制信號；及

基於該等第一控制信號提供針對該第一讀取命令之第一讀取資料且基於該等第二控制信號提供針對該第二讀取命令之第二讀取資料。

【第22項】

如請求項21之方法，其進一步包括在提供該第一內部讀取命令時忽略該第一讀取命令。

【第23項】

如請求項21之方法，其中由一第一讀取命令電路提供該第一內部讀取命令且其中由一第二讀取電路提供該第二內部讀取命令。

【第24項】

如請求項23之方法，其中基於一時脈信號之啟動提供該第一內部讀取命令包括：

基於該作用時脈信號透過複數個正反器(FF)電路使一高邏輯位準信號偏移；及

提供該複數個FF電路之一正反器電路之一輸出作為該內部讀取命令。

【第25項】

如請求項23之方法，其中基於該第二讀取命令提供該第二內部讀取命令包括：

透過複數個正反器(FF)電路使該第二讀取命令偏移；及

提供來自該複數個FF電路之一最後FF電路之該經偏移第二讀取命令作為該第二內部讀取命令。

【第26項】

如請求項21之方法，其中基於該時脈信號之啟動提供該第一內部讀取命令包括：

用該時脈信號為複數個正反器(FF)電路計時以使一高邏輯位準從該複數個FF電路之一第一者偏移至該複數個FF電路之一最後者，其中由該複數個FF電路之該最後者提供該第一內部讀取命令。

【第27項】

一種方法，其包括：

在一第一讀取命令之後回應於一時脈信號之啟動而提供針對該第一讀取命令之讀取資料，該時脈信號之啟動係由該時脈信號之一第一上升邊緣所表示；及

回應於各各自隨後讀取命令而提供針對隨後讀取命令之讀取資料。

【第28項】

如請求項27之方法，其中在一第一讀取命令之後回應於該時脈信號之該第一上升邊緣而提供針對該第一讀取命令之讀取資料包括：

用一第一多相時脈信號為第一複數個正反器(FF)電路計時以傳播一供應電壓位準以提供一第一內部命令，其中該第一多相時脈信號基於該時脈信號包含於複數個多相時脈信號中；

選擇性地提供該第一內部命令至藉由該第一多相時脈信號計時之第二複數個FF電路；

回應於透過該第二複數個FF電路傳播之第一內部命令而提供控制信號；及

根據該等控制信號及該等多相時脈信號連續提供針對該第一讀取命令之該讀取資料。

【第29項】

如請求項28之方法，其進一步包括用該第一內部命令為一多工器控制FF電路計時以鎖存並提供該供應電壓位準作為一多工器控制電路。

【第30項】

如請求項29之方法，其進一步包括用該多工器控制信號控制一多工器電路以選擇性地提供該第一內部命令。

【第31項】

如請求項28之方法，其中回應於各各自讀取命令而提供針對隨後讀取命令之讀取資料包括：

用延遲第二多相時脈信號為第三複數個正反器(FF)電路計時以傳播各各自隨後讀取命令以提供各自第二內部命令，其中該第二多相時脈信號包含於該複數個多相時脈信號中；

在該第一內部命令被提供至該第二複數個FF電路之後，選擇性地提供該等第二內部命令至藉由該第一多相時脈信號計時之該第二複數個FF電路；

回應於透過該第二複數個FF電路傳播之第二內部命令而提供控制信號；及

根據該等控制信號及該等多相時脈信號連續提供針對該等隨後讀取命令之該讀取資料。

【第32項】

如請求項31之方法，其中相較於該第一複數個FF電路，該第三複數個FF電路包含更多數目個FF電路。

【第33項】

如請求項31之方法，其中該第二多相時脈信號與該第一多相時脈信號異相180度。

【第34項】

如請求項31之方法，其進一步包括防止該第一讀取命令透過該第三複數個FF電路傳播。