

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4607531号  
(P4607531)

(45) 発行日 平成23年1月5日(2011.1.5)

(24) 登録日 平成22年10月15日(2010.10.15)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 P

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2004-284198 (P2004-284198)	(73) 特許権者	592072470
(22) 出願日	平成16年9月29日 (2004. 9. 29)		カシオマイクロニクス株式会社
(65) 公開番号	特開2006-100535 (P2006-100535A)		東京都青梅市今井3丁目10番地の6
(43) 公開日	平成18年4月13日 (2006. 4. 13)	(74) 代理人	100091351
審査請求日	平成19年9月28日 (2007. 9. 28)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体ウェハを準備する工程と、  
 前記半導体ウェハをチップ状の複数の基板に分割するための第1の溝を、当該半導体ウェハの一方の面に形成する工程と、  
 前記第1の溝を樹脂で埋め込むと共に、前記半導体ウェハの一方の面を樹脂で覆う工程と、  
 前記半導体ウェハの他方の面上で各基板に対応する位置毎に、最も上側には前記基板とは反対方向に突出した複数のポスト配線部を有する配線構造を形成する工程と、  
 前記第1の溝に対向する第2の溝を、前記半導体ウェハの他方の面から当該第1の溝内の樹脂に達する深さまで形成する工程と、  
 前記第2の溝を樹脂で埋め込むと共に、前記半導体ウェハの他方の面を前記配線構造を含めて樹脂で覆う工程と、  
 前記配線構造を覆う樹脂を研磨し、前記各ポスト配線部の先端面を露出させる工程と、  
 露出した各ポスト配線層の先端面に複数の外部端子を個別に形成する工程と、  
 前記第1及び第2の溝に埋め込まれた樹脂を切断し、当該樹脂に封止された各基板を互いに分離する工程と、  
 を備えたことを特徴とする半導体装置の製造方法。

【請求項2】

半導体ウェハを準備する工程と、

前記半導体ウェハをチップ状の複数の基板に分割するための第1の溝を、当該半導体ウェハの一方の面に形成する工程と、

前記第1の溝を樹脂で埋め込むと共に、前記半導体ウェハの一方の面を樹脂で覆う工程と、

前記半導体ウェハの一方の面を覆う樹脂を研磨し、平坦化する工程と、

前記半導体ウェハの他方の面上で各基板に対応する位置毎に、最も上側には前記基板とは反対方向に突出した複数のポスト配線部を有する配線構造を形成する工程と、

前記第1の溝に対向する第2の溝を、前記半導体ウェハの他方の面から当該第1の溝内の樹脂に達する深さまで形成する工程と、

前記第2の溝を樹脂で埋め込むと共に、前記半導体ウェハの他方の面を前記配線構造を含めて樹脂で覆う工程と、

前記配線構造を覆う樹脂を研磨し、前記各ポスト配線部の先端面を露出させる工程と、

露出した各ポスト配線層の先端面に複数の外部端子を個別に形成する工程と、

前記第1及び第2の溝に埋め込まれた樹脂を切断し、当該樹脂に封止された各基板を互いに分離する工程と、

を備えたことを特徴とする半導体装置の製造方法。

#### 【請求項3】

チップ状の複数の基板に分割される半導体ウェハを準備する工程と、

前記半導体ウェハの一方の面を樹脂で覆う工程と、

前記半導体ウェハの一方の面を覆う樹脂を研磨し、平坦化する工程と、

前記半導体ウェハの他方の面上で各基板に対応する位置毎に、最も上側には前記基板とは反対方向に突出した複数のポスト配線部を有する配線構造を形成する工程と、

前記半導体ウェハを複数の基板に分割するための溝を、当該半導体ウェハの他方の面から前記一方の面の樹脂に達する深さまで形成する工程と、

前記溝を樹脂で埋め込むと共に、前記半導体ウェハの他方の面を前記配線構造を含めて樹脂で覆う工程と、

前記配線構造を覆う樹脂を研磨し、前記各ポスト配線部の先端面を露出させる工程と、

露出した各ポスト配線層の先端面に複数の外部端子を個別に形成する工程と、

前記溝に埋め込まれた樹脂を切断し、当該樹脂に封止された各基板を互いに分離する工程と、

を備えたことを特徴とする半導体装置の製造方法。

#### 【請求項4】

請求項1から請求項3のいずれか1項に記載の半導体装置の製造方法において、

前記複数の外部端子を個別に形成する工程後に実行され、前記各基板毎に前記半導体ウェハの一方の面を覆う樹脂の表面にレーザマークを形成する工程を備えたことを特徴とする半導体装置の製造方法。

#### 【請求項5】

請求項4に記載の半導体装置の製造方法において、

前記レーザマークに代えて、インクマークを形成することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、ウェハレベルCSPの半導体装置及びその製造方法に係り、特に、光による誤動作を防止でき、用途を拡張し得る半導体装置の製造方法に関する。

#### 【背景技術】

#### 【0002】

従来から製品化されているICパッケージは、QFN(Quad Flat Non-leaded package)及びBGA(Ball Grid Array)が主流となっている。これらのICパッケージは、ICチップ全体を樹脂封止した構造により、外部環境から受ける光、湿度、応力といった種

10

20

30

40

50

々のストレスを樹脂で防止し、高い信頼性を確保している。具体的にはICパッケージは、光による誤動作、耐湿性の劣化、外部応力による破損などを樹脂により防止し、高い信頼性を確保している。係るICパッケージは、ICチップを個片化し、インターポザーを介しワイヤーボンディング手法でICチップ配線を外部端子に接続して製造される。

【0003】

しかしながら、このように製造されるICパッケージは、製造工程が複雑であり、小型化・薄型化に限界があるといった欠点がある。

【0004】

近年、この欠点を解消するため、ウェハ上に各ICチップを形成した段階で当該各ICチップを樹脂で保護し、ダイシングしてICパッケージを製造するというウェハレベルCSP (Chip Size Package) という) が開発されている。

10

【0005】

しかしながらウェハレベルCSPは、ICチップの一部が露出することから外観、耐湿性の問題や、線膨張係数の違いによる樹脂層とSi基板の界面での剥離の問題などがある。この問題を解決するため、例えば特許文献1, 2に示す技術が提案されている。

【0006】

特許文献1に記載の技術では、ダイシングよりも前に、ハーフカットの溝を絶縁樹脂層、パッシベーション層及び層間絶縁層を介してSi基板の途中の深さまで形成し、樹脂封止の際に溝を樹脂層で充填する。ダイシング時には、溝内の樹脂層を介してSi基板を切断する。ダイシングされたCSPは、樹脂層により絶縁樹脂層、パッシベーション層及び層間絶縁層の界面端部が覆われている。従って、特許文献1に記載の技術によれば、絶縁樹脂層、パッシベーション層及び層間絶縁層の界面端部から生じる耐湿劣化が防止され、Si基板と樹脂の密着性が高まり、耐湿性が改善される。

20

【0007】

特許文献2に記載の技術では、半導体素子のアクティブ面にはバンブ部を介して外部接続用端子が形成される。ここで、バンブ部は熱硬化性樹脂層により埋設されている。半導体素子の裏面にも熱硬化性樹脂層が形成される。このように、特許文献2に記載の技術では、裏面にも樹脂層をコーティングすることにより、アクティブ面と裏面との線膨張係数を合わせ、Si基板にかかる応力をアクティブ面と裏面で均等にすることをよりSi界面の剥離を起こさせないようにするものである。

30

【特許文献1】特開2000-195862号公報、図9

【特許文献2】特開2004-87789号公報、図1

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら以上のような半導体装置は、特許文献1, 2に記載の技術でも、以下のようにな都合があり、未だ改良の余地があると考えられる。

【0009】

特許文献1に記載の技術では、ダイシング時に樹脂層とSi層という組成・硬度の違う材料を一度に切る必要があるため、ダイシング条件の微細な設定が必要である。ダイシング条件のバラツキによっては、Si基板のチップングや欠けを生じる可能性があり、耐湿性の問題も残されており、個片化後のICの外観検査に多大の工数がかかるという欠点を持っている。さらに側面及び裏面がSi剥き出しということから、ICの機能によっては、光による誤動作を生じる問題があり、遮光された実装形態に用途が限定されるという欠点を持っている。

40

【0010】

特許文献2に記載の技術では、同様にダイシング条件の微細な設定が必要であると同時に、ダイシング条件によっては耐湿性の問題があり、側面の外観検査に多大な工数がかかる。さらに側面がSi剥き出しであることから、光による誤動作も避けられないという問題があり、遮光された実装形態に用途が限定されるという欠点を持っている。

50

## 【 0 0 1 1 】

本発明は上記実情を考慮してなされたもので、ウェハレベルＣＳＰにおいて、光による誤動作を防止でき、用途を拡張し得る半導体装置の製造方法を提供することを目的とする。

## 【 0 0 1 2 】

また、本発明の他の目的は、ウェハレベルＣＳＰにおいて、ダイシング時に基板を切断しないことによりチップングを防止することができ、更に、ダイシング条件の設定を容易にでき、外観検査の工数を低減し得る半導体装置の製造方法を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 1 3 】

第１の発明は、チップ状の基板と、前記基板の一方の面上に形成された第１の樹脂部と、前記基板の他方の面上に形成され、最も外側には前記基板とは反対方向に突出した複数のポスト配線部を有する配線構造と、前記各ポスト配線部の先端面を露出させつつ、前記配線構造及び前記基板を封止するように前記第１の樹脂部に達するまで形成された第２の樹脂部と、前記各ポスト配線層の先端面に各々形成された複数の外部端子と、前記基板を露出させないように、当該基板の周囲に沿って前記第１及び第２の樹脂部が切断されて形成された側面部とを備えた半導体装置である。

## 【 0 0 1 4 】

ここで、第１の発明は、前記第１の樹脂部の表面に形成されたレーザマークを備えてもよく、前記レーザマークに代えて、インクマークを備えてもよい。

## 【 0 0 1 5 】

第２の発明は、半導体ウェハを準備する工程と、前記半導体ウェハをチップ状の複数の基板に分割するための第１の溝を、当該半導体ウェハの一方の面に形成する工程と、前記第１の溝を樹脂で埋め込むと共に、前記半導体ウェハの一方の面を樹脂で覆う工程と、前記半導体ウェハの他方の面上で各基板に対応する位置毎に、最も上側には前記基板とは反対方向に突出した複数のポスト配線部を有する配線構造を形成する工程と、前記第１の溝に対向する第２の溝を、前記半導体ウェハの他方の面から当該第１の溝内の樹脂に達する深さまで形成する工程と、前記第２の溝を樹脂で埋め込むと共に、前記半導体ウェハの他方の面を前記配線構造を含めて樹脂で覆う工程と、前記配線構造を覆う樹脂を研磨し、前記各ポスト配線部の先端面を露出させる工程と、露出した各ポスト配線層の先端面に複数の外部端子を個別に形成する工程と、前記第１及び第２の溝に埋め込まれた樹脂を切断し、当該樹脂に封止された各基板を互いに分離する工程とを備えた半導体装置の製造方法である。

## 【 0 0 1 6 】

第３の発明は、チップ状の複数の基板に分割される半導体ウェハを準備する工程と、前記半導体ウェハの一方の面を樹脂で覆う工程と、前記半導体ウェハの他方の面上で各基板に対応する位置毎に、最も上側には前記基板とは反対方向に突出した複数のポスト配線部を有する配線構造を形成する工程と、前記半導体ウェハを複数の基板に分割するための溝を、当該半導体ウェハの他方の面から前記一方の面の樹脂に達する深さまで形成する工程と、前記溝を樹脂で埋め込むと共に、前記半導体ウェハの他方の面を前記配線構造を含めて樹脂で覆う工程と、前記配線構造を覆う樹脂を研磨し、前記各ポスト配線部の先端面を露出させる工程と、露出した各ポスト配線層の先端面に複数の外部端子を個別に形成する工程と、前記溝に埋め込まれた樹脂を切断し、当該樹脂に封止された各基板を互いに分離する工程とを備えた半導体装置の製造方法である。

## 【 0 0 1 7 】

ここで、第２又は第３の発明は、前記半導体ウェハの一方の面を樹脂で覆う工程の後に実行され、前記半導体ウェハの一方の面を覆う樹脂を研磨し、平坦化する工程を備えてもよい。また、第２又は第３の発明は、前記複数の外部端子を個別に形成する工程後に実行され、前記各基板毎に前記半導体ウェハの一方の面を覆う樹脂の表面にレーザマークを形成する工程を備えてもよく、前記レーザマークに代えて、インクマークを形成してもよい

10

20

30

40

50

## 【0018】

(作用)

従って、第1の発明は以上のような手段を講じたことにより、第1及び第2の樹脂部により完全に基板を樹脂封止した構成により、ウェハレベルCSPにおいて、光による誤動作を防止でき、遮光されない実装形態にも、用途を拡張することができる。

## 【0019】

第2の発明は、第1の溝内の樹脂に達する深さまで第2の溝を形成し、第2の溝に樹脂を埋め込むことにより、第1及び第2の溝に沿って完全に基板を樹脂封止し、第1及び第2の溝内の樹脂を切断するようにしたので、第1の発明の作用を奏する半導体装置を製造でき、更に、ウェハレベルCSPにおいて、ダイシング時に基板を切断しないことによりチップングを防止することができる。更に、ダイシング条件の設定を容易にでき、外観検査の工数を低減させることができる。

## 【0020】

第3の発明は、半導体ウェハの他方の面から一方の面の樹脂に達する深さまで溝を形成し、この溝に樹脂を埋め込むことにより、溝に沿って完全に基板を樹脂封止し、溝内の樹脂を切断するようにしたので、第1の発明の作用を奏する半導体装置を製造でき、更に、ウェハレベルCSPにおいて、ダイシング時に基板を切断しないことによりチップングを防止することができる。更に、ダイシング条件の設定を容易にでき、外観検査の工数を低減させることができる。

## 【0021】

また、上記第2又は第3の発明は、半導体ウェハの一方の面を樹脂で覆う工程の後に、当該樹脂を研磨し、平坦化する場合、前述した作用に加え、ウェハ裏面を覆う樹脂の膜厚を均一にすることができる。

## 【0022】

また、上記各発明は、各基板を分離する前にレーザマーク又はインクマークを形成する場合、前述した作用に加え、各半導体装置毎に方向を揃える工程が不要になるので、効率良くレーザマーク又はインクマークを形成することができる。また、樹脂を研磨して平坦化した場合には、ウェハ面内でより均質にレーザマーク又はインクマークを形成することができる。

## 【発明の効果】

## 【0023】

以上説明したように本発明によれば、ウェハレベルCSPにおいて、光による誤動作を防止でき、明るい場所に実装される形態にも、用途を拡張できる。また、ウェハレベルCSPにおいて、ダイシング時に基板を切断しないことによりチップングを防止することができる。更に、ダイシング条件の設定を容易にでき、外観検査の工数を低減できる。

## 【発明を実施するための最良の形態】

## 【0024】

以下、本発明の各実施形態について図面を参照しながら説明する。

(第1の実施形態)

図1は本発明の第1の実施形態に係る半導体装置の構成を模式的に示す断面図である。この半導体装置20は、最終的にICを個片化したときにIC全体が樹脂封止されている状態を示している。

## 【0025】

具体的には半導体装置20は、チップ状の基板21と、基板21の一方の面上に形成された第1の樹脂28aと、基板21の他方の面上に形成され、最も外側には基板21とは反対方向に突出した複数の銅ポスト(ポスト配線部)27を有する配線構造(22~27)と、各銅ポスト27の先端面を露出させつつ、配線構造及び基板21を封止するように第1の樹脂28aに達するまで形成された第2の樹脂28bと、各銅ポスト27の先端面に各々形成された複数の半田端子29と、基板21を露出させないように、当該基板21

の周囲に沿って第1及び第2の樹脂28a, 28bが切断されて形成された側面部とを備えている。

【0026】

ここで、基板21は、第1及び第2の溝21a, 21bによる段差を有する側面部が第1及び第2の樹脂28a, 28bにより覆われることにより、側面が樹脂封止されている。なお、基板21は、側面に限らず、上面及び下面も樹脂封止されている。

【0027】

配線構造は、基板21上に選択的に形成されたA1パッド(電極)22、A1パッド22間の基板21上に形成された無機層23、無機層23上に形成された絶縁層24、A1パッド22上から絶縁層24表面より突出する高さまで形成された導電性のシード層(図示せず)、シード層及び絶縁層上に選択的に形成された銅再配線26、銅再配線26上に選択的に形成された銅ポスト27から構成されている。

10

第1及び第2の樹脂28a, 28bは、一体となって封止樹脂部28を構成しており、ここでは互いに同一材料のエポキシ系樹脂が使用されている。

【0028】

次に、以上のように構成された半導体装置の製造方法について図2及び図3の工程断面図と図4のフローチャートとを用いて説明する。

【0029】

始めに、図2(a)に示すように、半導体ウェハの基板21表面に、チップサイズ毎に同一の半導体回路が形成され、半導体回路上には選択的にA1パッド22及び無機層23が順次形成される。以下、A1パッド22及び無機層23を有する側の面をアクティブ面と呼ぶ。

20

【0030】

アクティブ面とは反対側の裏面からーフダイシングするために、図示しないウェハ固定用リングに接着剤のついたシートを貼り付け、そのシート上にアクティブ面を貼り付け、裏面を表にする。

【0031】

次に、薄型化の必要に応じ、半導体ウェハの裏面を厚み約400µmまでバックグラインドする。続いて、ウェハ固定用リングをダイシング装置にセットする。ダイシング装置は、赤外線顕微鏡によりアクティブ面のアライメントマークを読み取り、ICのダイシングラインを読み取る。これにより、ダイシングラインの情報はダイシング装置に入力される。

30

【0032】

ダイシング装置は、ダイシングラインの情報に基づいて、ダイシング条件が設定される。例えば、切る深さをウェハ厚の3分の2程度つまりアクティブ面から100~150µmの深さとし、幅をICパターンにもよるが200µmとするようにブレードが選定される。

【0033】

以上の設定が完了したら、ダイシング装置はダイシングを開始し、図2(b)に示すように、半導体ウェハを複数の基板21に分割するための第1の溝21aを、当該半導体ウェハの一方の面に形成し、第一ーフカットを完了する(ST02)。

40

【0034】

次に、樹脂印刷機にウェハ固定用リングがセットされ、図2(c)に示すように、第1の溝21aを第1の樹脂28aで埋め込むと共に、ウェハ周囲の4mmを残し、ウェハの裏面全体を覆うように第1の樹脂28aが印刷される。このとき、第1の樹脂28aの厚みは20~100µmとなるように印刷する。

【0035】

第1の樹脂28aは、20~50µmのフィラーを60%以上含有させた熱硬化性の液状樹脂(エポキシ系の樹脂)を用いている。印刷後、真空脱泡を50torr以下で行い、150で5時間以上加熱し、第1の樹脂28aを硬化させる。これにより、樹脂印刷

50

・硬化工程が完了する。(ST03)。

【0036】

次に、アクティブ面をジェットスクラブで洗浄し、図2(d)~図2(f)に示すように、通常のウェハレベルCSPの製造プロセスである絶縁層(ポリイミド膜)24の形成から銅ポスト27の形成までが実行される(ST04~ST06)。銅ポスト27は、約100 $\mu$ mの高さまでメッキ法により形成される。

【0037】

以上の工程は代表例であり、半導体ウェハのアクティブ面に先に絶縁層24を形成してからダイシング工程に入っても良い(ステップST02, ST03を逆にしても良い)。また、ステップST2の樹脂硬化後、場合によっては平坦度を出すために裏面の樹脂28aを研磨しても良い。この場合、裏面の樹脂28aの膜厚を均一にすることができる。

10

【0038】

銅ポスト27の形成後、図3(a)に示すように、アクティブ面のダイシングラインを裏面の第1の樹脂28aまでーフカットするために、ウェハ固定用リングに半導体ウェハの第1の樹脂28a面を貼り付けた後、ウェハ固定用リングをダイシング装置に取り付ける。

【0039】

ダイシング装置は、ダイシングラインをアライメントし、ダイシング条件が設定される。このとき一般的にICのダイシング幅が80~120 $\mu$ mであるため、ダイシング幅に合わせてダイシングブレードが選定される。例えばダイシング幅が100 $\mu$ mの場合、80 $\mu$ m幅のダイシングブレードが選定される。なお、ダイシングブレードの幅として、第1の溝21aの形成時(200 $\mu$ m)よりも第2の溝21bの形成時(80 $\mu$ m)の方が狭い値を用いたことは、位置ずれに対して余裕をもつ観点から好ましい。

20

【0040】

ダイシング条件の設定の後、ダイシング装置は、第二ーフカットを行い、第1の溝21aに対向する第2の溝21bを、半導体ウェハのアクティブ面側から第1の溝21a内の第1の樹脂28aに達する深さまで形成する。切る深さは、第一ーフカットの厚みを100~150 $\mu$ mとしたことから、樹脂28a面を出すように110~160 $\mu$ mの厚みとする。

【0041】

30

その後、前述同様に、ジェットスクラバー等で洗浄し、図3(b)に示すように、第2の溝21bをエポキシ系の第2の樹脂28bで埋め込むと共に、当該第2の樹脂28bを銅ポスト27を覆うように、120~150 $\mu$ mの厚みで印刷する。そして、真空脱泡してから第2の樹脂28bを硬化させる。これにより、第二ーフカット及び樹脂封止が完了する(ST07)。

【0042】

次に、図3(c)に示すように、半田端子29を形成するためにアクティブ面の第2の樹脂28bを約90 $\mu$ m厚に研磨し、銅ポスト27の先端面を第2の樹脂28bから露出させる(ST08)。その後、銅ポスト27の先端面にフラックスを塗布し、図3(d)に示すように、銅ポスト27の先端面に複数の半田ボール29を個別に形成することにより(ST09)、ウェハレベルでのCSPが完成する。

40

【0043】

この後、全面樹脂封止されたICを個片化するために半導体ウェハをダイシング装置にセットし、ダイシングライン30をアライメントマークで合わせ、図3(e)に示すように、第1及び第2の溝21a, 21bよりも狭い幅の、例えば40 $\mu$ m幅のブレードでフルダイシングする(ST10)。これにより、第1及び第2の溝21a, 21bに埋め込まれた第1及び第2の樹脂28a, 28bを切断し、当該各樹脂28a, 28bに封止された各基板21を互いに分離する。

【0044】

以上により、図3(f)に示すように、側面に約20 $\mu$ mの樹脂層を有して完全に樹脂

50

封止されたCSPの複数個の半導体装置20が完成する(ST11)。

【0045】

上述したように本実施形態によれば、各樹脂28a, 28bにより完全に基板21を樹脂封止した構成により、ウェハレベルCSPにおいて、光による誤動作を防止でき、遮光されない実装形態にも、用途を拡張することができる。

【0046】

詳しくは、ウェハレベルで個々のICを完全樹脂封止したことにより、従来にはなし得なかったSiのチップング(欠けともいう)の心配による外観工程の簡素化が図れるという利点があると同時に光の遮断ができ、ICの機能に影響される事なく採用できる利点がある。

10

【0047】

また耐湿性においても全体を樹脂封止している事からSiと樹脂の界面剥離による耐湿性の劣化の心配がないという利点がある。

【0048】

さらにICの2次実装の際にSi面が剥き出しでないためICの識別が容易で搭載時間が短縮できると共に高速マウンターでの取扱いでも破損等の心配がないという利点がある。

【0049】

また、製造方法の観点からは、第1の溝21a内の樹脂28aに達する深さまで第2の溝21bを形成し、第2の溝21bに樹脂28bを埋め込むことにより、第1及び第2の溝21a, 21bに沿って完全に基板21を樹脂封止し、第1及び第2の溝21a, 21b内の樹脂28a, 28bを切断するようにしたので、前述した効果を有する半導体装置20を製造でき、更に、ウェハレベルCSPにおいて、ダイシング時に基板を切断しないことによりチップングを防止することができる。更に、ダイシング条件の設定を容易にでき、外観検査の工数を低減させることができる。

20

【0050】

(第2の実施形態)

図5は本発明の第2の実施形態に係る半導体装置の構成を模式的に示す断面図であり、図1と同一部分には同一符号を付してその詳しい説明を省略し、ここでは異なる部分について主に述べる。以下の各実施形態も同様にして重複した説明を省略する。

30

【0051】

すなわち、本実施形態は、第二-halfカットを用いた第1の実施形態とは異なり、第一-halfカットにより、完全樹脂封止された半導体装置20'を製造するものである。

【0052】

詳しくは、基板21の裏面を-halfカットせずに第1の樹脂28aを塗布し、CSP回路形成後(銅ポスト27形成後)にダイシングライン30を裏面の第1の樹脂28aまで-halfカットして溝28bを形成し、溝28bに第2の樹脂28bを充填してウェハレベルCSPを形成する。

【0053】

この1つの溝28bによる製造に伴い、基板21の側面は平坦であり、前述した2つの溝による段差が存在しない。

40

【0054】

次に、以上のように構成された半導体装置の製造方法について図6及び図7の工程断面図と図8のフローチャートとを用いて説明する。

【0055】

図6(a)に示すように、始めに、半導体ウェハの表面に、前述した通り、アクティブ面が形成される(ST01)。また、同様に、半導体ウェハの裏面が厚み約400μmまでバックグラインドされる(ST02a)。しかしながら、図6(b)に示すように、前述とは異なり、-halfカットが行われない。

【0056】

50

次に、前述同様に、図6(b)に示すように、ウェハ周囲の4mmを残し、ウェハの裏面全体を覆うように第1の樹脂28aが印刷され、真空脱泡及び加熱により、第1の樹脂28aを硬化させる。これにより、樹脂印刷・硬化工程が完了する(ST03)。

【0057】

以下、前述同様に、図6(c)~図6(e)に示すように、通常のウェハレベルCSPの製造プロセスである絶縁層(ポリイミド膜)24の形成から銅ポスト27の形成までが実行される(ST04~ST06)。なお、ステップST02, ST03を逆にしても良いことも前述同様であり、ステップST03の樹脂硬化後、裏面の第1の樹脂28aを研磨し研磨面28cを形成しても良いことも前述同様である。

【0058】

図6(f)に示すように、銅ポスト27の形成後、アクティブ面のダイシングラインを裏面の樹脂28aまでハーフカットするために、ウェハ固定用リングにウェハの第1の樹脂28a面を貼り付けた後、ウェハ固定用リングをダイシング装置に取り付ける。

【0059】

前述同様のダイシング条件の設定の後、ダイシング装置は、ハーフカットを行い、半導体ウェハを複数の基板21に分割するための溝21bを、半導体ウェハのアクティブ面側から裏面の第1の樹脂28aに達する深さまで形成する。

【0060】

その後、前述同様に、ジェットスクラパー等で洗浄し、図7(a)に示すように、溝21bをエポキシ系の第2の樹脂28bで埋め込むと共に、当該第2の樹脂28bを銅ポスト27を覆うように、120~150μmの厚みで印刷する。そして、真空脱泡してから第2の樹脂28bを硬化させる。これにより、ハーフカット及び樹脂封止が完了する(ST7a)。

【0061】

以下、前述した通り、図7(b)に示すように、アクティブ面の第2の樹脂28bを研磨面28dを形成するために約90μm厚に研磨し、銅ポスト27の先端面を第2の樹脂28bから露出させる(ST08)。その後、銅ポスト27の先端面にフラックスを塗布し、図7(c)に示すように、銅ポスト27の先端面に複数の半田ボール29を個別に形成することにより(ST09)、ウェハレベルでのCSPが完成する。

【0062】

また、前述した通り、全面樹脂封止されたICを個片化するために半導体ウェハをダイシング装置にセットし、図7(d)に示すように、例えば40μmのブレードでフルダイシングする(ST10)。これにより、溝21bに埋め込まれた第2の樹脂28bから第1の樹脂28aまでを切断し、当該樹脂28a, 28bに封止された各基板21を互いに分離する。

【0063】

以上により、図7(e)に示すように、側面に約20μmの樹脂層を有して完全に樹脂封止されたCSPの複数個の半導体装置20'が完成する(ST11)。

【0064】

上述したように本実施形態によれば、半導体ウェハのアクティブ面側から裏面の第1の樹脂28aに達する深さまで溝21bを形成し、この溝21bに第2の樹脂28bを埋め込むことにより、溝21bに沿って完全に基板21を樹脂封止し、溝21b内の第2の樹脂28bを切断するようにしたので、完全に樹脂封止された半導体装置20'を製造でき、更に、ウェハレベルCSPにおいて、ダイシング時に基板を切断しないことによりチップングを防止することができる。更に、ダイシング条件の設定を容易にでき、外観検査の工数を低減させることができる。

【0065】

この半導体装置20'は、各樹脂28a, 28bにより完全に基板21を樹脂封止した構成により、第1の実施形態と同様の効果を得ることができる。例えばウェハレベルCSPにおいて、光による誤動作を防止でき、遮光されない実装形態にも、用途を拡張するこ

10

20

30

40

50

とができる。

【0066】

(第3の実施形態)

図9は本発明の第3の実施形態に係る半導体装置の外観を模式的に示す斜視図である。

【0067】

本実施形態は、第1又は第2の実施形態の変形例であり、前述した半導体装置20、20'が樹脂28aの表面に形成されたレーザマークMLを備えたものとなっている。

【0068】

ここで、レーザマークMLは、例えば図10に示す製造工程により、形成可能となっている。すなわち、完全封止されたウェハレベルCSPを製作する過程において、例えばステップST08の樹脂研磨の終了後、半導体ウェハ40をレーザマーク装置にセットし、既にステップST06で銅ポスト27と一括してウェハ40の外周近傍に形成された各アライメントマーク31を公知の方法で検出、認識してウェハ40を所定の位置に配置する。その後、レーザマーク装置が、例えば“ # & A B C - \* / 1 2 3 4 ”といった所定のレーザマークを各半導体装置20、20'の樹脂28a面にそれぞれ形成する。ここで、レーザマークMLの深さは2～5μmが認識されやすい。

10

【0069】

なお、レーザマークMLの形成は、ステップST08の終了後に限らず、例えばステップST03の第一樹脂部形成、研磨(BACK)完了後でも可能である。また、レーザマークMLは、各基板21を互いに分離する前に形成されることがウェハレベルで一括形成する観点から好ましい。

20

【0070】

以上のような構成によれば、各基板21を分離する前にレーザマークMLを形成するので、第1又は第2の実施形態の効果に加え、各半導体装置20、20'毎に方向を揃える工程が不要になるので、効率良くレーザマークMLを形成することができる。

【0071】

詳しくは、完全樹脂封止されたウェハレベルCSPにおいて、個片化した後に捺印するのは方向性を合わせるのに工数がかかるが、ウェハ状態で個々のICに捺印する事により、個片化した状態でICが完成するという利点がある。また、樹脂28aの上にレーザ捺印することにより、レーザによるICのダメージを無視できるという利点がある。また、予め樹脂28aを研磨して平坦化した場合には、ウェハ40面内でより均質にレーザマーク又はインクマークを形成することができる。

30

【0072】

(第4の実施形態)

図11は本発明の第4の実施形態に係る半導体装置の外観を模式的に示す斜視図である。

【0073】

本実施形態は、第3の実施形態の変形例であり、前述した半導体装置20、20'のレーザマークMLに代えて、インクマークMIを備えたものとなっている。

【0074】

ここで、インクマークMIは、図12に示すように、レーザマークと同様にステップST08とST09との間に形成可能となっている。但し、インクマークMIの形成には、レーザマーク装置ではなく、インク転写装置によるインク転写法が使用される。また同様に、インクマークMIの形成は、ステップST08の終了後に限らず、例えばステップST03の第一樹脂部形成、研磨(BACK)完了後でも可能である。また、インクマークMIは、各基板21を互いに分離する前に形成されることがウェハレベルで一括形成する観点から好ましい。

40

【0075】

以上のようにレーザマークMLに代えて、インクマークMIを用いた構成としても、第3の実施形態と同様の効果を得ることができる。

50

## 【 0 0 7 6 】

なお、本願発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組合せにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組合せてもよい。

## 【 図面の簡単な説明 】

## 【 0 0 7 7 】

【 図 1 】 本発明の第 1 の実施形態に係る半導体装置の構成を模式的に示す断面図である。

【 図 2 】 同実施形態における製造方法を説明するための工程断面図である。

10

【 図 3 】 同実施形態における製造方法を説明するための工程断面図である。

【 図 4 】 同実施形態における製造方法を説明するためのフローチャートである。

【 図 5 】 本発明の第 2 の実施形態に係る半導体装置の構成を模式的に示す断面図である。

【 図 6 】 同実施形態における製造方法を説明するための工程断面図である。

【 図 7 】 同実施形態における製造方法を説明するための工程断面図である。

【 図 8 】 同実施形態における製造方法を説明するためのフローチャートである。

【 図 9 】 本発明の第 3 の実施形態に係る半導体装置の外観を模式的に示す斜視図である。

【 図 1 0 】 同実施形態における製造工程の一例を説明するための模式図である。

【 図 1 1 】 本発明の第 3 の実施形態に係る半導体装置の外観を模式的に示す斜視図である。

20

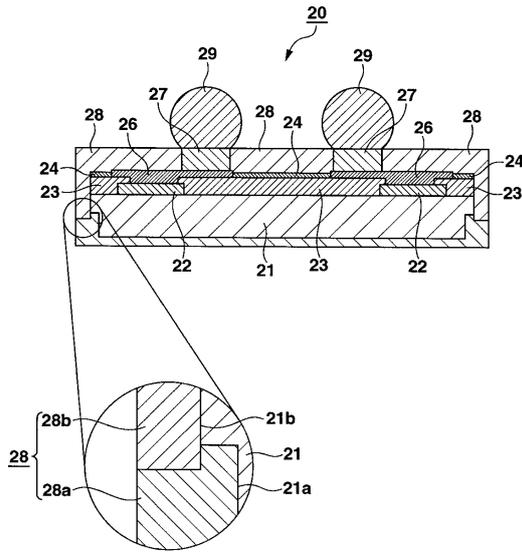
【 図 1 2 】 同実施形態における製造工程の一例を説明するための模式図である。

## 【 符号の説明 】

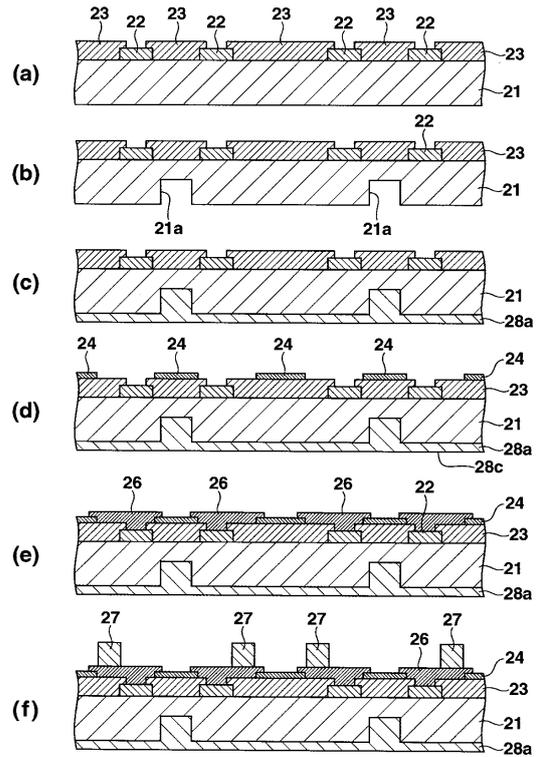
## 【 0 0 7 8 】

2 0 , 2 0 ' ... 半導体装置、 2 1 ... 基板、 2 1 a , 2 1 b ... 溝、 2 2 ... A 1 パッド、 2 3 ... 無機層、 2 4 ... 絶縁層、 2 6 ... 銅再配線、 2 7 ... 銅ポスト、 2 8 ... 樹脂封止部、 2 8 a , 2 8 b ... 樹脂、 2 9 ... 半田端子、 3 1 ... アライメントマーク、 4 0 ... 半導体ウェハ、 M L ... レーザマーク、 M I ... インクマーク。

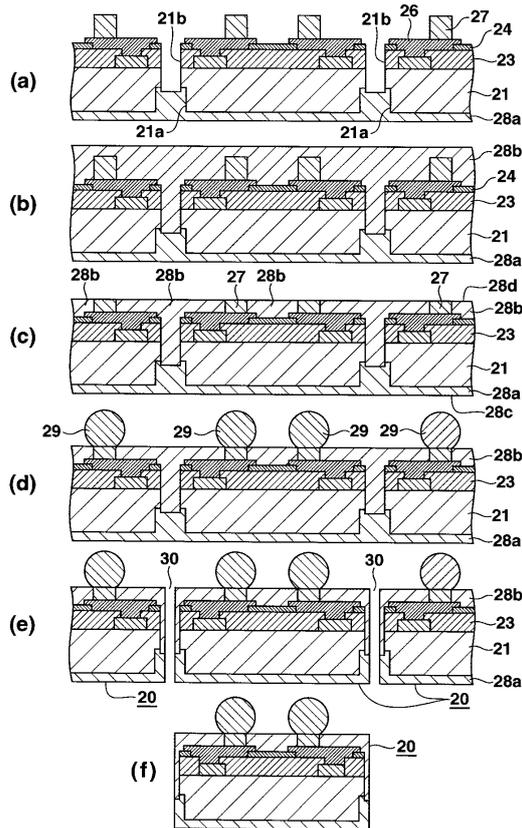
【図1】



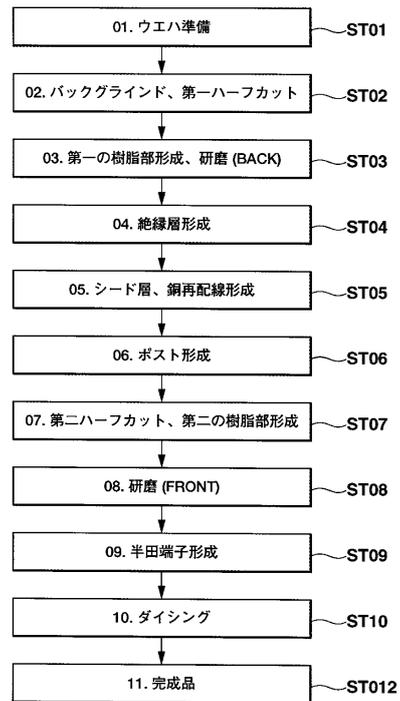
【図2】



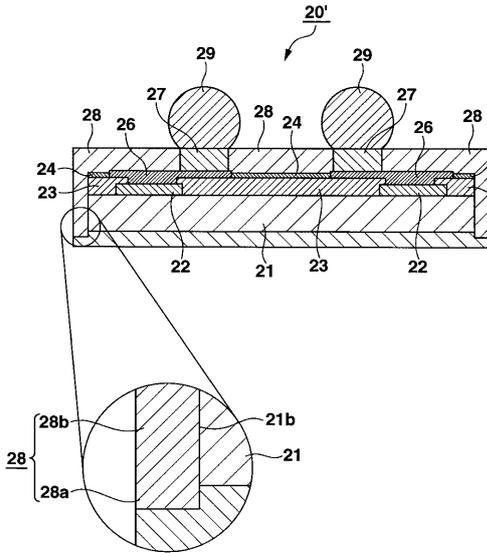
【図3】



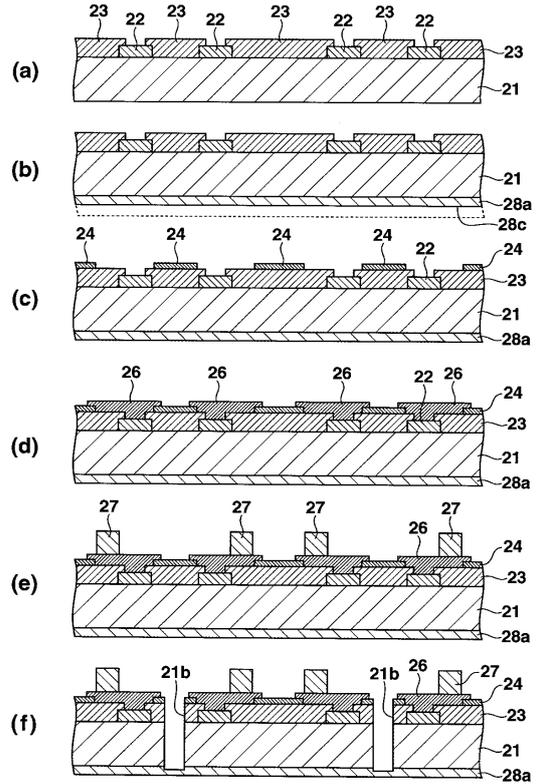
【図4】



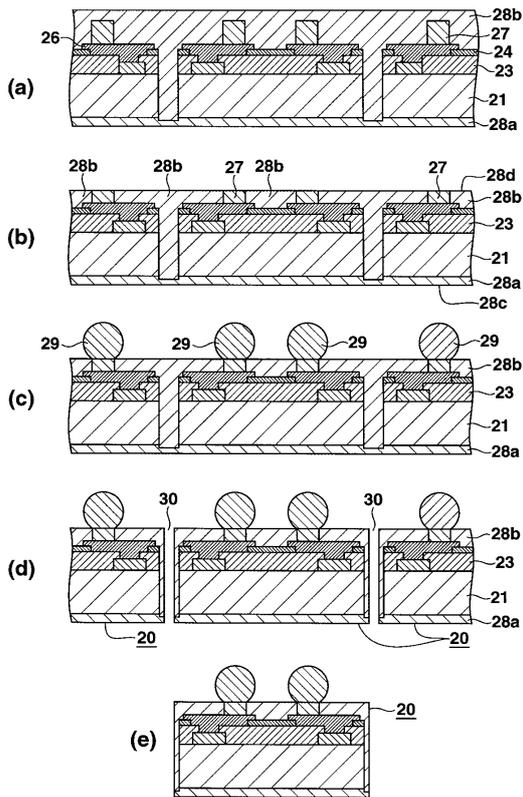
【 図 5 】



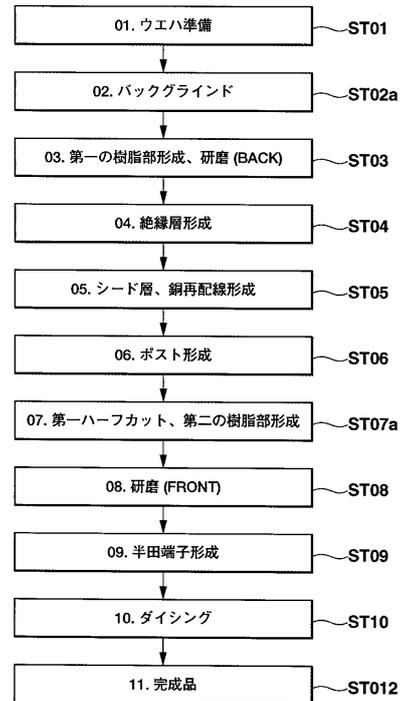
【 図 6 】



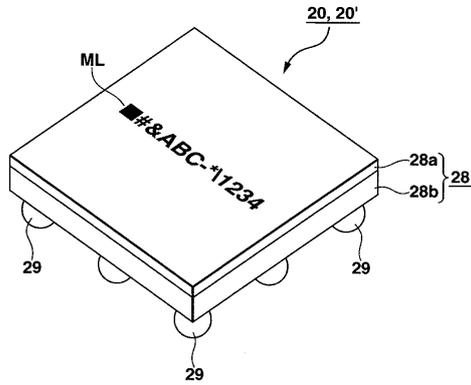
【 図 7 】



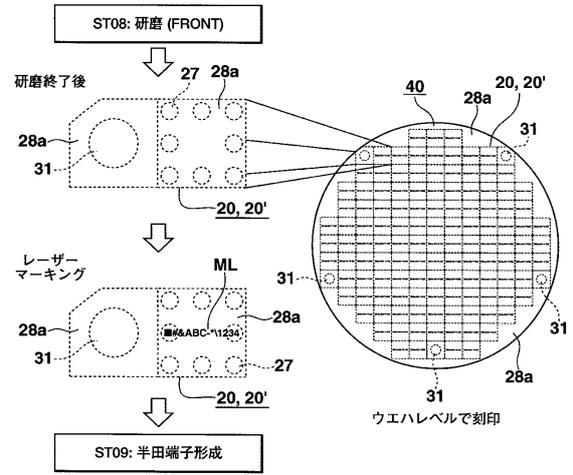
【 図 8 】



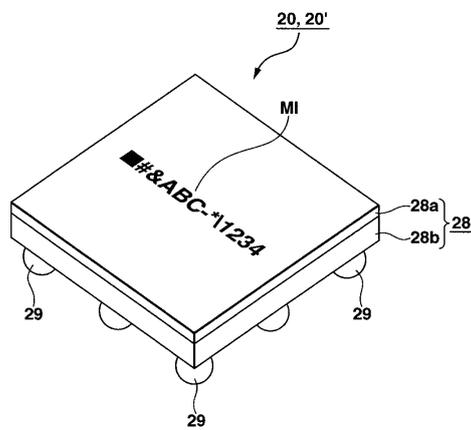
【図9】



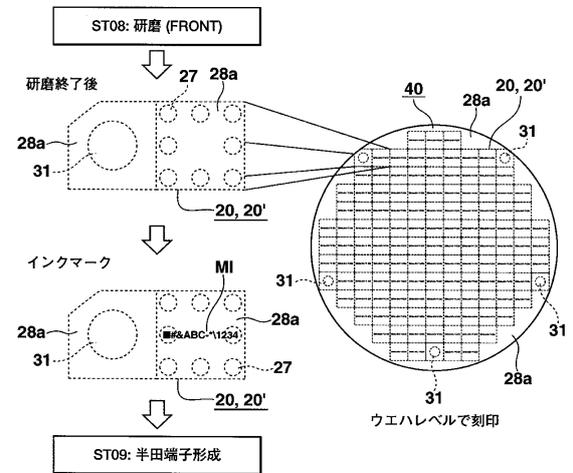
【図10】



【図11】



【図12】



---

フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 今井 勢津雄

東京都青梅市今井3丁目10番地の6 カシオマイクロニクス株式会社青梅事業所内

審査官 宮本 靖史

(56)参考文献 特開平10-335543(JP,A)

特開2002-100709(JP,A)

特開2001-168231(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12