

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6688698号
(P6688698)

(45) 発行日 令和2年4月28日(2020.4.28)

(24) 登録日 令和2年4月8日(2020.4.8)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/11568
HO 1 L 29/792 (2006.01)	HO 1 L 27/11573
HO 1 L 27/11568 (2017.01)	HO 1 L 27/10 4 8 1
HO 1 L 27/11573 (2017.01)	

請求項の数 12 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2016-135766 (P2016-135766)
 (22) 出願日 平成28年7月8日(2016.7.8)
 (65) 公開番号 特開2018-6694 (P2018-6694A)
 (43) 公開日 平成30年1月11日(2018.1.11)
 審査請求日 平成31年1月16日(2019.1.16)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110002066
 特許業務法人筒井国際特許事務所
 (72) 発明者 津田 是文
 東京都江東区豊洲三丁目2番24号 ルネ
 サスエレクトロニクス株式会社内
 審査官 上田 智志

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

主面を有する半導体基板と、
 前記半導体基板の第1領域において、前記半導体基板の一部であって、前記半導体基板の前記主面に沿う第1方向に延在し、前記半導体基板の前記主面に沿って前記第1方向と直交する第2方向に互いに離間して設けられた複数の第1突出部と、
 互いに隣り合う前記第1突出部の間に設けられた第1素子分離領域と、
 前記第1素子分離領域の上面から露出する前記第1突出部の上部に、前記第1方向に互いに隣接して設けられた第1トランジスタおよび第2トランジスタと、
 を有し、
前記第1トランジスタおよび前記第2トランジスタは、不揮発性メモリセルを構成し、
前記第1トランジスタは、前記第1素子分離領域の上面から露出する前記第1突出部の上部の上面および側壁に形成された第1絶縁膜と、前記第1絶縁膜を介して前記第2方向に延在する第1ゲート電極と、を有し、
前記第2トランジスタは、前記第1素子分離領域の上面から露出する前記第1突出部の上部の上面および側壁に形成された第2絶縁膜と、前記第2絶縁膜を介して前記第2方向に延在する第2ゲート電極と、を有し、
前記第2絶縁膜はトラップ性絶縁膜を含み、前記第2絶縁膜を介して前記第1ゲート電極と前記第2ゲート電極とが配置されており、
 前記第2方向に互いに隣り合う前記第1突出部の間において、前記第1素子分離領域の

上面の一部が、一方の前記第1突出部の側壁に接する前記第1素子分離領域の上面の位置と他方の前記第1突出部の側壁に接する前記第1素子分離領域の上面の位置とを結んだ第1面よりも高い位置にある、半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記第1領域とは異なる、前記半導体基板の第2領域において、前記半導体基板の一部分であって、前記半導体基板の前記主面に沿う第3方向に延在し、前記半導体基板の前記主面に沿って前記第3方向と直交する第4方向に互いに離間して設けられた複数の第2突出部と、

互いに隣り合う前記第2突出部の間に設けられた第2素子分離領域と、

前記第2素子分離領域の上面から露出する前記第2突出部の上部に設けられた第3トランジスタと、

をさらに有し、

前記第4方向に互いに隣り合う前記第2突出部の間において、前記第2素子分離領域の上面の平面度が、前記第1素子分離領域の上面の平面度よりも小さい、半導体装置。

【請求項3】

請求項1記載の半導体装置において、

前記第1領域とは異なる、前記半導体基板の第2領域において、前記半導体基板の一部分であって、前記半導体基板の前記主面に沿う第5方向に延在し、前記半導体基板の前記主面に沿って前記第5方向と直交する第6方向に互いに離間して設けられた複数の第3突出部と、

互いに隣り合う前記第3突出部の間に設けられた第3素子分離領域と、

前記第3素子分離領域の上面から露出する前記第3突出部の上部に設けられた第4トランジスタと、

をさらに有し、

前記第6方向に互いに隣り合う前記第3突出部の間において、前記第3素子分離領域の上面の一部が、一方の前記第3突出部の側壁に接する前記第3素子分離領域の上面の位置と他方の前記第3突出部の側壁に接する前記第3素子分離領域の上面の位置とを結んだ第2面よりも高い位置にある、半導体装置。

【請求項4】

請求項1記載の半導体装置において、

前記第1突出部の側壁と前記第2絶縁膜を挟んだ位置にある、前記第2ゲート電極の下部の端部は、前記第1素子分離領域の上面よりも上に位置する、半導体装置。

【請求項5】

請求項1記載の半導体装置において、

前記第2方向に互いに隣り合う前記第1突出部の間において、前記第1素子分離領域の上面が、前記第2方向に沿った断面において凸形状となっている、半導体装置。

【請求項6】

請求項1記載の半導体装置において、

前記第1面の前記第2方向の幅をWとし、前記第1面から前記第1素子分離領域の上面の最も高い位置までの距離をHとすると、 H/W は $0.2 \sim 0.5$ である、半導体装置。

【請求項7】

請求項1記載の半導体装置において、

前記第1面から前記第1素子分離領域の上面の最も高い位置までの距離は、 $20 \text{ nm} \sim 30 \text{ nm}$ である、半導体装置。

【請求項8】

(a) 半導体基板の主面上に、第1厚さの第1絶縁膜を形成した後、前記第1絶縁膜上に、前記第1厚さよりも厚い第2厚さの第2絶縁膜を形成する工程、

(b) 前記第2絶縁膜、前記第1絶縁膜および前記半導体基板を順次加工して、複数の溝を形成することにより、前記半導体基板の前記主面に沿う第1方向に延在し、前記半導

10

20

30

40

50

体基板の前記主面に沿って前記第1方向と直交する第2方向に互いに離間する、前記半導体基板の一部分からなる複数の突出部を形成する工程、

(c) 前記半導体基板の主面上に第3絶縁膜を堆積して、前記複数の溝の内部を前記第3絶縁膜で埋め込む工程、

(d) 前記第3絶縁膜の上面および前記第2絶縁膜の上面を平坦化する工程、

(e) 前記第2絶縁膜を除去する工程、

(f) 等方性のドライエッチングを行い、前記第1絶縁膜を除去して複数の前記突出部の上面を露出させ、前記第3絶縁膜の上面および側面を後退させて複数の前記突出部の側壁を前記第3絶縁膜の上面から露出させる工程、

(g) 前記第3絶縁膜の上面から露出した前記突出部の上面および側壁と第4絶縁膜を介し、前記第2方向に延在する第1ゲート電極を形成する工程、

(h) 前記第3絶縁膜の上面から露出した前記突出部の上面および側壁並びに前記第1ゲート電極の一方の側壁とトラップ性絶縁膜を含む第5絶縁膜を介し、前記第2方向に延在する第2ゲート電極を形成する工程、

を有し、

前記第2方向に互いに隣り合う前記突出部の間において、前記第3絶縁膜の上面の一部が、一方の前記突出部の側壁に接する前記第3絶縁膜の上面の位置と他方の前記突出部の側壁に接する前記第3絶縁膜の上面の位置とを結んだ第1面よりも高い、半導体装置の製造方法。

【請求項9】

請求項8記載の半導体装置の製造方法において、

前記(a)工程において、第1窒化シリコン膜、酸化シリコン膜および第2窒化シリコン膜からなる積層構造の前記第2絶縁膜を形成し、

前記(e)工程において、

(e1) 前記第2窒化シリコン膜を除去する工程、

(e2) 等方性のドライエッチングを行い、前記酸化シリコン膜を除去し、前記第3絶縁膜の上面および側面を後退させる工程、

(e3) 前記第1窒化シリコン膜を除去する工程、
を有する、半導体装置の製造方法。

【請求項10】

請求項8記載の半導体装置の製造方法において、

前記(e)工程と前記(f)工程との間に、

(i) エッチングを行い、前記第3絶縁膜の上面を後退させる工程、
を有する、半導体装置の製造方法。

【請求項11】

請求項8記載の半導体装置の製造方法において、

前記第1面の前記第2方向の幅をWとし、前記第1面から前記第3絶縁膜の上面の最も高い位置までの距離をHとすると、 H/W は $0.2 \sim 0.5$ である、半導体装置の製造方法。

【請求項12】

請求項8記載の半導体装置の製造方法において、

前記第1面から前記第3絶縁膜の上面の最も高い位置までの距離は、 $20 \text{ nm} \sim 30 \text{ nm}$ である、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、例えばフィン(Fin)状の半導体部により構成されるフィン型トランジスタ(FIN FET: Fin Field Effect Transistor)を有する半導体装置およびその製造に好適に利用できるものである。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

例えば米国特許出願公開第 2 0 1 5 / 0 2 7 0 4 0 1 号明細書（特許文献 1）には、少なくとも 2 種類の異なった半導体材料にチャンネル領域が形成された F I N F E T が記載されている。

【 0 0 0 3 】

また、米国特許出願公開第 2 0 1 4 / 0 3 4 6 6 1 2 号明細書（特許文献 2）には、複数のフィン同士を分離する素子分離領域が、熱酸化、プラズマ酸化または酸素のイオン注入により形成する技術が記載されており、素子分離領域の上面は凸形状となっている。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 4 】

【 特許文献 1 】 米国特許出願公開第 2 0 1 5 / 0 2 7 0 4 0 1 号明細書

【 特許文献 2 】 米国特許出願公開第 2 0 1 4 / 0 3 4 6 6 1 2 号明細書

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

1 6 n m ノード以降のフィン型チャンネルを有するスプリットゲート型メモリセルでは、互いに隣り合うメモリセルの間の距離が近くなり、メモリセル間で繋がっているトラップ性絶縁膜（電荷蓄積膜、電荷保持膜）を通じた電荷の拡散が、メモリセルの信頼性に影響を及ぼすことが懸念された。

20

【 0 0 0 6 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 課題を解決するための手段 】

【 0 0 0 7 】

一実施の形態による半導体装置は、半導体基板の一部分であって、半導体基板の主面に沿う第 1 方向に延在し、半導体基板の主面に沿って第 1 方向と直交する第 2 方向に互いに離間する複数のフィンが設けられている。そして、第 2 方向に互いに隣り合うフィンの間において、素子分離領域の上面の一部が、一方のフィンの側壁に接する素子分離領域の上面の位置と他方のフィンの側壁に接する素子分離領域の上面の位置とを結んだ面よりも高い位置にあり、第 2 方向に沿った断面において、素子分離領域の上面は凸形状となっている。

30

【 0 0 0 8 】

一実施の形態による半導体装置の製造方法は、半導体基板の主面上に、窒化膜を形成する工程と、窒化膜および半導体基板を順次加工して、複数の溝を形成することにより、半導体基板の主面に沿う第 1 方向に延在し、半導体基板の主面に沿って第 1 方向と直交する第 2 方向に互いに離間する、半導体基板の一部分からなる複数の突出部を形成する工程と、を有する。さらに、半導体基板の主面上に酸化膜を堆積して、複数の溝の内部を酸化膜で埋め込む工程と、酸化膜の上面および窒化膜の上面を平坦化する工程と、窒化膜を除去する工程と、等方性のドライエッチングを行い、酸化膜の上面および側面をそれぞれ後退させて、複数の突出部の上面および側壁を酸化膜の上面から露出させる工程と、を有する。そして、第 2 方向に互いに隣り合う突出部の間において、酸化膜の上面の一部が、一方の突出部の側壁に接する酸化膜の上面の位置と他方の突出部の側壁に接する酸化膜の上面の位置とを結んだ面よりも高い位置にあり、第 2 方向に沿った断面において、酸化膜の上面を凸形状とする。

40

【 発明の効果 】

【 0 0 0 9 】

一実施の形態によれば、半導体装置の信頼性を向上させることができる。

【 図面の簡単な説明 】

【 0 0 1 0 】

50

- 【図 1】実施の形態 1 による半導体装置のメモリセル領域を示す平面図である。
- 【図 2】実施の形態 1 による半導体装置のロジック領域を示す平面図である。
- 【図 3】実施の形態 1 による半導体装置のメモリセル領域を示す、図 1 の A - A 線および B - B 線に沿った断面図である。
- 【図 4】実施の形態 1 による半導体装置のロジック領域を示す、図 2 の C - C 線および D - D 線に沿った断面図である。
- 【図 5】実施の形態 1 による半導体装置のメモリセル領域に形成されたメモリセルの鳥瞰図である。
- 【図 6】実施の形態 1 による半導体装置（メモリセル領域）の製造工程を説明する、図 1 の A - A 線および B - B 線に沿った断面図である。 10
- 【図 7】実施の形態 1 による半導体装置（ロジック領域）の製造工程を説明する、図 2 の C - C 線および D - D 線に沿った断面図である。
- 【図 8】図 6 に続く半導体装置の製造工程を説明する断面図である。
- 【図 9】図 7 に続く半導体装置の製造工程を説明する断面図である。
- 【図 10】図 8 に続く半導体装置の製造工程を説明する断面図である。
- 【図 11】図 9 に続く半導体装置の製造工程を説明する断面図である。
- 【図 12】図 10 に続く半導体装置の製造工程を説明する断面図である。
- 【図 13】図 11 に続く半導体装置の製造工程を説明する断面図である。
- 【図 14】図 12 に続く半導体装置の製造工程を説明する断面図である。
- 【図 15】図 13 に続く半導体装置の製造工程を説明する断面図である。 20
- 【図 16】図 14 に続く半導体装置の製造工程を説明する断面図である。
- 【図 17】図 15 に続く半導体装置の製造工程を説明する断面図である。
- 【図 18】図 16 に続く半導体装置の製造工程を説明する断面図である。
- 【図 19】図 17 に続く半導体装置の製造工程を説明する断面図である。
- 【図 20】図 18 に続く半導体装置の製造工程を説明する断面図である。
- 【図 21】図 19 に続く半導体装置の製造工程を説明する断面図である。
- 【図 22】図 20 に続く半導体装置の製造工程を説明する断面図である。
- 【図 23】図 21 に続く半導体装置の製造工程を説明する断面図である。
- 【図 24】実施の形態 1 による半導体装置のメモリセル領域を示す、図 1 の A - A 線に沿った断面図である。 30
- 【図 25】実施の形態 1 による半導体装置のメモリセル領域を示す、図 1 の A - A 線に沿った断面図である。
- 【図 26】実施の形態 1 による半導体装置のメモリセル領域を示す、図 1 の A - A 線に沿った断面図である。
- 【図 27】実施の形態 1 による半導体装置のメモリセル領域を示す、図 1 の A - A 線に沿った断面図である。
- 【図 28】図 22 に続く半導体装置の製造工程を説明する断面図である。
- 【図 29】図 23 に続く半導体装置の製造工程を説明する断面図である。
- 【図 30】図 28 に続く半導体装置の製造工程を説明する断面図である。
- 【図 31】図 29 に続く半導体装置の製造工程を説明する断面図である。 40
- 【図 32】図 30 に続く半導体装置の製造工程を説明する断面図である。
- 【図 33】図 31 に続く半導体装置の製造工程を説明する断面図である。
- 【図 34】図 32 に続く半導体装置の製造工程を説明する断面図である。
- 【図 35】図 33 に続く半導体装置の製造工程を説明する断面図である。
- 【図 36】図 34 に続く半導体装置の製造工程を説明する断面図である。
- 【図 37】図 35 に続く半導体装置の製造工程を説明する断面図である。
- 【図 38】図 36 に続く半導体装置の製造工程を説明する断面図である。
- 【図 39】図 37 に続く半導体装置の製造工程を説明する断面図である。
- 【図 40】図 38 に続く半導体装置の製造工程を説明する断面図である。
- 【図 41】図 39 に続く半導体装置の製造工程を説明する断面図である。 50

- 【図42】図40に続く半導体装置の製造工程を説明する断面図である。
- 【図43】図41に続く半導体装置の製造工程を説明する断面図である。
- 【図44】図42に続く半導体装置の製造工程を説明する断面図である。
- 【図45】図43に続く半導体装置の製造工程を説明する断面図である。
- 【図46】図44に続く半導体装置の製造工程を説明する断面図である。
- 【図47】図45に続く半導体装置の製造工程を説明する断面図である。
- 【図48】図46に続く半導体装置の製造工程を説明する断面図である。
- 【図49】図47に続く半導体装置の製造工程を説明する断面図である。
- 【図50】図48に続く半導体装置の製造工程を説明する断面図である。
- 【図51】図49に続く半導体装置の製造工程を説明する断面図である。 10
- 【図52】図50に続く半導体装置の製造工程を説明する断面図である。
- 【図53】図51に続く半導体装置の製造工程を説明する断面図である。
- 【図54】図52に続く半導体装置の製造工程を説明する断面図である。
- 【図55】図53に続く半導体装置の製造工程を説明する断面図である。
- 【図56】図54に続く半導体装置の製造工程を説明する断面図である。
- 【図57】図55に続く半導体装置の製造工程を説明する断面図である。
- 【図58】実施の形態1による半導体装置のメモリセル領域を示す、図1のA - A線に沿った拡大断面図である。
- 【図59】実施の形態1の変形例による半導体装置のメモリセル領域を示す、図1のA - A線に沿った拡大断面図である。 20
- 【図60】実施の形態2による半導体装置のメモリセル領域を示す平面図である。
- 【図61】実施の形態2による半導体装置のメモリセル領域を示す、図60のE - E線およびF - F線に沿った断面図である。
- 【図62】実施の形態2による半導体装置（メモリセル領域）の製造工程を説明する、図60のE - E線に沿った断面図である。
- 【図63】図62に続く半導体装置の製造工程を説明する断面図である。
- 【図64】図63に続く半導体装置の製造工程を説明する断面図である。
- 【図65】図64に続く半導体装置の製造工程を説明する断面図である。
- 【図66】図65に続く半導体装置の製造工程を説明する断面図である。
- 【図67】図66に続く半導体装置の製造工程を説明する断面図である。 30
- 【発明を実施するための形態】
- 【0011】
- 以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。
- 【0012】
- また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。
- 【0013】 40
- また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。
- 【0014】
- また、「Aからなる」、「Aよりなる」、「Aを有する」、「Aを含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。 50

【 0 0 1 5 】

また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。また、断面図および平面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。また、断面図と平面図とが対応する場合においても、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。また、断面図であっても図面を見易くするためにハッチングを省略する場合もあり、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【 0 0 1 6 】

以下、本実施の形態を図面に基づいて詳細に説明する。

10

【 0 0 1 7 】

(実施の形態 1)

《半導体装置の構造》

本実施の形態 1 による半導体装置の構造について図 1 ~ 図 5 を用いて説明する。図 1 は、本実施の形態 1 による半導体装置のメモリセル領域を示す平面図である。図 2 は、本実施の形態 1 による半導体装置のロジック領域を示す平面図である。図 3 は、本実施の形態 1 による半導体装置のメモリセル領域を示す、図 1 の A - A 線および B - B 線に沿った断面図である。図 4 は、本実施の形態 1 による半導体装置のロジック領域を示す、図 2 の C - C 線および D - D 線に沿った断面図である。図 5 は、本実施の形態 1 による半導体装置のメモリセル領域に形成されたメモリセルの鳥瞰図である。

20

【 0 0 1 8 】

図 3 に示す A - A 線に沿った断面は、メモリセル領域のフィン上のゲート電極の延在方向に沿う断面であり、B - B 線に沿った断面は、メモリセル領域のフィンの延在方向に沿う断面である。図 4 に示す C - C 線に沿った断面は、ロジック領域のフィン上のゲート電極の延在方向に沿う断面であり、D - D 線に沿った断面は、ロジック領域のフィンの延在方向に沿う断面である。なお、図 1 および図 2 では、ソース・ドレイン領域、層間絶縁膜、各ゲート電極上のシリサイド層などの図示を省略している。さらに、図 5 では、サイドウォールの図示を省略している。

【 0 0 1 9 】

本実施の形態 1 による半導体装置は、同一半導体チップ上に、2つの F I N F E T からなるスプリットゲート型メモリセルと、例えば低耐圧の n 型の F I N F E T とを搭載したものである。メモリセルはメモリセル領域に配置され、低耐圧の F I N F E T はロジック領域に配置されている。メモリセル領域およびロジック領域は、半導体基板の主面に沿う方向に並ぶ領域である。

30

【 0 0 2 0 】

図 1、図 3 および図 5 のメモリセル領域 1 A に示すように、メモリセル(不揮発性記憶素子) M C は、半導体基板 S B の一部であって、半導体基板 S B の上部に形成された板状のフィン F A の上部に形成されている。また、図 2 および図 4 のロジック領域 1 B に示すように、低耐圧の F I N F E T であるトランジスタ Q 1 は、半導体基板 S B の一部であって、半導体基板 S B の上部に形成された板状のフィン F B の上部に形成されている。

40

【 0 0 2 1 】

フィン F A , F B のそれぞれは、半導体基板 S B の主面に沿う x 方向(第 1 方向)に沿って延在する半導体層のパターンであって、x 方向に対して直交し、半導体基板 S B の主面に沿う y 方向(第 2 方向)におけるフィン F A , F B のそれぞれの幅は、x 方向の F A , F B のそれぞれの幅に比べて著しく小さい。半導体基板 S B は、例えば単結晶シリコンからなる。

【 0 0 2 2 】

フィン F A , F B のそれぞれは、y 方向に互いに離間して複数並んで配置されている。図 1 および図 2 では、y 方向に並ぶフィン F A , F B のそれぞれを 3 つのみ示しているが、フィン F A , F B のそれぞれは、y 方向においてさらに多く並んで配置されていてもよ

50

い。

【0023】

また、メモリセル領域1Aでは、x方向においても複数のフィンF Aが並んで配置されていてもよいし、長さ、幅および高さを有する突出部であれば、その形状は問わない。例えば平面視において蛇行するパターンも含まれる。また、フィンF Aの並び方も問わない。同様に、ロジック領域1Bでは、x方向においても複数のフィンF Bが並んで配置されていてもよいし、長さ、幅および高さを有する突出部であれば、その形状は問わない。例えば平面視において蛇行するパターンも含まれる。また、フィンF Bの並び方も問わない。

【0024】

複数のフィンF A同士の間には、半導体基板S Bの上面に形成された溝D 1が形成されている。複数のフィンF B同士の間には、半導体基板S Bの上面に形成された溝D 2が形成されている。

【0025】

図3に示すように、y方向に互いに隣り合う2つのフィンF Aの互いの端部は、半導体基板S Bの一部であって、素子分離領域E Iに覆われた下部パターンU Pにより接続されている。なお、下部パターンU Pは、当該2つのフィンF Aの互いの端部からy方向に延在しており、フィンF Aを接続していれば、その形状は問わない。同様に、図4に示すように、y方向に互いに隣り合う2つのフィンF Bの互いの端部は、半導体基板S Bの一部であって、素子分離領域E Iに覆われた下部パターンU Pにより接続されている。なお、下部パターンU Pは、当該2つのフィンF Bの互いの端部からy方向に延在しており、フィンF Bを接続していれば、その形状は問わない。

【0026】

フィンF A、およびフィンF Aに接続された下部パターンU Pのそれぞれの側壁は、溝D 1の側壁を構成している。また、フィンF B、およびフィンF Bに接続された下部パターンU Pのそれぞれの側壁は、溝D 2の側壁を構成している。フィンF A、F Bのそれぞれに接続された下部パターンU Pは、形成されていなくてもよい。つまり、下部パターンU Pが形成された領域は、溝D 1、D 2のそれぞれに埋め込まれた素子分離領域E Iの一部となってもよい。

【0027】

図3および図4に示すように、素子分離領域E Iは、溝D 1、D 2のそれぞれを埋め込む絶縁膜である。但し、素子分離領域E Iは溝D 1、D 2のそれぞれを完全に埋め込んでおらず、素子分離領域E Iの上面には、フィンF A、F Bのそれぞれの一部が突出している。素子分離領域E Iの上面から露出するフィンF A、F Bのそれぞれの高さは、例えば40nm~60nm程度である。素子分離領域E Iは、下部パターンU Pの全体を覆っている。素子分離領域E Iは、例えば酸化シリコンからなる。

【0028】

本実施の形態1では、メモリセル領域1Aの半導体基板S Bの一部を構成するパターンであって、素子分離領域E Iから露出し、x方向に延在する上層パターンと、当該上層パターンの直下において、当該上層パターン側から溝D 1の底部まで達する下層パターンとを含む板状の半導体層をフィンF Aと呼ぶ。同様に、ロジック領域1Bの半導体基板S Bの一部を構成するパターンであって、素子分離領域E Iから露出し、x方向に延在する上層パターンと、当該上層パターンの直下において、当該上層パターン側から溝D 2の底部まで達する下層パターンとを含む板状の半導体層をフィンF Bと呼ぶ。

【0029】

すなわち、フィンとは、半導体基板S Bの上面において半導体基板S Bの上方へ突出する半導体パターンであり、例えば図1および図2のx方向に延在する突出部である。ここでは、下部パターンU PはフィンF A、F Bのそれぞれの一部ではないものとして説明を行う。図示はしていないが、フィンF A、F Bのそれぞれの上面には、p型不純物(例えばホウ素(B))を含むp型ウェルが、後述するソース・ドレイン領域に比べて深く形成

10

20

30

40

50

されている。

【0030】

図3および図5に示すように、メモリセル領域1Aにおいて、素子分離領域EIの上面はy方向に沿った断面において凸形状となっている。言い換えると、y方向に互いに隣り合うフィンFAの間において、素子分離領域EIの上面の一部が、一方のフィンFAの側壁に接する素子分離領域EIの上面の位置と他方のフィンFAの側壁に接する素子分離領域EIの上面の位置とを結んだ面よりも高い位置にある。

【0031】

但し、素子分離領域EIの上面の凸部の高さが大きくなり過ぎると、素子分離領域EIの上面の段差が大きくなり、素子分離領域EIを形成した後の加工プロセスが難しくなる。このため、素子分離領域EIの上面の凸部の高さは、例えば20nm~30nm程度が望ましく、例えばy方向に互いに隣り合うフィンFAの間隔をa、凸部の高さをbとすると、 b/a は0.2~0.5程度が望ましい。ここで、凸部の高さとは、y方向に互いに隣り合うフィンFAの間において、一方のフィンFAの側壁に接する素子分離領域EIの上面の位置と他方のフィンFAの側壁に接する素子分離領域EIの上面の位置とを結んだ面から、素子分離領域EIの上面の最も高い位置までの距離である。

10

【0032】

このように、メモリセル領域1Aの素子分離領域EIの上面を凸形状とすることにより、素子分離領域EIの上面が平坦形状の場合と比べて、y方向に互いに隣り合うメモリセルMCの間において、後述するONO膜(Oxide-Nitride-Oxide)膜ONを構成するトラ

20

【0033】

一方、図4に示すように、ロジック領域1Bにおいて、y方向に互いに隣り合うフィンFBの間隔が、例えば50nm以下の小さい場合は、素子分離領域EIの上面はy方向に沿った断面において凸形状とならず、ほぼ平坦となる。すなわち、ロジック領域1Bの素子分離領域EIの上面の平面度は、メモリセル領域1Aの素子分離領域EIの上面の平面度よりも小さくなる。

【0034】

これに対して、y方向に互いに隣り合うフィンFBの間隔が、例えば60nm以上の大きい場合は、素子分離領域EIの上面はy方向に沿った断面において凸形状となる。但し、ロジック領域1Bでは、メモリセル領域1Aにおいて生じるような電荷拡散の問題は無く、また、素子分離領域EIの上面に凸部があると、ロジック領域1Bにおける素子分離領域EIを形成した後の加工プロセスが難しくなることから、素子分離領域EIの上面は平坦であることが望ましい。

30

【0035】

図1、図3および図5に示すように、メモリセル領域1Aにおいて、y方向に並ぶ複数のフィンFAの直上には、それらのフィンFAを跨ぐように、y方向に延在する制御ゲート電極CGおよびy方向に延在するメモリゲート電極MGが形成されている。

【0036】

制御ゲート電極CGは、素子分離領域EIの上面から露出するフィンFAの上面および側壁にゲート絶縁膜GFを介して形成されている。ゲート絶縁膜GFは、例えば酸化シリコンからなり、制御ゲート電極CGは、例えばポリシリコンからなる。

40

【0037】

x方向における制御ゲート電極CGの一方の側壁はサイドウォールSW3により覆われ、他方の側壁には、ONO膜ONを介してメモリゲート電極MGが形成されている。サイドウォールSW3は、例えば窒化シリコン、酸化シリコンまたはそれらの積層膜からなる。ONO膜ONは、半導体基板SB側および制御ゲート電極CG側から順に酸化シリコン膜X1、窒化シリコン膜N1および酸化シリコン膜X2を積層した積層膜であり、メモリゲート電極MGは、例えばポリシリコンからなる。窒化シリコン膜N1はトラップ性絶縁膜(電荷蓄積膜、電荷保持膜)であり、メモリセルMCの動作により窒化シリコン膜N1

50

の電荷蓄積状態を変化させることで、メモリセルMCのしきい値電圧を変化させることができる。

【0038】

メモリゲート電極MGは、素子分離領域EIの上面から露出するフィンFAの上面および側壁にONO膜ONを介して形成されている。すなわち、ONO膜ONは、フィンFAの上面と、制御ゲート電極CGの側壁とに沿って連続的に形成されたL字型の断面を有する。メモリゲート電極MGは、ONO膜ONにより制御ゲート電極CGおよびフィンFAから絶縁されている。

【0039】

x方向におけるメモリゲート電極MGの側壁であって、ONO膜ONと接していない方の側壁は、サイドウォールSW3により覆われている。制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの上面には、シリサイド層SIが形成されている。シリサイド層SIは、例えばニッケルシリサイド(NiSi)またはコバルトシリサイド(CoSi)からなる。シリサイド層SIは、制御ゲート電極CGの上面およびメモリゲート電極MGの上面のそれぞれに対し接続されるコンタクトプラグ(図示しない)と、制御ゲート電極CGまたはメモリゲート電極MGとの接続抵抗を低減するために設けられている。

10

【0040】

メモリセル領域1AのフィンFAの直上には、ONO膜ONを介して互いに隣接する制御ゲート電極CGおよびメモリゲート電極MGを含むパターンがx方向に並んで一対形成されている。当該一対のパターンは互いに離間しており、当該一対のパターンを構成する2つの制御ゲート電極CG同士の対向する面には、メモリゲート電極MGが隣接している。

20

【0041】

x方向における当該パターンの横の両側のフィンFAの上面には、一対のソース・ドレイン領域が形成されている。ソース・ドレイン領域のそれぞれは、n型不純物(例えばリン(P)またはヒ素(As))が導入された2つのn型半導体領域、つまりエクステンション領域EXおよび拡散層DFにより構成されている。エクステンション領域EXは、拡散層DFよりもn型不純物の濃度が低い領域である。ここでは、エクステンション領域EXは拡散層DFよりも深く形成されている。また、エクステンション領域EXは、隣接する拡散層DFよりも、制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの直下に近い位置に配置されている。このように、当該ソース・ドレイン領域は、不純物濃度が低いエクステンション領域EXと、不純物濃度が高い拡散層DFとを含むLDD(Lightly Doped Drain)構造を有している。

30

【0042】

制御ゲート電極CGと、当該制御ゲート電極CGの両側のフィンFAの上面に形成された一対のソース・ドレイン領域とは、MISFET(Metal Insulator Semiconductor Field Effect Transistor)構造の第1トランジスタ(制御用トランジスタ)を構成している。また、メモリゲート電極MGと、当該メモリゲート電極MGの両側のフィンFAの上面に形成された一対のソース・ドレイン領域とは、MISFET構造の第2トランジスタ(メモリ用トランジスタ)を構成している。本実施の形態1による1つのメモリセルMCは、互いにソース・ドレイン領域を共有する第1トランジスタと第2トランジスタとにより構成されている。すなわち、メモリセルMCは、制御ゲート電極CG、メモリゲート電極MG、ONO膜ON、制御ゲート電極CGの近傍のドレイン領域、およびメモリゲート電極MGの近傍のソース領域を有している。

40

【0043】

1つのフィンFA上には、2つのメモリセルMCが形成されている。当該2つのメモリセルMCは、互いのソース領域を共有している。制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの直下のフィンFAの上面は、メモリセルMCの動作時にチャンネルが形成されるチャンネル領域を含んでいる。当該チャンネルは、フィン型チャンネルである。メモリセルMCは、書き込み動作および消去動作とも電氣的に書き換え可能な不揮発性メモリ

50

である。

【0044】

また、図2および図4に示すように、ロジック領域1Bにおいて、y方向に並ぶ複数のフィンFBの直上には、それらのフィンFBを跨ぐように、y方向に延在するゲート電極G1が形成されている。

【0045】

ゲート電極G1は、素子分離領域EIの上面から露出するフィンFBの上面および側壁にゲート絶縁膜GIを介して形成されている。

【0046】

また、ゲート絶縁膜GIは、ゲート電極G1の底面および両側の側壁を連続的に覆っている。つまり、ゲート電極G1は、その上面以外の面をゲート絶縁膜GIにより囲まれている。なお、図示はしていないが、ゲート絶縁膜GIとフィンFBとの間に、ゲート絶縁膜GIの一部として、例えば酸化シリコン膜が形成されていてもよい。ゲート絶縁膜GIには、例えば酸化ハフニウム(HfO_2)膜、酸化ジルコニウム(ZrO_2)膜、酸化アルミニウム(Al_2O_3)膜、酸化タンタル(Ta_2O_5)膜または酸化ランタン(La_2O_3)膜などの金属酸化物膜を用いることができる。ゲート絶縁膜GIは、酸化シリコン膜よりも誘電率が高い、いわゆるhigh-k膜である。

【0047】

ゲート電極G1は、例えばアルミニウム(Al)からなる。また、ゲート電極G1は、例えば半導体基板SB上に順に積層されたチタンアルミニウム(TiAl)およびアルミニウム(Al)からなる積層構造を有していてもよい。

【0048】

x方向におけるゲート電極G1の両側の側壁はサイドウォールSW3により覆われている。ゲート電極G1の上面には、シリサイド層SIは形成されていない。ゲート電極G1と、その上のコンタクトプラグ(図示しない)とを接続する場合、金属膜からなるゲート電極G1はシリコン膜に比べて低抵抗であるため、シリサイド層SIを介さずともゲート電極G1とコンタクトプラグとをオーミックに接続することができる。

【0049】

ロジック領域1BのフィンFBの直上には、ゲート電極G1がx方向に並んで一対形成されている。当該一対のゲート電極G1は互いに離間している。

【0050】

x方向におけるゲート電極G1の横の両側のフィンFBの上面には、一対のソース・ドレイン領域が形成されている。ソース・ドレイン領域のそれぞれは、メモリセル領域1Aのソース・ドレイン領域と同様に、n型不純物(例えばリン(P)またはヒ素(As))が導入された2つのn型半導体領域、つまりエクステンション領域EXおよび拡散層DFにより構成されている。なお、ロジック領域1Bのソース・ドレイン領域の不純物濃度は、メモリセル領域1Aのソース・ドレイン領域の不純物濃度よりも小さい。

【0051】

ゲート電極G1と、当該ゲート電極G1の両側のフィンFBの上面に形成された一対のソース・ドレイン領域とは、MISFET構造を有する低耐圧なトランジスタQ1を構成している。

【0052】

1つのフィンFB上には、2つのトランジスタQ1が形成されている。ゲート電極G1の直下のフィンFBの上面は、トランジスタQ1の動作時にチャンネルが形成されるチャンネル領域を含んでいる。当該チャンネルは、フィン型チャンネルである。また、2つのトランジスタQ1は、互いが有する一対のソース・ドレイン領域のうち的一方を共有している。

【0053】

本実施の形態1では、フィンFAの一部をチャンネル領域として有し、フィンFAの上部に形成された上記の第1トランジスタ、第2トランジスタおよびトランジスタQ1を、FINFETと呼ぶ。メモリセルMCを構成する第1トランジスタおよび第2トランジスタ

10

20

30

40

50

は、ロジック回路を構成する低耐圧のトランジスタQ1に比べ、高い電圧で駆動するトランジスタであるため、トランジスタQ1に比べて高い耐圧性能が求められる。

【0054】

また、図3および図4に示すように、メモリセル領域1Aおよびロジック領域1Bにおいて、素子分離領域EIの上面、フィンFA, FBのそれぞれの上面および側壁、並びにサイドウォールSW3の側壁などは、層間絶縁膜ILにより覆われている。層間絶縁膜ILは、例えば酸化シリコンからなる。なお、図示はしていないが、層間絶縁膜ILと、素子分離領域EIの上面、フィンFA, FBのそれぞれの上面および側壁、並びにサイドウォールSW3の側壁との間には、薄い絶縁膜が形成されており、当該絶縁膜は、例えば窒化シリコンからなる。層間絶縁膜IL、サイドウォールSW3、ゲート電極G1、ONO膜ON、制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの上面は、略同一の平面において平坦化されている。

10

【0055】

図示はしていないが、層間絶縁膜IL、メモリセルMCおよびトランジスタQ1のそれぞれの上部は、層間絶縁膜により覆われている。また、図示はしていないが、層間絶縁膜ILと、層間絶縁膜IL上の当該層間絶縁膜とを貫通する複数のコンタクトプラグが形成されており、コンタクトプラグは、ゲート電極G1、制御ゲート電極CG、メモリゲート電極MGおよび各ソース・ドレイン領域に電氣的に接続されている。また、図示はしていないが、コンタクトプラグ上には配線が形成されている。

【0056】

20

《半導体装置の特徴および効果》

本実施の形態1による半導体装置の主な特徴は、メモリセル領域1Aの素子分離領域EIの上面を凸形状としている点にある。

【0057】

16nmノード以降のスプリットゲート型メモリセルMCでは、y方向に互いに隣り合うメモリセルMCの間の距離が小さくなり、y方向に互いに隣り合うメモリセルMCがそれぞれ有するONO膜ONの距離が近くなる。このため、ONO膜ONを構成する、トラップ性絶縁膜である窒化シリコン膜N1を通じて電荷が拡散して、メモリセルMCの信頼性に影響を及ぼすことが考えられる。

【0058】

30

しかし、本実施の形態1による半導体装置では、メモリセル領域1Aの素子分離領域EIの上面を凸形状とすることにより、y方向に互いに隣り合うメモリセルMCの間の窒化シリコン膜N1(トラップ性絶縁膜)の経路を長くしている。すなわち、凸部を形成した場合、凸部を形成しない場合と比べて、窒化シリコン膜N1の経路が長くなり、電荷の拡散距離が長くなるので、y方向に互いに隣り合うメモリセルMCの間の窒化シリコン膜N1の経路を介したデータ変動を抑制することができる。これにより、半導体装置の信頼性を向上することができる。

【0059】

《半導体装置の動作》

本実施の形態1による半導体装置のうち、主に不揮発性メモリの動作について説明する。

40

【0060】

本実施の形態1によるメモリセルは、MISFET構造を有し、MISFETのゲート電極内のトラップ性絶縁膜での電荷蓄積状態を記憶情報とし、それをMISFETのしきい値として読み出すものである。トラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜をいい、一例として、窒化シリコン膜などが挙げられる。このような電荷蓄積領域への電荷の注入・放出によってMISFETのしきい値をシフトさせ、記憶素子として動作させる。トラップ性絶縁膜を用いた不揮発性半導体記憶装置としては、本実施の形態1によるメモリセルのように、スプリットゲート型のMONOS(Metal-Oxide-Nitride-Oxide-Semiconductor)メモリがある。

50

【 0 0 6 1 】

メモリセルの「書込み」および「消去」を行う動作法として、例えば S S I (Source Side Injection) 方式、B T B T (Band To Band Tunneling) 方式および F N (Fowler Nordheim) 方式などがある。

【 0 0 6 2 】

S S I 方式は、トラップ性絶縁膜にホットエレクトロンを注入することによってメモリセルの書込みを行う動作法とみなすことができ、B T B T 方式は、トラップ性絶縁膜にホットホールを注入することによってメモリセルの消去を行う動作法とみなすことができ、F N 方式は、エレクトロンまたはホールのトンネリングによって書込みまたは消去を行う動作法とみなすことができる。F N 方式について、別の表現でいうと、F N 方式の書込みは、トラップ性絶縁膜に F N トンネル効果によりエレクトロンを注入することによってメモリセルの書込みを行う動作方式とみなすことができ、F N 方式の消去は、トラップ性絶縁膜に F N トンネル効果によりホールを注入することによってメモリセルの消去を行う動作方式とみなすことができる。

10

【 0 0 6 3 】

以下、S S I 方式による書込みを行い、F N 方式による消去を行う場合について説明する。すなわち、トラップ性絶縁膜（例えば図 3 に示す絶縁膜 O N O 膜 O N 中の電荷蓄積部である窒化シリコン膜 N 1）へのエレクトロンの注入を「書込み」、ホールの注入を「消去」と定義する。

【 0 0 6 4 】

S S I 方式の書込みでは、書込みを行う選択メモリセルの各部位にそれぞれ書込み動作電圧を印加し、選択メモリセルのトラップ性絶縁膜中にホットエレクトロンを注入することで書込みを行う。

20

【 0 0 6 5 】

この際、ホットエレクトロンは、2つのゲート電極（メモリゲート電極 M G および制御ゲート電極 C G）間の下チャンネル領域（ソース、ドレイン間）で発生し、メモリゲート電極 M G の下のトラップ性絶縁膜にホットエレクトロンが注入される。注入されたホットエレクトロンは、トラップ性絶縁膜中のトラップ準位に捕獲され、その結果、選択トランジスタのしきい値電圧が上昇する。すなわち、選択トランジスタは書込み状態となる。

【 0 0 6 6 】

F N 方式の消去では、消去を行う選択メモリセルの各部位にそれぞれ消去動作電圧を印加し、選択メモリセルにおいて、メモリゲート電極 M G からホールをトンネリングさせ、トラップ性絶縁膜にホールを注入することで消去を行う。この際、ホールはメモリゲート電極 M G から F N トンネリング（F N トンネル効果）によりトラップ性絶縁膜中に注入され、トラップ性絶縁膜中のトラップ準位に捕獲され、その結果、選択トランジスタのしきい値電圧が低下する。すなわち、選択トランジスタは消去状態となる。

30

【 0 0 6 7 】

読出し時には、読出しを行う選択メモリセルの各部位にそれぞれ読出し動作電圧を印加する。読出し時のメモリゲート電極 M G に印加する電圧を、書込み状態におけるしきい値電圧と消去状態におけるしきい値電圧との間の値にすることで、書込み状態と消去状態とを判別することができる。

40

【 0 0 6 8 】

《半導体装置の製造方法》

本実施の形態 1 による半導体装置の製造方法について図 6 ~ 図 5 7 を用いて説明する。図 6 ~ 図 5 7 は、本実施の形態 1 による半導体装置の製造工程を説明する断面図である。

【 0 0 6 9 】

図 6 ~ 図 2 2 および図 2 8 ~ 図 5 6 のうち偶数図番は、図 1 に示すメモリセル領域の A - A 線に沿った断面図および B - B 線に沿った断面図である。また、図 7 ~ 図 2 3 および図 2 9 ~ 図 5 7 のうち奇数図番は、図 2 に示すロジック領域の C - C 線に沿った断面図および D - D 線に沿った断面図である。図 2 4 ~ 図 2 7 は、図 1 に示すメモリセル領域の A

50

- A線に沿った断面図である。

【0070】

まず、図6および図7に示すように、半導体基板SBを用意し、半導体基板SB上に、例えば熱酸化法を用いて酸化膜PADを形成する。酸化膜PADは、例えば酸化シリコンからなり、その厚さは、例えば10nm程度である。続いて、酸化膜PAD上に、例えばCVD(Chemical Vapor Deposition)法を用いて絶縁膜IF1を形成する。絶縁膜IF1は、例えば窒化シリコンからなり、その厚さは、例えば90nm~120nm程度である。続いて、絶縁膜IF1上に、例えばCVD法を用いてアモルファスシリコン膜SL1を形成する。アモルファスシリコン膜SL1の厚さは、例えば160nm程度である。

【0071】

次に、図8および図9に示すように、レジストパターンをマスクとしたドライエッチングにより、アモルファスシリコン膜SL1を加工する。これにより、アモルファスシリコン膜SL1は、平面視においてx方向に延在する長方形の形状を有する。図8および図9では、メモリセル領域1Aおよびロジック領域1Bのそれぞれに1つずつアモルファスシリコン膜SL1のパターンを示しているが、図示していない領域を含め、メモリセル領域1Aおよびロジック領域1Bのそれぞれには複数のアモルファスシリコン膜SL1が平面視において行列状に配置されている。メモリセル領域1Aのアモルファスシリコン膜SL1のy方向における幅は、ロジック領域1Bのアモルファスシリコン膜SL1のy方向における幅より大きい。

【0072】

次に、図10および図11に示すように、アモルファスシリコン膜SL1および絶縁膜IF1の上に、例えばCVD法を用いて酸化シリコン膜を堆積した後、当該酸化シリコン膜をエッチバックすることで、酸化シリコンからなるサイドウォールSW1を形成する。サイドウォールSW1のy方向の幅は、例えば20nm~50nm程度である。すなわち、当該エッチバックでは、アモルファスシリコン膜SL1の上面および絶縁膜IF1の上面を露出させる。

【0073】

続いて、例えばウェットエッチングにより、アモルファスシリコン膜SL1を除去する。これにより、メモリセル領域1Aおよびロジック領域1Bのそれぞれの絶縁膜IF1上には、アモルファスシリコン膜SL1の側壁を覆う、平面視において矩形の枠状のサイドウォールSW1が残る。

【0074】

次に、図12および図13に示すように、サイドウォールSW1をマスクとしたドライエッチングにより、絶縁膜IF1と、酸化膜PADと、半導体基板SBの上面の一部とを加工する。これにより、メモリセル領域1Aにおいて半導体基板SBの上面を含む一部からなるフィンFAと、フィンFAの周囲の溝D1とを形成し、ロジック領域1Bにおいて半導体基板SBの上面を含む一部からなるフィンFBと、フィンFBの周囲の溝D2とを形成する。溝D1、D2のそれぞれの深さは、例えば120nm~250nm程度である。

【0075】

すなわち、メモリセル領域1AのサイドウォールSW1から露出する絶縁膜IF1および半導体基板SBの上面の一部を加工することで、半導体基板SBの上面において上方に突出する板状のフィンFAを形成する。半導体基板SBの上面の一部である板状パターンは、x方向に延在する2つのフィンFAを含み、平面視において矩形の環状構造を有している。

【0076】

また、ロジック領域1BのサイドウォールSW1から露出する絶縁膜IF1および半導体基板SBの上面の一部を加工することで、半導体基板SBの上面において上方に突出する板状のフィンFBを形成する。半導体基板SBの上面の一部である板状パターンは、x方向に延在する2つのフィンFBを含み、平面視において矩形の環状構造を有している。

10

20

30

40

50

【 0 0 7 7 】

次に、図 1 4 および図 1 5 に示すように、例えば C V D 法を用いて溝 D 1 , D 2 のそれぞれの内側を絶縁膜により埋め込む。当該絶縁膜は、例えば酸化シリコンからなる。その後、例えば C M P (Chemical Mechanical Polishing) 法を用いて当該絶縁膜およびサイドウォール S W 1 を研磨する。これにより、メモリセル領域 1 A およびロジック領域 1 B の絶縁膜 I F 1 の上面を露出させ、絶縁膜 I F 1 の上面と、溝 D 1 , D 2 のそれぞれに埋め込まれた上記絶縁膜との上面を平坦化する。当該研磨により、サイドウォール S W 1 は除去される。溝 D 1 , D 2 のそれぞれに埋め込まれた上記絶縁膜は、素子分離領域 E I を構成する。

【 0 0 7 8 】

次に、図 1 6 および図 1 7 に示すように、レジストパターンをマスクとしたドライエッチングにより、素子分離領域 E I の上面から露出する絶縁膜 I F 1 の一部と、半導体基板 S B の上面を含む板状パターンの一部を除去する。

【 0 0 7 9 】

すなわち、メモリセル領域 1 A において、矩形の環状構造を有する板状パターンのうち、例えば y 方向に延在する部分、つまり、y 方向に並ぶ 2 つのフィン F A 同士の端部を接続する部分を加工する。これにより、板状パターンを構成し、y 方向に延在するパターンのうち、上部の一部分が除去される。この工程では同様に、ロジック領域 1 B において、矩形の環状構造を有する板状パターンのうち、例えば y 方向に延在する部分、つまり、y 方向に並ぶ 2 つのフィン F B 同士の端部を接続する部分を加工する。これにより、板状パターンを構成し、y 方向に延在するパターンのうち、上部の一部分が除去される。

【 0 0 8 0 】

これにより、y 方向に互いに隣り合うフィン F A の互いの端部を接続する下部パターン U P を形成する。同様に、y 方向に互いに隣り合うフィン F B の互いの端部を接続する下部パターン U P を形成する。除去されるパターンは任意であり、この除去工程により、最終的に回路を構成するための任意のフィン F A , F B がそれぞれ形成される。

【 0 0 8 1 】

続いて、上記工程において絶縁膜 I F 1 の一部および板状パターンの一部を除去した領域に、C V D 法などを用いて、例えば酸化シリコンからなる絶縁膜を埋め込む。その後、例えば C M P 法を用いて研磨を行い、これにより、当該絶縁膜の上面を平坦化させて、絶縁膜 I F 1 の上面を露出させる。

【 0 0 8 2 】

なお、図 1 6 および図 1 7 では、当該絶縁膜と、図 1 4 および図 1 5 を用いて説明した工程において溝 D 1 , D 2 のそれぞれの内側に埋め込んだ絶縁膜との境界を点線で示している。それらの絶縁膜は、素子分離領域 E I を構成している。

【 0 0 8 3 】

次に、図 1 8 および図 1 9 に示すように、ロジック領域 1 B を露出し、メモリセル領域 1 A を覆うレジストパターン R P を形成した後、ロジック領域 1 B の素子分離領域 E I の上面をエッチバックにより後退させることで、絶縁膜 I F 1 の側壁を素子分離領域 E I から露出させる。当該エッチバックは、ウェットエッチングまたはドライエッチングのいずれを用いてもよい。

【 0 0 8 4 】

次に、図 2 0 および図 2 1 に示すように、ウェットエッチングにより、絶縁膜 I F 1 を除去してフィン F A , F B のそれぞれの上面上の酸化膜 P A D を露出させる。ここで、メモリセル領域 1 A におけるフィン F A の y 方向の幅は、例えば 2 0 n m ~ 5 0 n m 程度であり、素子分離領域 E I の y 方向の幅は、例えば 9 0 n m である。また、メモリセル領域 1 A におけるフィン F A の上面から突出する素子分離領域 E I の高さは、例えば 5 0 n m ~ 7 0 n m 程度である。一方、ロジック領域 1 B におけるフィン F B の上面から突出する素子分離領域 E I の高さは、例えば 1 0 n m ~ 2 0 n m 程度である。

【 0 0 8 5 】

10

20

30

40

50

次に、図 2 2 および図 2 3 に示すように、等方性のドライエッチングを用いて素子分離領域 E I の上面を後退させることで、酸化膜 P A D を除去し、フィン F A , F B のそれぞれの側壁を素子分離領域 E I から露出させる。このとき、板状パターンの一部であって、y 方向に延在する下部パターン U P は、素子分離領域 E I から露出させない。つまり、素子分離領域 E I の上面から露出する半導体基板 S B は、x 方向に延在するフィン F A およびフィン F B のみである。

【 0 0 8 6 】

また、メモリセル領域 1 A では、等方性のドライエッチングを用いて素子分離領域 E I の上面を後退させたことで、素子分離領域 E I の上面は y 方向に沿った断面において凸形状となっている。これは、メモリセル領域 1 A では、露出している素子分離領域 E I の上面方向および側面方向からエッチングが進むからである。但し、素子分離領域 E I の上面の凸部の高さが大きくなり過ぎると、素子分離領域 E I の上面の段差が大きくなり、素子分離領域 E I を形成した後の加工プロセスが難しくなるため、素子分離領域 E I の上面の凸部の高さは、例えば 2 0 n m ~ 3 0 n m 程度が好ましい。また、素子分離領域 E I の上面から露出するフィン F A の高さは、例えば 4 0 n m ~ 6 0 n m 程度である。

【 0 0 8 7 】

一方、ロジック領域 1 B では、素子分離領域 E I の上面は凸形状となっておらず、ほぼ平坦である。すなわち、ロジック領域 1 B の素子分離領域 E I の上面の平面度は、メモリセル領域 1 A の素子分離領域 E I の上面の平面度よりも小さくなる。

【 0 0 8 8 】

これは、等方性のドライエッチングを行う前では、フィン F B の上面から突出する素子分離領域 E I の高さがフィン F A の上面から突出する素子分離領域 E I の高さよりも低く、かつ、y 方向に互いに隣り合うフィン F B の間隔が y 方向に互いに隣り合うフィン F A の間隔よりも小さいことから、ロジック領域 1 B では、主に素子分離領域 E I の上面方向からエッチングが進むからである。

【 0 0 8 9 】

但し、y 方向に互いに隣り合うフィン F B の間隔が大きくなると、ロジック領域 1 B においても、素子分離領域 E I の上面は y 方向に沿った断面において凸形状となる。

【 0 0 9 0 】

なお、素子分離領域 E I の上面に対する等方性のドライエッチングは、メモリセル領域 1 A およびロジック領域 1 B のそれぞれに対して別々に行ってもよい。この場合は、エッチングを行わない方の領域をレジストパターンで覆った状態でエッチングを行う。このようにして、メモリセル領域 1 A では素子分離領域 E I の上面を凸形状とし、ロジック領域 1 B では素子分離領域 E I の上面を平坦形状にしてもよい。

【 0 0 9 1 】

本実施の形態 1 の主な特徴の 1 つは、メモリセル領域 1 A の素子分離領域 E I の上面を凸形状とすることで、メモリセル領域 1 A において y 方向に互いに隣り合うメモリセルの間のトラップ性絶縁膜の経路が長くなり、電荷拡散の影響が抑えられることである。

【 0 0 9 2 】

凸部の高さおよび幅を調節する方法としては、例えば以下の方法がある。

【 0 0 9 3 】

(1) 絶縁膜 I F 1 の厚さを変えることにより、凸部の高さを変えることができる。

【 0 0 9 4 】

(2) 等方性のドライエッチングを用いて素子分離領域 E I の上面を後退させる前に、メモリセル領域 1 A の素子分離領域 E I の上面を均一に後退させることにより、凸部の高さを変えることができる。例えば図 1 4 を用いて説明した工程の後に、ウェットエッチングを用いて素子分離領域 E I の上面を後退させる。

【 0 0 9 5 】

(3) 酸化膜 P A D の厚さを変えることにより、凸部の幅を変えることができる。例えば酸化膜 P A D が厚い場合は、等方性のドライエッチングの起点が、半導体基板 S B の上

10

20

30

40

50

面から遠くなり、所望のフィンF Aの高さが得られるまでのエッチング時間が長くなる。その結果、凸部の幅が狭くなる。

【0096】

(4) 絶縁膜IFの構成を変えることにより、凸部の幅を変えることができる。

【0097】

一例として、絶縁膜IF1を、下層の窒化シリコン膜SN1、酸化シリコン膜SO1および上層の窒化シリコン膜SN2からなる積層構造とした場合について、図24～図27を用いて以下に説明する。

【0098】

素子分離領域EIの上面を平坦に加工した後(図24)、上層の窒化シリコン膜SN2を除去し(図25)、さらに、等方性のドライエッチングを用いて素子分離領域EIの上面および側面を後退させる(図26)。この際、酸化シリコン膜SO1は除去される。続いて、下層の窒化シリコン膜SN1を除去する(図27)。これにより、フィンF Aの上面よりも上に、y方向に互いに隣り合うフィンF Aの間の距離cよりも小さい幅dを有する素子分離領域EIを形成することができる。ここから、等方性のドライエッチングを用いて素子分離領域EIの上面を後退させて、フィンF Aを露出させることにより、凸部の幅を小さくすることができる。

【0099】

次に、図28および図29に示すように、素子分離領域EIの上面から露出するフィンF A、FBのそれぞれの表面を覆う絶縁膜IF2を形成する。絶縁膜IF2は、例えば熱酸化法を用いて形成することができ、例えば酸化シリコンからなる。絶縁膜IF2はフィンF A、FBのそれぞれの上面および側壁を覆っており、素子分離領域EIの上面は絶縁膜IF2から露出している。絶縁膜IF2の厚さは、例えば1nm～2nm程度である。

【0100】

次に、図30および図31に示すように、素子分離領域EIおよび絶縁膜IF2の上に、例えばCVD法を用いてポリシリコン膜SL2を形成した後、ポリシリコン膜SL2の上面をCMP法などにより研磨する。フィンF A、FBのそれぞれの上面からポリシリコン膜SL2の上面までのポリシリコン膜SL2の厚さは、例えば60nm～150nm程度である。

【0101】

続いて、ポリシリコン膜SL2の上面を熱酸化することで、当該上面を覆う酸化シリコン膜SO2を形成する。酸化シリコン膜SO2の厚さは、例えば6nm～10nm程度である。続いて、酸化シリコン膜SO2上に、例えばCVD法を用いて絶縁膜IF3を形成する。絶縁膜IF3は、例えば窒化シリコンからなり、その厚さは、例えば90nm程度である。

【0102】

次に、図32および図33に示すように、レジストパターンをマスクとしたドライエッチングにより、メモリセル領域1Aの絶縁膜IF3、酸化膜SO2、ポリシリコン膜SL2および絶縁膜IF2を加工する。すなわち、レジストパターン(図示しない)によりロジック領域1Bを覆った状態でパターンニングを行う。レジストパターンは、当該パターンニングの後に除去する。これにより、フィンF Aの直上において、絶縁膜IF3、酸化膜SO2、ポリシリコン膜SL2および絶縁膜IF2からなる積層パターンをx方向に並べて形成する。このパターンニングにより、ポリシリコン膜SL2からなる制御ゲート電極CGを形成し、絶縁膜IF2からなるゲート絶縁膜GFを形成する。

【0103】

絶縁膜IF3および制御ゲート電極CGからなる積層パターンはy方向に延在し、複数のフィンF A上およびゲート絶縁膜GF上を跨ぐように配置されている。メモリセル領域1Aにおいて、当該積層パターンが形成された箇所以外の領域では、上記エッチングによりメモリセル領域1Aの絶縁膜IF3、酸化膜SO2、ポリシリコン膜SL2および絶縁膜IF2が除去されたことにより、フィンF Aの表面および素子分離領域EIの上面が露

10

20

30

40

50

出している。

【0104】

次に、図34および図35に示すように、熱酸化法を用いてゲート絶縁膜GFから露出するフィンFAの上面および側壁並びに制御ゲート電極CGの側壁を酸化する。これにより、フィンFAの上面および側壁並びに制御ゲート電極CGの側壁を覆う酸化シリコン膜(ボトム酸化膜)X1を形成する。図34では、フィンFAの上面から制御ゲート電極CGの側壁に亘って連続的に形成された酸化シリコン膜X1を示しているが、ゲート絶縁膜GFの側壁に酸化シリコン膜X1が形成されていなくてもよい。

【0105】

続いて、例えばCVD法を用いて酸化シリコン膜X1、絶縁膜IF3および素子分離領域EIの上に窒化シリコン膜N1を形成する。当該窒化シリコン膜N1は、後に形成するメモリセルにおいて電荷を蓄積するためのトラップ性絶縁膜として機能する。なお、ここでは、トラップ性絶縁膜として窒化シリコン膜N1を形成することについて説明したが、トラップ性絶縁膜としては窒化シリコン膜N1に限らず、例えばハフニウムシリケート(HfSiO)からなる絶縁膜を形成してもよい。続いて、例えばCVD法を用いて窒化シリコン膜N1上に酸化シリコン膜(トップ酸化膜)X2を形成する。

【0106】

半導体基板SB側から順に積層された酸化シリコン膜X1、窒化シリコン膜N1および酸化シリコン膜X2からなる積層膜は、ONO膜ONを構成する。制御ゲート電極CGの側壁に接するONO膜ONは、制御ゲート電極CG側から順にx方向に形成された酸化シリコン膜X1、窒化シリコン膜N1および酸化シリコン膜X2からなる。ここでは、ONO膜ONの最上層のトップ酸化膜の材料は、酸化シリコンに限らず、例えばアルミナ(Al₂O₃)であってもよい。

【0107】

なお、ONO膜ONは、原則、酸化シリコン膜X1、窒化シリコン膜N1および酸化シリコン膜X2からなる積層膜を言うが、説明の便宜上、窒化シリコン膜N1および酸化シリコン膜X2からなる積層膜をONO膜ONと言うこともある。

【0108】

次に、図36および図37に示すように、ONO膜ON上に、例えばCVD法を用いてポリシリコン膜SL3を形成する。ポリシリコン膜SL3の厚さは、少なくとも制御ゲート電極CGの厚さ以上の大きさを有する。ここでは、ポリシリコン膜SL3を、制御ゲート電極CG、酸化シリコン膜SO2および絶縁膜IF3からなる積層膜の膜厚よりも大きい膜厚で形成することで、制御ゲート電極CG、酸化シリコン膜SO2、絶縁膜IF3およびONO膜ONを含む積層膜を覆う。その後、CMP法などを用いてポリシリコン膜SL3の上面を平坦化する。

【0109】

続いて、エッチバックを行うことで、ポリシリコン膜SL3の上面を後退させて、例えばポリシリコン膜SL3の上面の高さと、制御ゲート電極CGの上面の高さとを揃える。これにより、絶縁膜IF3および絶縁膜IF3を覆うONO膜ONは、ポリシリコン膜SL3の上面に突出する。上記ポリシリコン膜SL3に対する平坦化工程およびエッチバック工程により、ロジック領域1Bのポリシリコン膜SL3は除去される。

【0110】

次に、図38および図39に示すように、ONO膜ONおよびポリシリコン膜SL3の上に、例えばCVD法を用いて絶縁膜を形成する。当該絶縁膜は、例えば窒化シリコンからなり、その厚さは、例えば10~50nmである。続いて、ドライエッチングにより、ポリシリコン膜SL3の上面と、絶縁膜IF3の直上のONO膜ONの上面とを当該絶縁膜から露出させる。これにより、絶縁膜IF3の側壁には、ONO膜ONを介して、当該絶縁膜からなるサイドウォールSW2が形成される。当該ドライエッチング工程により、ロジック領域1Bの当該絶縁膜は除去される。

【0111】

10

20

30

40

50

次に、図40および図41に示すように、サイドウォールSW2をハードマスクとしたドライエッチングにより、ポリシリコン膜SL3を加工する。これにより、フィンFAの上面および側壁に接するONO膜ONの上面がポリシリコン膜SL3から露出する。制御ゲート電極CGの横の両側には、ONO膜ONを介してポリシリコン膜SL3のパターンからなるメモリゲート電極MGが形成される。但し、制御ゲート電極CGの一方の側壁に隣接するメモリゲート電極MGは、後の工程で除去されるパターンであり、完成後の半導体装置には残らない。

【0112】

次に、図42および図43に示すように、レジストパターンをマスクとしたドライエッチングにより、制御ゲート電極CGおよび絶縁膜IF3からなる積層膜の一方の側壁に隣接するメモリゲート電極MGおよび当該メモリゲート電極MGの直上のサイドウォールSW2を除去する。これにより、制御ゲート電極CGの他方の側壁に隣接するメモリゲート電極MGが残る。続いて、制御ゲート電極CG、メモリゲート電極MGから露出するONO膜ONを除去する。

10

【0113】

すなわち、ONO膜ONは、メモリゲート電極MGとフィンFAとの間、メモリゲート電極MGと制御ゲート電極CGとの間、およびサイドウォールSW2と絶縁膜IF3との間にのみ残る。従って、メモリセル領域1Aでは、制御ゲート電極CGおよびメモリゲート電極MGから露出する領域において、フィンFAの上面および側壁並びに素子分離領域EIの上面が露出する。また、メモリセル領域1Aにおいて絶縁膜IF3の上面および一方の側壁が露出し、ロジック領域1Bにおいて絶縁膜IF3の上面が露出する。

20

【0114】

フィンFAの上面、つまり半導体基板SBに沿って延在するONO膜ONと、制御ゲート電極CGの側壁に沿って延在するONO膜ONとは連続的に形成されており、L字型の断面を有している。フィンFA上には、制御ゲート電極CGおよび当該制御ゲート電極CGにONO膜ONを介して隣接するメモリゲート電極MGを有するパターンが一对形成されており、一对の制御ゲート電極CG同士の間において、一对のメモリゲート電極MG同士が対向している。続いて、後にフィンFAに対して行う不純物注入工程において、フィンFAがダメージを受けることを防ぐことなどを目的として、フィンFAの上面および側壁に対して酸化処理を行ってもよい。

30

【0115】

次に、図44および図45に示すように、メモリセル領域1Aを覆い、ロジック領域1Bの一部を露出するレジストパターン(図示しない)を形成した後、当該レジストパターンをマスクとしたドライエッチングにより、ロジック領域1Bの絶縁膜IF3、酸化膜SO2、ポリシリコン膜SL2および絶縁膜IF2を加工する。これにより、フィンFBの直上に、絶縁膜IF2、ポリシリコン膜SL2からなるダミーゲート電極DG、酸化膜SO2および絶縁膜IF3からなる積層膜が、x方向に並んで一对形成される。それらの積層膜の横の領域では、フィンFBおよび素子分離領域EIの上面が露出する。すなわち、フィンFB上には、絶縁膜IF2を介してダミーゲート電極DG、酸化膜SO2および絶縁膜IF3が形成されている。ダミーゲート電極DGは、後の工程において除去される擬似的なゲート電極であり、完成した半導体装置には残らない。

40

【0116】

続いて、上記レジストパターンを除去した後、絶縁膜IF3およびサイドウォールSW2をマスクとしたイオン注入工程を行うことで、フィンFA、FBのそれぞれの上面にn型不純物(例えばリン(P)またはヒ素(As))を打ち込む。これにより、比較的の不純物濃度が低いn型半導体領域であるエクステンション領域EXを複数形成する。メモリセル領域1Aのエクステンション領域EXは、制御ゲート電極CGと、当該制御ゲート電極CGにONO膜ONを介して隣接するメモリゲート電極MGとを有するパターンの横のフィンFAの上面に形成される。ロジック領域1Bのエクステンション領域EXは、ダミーゲート電極DGの横のフィンFBの上面に形成される。ここでは、必要に応じて、フィン

50

F A , F B のそれぞれに対してハロー注入として p 型不純物 (例えばホウ素 (B)) の打ち込みを行ってもよい。

【 0 1 1 7 】

次に、図 4 6 および図 4 7 に示すように、半導体基板 S B 上に、例えば C V D 法を用いて絶縁膜を形成する。当該絶縁膜は、例えば酸化シリコン、窒化シリコンまたはそれらの積層膜からなる。続いて、ドライエッチングにより、フィン F A , F B のそれぞれおよび絶縁膜 I F 3 の上面を当該絶縁膜から露出させる。これにより、メモリセル領域 1 A では、制御ゲート電極 C G 、メモリゲート電極 M G 、 O N O 膜 O N 、酸化膜 S O 2 、絶縁膜 I F 3 およびサイドウォール S W 2 を含むパターンの両側の側壁に、上記絶縁膜からなるサイドウォール S W 3 が形成される。また、ロジック領域 1 B では、ダミーゲート電極 D G 、酸化シリコン膜 S O 2 および絶縁膜 I F 3 からなる積層膜の両側の側壁に、上記絶縁膜からなるサイドウォール S W 3 が形成される。

10

【 0 1 1 8 】

続いて、絶縁膜 I F 3 およびサイドウォール S W 2 , S W 3 のそれぞれをマスクとしたイオン注入工程を行うことで、フィン F A , F B のそれぞれの上面に n 型不純物 (例えばリン (P) またはヒ素 (A s)) を打ち込む。これにより、比較的の不純物濃度が高い n 型半導体領域である拡散層 D F を複数形成する。メモリセル領域 1 A の拡散層 D F は、制御ゲート電極 C G と、当該制御ゲート電極 C G に O N O 膜 O N を介して隣接するメモリゲート電極 M G とを有するパターンの横のフィン F A の上面に形成される。ロジック領域 1 B の拡散層 D F は、ダミーゲート電極 D G の横のフィン F B の上面に形成される。

20

【 0 1 1 9 】

拡散層 D F は、当該拡散層 D F に接するエクステンション領域 E X に比べ、 x 方向において制御ゲート電極 C G 、メモリゲート電極 M G またはダミーゲート電極 D G よりも離れた位置に形成される。拡散層 D F は、エクステンション領域 E X よりも形成深さが浅く、 n 型不純物濃度が高い。互いに接するエクステンション領域 E X および拡散層 D F は、トランジスタのソース・ドレイン領域を構成する。この後、エクステンション領域 E X 内および拡散層 D F 内の不純物を活性化させるため、必要に応じて熱処理を行う。

【 0 1 2 0 】

なお、ここでは、メモリセル領域 1 A およびロジック領域 1 B のそれぞれのソース・ドレイン領域を同一工程で形成することについて説明したが、ロジック領域 1 B に形成するトランジスタに比べて高耐圧なメモリセルを形成するメモリセル領域 1 A では、ソース・ドレイン領域の不純物濃度をロジック領域 1 B のソース・ドレイン領域の不純物濃度よりも大きくすることが考えられる。よって、メモリセル領域 1 A のエクステンション領域 E X および拡散層 D F の形成工程と、ロジック領域 1 B のエクステンション領域 E X および拡散層 D F の形成工程とを別々に行ってもよい。また、ここでは、イオン注入によりソース・ドレイン領域を形成することについて説明したが、イオン注入を行う代わりに、不純物が導入されたエピタキシャル層を、各ゲート電極の横のフィン F A , F B のそれぞれの上面および側壁にエピタキシャル成長法を用いて形成してもよい。

30

【 0 1 2 1 】

次に、図 4 8 および図 4 9 に示すように、半導体基板 S B 上に、例えば C V D 法を用いて、例えば 5 n m ~ 2 0 n m の膜厚を有する窒化シリコンからなる絶縁膜 (図示しない) と、例えば酸化シリコンからなる層間絶縁膜 I L とを順に形成する。層間絶縁膜 I L は、少なくとも制御ゲート電極 C G よりも大きい膜厚を有しており、ここでは、ゲート絶縁膜 G F 、制御ゲート電極 C G 、酸化シリコン膜 S O 2 および絶縁膜 I F 3 からなる積層膜よりも大きい膜厚を有している。

40

【 0 1 2 2 】

次に、図 5 0 および図 5 1 に示すように、層間絶縁膜 I L の上面を、例えば C M P 法を用いて研磨することで平坦化する。当該研磨工程では、絶縁膜 I F 3 およびサイドウォール S W 2 を全て除去し、サイドウォール S W 3 および O N O 膜 O N のそれぞれの上部の一部を除去し、制御ゲート電極 C G 、メモリゲート電極 M G およびダミーゲート電極 D G の

50

それぞれの上面を露出させる。つまり、制御ゲート電極CG、メモリゲート電極MGおよびダミーゲート電極DG、並びにONO膜ON、サイドウォールSW3および層間絶縁膜ILのそれぞれの上面は、略同一平面において平坦化され、同じ高さに揃えられる。

【0123】

これにより、上面が露出した制御ゲート電極CGおよびメモリゲート電極MGと、当該制御ゲート電極CGおよびメモリゲート電極MGを含むパターンの両側に形成されたエクステンション領域EXおよび拡散層DFからなるソース・ドレイン領域とは、スプリットゲート型のメモリセルMCを構成する。すなわち、メモリセルMCは、制御ゲート電極CGを含む第1トランジスタと、メモリゲート電極MGを含む第2トランジスタとを含むMONOS型の不揮発性メモリを構成する。

10

【0124】

図50に示すように、メモリセル領域1Aの制御ゲート電極CGは、フィンFAおよび素子分離領域EIのそれぞれの直上において、複数のフィンFAの上部を跨ぐようにy方向に延在している。また、制御ゲート電極CGは、素子分離領域EIから突出する複数のフィンFA同士の間を埋め込むように形成されている。また、図51に示すように、ロジック領域1Bのダミーゲート電極DGは、フィンFBおよび素子分離領域EIのそれぞれの直上において、複数のフィンFBの上部を跨ぐようにy方向に延在している。また、ダミーゲート電極DGは、素子分離領域EIから突出する複数のフィンFB同士の間を埋め込むように形成されている。

【0125】

20

次に、図52および図53に示すように、レジストパターン(図示しない)によりメモリセル領域1Aの制御ゲート電極CGおよびメモリゲート電極MGを保護した状態で、ウェットエッチングにより、ダミーゲート電極DGを除去する。続いて、絶縁膜IF2を除去する。なお、絶縁膜IF2は除去せず、後の工程でロジック領域1Bに形成するゲート絶縁膜GIの一部として用いてもよい。上記除去工程により、ロジック領域1Bでは、ダミーゲート電極DGおよび絶縁膜IF2を除去した領域に溝が形成される。その後、メモリセル領域1Aの上記レジストパターンを除去する。

【0126】

次に、図54および図55に示すように、半導体基板SB上に、例えばALD(Atomic layer Deposition: 原子層堆積)法を用いて絶縁膜を形成した後、当該絶縁膜上に、例

30

【0127】

えばスパッタリング法を用いて金属膜を形成することで、当該絶縁膜および当該金属膜からなる積層膜により上記溝内を埋め込む。その後、例えばCMP法を用いて研磨を行うことで、層間絶縁膜IL上の余分な上記の絶縁膜および金属膜を除去し、層間絶縁膜IL、制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの上面を露出させる。これにより、上記溝内に埋め込まれた絶縁膜からなるゲート絶縁膜GIと、上記溝内にゲート絶縁膜GIを介して埋め込まれた金属膜からなるゲート電極G1とを形成する。

40

【0128】

ゲート電極G1を構成する上記金属膜は、例えば2層の積層膜により構成される。当該積層膜は、半導体基板SB側から順に積層された第1金属膜および第2金属膜を有する。第1金属膜は、例えばチタンアルミニウム(TiAl)膜からなり、第2金属膜は、例えばアルミニウム(Al)からなる。また、第1金属膜および第2金属膜の間に、チタン(

50

Ti)膜、窒化チタン(TiN)膜またはそれらの積層膜を介在させて、トランジスタQ1のしきい値電圧を調整しても良い。なお、図55では上記の第1金属膜および第2金属膜を1つの金属膜として示している。

【0129】

ゲート絶縁膜GIは、上記溝内において、ゲート電極G1の底面および側壁、並びに当該溝の底面および側壁を覆っている。なお、図52および図53を用いて説明した工程において絶縁膜IF2を除去した場合、ゲート絶縁膜GIを形成する前に酸化処理を行うことで、当該溝の底面に新たな絶縁膜を形成し、当該絶縁膜をゲート絶縁膜GIの一部として用いてもよい。また、ここでは、ダミーゲート電極DGの除去後にhigh-k膜を形成することについて説明したが、ダミーゲート電極DGを構成するポリシリコン膜SL2(図31参照)の形成前であって、図23を用いて説明した工程の後にhigh-k膜を形成し、当該high-k膜をロジック領域1Bのゲート絶縁膜GIとして残してもよい。

10

【0130】

次に、図56および図57に示すように、ロジック領域1Bのゲート電極G1の上面を絶縁膜IF4により覆った後、制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの上面を覆うシリサイド層SIを形成する。

【0131】

絶縁膜IF4は、例えばCVD法により形成された酸化シリコンからなる。ここでは、メモリセル領域1Aおよびロジック領域1Bを覆うように絶縁膜IF4を形成した後、パターンニングを行うことでメモリセル領域1Aの絶縁膜IF4を除去する。これにより、ロジック領域1Bの層間絶縁膜IL、サイドウォールSW3およびゲート電極G1のそれぞれの上面を覆う絶縁膜IF4が残る。

20

【0132】

続いて、露出している制御ゲート電極CGおよびメモリゲート電極MGの上に、例えばスパッタリング法を用いてニッケル(Ni)またはコバルト(Co)からなる金属膜を形成した後、熱処理を行って当該金属膜と制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの上面とを反応させる。

【0133】

これにより、制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの上面を覆う、ニッケルシリサイド(NiSi)またはコバルトシリサイド(CoSi)からなるシリサイド層SIを形成する。

30

【0134】

続いて、未反応の金属膜をウェットエッチングなどにより除去する。これにより、層間絶縁膜ILおよび絶縁膜IF4が露出する。ここでは、ゲート電極G1を絶縁膜IF4により覆っているため、メタルゲート電極であるゲート電極G1が当該ウェットエッチングにより除去されることを防ぐことができる。また、ゲート電極G1上にはシリサイド層SIは形成されない。

【0135】

この後、図示はしていないが、層間絶縁膜IL上にさらに層間絶縁膜を形成し、それらの層間絶縁膜を貫通し、制御ゲート電極CG、メモリゲート電極MG、ソース・ドレイン領域またはゲート電極G1に接続された複数のコンタクトプラグ(接続部)を形成することで、本実施の形態1による半導体装置が完成する。

40

【0136】

具体的には、例えばCVD法を用いて酸化シリコンなどからなる層間絶縁膜を層間絶縁膜IL上に形成した後、レジストパターンをマスクとしたドライエッチングにより、層間絶縁膜ILおよびその上の当該層間絶縁膜からなる積層層間絶縁膜を貫通する複数のコンタクトホールを形成する。コンタクトホールは、メモリセルMCのソース・ドレイン領域を構成する拡散層DF、トランジスタQ1のソース・ドレイン領域を構成する拡散層DF、制御ゲート電極CG、メモリゲート電極MGまたはゲート電極G1のそれぞれの上面を

50

積層層間絶縁膜から露出する開口部である。なお、制御ゲート電極CGおよびメモリゲート電極MGのそれぞれの直上のコンタクトホール底面には、シリサイド層SIの上面が露出する。

【0137】

続いて、例えばスパッタリング法などを用いて積層層間絶縁膜上に、接続用の導電膜として、例えば主としてタングステン(W)からなる金属膜を形成し、これにより各コンタクトホール内を完全に埋め込む。ここでは、例えばチタン(Ti)、窒化チタン(TiN)またはそれらの積層膜からなるバリア導電膜を形成した後、バリア導電膜上にタングステン(W)膜からなる主導電膜を形成することで、バリア導電膜および主導電膜からなる当該金属膜を形成する。

10

【0138】

その後、積層層間絶縁膜上の不要な当該金属膜をCMP法などにより除去することにより、各コンタクトホール内に埋め込まれたコンタクトプラグを形成する。コンタクトプラグは、制御ゲート電極CG、メモリゲート電極MG、ソース・ドレイン領域またはゲート電極G1に電氣的に接続される。

【0139】

このように、本実施の形態1によれば、メモリセル領域1Aの素子分離領域EIの上面を凸形状とすることにより、互いに隣り合うメモリセルMCの間において、トラップ性絶縁膜の経路が長くなるので、電荷拡散の影響を抑えることができ、半導体装置の信頼性が向上する。

20

【0140】

《変形例》

本実施の形態1の変形例による半導体装置について、図58および図59を用いて説明する。図58は、本実施の形態1による半導体装置のメモリセル領域を示す、図1のA-A線に沿った拡大断面図である。図59は、本実施の形態1の変形例による半導体装置のメモリセル領域を示す、図1のA-A線に沿った拡大断面図である。

【0141】

前述の実施の形態1では、図3に示したように、互いに隣り合うフィンFAの間の素子分離領域EIの上面に形成された凸部は、例えば2つのフィンFAの間のほぼ中央部であって、2つのフィンFAのそれぞれの側壁から離れた位置に形成されている。従って、図58に示すように、互いに隣り合うフィンFAの間で、ONO膜ONの上面は、素子分離領域EIの上面に倣った形状となる。また、フィンFAの側壁とONO膜ONを介した位置にあるメモリゲート電極MGの下部の端部(図58に矢印Hで示す領域)は、素子分離領域EIの凸部の最も高い位置よりも下に位置している。

30

【0142】

しかし、本実施の形態1の変形例では、図59に示すように、互いに隣り合うフィンFAの間の素子分離領域EIの上面は凸形状であるが、フィンFAと素子分離領域EIの凸部との間にONO膜ONが埋め込まれている。これにより、互いに隣り合うフィンFAの間で、ONO膜ONの上面はほぼ平坦となる。また、フィンFAの側壁とONO膜ONを介した位置にあるメモリゲート電極MGの下部の端部(図59に矢印Hで示す領域)は、素子分離領域EIの凸部の最も高い位置よりも上にある。

40

【0143】

前述したように、メモリセルの「書込み」および「消去」を行う動作法として、それぞれSSI方式の書込みおよびFN方式の消去を適用することができる。SSI方式の書込みでは、電界およびホットエレクトロンの注入位置はフィンFAの上部に集中する(図58および図59に矢印Eで示す領域)。また、FN方式の消去では、電界およびホールの注入位置はメモリゲート電極MGの下部の端部に集中する(図58および図59に矢印Hで示す領域)。

【0144】

しかし、変形例のように、フィンFAと素子分離領域EIの凸部との距離が近づいて、

50

両者間がONO膜ONで埋まることにより、メモリゲート電極MGの下部の端部がフィンFAの上部に近づく。これにより、書き換えのミスマッチが改善されるので、素子分離領域EIの上面に凸部を形成したことによるデータ変動の抑制に加えて、書き換え効率の向上を図ることができる。

【0145】

(実施の形態2)

《半導体装置の構造》

本実施の形態2による半導体装置の構造について図60および図61を用いて説明する。図60は、本実施の形態2による半導体装置のメモリセル領域を示す平面図である。図61は、本実施の形態2による半導体装置のメモリセル領域を示す、図60のE-E線およびF-F線に沿った断面図である。

10

【0146】

図61のE-E線に沿った断面は、メモリセル領域のフィン上のゲート電極の延在方向に沿う断面を示し、F-F線に沿った断面は、メモリセル領域のフィンの延在方向に沿う断面を示す。なお、図60では、ソース・ドレイン領域、層間絶縁膜、各ゲート電極上のシリサイド層などの図示を省略している。

【0147】

本実施の形態2による半導体装置が、前述の実施の形態1による半導体装置と相違する点は、メモリセル領域1Aの素子分離領域EIの上面の形状である。すなわち、前述の実施の形態1による半導体装置では、メモリセル領域1Aの素子分離領域EIの上面は凸形状であるが、本実施の形態2による半導体装置では、メモリセル領域1Aの素子分離領域EIの上面は凹形状である。メモリセル領域1Aの素子分離領域EIの上面の形状以外の構成は、前述した実施の形態1による半導体装置とほぼ同一であるので、以下、前述の実施の形態1と相違する点を中心に説明する。

20

【0148】

図60および図61に示すように、メモリセル領域1Aにおいて、メモリセルMCは、半導体基板SBの一部であって、半導体基板SBの上部に形成された板状のフィンFAの上部に形成されている。複数のフィンFA同士の間には、半導体基板SBの上面に形成された溝D1が形成されている。

【0149】

素子分離領域EIは、溝D1を埋め込む絶縁膜である。但し、素子分離領域EIは溝D1を完全に埋め込んでおらず、素子分離領域EIの上面には、フィンFAのそれぞれの一部が突出している。素子分離領域EIの上面から露出するフィンFAの高さは、例えば40nm~60nm程度である。素子分離領域EIは、例えば酸化シリコンからなる。

30

【0150】

図61に示すように、素子分離領域EIの上面はy方向に沿った断面において凹形状となっている。言い換えると、y方向に互いに隣り合うフィンFAの間において、素子分離領域EIの上面の一部または全部が、一方のフィンFAの側壁に接する素子分離領域EIの上面の位置と他方のフィンFAの側壁に接する素子分離領域EIの上面の位置とを結んだ面よりも低い位置にある。

40

【0151】

但し、素子分離領域EIの上面の凹部の深さが大きくなり過ぎると、素子分離領域EIの上面の段差が大きくなり、素子分離領域EIを形成した後の加工プロセスが難しくなる。このため、素子分離領域EIの上面の凹部の深さは、例えば40nm~80nm程度が望ましく、例えばy方向に互いに隣り合うフィンFAの間隔をe、凹部の深さをfとすると、 f/e は0.4~0.8程度が望ましい。ここで、凹部の深さとは、y方向に隣り合うフィンFAの間において、一方のフィンFAの側壁に接する素子分離領域EIの上面の位置と他方のフィンFAの側壁に接する素子分離領域EIの上面の位置とを結んだ面から、素子分離領域EIの上面の最も低い位置までの距離である。

【0152】

50

このように、メモリセル領域 1 A の素子分離領域 E I の上面を凹形状とすることにより、素子分離領域 E I の上面が平坦形状の場合と比べて、y 方向に互いに隣り合うメモリセル MC の間において、トラップ性絶縁膜の経路が長くなるので、電荷拡散の影響を抑えることができる。

【 0 1 5 3 】

なお、本実施の形態 2 では、その説明は省略するが、ロジック領域における素子分離領域 E I の上面は凹形状とならず、ほぼ平坦となる。すなわち、ロジック領域の素子分離領域 E I の上面の平面度は、メモリセル領域 1 A の素子分離領域 E I の上面の平面度よりも小さくなる。

【 0 1 5 4 】

さらに、メモリセル領域 1 A において、y 方向に並ぶ複数のフィン F A の直上には、それらのフィン F A を跨ぐように、y 方向に延在する制御ゲート電極 C G および y 方向に延在するメモリゲート電極 M G が形成されている。

【 0 1 5 5 】

制御ゲート電極 C G は、素子分離領域 E I の上面から露出するフィン F A の上面および側壁にゲート絶縁膜 G F を介して形成されている。ゲート絶縁膜 G F は、例えば酸化シリコンからなり、制御ゲート電極 C G は、例えばポリシリコンからなる。

【 0 1 5 6 】

x 方向における制御ゲート電極 C G の一方の側壁はサイドウォール S W 3 により覆われ、他方の側壁には、ONO 膜 O N を介してメモリゲート電極 M G が形成されている。また、メモリゲート電極 M G は、素子分離領域 E I の上面から露出するフィン F A の上面および側壁に ONO 膜 O N を介して形成されている。すなわち、ONO 膜 O N は、フィン F A の上面と、制御ゲート電極 C G の側壁とに沿って連続的に形成された L 字型の断面を有する。メモリゲート電極 M G は、ONO 膜 O N により制御ゲート電極 C G およびフィン F A から絶縁されている。

【 0 1 5 7 】

《半導体装置の特徴および効果》

本実施の形態 2 による半導体装置の主な特徴は、メモリセル領域 1 A の素子分離領域 E I の上面を凹形状としている点にある。

【 0 1 5 8 】

本実施の形態 2 による半導体装置では、メモリセル領域 1 A の素子分離領域 E I の上面を凹形状とすることにより、y 方向に互いに隣り合うメモリセル MC の間の窒化シリコン膜 N 1 (トラップ性絶縁膜) の経路を長くしている。すなわち、凹部を形成した場合、凹部を形成しない場合と比べて、窒化シリコン膜 N 1 の経路が長くなり、電荷の拡散距離が長くなるので、y 方向に互いに隣り合うメモリセル MC の間の窒化シリコン膜 N 1 の経路を介したデータ変動を抑制することができる。これにより、半導体装置の信頼性を向上することができる。

【 0 1 5 9 】

《半導体装置の製造方法》

本実施の形態 2 による半導体装置(メモリセル領域)の製造方法について図 6 2 ~ 図 6 7 を用いて説明する。図 6 2 ~ 図 6 7 は、本実施の形態 2 による半導体装置(メモリセル領域)の製造工程を説明する断面図であり、図 6 0 の E - E 線に沿った断面図である。

【 0 1 6 0 】

まず、図 6 2 に示すように、メモリセル領域 1 A において半導体基板 S B の上面を含む一部からなるフィン F A と、フィン F A の周囲の溝 D 1 とを形成する。溝 D 1 の深さは、例えば 1 2 0 n m ~ 2 5 0 n m 程度である。

【 0 1 6 1 】

なお、溝 D 1 を形成するまでの製造過程は、前述の実施の形態 1 とほぼ同様であるため(図 6 ~ 図 1 2 参照)、その説明を省略する。

【 0 1 6 2 】

10

20

30

40

50

次に、図 6 3 に示すように、溝 D 1 の底面および側壁に、例えば熱酸化法を用いて酸化膜 S O 3 を形成する。酸化膜 S O 3 は、例えば酸化シリコンからなり、その厚さは、例えば 1 0 n m ~ 2 0 n m 程度である。

【 0 1 6 3 】

次に、図 6 4 に示すように、例えば C V D 法を用いて溝 D 1 の内側を絶縁膜 I F 5 により埋め込む。絶縁膜 I F 5 は、例えば酸化シリコンからなる。その後、例えば C M P 法を用いて絶縁膜 I F 5 を研磨する。これにより、絶縁膜 I F 1 の上面を露出させ、絶縁膜 I F 1 の上面と、溝 D 1 に埋め込まれた絶縁膜 I F 5 の上面とを平坦化する。酸化膜 S O 3 と、溝 D 1 に埋め込まれた絶縁膜 I F 5 とは素子分離領域 E I を構成する。

【 0 1 6 4 】

次に、図 6 5 に示すように、絶縁膜 I F 5 の上面をエッチバックにより後退させることで、絶縁膜 I F 1 の側壁を素子分離領域 E I から露出させる。当該エッチバックは、ウェットエッチングまたはドライエッチングのいずれを用いてもよい。

【 0 1 6 5 】

次に、図 6 6 に示すように、ウェットエッチングにより絶縁膜 I F 1 を除去してフィン F A の上面の酸化膜 P A D を露出させる。ここで、メモリセル領域 1 A におけるフィン F A の y 方向の幅は、例えば 2 0 n m ~ 5 0 n m 程度であり、素子分離領域 E I の y 方向の幅は、例えば 9 0 n m である。

【 0 1 6 6 】

次に、図 6 7 に示すように、ウェットエッチングを用いて酸化膜 P A D を除去し、素子分離領域 E I の上面を後退させることで、フィン F A の側壁を素子分離領域 E I から露出させる。

【 0 1 6 7 】

熱酸化法を用いて形成された酸化膜 S O 3 のエッチングレートは、C V D 法を用いて形成された絶縁膜 I F 5 のエッチングレートが遅いため、絶縁膜 I F 5 は酸化膜 S O 3 よりも早くウェットエッチングが進む。これにより、素子分離領域 E I の上面は y 方向に沿った断面において凹形状となる。但し、素子分離領域 E I の上面の凹部の深さが大きくなり過ぎると、素子分離領域 E I の上面の段差が大きくなり、素子分離領域 E I を形成した後の加工プロセスが難しくなるため、素子分離領域 E I の上面の凹部の深さは、例えば 4 0 n m ~ 8 0 n m 程度が好ましい。また、素子分離領域 E I の上面から露出するフィン F A の高さは、例えば 4 0 n m ~ 6 0 n m 程度である。

【 0 1 6 8 】

本実施の形態 2 の主な特徴の 1 つは、メモリセル領域 1 A の素子分離領域 E I の上面を凹形状とすることで、メモリセル領域 1 A において y 方向に互いに隣り合うメモリセルの間のトラップ性絶縁膜の経路が長くなり、電荷拡散の影響が抑えられることである。

【 0 1 6 9 】

その後は、前述の実施の形態 1 と同様にして、制御ゲート電極 C G 、ゲート絶縁膜 G F 、メモリゲート電極 M G 、O N O 膜 O N 、ソース・ドレイン領域、シリサイド層 S I などを形成することにより、半導体装置が略完成する。

【 0 1 7 0 】

このように、本実施の形態 2 によれば、メモリセル領域 1 A の素子分離領域 E I の上面を凹形状とすることにより、互いに隣り合うメモリセル M C の間において、トラップ性絶縁膜の経路が長くなるので、電荷拡散の影響を抑えることができ、半導体装置の信頼性が向上する。

【 0 1 7 1 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 7 2 】

本発明は少なくとも以下の実施の形態を含む。

10

20

30

40

50

【 0 1 7 3 】

〔 付 記 1 〕

- (a) 半 導 体 基 板 の 主 面 上 に 、 第 1 絶 縁 膜 を 形 成 す る 工 程 、
- (b) 前 記 第 1 絶 縁 膜 お よ び 前 記 半 導 体 基 板 を 順 次 加 工 し て 、 複 数 の 溝 を 形 成 す る こ と に よ り 、 前 記 半 導 体 基 板 の 前 記 主 面 に 沿 う 第 1 方 向 に 延 在 し 、 前 記 半 導 体 基 板 の 前 記 主 面 に 沿 っ て 前 記 第 1 方 向 と 直 交 す る 第 2 方 向 に 互 い に 離 間 す る 、 前 記 半 導 体 基 板 の 一 部 分 か ら な る 複 数 の 突 出 部 を 形 成 す る 工 程 、
- (c) 熱 酸 化 法 を 用 い て 、 前 記 複 数 の 溝 の 内 部 の 露 出 し た 前 記 半 導 体 基 板 の 表 面 に 第 1 酸 化 膜 を 形 成 す る 工 程 、
- (d) C V D 法 を 用 い て 、 前 記 複 数 の 溝 の 内 部 を 第 2 酸 化 膜 で 埋 め 込 む 工 程 、
- (e) 前 記 第 1 絶 縁 膜 の 上 面 お よ び 前 記 第 2 酸 化 膜 の 上 面 を 平 坦 化 す る 工 程 、
- (f) 前 記 第 2 酸 化 膜 を 後 退 さ せ て 、 前 記 第 1 絶 縁 膜 の 側 壁 を 露 出 さ せ る 工 程 、
- (g) 前 記 第 1 絶 縁 膜 を 除 去 す る 工 程 、
- (h) ウ ェ ッ ト エ ッ チ ン グ を 用 い て 、 前 記 第 1 お よ び 第 2 酸 化 膜 の 上 面 を 後 退 さ せ て 、 複 数 の 前 記 突 出 部 の 側 壁 を 露 出 さ せ る 工 程 、
- (i) 前 記 第 1 お よ び 第 2 酸 化 膜 の 上 面 か ら 露 出 し た 前 記 突 出 部 の 上 部 の 上 面 お よ び 側 壁 と 第 2 絶 縁 膜 を 介 し 、 前 記 第 2 方 向 に 延 在 す る 第 1 ゲ ー ト 電 極 を 形 成 す る 工 程 、
- (j) 前 記 第 1 お よ び 第 2 酸 化 膜 の 上 面 か ら 露 出 し た 前 記 突 出 部 の 上 部 の 上 面 お よ び 側 壁 並 び に 前 記 第 1 ゲ ー ト 電 極 の 一 方 の 側 壁 と ト ラ ッ プ 性 絶 縁 膜 を 含 む 第 3 絶 縁 膜 を 介 し 、 前 記 第 2 方 向 に 延 在 す る 第 2 ゲ ー ト 電 極 を 形 成 す る 工 程 、

10

20

前 記 第 2 方 向 に 互 い に 隣 り 合 う 前 記 突 出 部 の 間 に お い て 、 前 記 第 2 酸 化 膜 の 上 面 が 、 一 方 の 前 記 突 出 部 の 側 壁 に 接 す る 前 記 第 1 酸 化 膜 の 上 面 の 位 置 と 他 方 の 前 記 突 出 部 の 側 壁 に 接 す る 前 記 第 1 酸 化 膜 の 上 面 の 位 置 と を 結 ん だ 第 1 面 よ り も 低 い 、 半 導 体 装 置 の 製 造 方 法 。

【 0 1 7 4 】

〔 付 記 2 〕

- 付 記 1 記 載 の 半 導 体 装 置 の 製 造 方 法 に お い て 、
- 前 記 第 1 面 の 前 記 第 2 方 向 の 幅 を W と し 、 前 記 第 1 面 か ら 前 記 第 2 酸 化 膜 の 上 面 の 最 も 低 い 位 置 ま で の 距 離 を D と す る と 、 D / W は $0.4 \sim 0.8$ で あ る 、 半 導 体 装 置 の 製 造 方 法 。

30

【 0 1 7 5 】

〔 付 記 3 〕

- 付 記 1 記 載 の 半 導 体 装 置 の 製 造 方 法 に お い て 、
- 前 記 第 1 面 か ら 前 記 第 2 酸 化 膜 の 上 面 の 最 も 低 い 位 置 ま で の 距 離 は 、 $40 \text{ nm} \sim 60 \text{ nm}$ で あ る 、 半 導 体 装 置 の 製 造 方 法 。

【 符 号 の 説 明 】

【 0 1 7 6 】

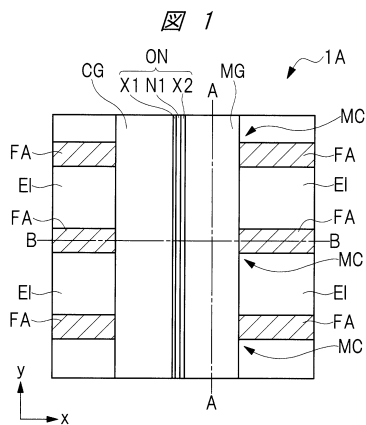
- 1 A メモリセル領域
- 1 B ロジック領域
- C G 制御ゲート電極
- D 1 , D 2 溝
- D F 拡散層
- D G ダミーゲート電極
- E I 素子分離領域
- E X エクステンション領域
- F A , F B フィン
- G 1 ゲート電極
- G F 、 G I ゲート絶縁膜
- I F 1 , I F 2 , I F 3 , I F 4 , I F 5 絶縁膜

40

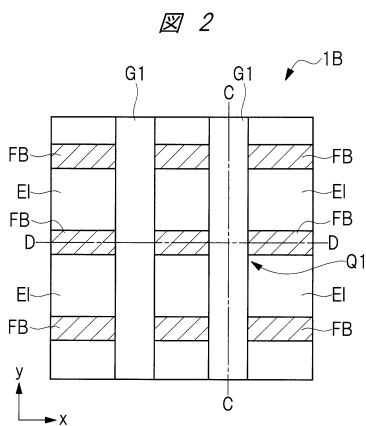
50

- I L 層間絶縁膜
- MC メモリセル
- MG メモリゲート電極
- N 1 窒化シリコン膜
- ON ONO膜
- P A D 酸化膜
- Q 1 トランジスタ
- R P レジストパターン
- S I シリサイド層
- S B 半導体基板
- S L 1 アモルファスシリコン膜
- S L 2 , S L 3 ポリシリコン膜
- S N 1 , S N 2 窒化シリコン膜
- S O 1 , S O 2 酸化シリコン膜
- S O 3 酸化膜
- S W 1 , S W 2 , S W 3 サイドウォール
- U P 下部パターン
- X 1 , X 2 酸化シリコン膜

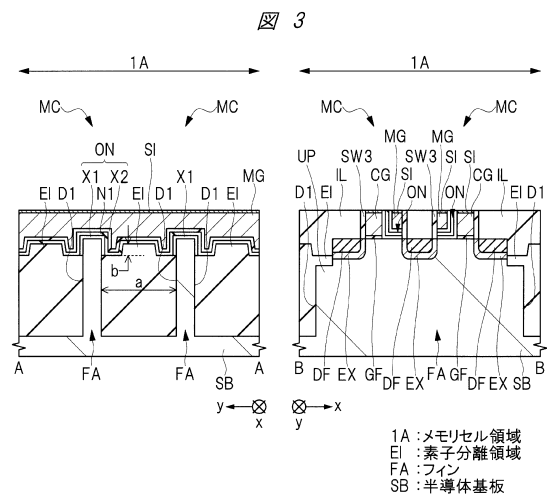
【図1】



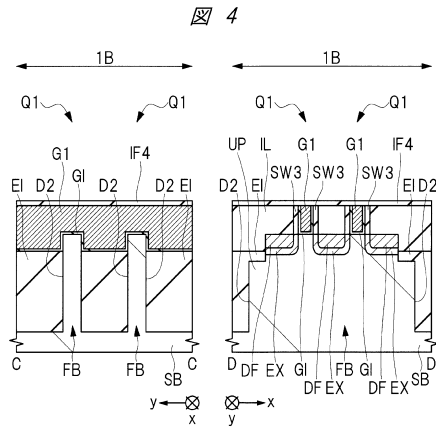
【図2】



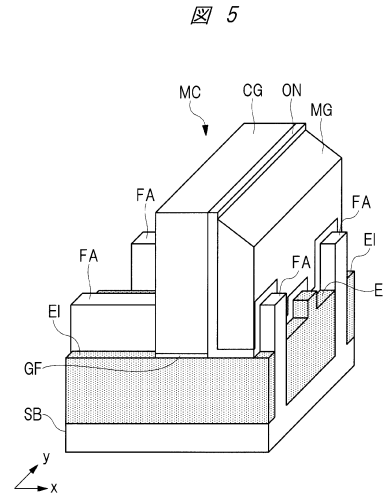
【図3】



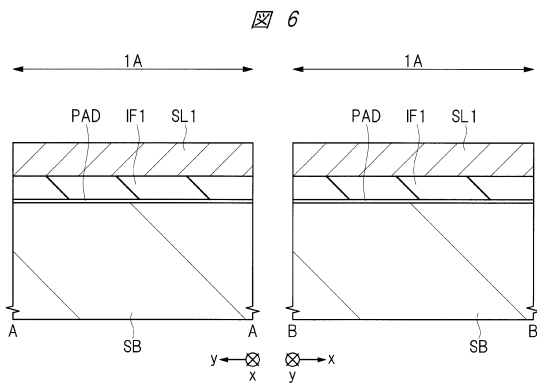
【 図 4 】



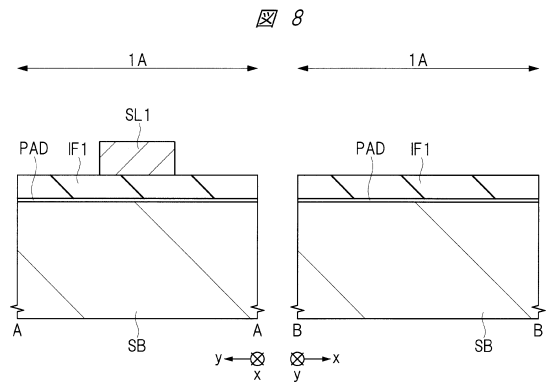
【 図 5 】



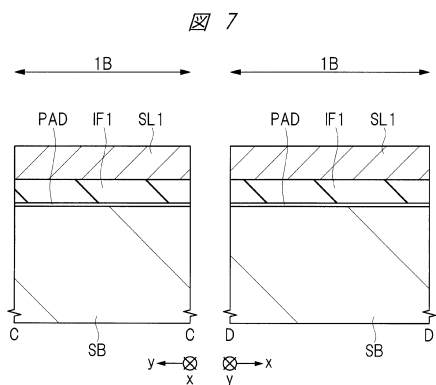
【 図 6 】



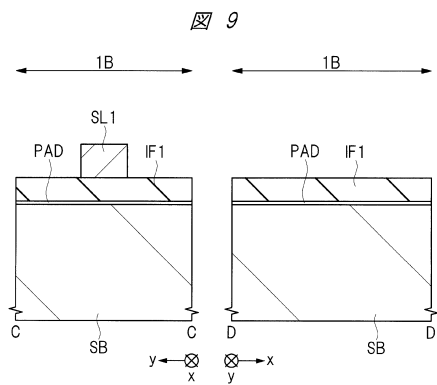
【 図 8 】



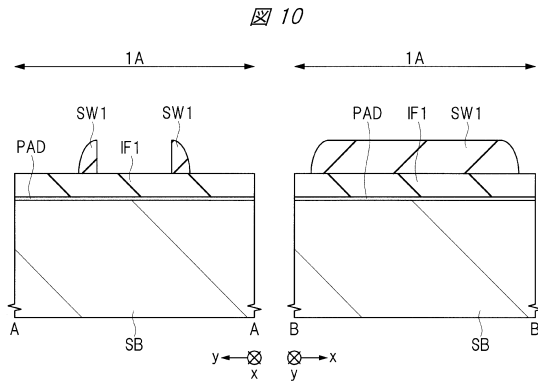
【 図 7 】



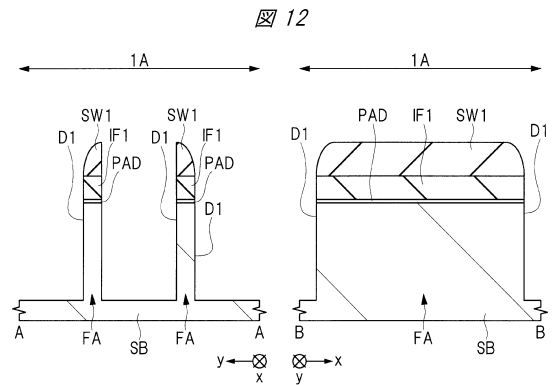
【 図 9 】



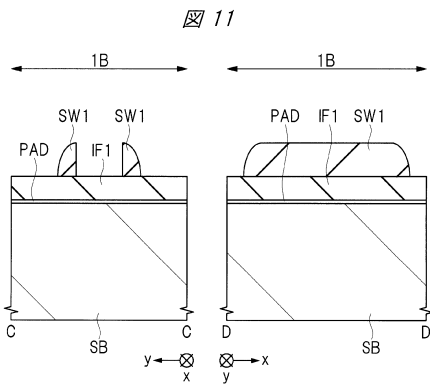
【図10】



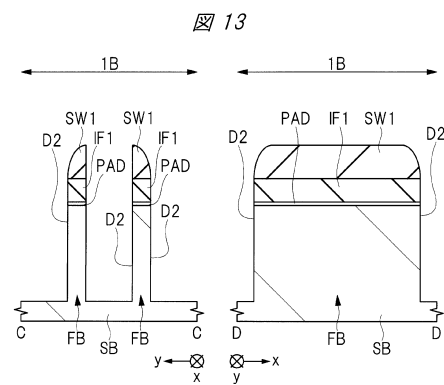
【図12】



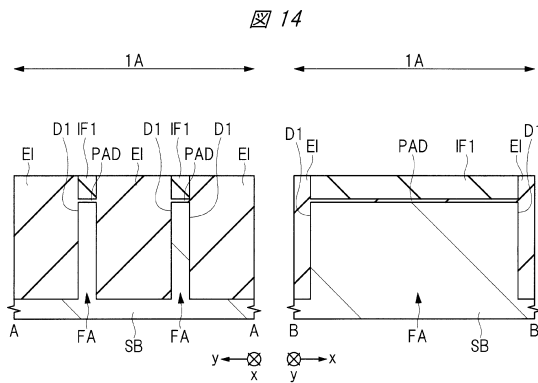
【図11】



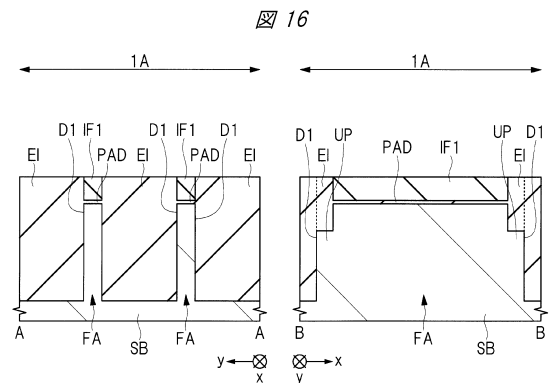
【図13】



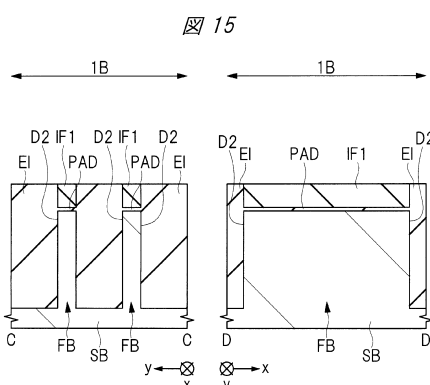
【図14】



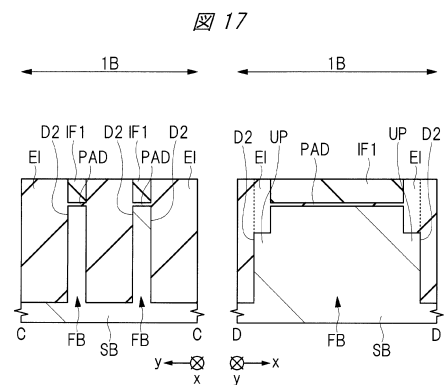
【図16】



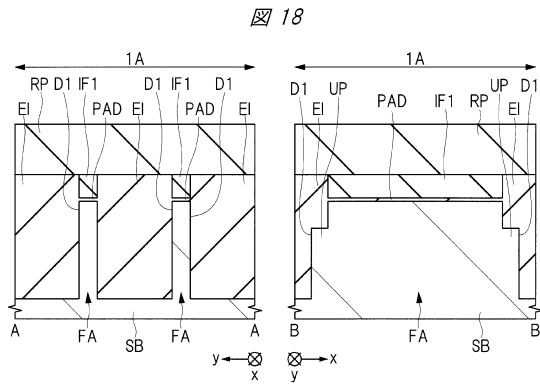
【図15】



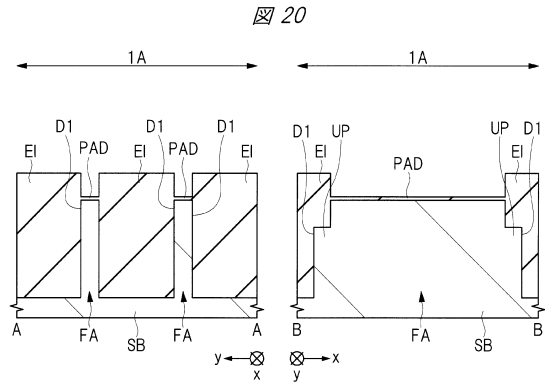
【図17】



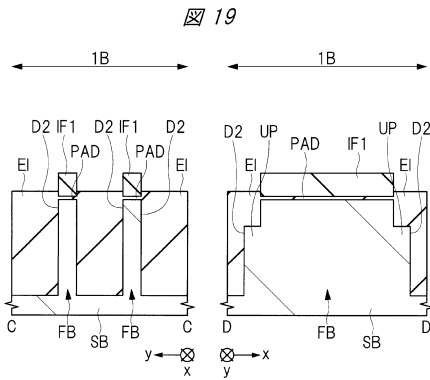
【図18】



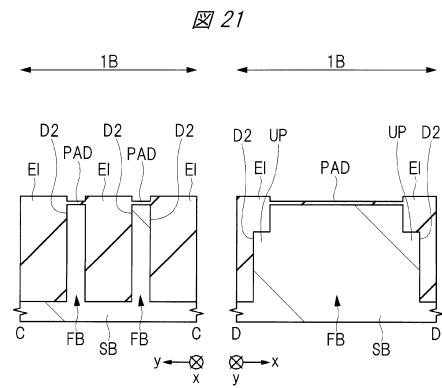
【図20】



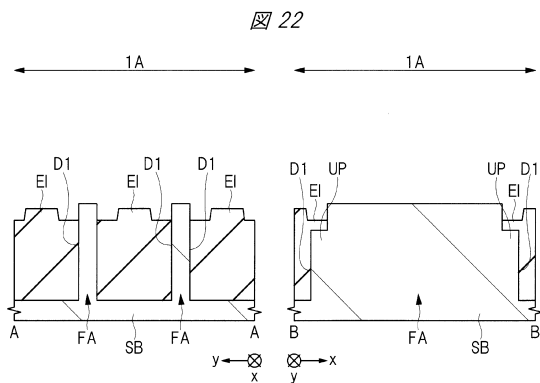
【図19】



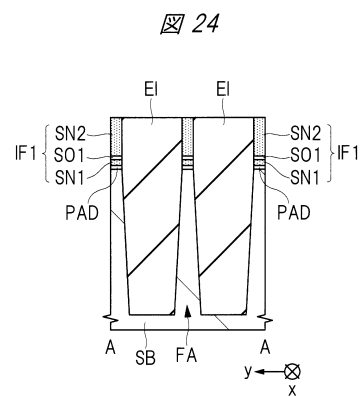
【図21】



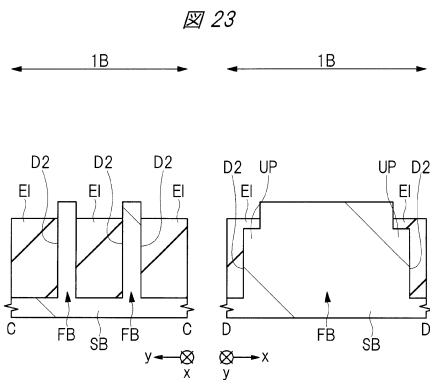
【図22】



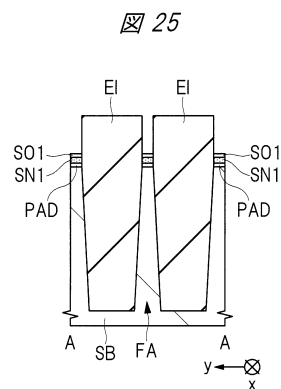
【図24】



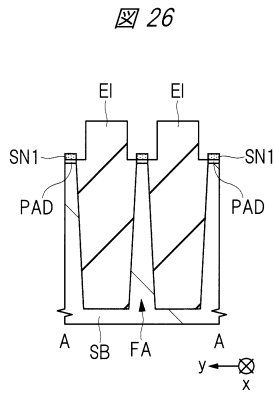
【図23】



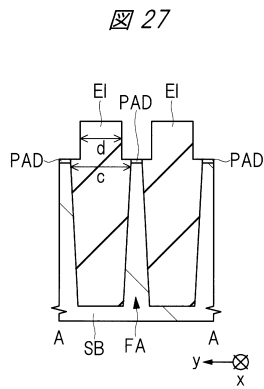
【図25】



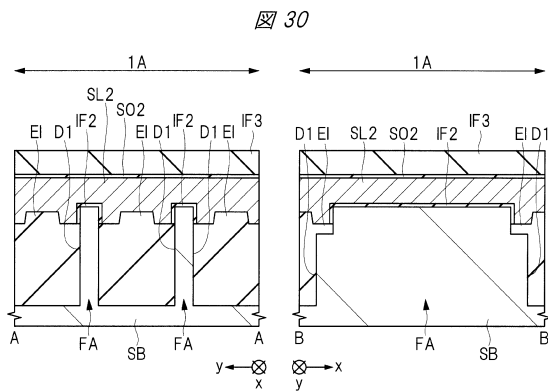
【 図 26 】



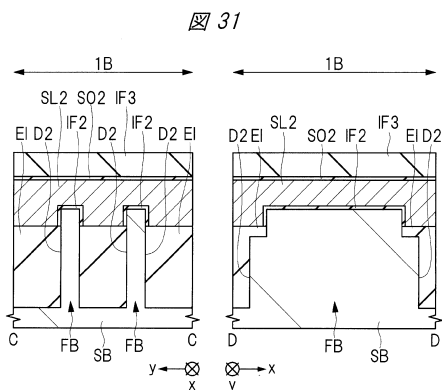
【 図 27 】



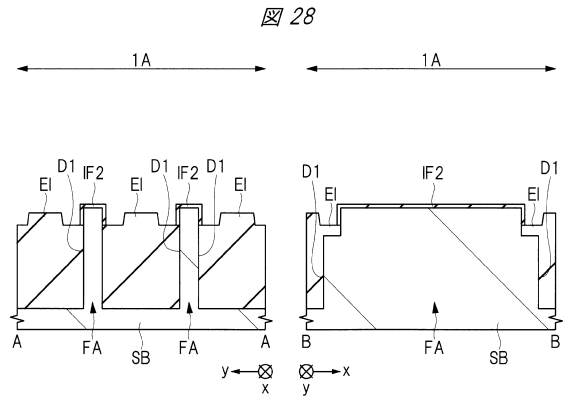
【 図 30 】



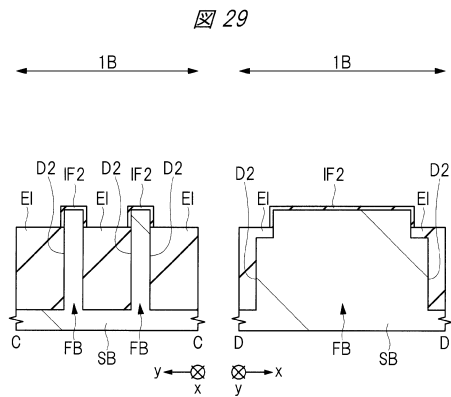
【 図 31 】



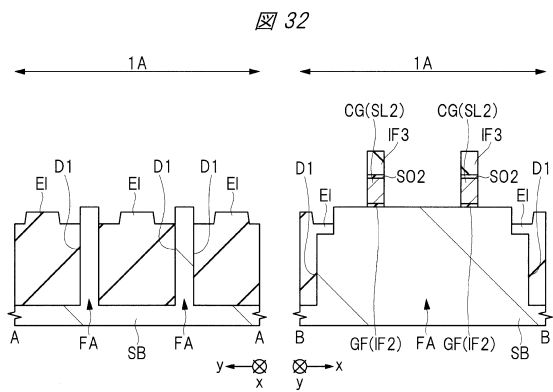
【 図 28 】



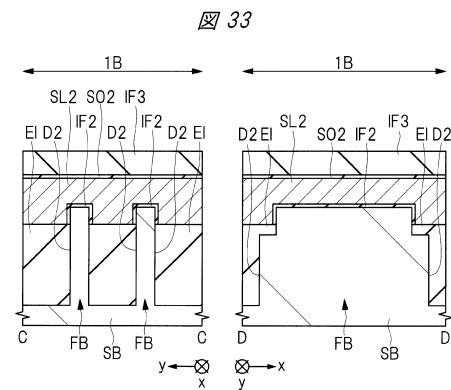
【 図 29 】



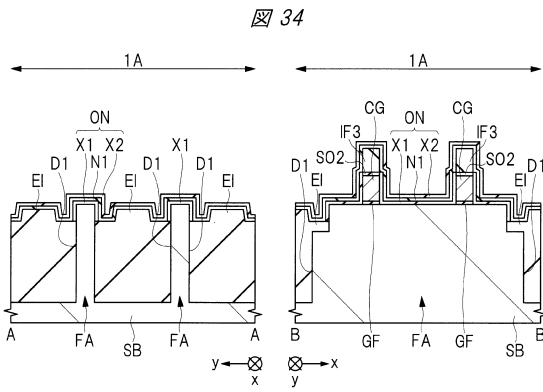
【 図 32 】



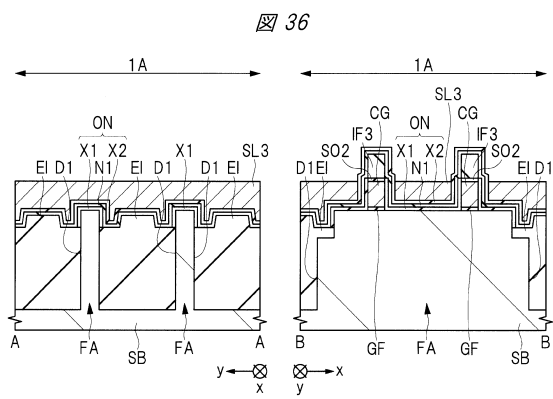
【 図 33 】



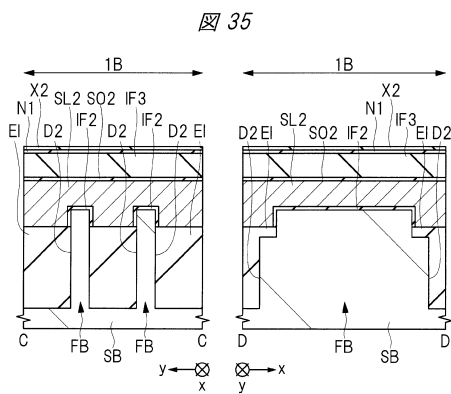
【 図 3 4 】



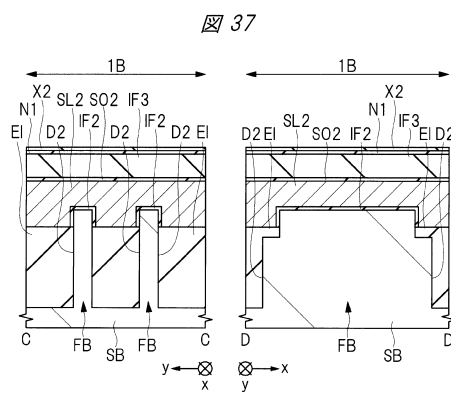
【 図 3 6 】



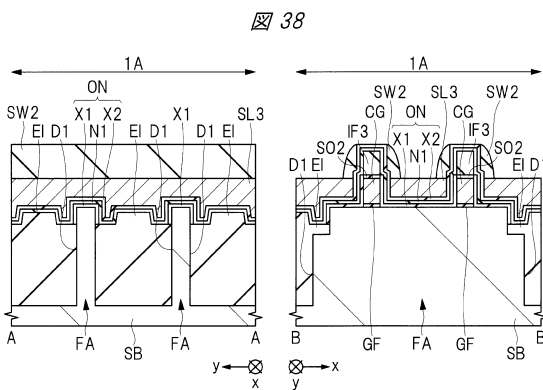
【 図 3 5 】



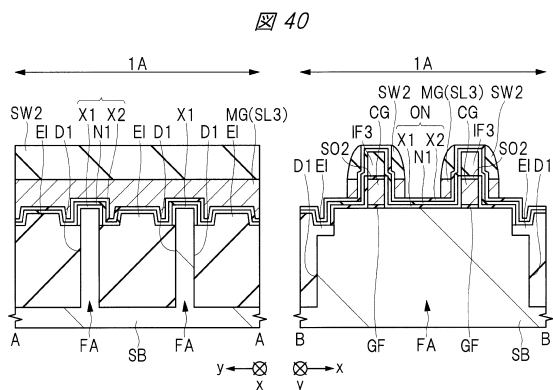
【 図 3 7 】



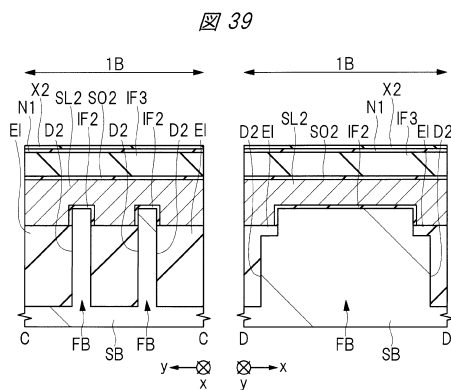
【 図 3 8 】



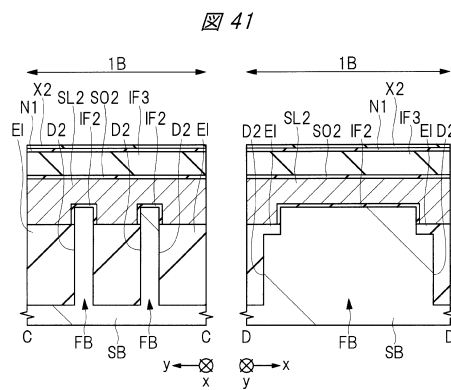
【 図 4 0 】



【 図 3 9 】

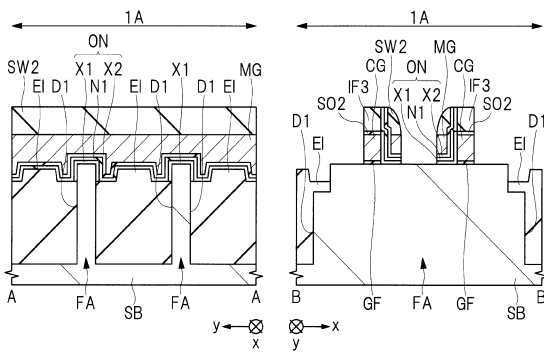


【 図 4 1 】



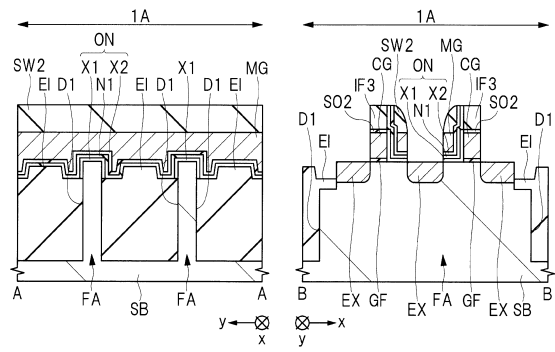
【 図 4 2 】

図 42



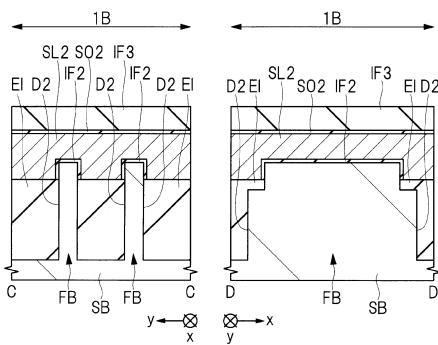
【 図 4 4 】

図 44



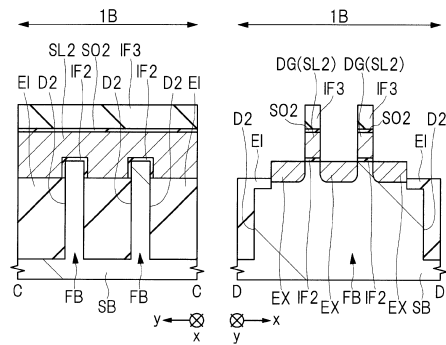
【 図 4 3 】

図 43



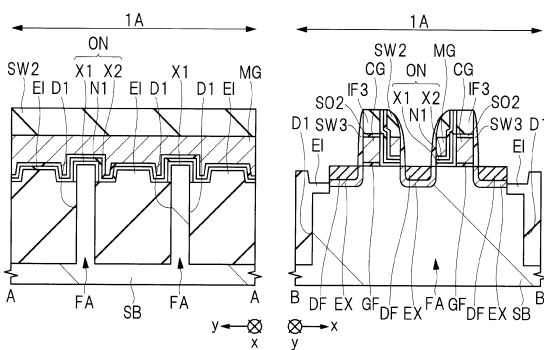
【 図 4 5 】

図 45



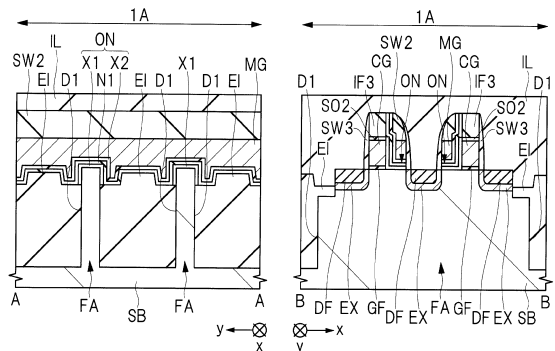
【 図 4 6 】

図 46



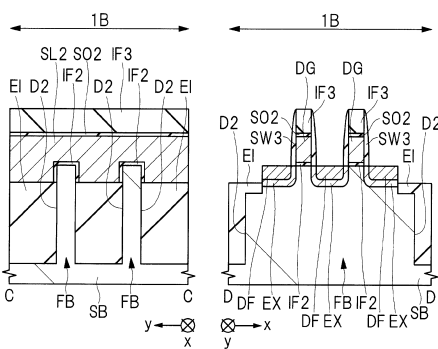
【 図 4 8 】

図 48



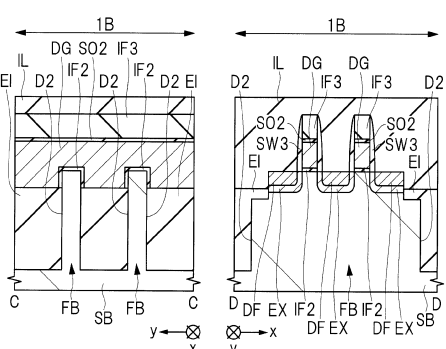
【 図 4 7 】

図 47

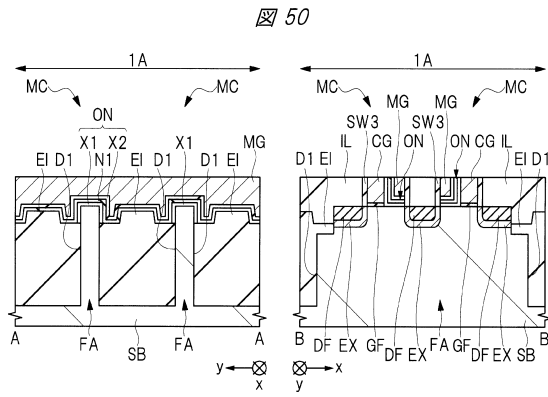


【 図 4 9 】

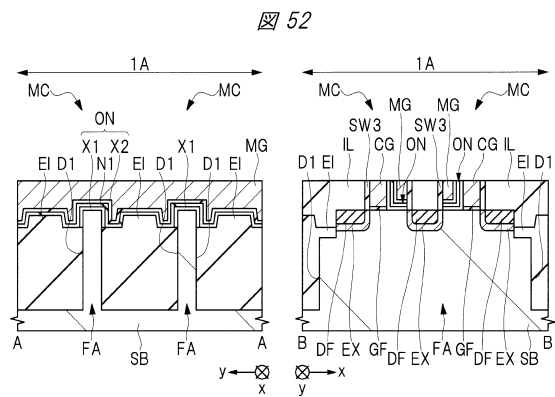
図 49



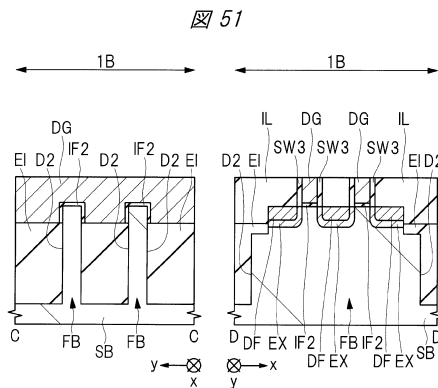
【 図 5 0 】



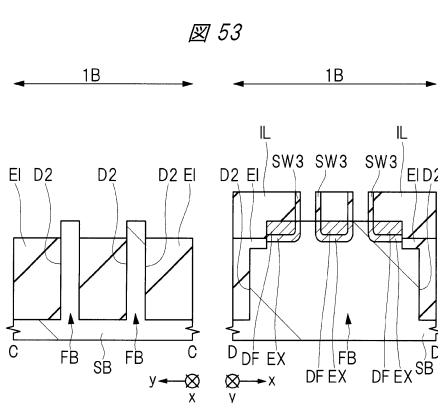
【 図 5 2 】



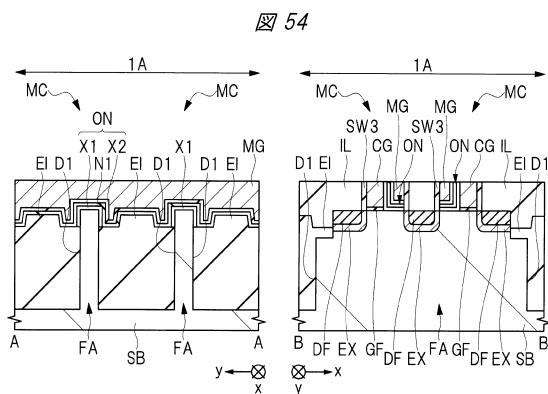
【 図 5 1 】



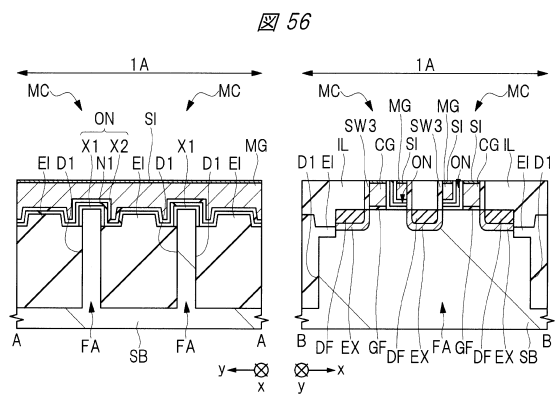
【 図 5 3 】



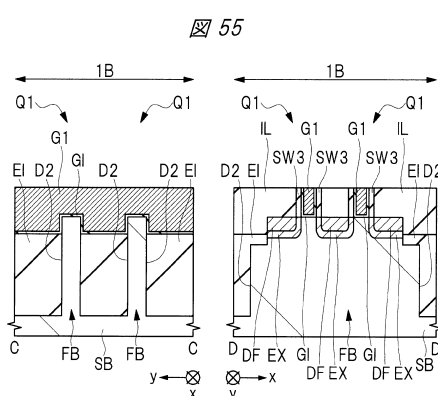
【 図 5 4 】



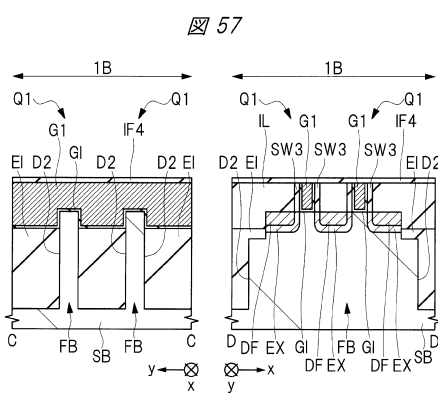
【 図 5 6 】



【 図 5 5 】

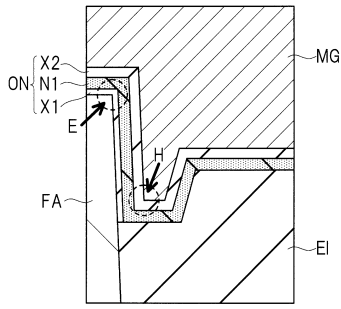


【 図 5 7 】



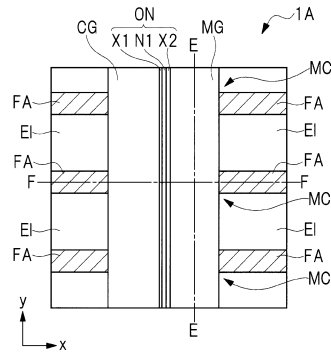
【 58 】

58



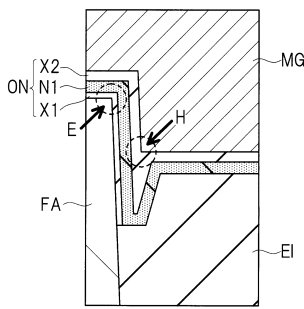
【 60 】

60



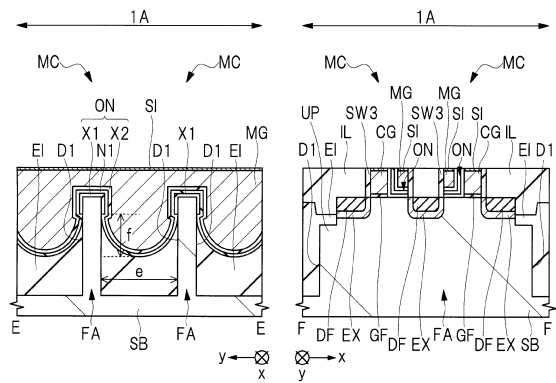
【 59 】

59



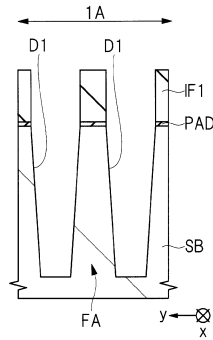
【 61 】

61



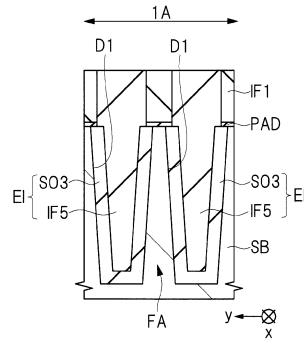
【 62 】

62



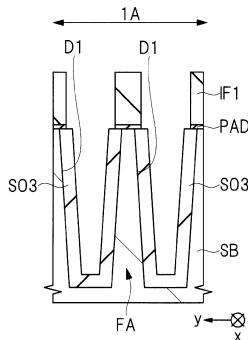
【 64 】

64



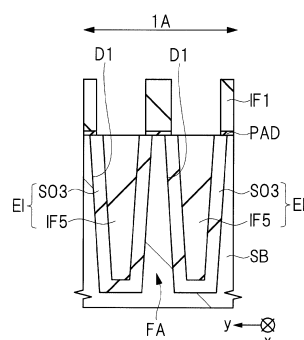
【 63 】

63

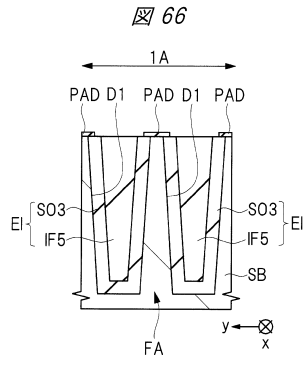


【 65 】

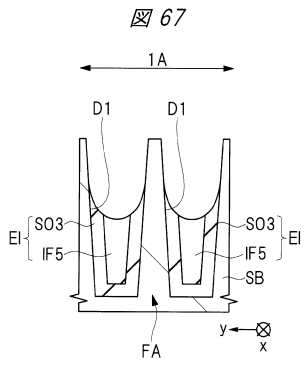
65



【 図 6 6 】



【 図 6 7 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/10 (2006.01)

(56)参考文献 米国特許出願公開第2006/0292781(US,A1)
特開2014-017343(JP,A)
特開2013-143437(JP,A)
特開2011-097057(JP,A)
特開2004-327812(JP,A)
特開2011-077321(JP,A)
米国特許出願公開第2011/0097889(US,A1)
米国特許出願公開第2014/0008716(US,A1)
米国特許出願公開第2008/0057644(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/336, 21/70,
27/088, 27/10,
27/11568, 27/11573,
29/78, 29/788, 29/792